

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4584580号
(P4584580)

(45) 発行日 平成22年11月24日 (2010.11.24)

(24) 登録日 平成22年9月10日 (2010.9.10)

(51) Int.Cl.

F I

G 0 6 F 17/10 (2006.01)

G 0 6 F 17/10

S

請求項の数 27 (全 14 頁)

(21) 出願番号	特願2003-535084 (P2003-535084)	(73) 特許権者	591003943
(86) (22) 出願日	平成14年10月3日 (2002.10.3)		インテル・コーポレーション
(65) 公表番号	特表2005-532601 (P2005-532601A)		アメリカ合衆国 9 5 0 5 2 カリフォル
(43) 公表日	平成17年10月27日 (2005.10.27)		ニア州・サンタクララ・ミッション カレ
(86) 国際出願番号	PCT/US2002/031412		ッジ ブレーバード・2 2 0 0
(87) 国際公開番号	W02003/032187	(74) 代理人	100104156
(87) 国際公開日	平成15年4月17日 (2003.4.17)		弁理士 龍華 明裕
審査請求日	平成16年8月4日 (2004.8.4)	(72) 発明者	ストラズダス ステファン
審判番号	不服2008-4385 (P2008-4385/J1)		アメリカ合衆国、8 5 2 2 6 アリゾナ州
審判請求日	平成20年2月22日 (2008.2.22)		、チャンドラー、ウエスト ポスト ロー
(31) 優先権主張番号	09/972, 720		ド 6 3 2 0
(32) 優先日	平成13年10月5日 (2001.10.5)	(72) 発明者	リヤオ ユーエン
(33) 優先権主張国	米国 (US)		アメリカ合衆国、8 5 2 4 8 アリゾナ州
			、チャンドラー、ウエスト オリオール
			ウェイ 3 4 5

最終頁に続く

(54) 【発明の名称】 単一命令複数データ (S I M D) 命令用の積和演算 (MAC) ユニット

(57) 【特許請求の範囲】

【請求項 1】

積和演算におけるウォリスのトリー圧縮を実行するウォリスのトリー圧縮ユニットと、
積和演算における 4 : 2 圧縮演算により 2 つの中間ベクトルを生成する 4 : 2 圧縮ユニ
ットと、前記 4 : 2 圧縮ユニットが出力する 2 つの中間ベクトルの少なくとも一部を前記ウ
ォリスのトリー圧縮ユニットに転送するデータ経路と、を備える装置に積和演算を実行さ
せる方法であって、

前記ウォリスのトリー圧縮ユニットにより、パイプライン中の第 1 積和演算においてウ
ォリスのトリー圧縮を行ない 4 つのベクトルを出力するステップと、

前記 4 : 2 圧縮ユニットにより、前記ウォリスのトリー圧縮ユニットから出力された 4
つのベクトルを 2 つの中間ベクトルへと 4 : 2 圧縮するステップと、

前記データ経路により、前記 2 つの中間ベクトルのそれぞれの少なくとも一部を前記パ
イプライン中の第 2 積和演算を実行させるべく前記ウォリスのトリー圧縮ユニットに転送
するステップと

を備え、

前記ウォリスのトリー圧縮を行ない 4 つのベクトルを出力するステップが、第 1 の複数の
部分積を第 1 和ベクトルおよび第 1 キャリ・ベクトルへ圧縮し、第 2 の複数の部分積を
第 2 和ベクトルおよび第 2 キャリ・ベクトルへ圧縮するステップとを備える、方法。

【請求項 2】

前記 2 つの中間ベクトルのそれぞれの少なくとも一部を転送するステップが、前記 2 つ

10

20

の中間ベクトルのそれぞれの下位部分を転送するステップを備える、請求項 1 に記載の方法。

【請求項 3】

前記 2 つの中間ベクトルを生成するステップが、前記第 1 和ベクトル、前記第 2 和ベクトル、前記第 1 キャリ・ベクトルおよび前記第 2 キャリ・ベクトルを、中間和ベクトルおよび中間キャリ・ベクトルへ圧縮するステップを備える、請求項 1 に記載の方法。

【請求項 4】

前記転送するステップが、前記 2 つの中間ベクトルのそれぞれの少なくとも一部をウォリスのトリートリー圧縮ユニットへ転送するステップを備える、請求項 1 に記載の方法。

【請求項 5】

機械実行命令を格納する機械可読メディアを含む装置であって、前記命令が、積和演算におけるウォリスのトリートリー圧縮を実行するウォリスのトリートリー圧縮ユニットと、積和演算における 4 : 2 圧縮演算により 2 つの中間ベクトルを生成する 4 : 2 圧縮ユニットと、前記 4 : 2 圧縮ユニットが出力する 2 つの中間ベクトルの少なくとも一部を前記ウォリスのトリートリー圧縮ユニットに転送するデータ経路と、を備える機械に、

前記ウォリスのトリートリー圧縮ユニットによりパイプライン中の第 1 積和演算においてウォリスのトリートリー圧縮を行なわせ、4 つのベクトルを出力させ、

前記 4 : 2 圧縮ユニットにより 4 : 2 圧縮演算を実行して前記 4 つのベクトルを 2 つの中間ベクトルを生成させ、

前記データ経路に前記 2 つの中間ベクトルのそれぞれの少なくとも一部を前記パイプライン中の第 2 積和演算を実行させるべく前記ウォリスのトリートリー圧縮ユニットに転送させ、

前記機械にウォリスのトリートリー圧縮を行なわせる命令が、前記機械に第 1 の複数の部分積を第 1 和ベクトルおよび第 1 キャリ・ベクトルへ圧縮させ、第 2 の複数の部分積を第 2 和ベクトルおよび第 2 キャリ・ベクトルへ圧縮させる命令を備える装置。

【請求項 6】

前記機械に前記 2 つの中間ベクトルのそれぞれの少なくとも一部を転送させる命令が、前記機械に前記 2 つの中間ベクトルのそれぞれの下位ビットを転送させる命令を備える、請求項 5 に記載の装置。

【請求項 7】

前記機械に前記 2 つの中間ベクトルを生成させる命令が、前記機械に、前記第 1 和ベクトル、前記第 2 和ベクトル、前記第 1 キャリ・ベクトルおよび前記第 2 キャリ・ベクトルを、中間和ベクトルおよび中間キャリ・ベクトルへ圧縮させる命令を備える、請求項 5 に記載の装置。

【請求項 8】

前記機械に転送させる命令が、前記機械に、前記 2 つの中間ベクトルのそれぞれの少なくとも一部をウォリスのトリートリー圧縮ユニットへ転送させる命令を備える、請求項 5 に記載の装置。

【請求項 9】

積和演算におけるウォリスのトリートリー圧縮を実行するウォリスのトリートリー圧縮ユニットと、積和演算における 4 : 2 圧縮演算により 2 つの中間ベクトルを生成する 4 : 2 圧縮ユニットと、を備える装置に積和演算を実行させる方法であって、

前記ウォリスのトリートリー圧縮ユニットにより、第 1 積和演算の第 1 ウォリスのトリートリー圧縮段階において、第 1 の複数の部分積を第 1 和ベクトルおよび第 1 キャリ・ベクトルへウォリスのトリートリー圧縮し、第 2 の複数の部分積を第 2 和ベクトルおよび第 2 キャリ・ベクトルへウォリスのトリートリー圧縮するステップと、

前記 4 : 2 圧縮ユニットにより、前記第 1 和ベクトル、前記第 2 和ベクトル、前記第 1 キャリ・ベクトルおよび前記第 2 キャリ・ベクトルを、中間和ベクトルおよび中間キャリ・ベクトルへ 4 : 2 圧縮するステップと、

前記ウォリスのトリートリー圧縮ユニットにより、前記第 1 積和演算の第 2 段階において、前記中間和ベクトルおよび第 3 の複数の部分積をウォリスのトリートリー圧縮し、前記中間キャリ

10

20

30

40

50

・ベクトルおよび第 4 の複数の部分積をウォリスのトリ－圧縮するステップとを備える、方法。

【請求項 1 0】

前記第 1 積和演算が、単一命令複数データ (S I M D) 演算を含む、請求項 9 に記載の方法。

【請求項 1 1】

前記装置が、ブース・エンコーダ・ユニットを更に備え、

前記方法が

前記ブース・エンコーダ・ユニットにより、第 1 のペアのオペランドから前記第 1 の複数の部分積を生成するステップと、

前記ブース・エンコーダ・ユニットにより、第 2 のペアのオペランドから前記第 2 の複数の部分積を生成するステップと、

前記ブース・エンコーダ・ユニットにより、第 3 のペアのオペランドから前記第 3 の複数の部分積を生成するステップと、

前記ブース・エンコーダ・ユニットにより、第 4 のペアのオペランドから前記第 4 の複数の部分積を生成するステップと

を更に備える、請求項 9 に記載の方法。

【請求項 1 2】

前記装置が、前記 4 : 2 圧縮ユニットが出力する 2 つの中間ベクトルの少なくとも一部を前記ウォリスのトリ－圧縮ユニットに転送するデータ経路を更に備え、

前記データ経路が、パイプライン中の第 2 積和演算へ前記中間和ベクトルおよび前記中間キャリ・ベクトルを前記ウォリスのトリ－圧縮ユニットに転送するステップを更に備える、請求項 9 に記載の方法。

【請求項 1 3】

前記転送するステップが、前記第 2 積和演算における累積加算データ依存性を除去するステップを備える、請求項 1 2 に記載の方法。

【請求項 1 4】

機械実行命令を格納する機械可読メディアを含む装置であって、前記命令が、積和演算におけるウォリスのトリ－圧縮を実行するウォリスのトリ－圧縮ユニットと、積和演算における 4 : 2 圧縮演算により 2 つの中間ベクトルを生成する 4 : 2 圧縮ユニットと、を備える機械に、

第 1 積和演算の第 1 ウォリスのトリ－圧縮段階において、前記ウォリスのトリ－圧縮ユニットに第 1 の複数の部分積を第 1 和ベクトルおよび第 1 キャリ・ベクトルへ圧縮させ、第 2 の複数の部分積を第 2 和ベクトルおよび第 2 キャリ・ベクトルへ圧縮させる命令と、

前記 4 : 2 圧縮ユニットに前記第 1 和ベクトル、前記第 2 和ベクトル、前記第 1 キャリ・ベクトルおよび前記第 2 キャリ・ベクトルを、第 1 中間和ベクトルおよび第 1 中間キャリ・ベクトルへ 4 : 2 圧縮させる命令と、

前記第 1 積和演算の第 2 段階において、前記ウォリスのトリ－圧縮ユニットに前記中間和ベクトルおよび第 3 の複数の部分積を圧縮し、前記中間キャリ・ベクトルおよび第 4 の複数の部分積を圧縮させる命令と

を備える、装置。

【請求項 1 5】

前記第 1 積和演算が、単一命令複数データ (S I M D) 演算を含む、請求項 1 4 に記載の装置。

【請求項 1 6】

前記機械が、ブース・エンコーダ・ユニットを更に備え、

前記命令が前記機械に、

前記ブース・エンコーダ・ユニットにより第 1 のペアのオペランドから前記第 1 の複数の部分積を生成させ、

前記ブース・エンコーダ・ユニットにより第 2 のペアのオペランドから前記第 2 の複数

10

20

30

40

50

の部分積を生成させ、

前記ブース・エンコーダ・ユニットにより第3のペアのオペランドから前記第3の複数の部分積を生成させ、

前記ブース・エンコーダ・ユニットにより第4のペアのオペランドから前記第4の複数の部分積を生成させる命令を更に備える、請求項14に記載の装置。

【請求項17】

前記機械が、前記4:2圧縮ユニットが出力する2つの中間ベクトルの少なくとも一部を前記ウォリスのトリート圧縮ユニットに転送するデータ経路を更に備え、

前期命令が前記機械に、前記データ経路によりパイプライン中の第2積和演算へ前記中間ベクトルおよび前記中間キャリ・ベクトルを前記ウォリスのトリート圧縮ユニットに転送させる命令を更に備える、請求項14に記載の装置。

10

【請求項18】

前記機械に転送させる命令が、前記機械に前記第2積和演算における累積加算データ依存性を除去させる命令を備える、請求項17記載の装置。

【請求項19】

積和演算の第1および第2段階において複数の部分積ベクトルをウォリスのトリート圧縮し、それぞれ2つのベクトルを出力する第1および第2ウォリスのトリート圧縮ユニットと

、

前記積和演算の前記第1段階において前記第1および第2ウォリスのトリート圧縮ユニットから出力される4つのベクトルを2つの中間ベクトルへと4:2圧縮する4:2圧縮ユニットと、

20

データ経路により前記4:2圧縮ユニットの出力に接続されたマルチプレクサーとを備え、

前記マルチプレクサーが、前記2つの中間ベクトルを前記積和演算の前記第2段階において前記第1および第2ウォリスのトリート圧縮ユニットに入力する、装置。

【請求項20】

デュアル積和演算ユニットを更に備える、請求項19に記載の装置。

【請求項21】

前記4つのベクトルが、第1和ベクトル、第2和ベクトル、第1キャリ・ベクトルおよび第2キャリ・ベクトルを含む、請求項19に記載の装置。

30

【請求項22】

前記マルチプレクサーが、前記第1ウォリスのトリート圧縮ユニットに接続される出力を有する第1マルチプレクサーと、前記第2ウォリスのトリート圧縮ユニットに接続される出力を有する第2マルチプレクサーとを備える、請求項19に記載の装置。

【請求項23】

静的ランダムアクセス記憶装置と、

前記静的ランダムアクセス記憶装置に接続されるプロセッサとを備え、

前記プロセッサがデュアル積和演算ユニットを備え、

40

前記ユニットが、

積和演算の第1および第2段階において複数の部分積ベクトルをウォリスのトリート圧縮し、それぞれ2つのベクトルを出力する第1および第2ウォリスのトリート圧縮ユニットと

、

前記積和演算の前記第1段階において前記第1および第2ウォリスのトリート圧縮ユニットから出力される4つのベクトルを2つの中間ベクトルへと4:2圧縮する4:2圧縮ユニットと、

データ経路により前記4:2圧縮ユニットの出力に接続されたマルチプレクサーとを備え、

前記マルチプレクサーが、前記2つの中間ベクトルを前記積和演算の前記第2段階にお

50

いて前記第 1 および第 2 ウォリスのトリートリー圧縮ユニットに入力する、システム。

【請求項 2 4】

前記マルチプレクサーは、前記第 1 ウォリスのトリートリー圧縮ユニットに接続される出力を有する第 1 マルチプレクサーと、前記第 2 ウォリスのトリートリー圧縮ユニットに接続される出力を有する第 2 マルチプレクサーとを備える、請求項 2 3 に記載のシステム。

【請求項 2 5】

前記転送するステップは、前記第 1 積和演算が完了する前に前記 2 つの中間ベクトルのそれぞれの少なくとも一部を転送する、請求項 1 に記載の方法。

【請求項 2 6】

前記命令が、前記第 1 積和演算が完了する前に、前記 2 つの中間ベクトルのそれぞれの少なくとも一部を前記機械に転送する、請求項 5 に記載の装置。

【請求項 2 7】

前記転送するステップが、前記第 1 積和演算が完了する前に前記中間和ベクトルと前記中間キャリ・ベクトルを転送する、請求項 1 2 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、単一命令複数データ (SIMD) 命令用の積和演算 (MAC) ユニットに関する。

【背景技術】

【0 0 0 2】

デジタルシグナルプロセッサ (DSP) は、SIMD (単一命令複数データ)、即ち並列データ・プロセッサとして作動し得る。SIMD 演算では、単一の指示が多数の処理要素に送信され、多数の処理要素は、異なるデータに対して同一の演算を行なう。SIMD 命令は、加算、減算、乗算、積和演算 (MAC) のような幾つかの種類の標準演算、および、クリッピングや双一次の補間演算の実行のような多くの特定の命令を提供する。

【特許文献 1】特表 2 0 0 3 - 5 1 8 6 9 0 公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 3】

多くのスピーチ・コーデックを含む多くの DSP アプリケーションは、高性能 1 6 ビットの積和演算 (MAC) 演算を必要とする。これらの 1 6 ビットの DSP アプリケーションにおいて高い性能を達成するために、6 4 ビットの SIMD 命令が導入され得る。4 つの 1 6 ビットのデータ・アイテムが 6 4 ビットのレジスタに同時にロードされ得るので、より効率的にメディアストリームを扱うために、およびレジスタ圧力やメモリ・トラフィックを減少させるために 6 4 ビットの SIMD 命令が使用され得る。

【0 0 0 4】

高い性能を達成するためには、高スループットは重要な要素であるが、ワイヤレス / 携帯機器製品用の DSP を設計する際には、消費電力に対する配慮が更に重要となり得る。従って、DSP の使用に際して、高性能かつ低消費電力の MAC アーキテクチャが望まれ得る。

【発明を実施するための最良の形態】

【0 0 0 5】

図 1 は、一実施形態における積和演算 (MAC) ユニット 1 0 0 を示す。MAC ユニット 1 0 0 は、多くの異なる SIMD (単一命令複数データ) 演算を行なうために使用され得る。

【0 0 0 6】

MAC ユニット 1 0 0 は、密結合デュアル 1 6 ビットの MAC アーキテクチャを備えて良い。そのような MAC ユニットによって実行され得る 1 6 ビットの MAC SIMD 演

10

20

30

40

50

算 200 が、図 2 において概念的に示される。2 つの 64 ビットのレジスタの内容である 202 (wRn) および 204 (wRm) は、4 対の 16 ビット値、 $A_0 \sim A_3$ (wRn) および $B_0 \sim B_3$ (wRm) として扱われ得る。wRn の第 1 の 16 ビットから第 4 の 16 ビットまでが、wRm の第 1 の 16 ビットから第 4 の 16 ビットまでのそれぞれと乗ぜられる。その後、4 つの乗算された結果 $P_0 \sim P_3$ は、64 ビットのレジスタ 206 (wRd) の値に加算され、その結果がレジスタ 206 へ送られる。

【0007】

MAC 演算 200 は、4 つの実行段階で実行され得る。即ち、(1) B_1 と B_0 のブースエンコードおよびウォリスのトリート圧縮、(2) B_3 と B_2 のブースエンコードおよびウォリスのトリート圧縮、(3) 4:2 圧縮、および結果の下位 32 ビットの加算、そして (4) 結果の上位 32 ビットの加算、である。これらの 4 つの段階は、CSA0、CSA1、CLA0 および CLA1 段階としてそれぞれ参照され得る。

【0008】

図 3a ~ 図 3c は、一実施形態における MAC 演算 200 のインプリメンテーション 300 について記述するフローチャートである。CSA0 段階において、MUX & ブース・エンコーダ・ユニット 102 が B_0 (16 ビット) を選択し、これらのビットをエンコードする (ブロック 302)。複数の制御信号が生成され、そのそれぞれが、セット {0、 $-A_0$ 、 $-2A_0$ 、 A_0 、 $2A_0$ } から部分積ベクトルを選択する。9 つの部分積ベクトル ($Pa_0 \sim Pa_8$) が生成され、MUX アレイ 104 に引き渡される (ブロック 304)。全ての 9 つの部分積ベクトル、およびレジスタ 206 (wRd) の値の下位 32 ビットは、ウォリスのトリートユニット 106 によって 2 つのベクトルに圧縮される (ブロック 306)。2 つのベクトルは和ベクトルおよびキャリ・ベクトルを含み、これらは、和ベクトル・フリップフロップ (FF) 108 およびキャリ・ベクトル FF 110 にそれぞれ格納される。

【0009】

MUX & ブース・エンコーダ・ユニット 112 は B_1 (16 ビット) を選択し、これらのビットをエンコードする (ブロック 308)。複数の制御信号が生成され、そのそれぞれが、セット {0、 $-A_1$ 、 $-2A_1$ 、 A_1 、 $2A_1$ } から部分積ベクトルを選択する。9 つの部分積ベクトル ($Pb_0 \sim Pb_8$) が生成され、MUX アレイ 114 に引き渡される (ブロック 310)。全ての 9 つの部分積ベクトル、および零ベクトルが、ウォリスのトリートユニット 116 によって 2 つのベクトルに圧縮される (ブロック 312)。2 つのベクトルは和ベクトルおよびキャリ・ベクトルを含み、これらは、和ベクトル FF 118 およびキャリ・ベクトル FF 120 にそれぞれ格納される。

【0010】

CSA1 段階において、CSA0 段階からの和ベクトルおよびキャリ・ベクトル FF 108、110、118 および 120 からの 4 つのベクトルが、MUX & 4:2 圧縮ユニット 122 によって 2 つの Vs_0 および Vc_0 に圧縮される (ブロック 314)。MUX & ブース・エンコーダ・ユニット 102 は B_2 (16 ビット) を選択し、これらのビットをエンコードする (ブロック 316)。複数の制御信号が生成され、そのそれぞれが、セット {0、 $-A_2$ 、 $-2A_2$ 、 A_2 、 $2A_2$ } から部分積ベクトルを選択する。9 つの部分積ベクトルが生成される (ブロック 318)。全ての 9 つの部分積ベクトル、およびベクトル Vs_0 は、ウォリスのトリートユニット 106 によって 2 つのベクトルに圧縮される (ブロック 320)。2 つのベクトルは和ベクトルおよびキャリ・ベクトルを含み、これらは、和ベクトル FF 108 およびキャリ・ベクトル FF 110 にそれぞれ格納される。

【0011】

MUX & ブース・エンコーダ・ユニット 112 は B_3 (16 ビット) を選択し、これらのビットをエンコードする (ブロック 322)。複数の制御信号が生成され、そのそれぞれが、セット {0、 $-A_3$ 、 $-2A_3$ 、 A_3 、 $2A_3$ } から部分積ベクトルを選択する。9 つの部分積ベクトルが生成される (ブロック 324)。全ての 9 つの部分積ベクトル、およびベクトル Vc_0 は、ウォリスのトリートユニット 116 によって 2 つのベクトルに圧

10

20

30

40

50

縮される（ブロック 3 2 6）。2つのベクトルは和ベクトルおよびキャリ・ベクトルを含み、これらは、和ベクトル F F 1 1 8 およびキャリ・ベクトル F F 1 2 0 にそれぞれ格納される。

【 0 0 1 2 】

C L A 0 段階において、C S A 1 段階からの F F 1 0 8、1 1 0、1 1 8 および 1 2 0 からの4つのベクトルは、ベクトル $V s_1$ およびベクトル $V c_1$ を生成するために、4 : 2 圧縮ユニット 1 2 2 に送信される（ブロック 3 2 7）。最終結果の下位 3 2 ビットを生成するために、 $V s_1$ と $V c_1$ の下位 3 2 ビットが、キャリルックアヘッド（C L A）ユニット 1 2 4 によって加算される（ブロック 3 2 8）。

【 0 0 1 3 】

C L A 1 段階において、 $V s_1$ と $V c_1$ の上位ビットは、2つの 3 2 ビットのベクトルまで符号拡張される（ブロック 3 3 0）。その後、拡張ベクトルおよび w R d の上位 3 2 ビットは、3 : 2 圧縮ユニット 1 2 6 によって2つのベクトルに圧縮される（ブロック 3 3 2）。最終結果の上位 3 2 ビットを生成するために、圧縮された2つのベクトルおよび C L A 0 ユニット 1 2 4 からのキャリーインビットが、C L A ユニット 1 2 8 によって加算される（ブロック 3 3 4）。

【 0 0 1 4 】

上述されたように、ブース・エンコーディングおよびベクトル圧縮は、終了するまでに2回のサイクルを要する。第1サイクルにおいて、両方のウォリスのトリートメントからの結果は、第2サイクルにおいて更に処理されるために送り返される。従来、F F 1 0 8、1 1 0、1 1 8 および 1 2 0 からの4つのベクトルは全て、第2のサイクルにおける更なる処理のためにウォリスのトリートメントに送信される。しかしながら、M U X & 4 : 2 圧縮ユニット 1 2 2 がベクトルの 4 : 2 圧縮を M U X & ブース・エンコーダ・ユニットおよび M U X 配列より速く行なうことが出来る事が明らかになった。従って、M U X & 4 : 2 圧縮ユニット 1 2 2 からの2つのベクトルだけ（ $V s_0$ と $V c_0$ ）が、ウォリスのトリートメント 1 0 6 および 1 1 6 に送り返される。このアーキテクチャによって、フィードバック・ルーティングは縮小され得、また、ウォリスのトリートメント 1 0 6、1 1 6 は比較的小さくなる。フィードバック・ルーティングがより少ないことによって、レイアウトがより簡単になる。ルーティングの限界が M A C の設計において問題となるので、レイアウトをより簡単にする事は好ましい事である。

【 0 0 1 5 】

従来の M A C の幾つかのインプリメンテーションは、1回のサイクルで 6 4 ビットの加算を行なう。しかしながら、このような M A C は、超高周波数の 6 4 ビットのデータ経路にとって好適で有とは限らない。また、これらの結果は、パイプライン化におけるデータ依存性の解決のために一般に使用されるバイパス・ロジックを経由して戻るための十分な時間を有さない可能性がある。従来のアーキテクチャと比較して、図 1 に示されるデュアル M A C アーキテクチャは、超高周波数および低消費電力アプリケーション中において容易に実施され得る。C L A 1 段階は C L A 0 段階より少ない論理ゲートを有し得、このことによって、最終結果が、バイパス・ロジックを経由して戻るのに十分な時間を有し得、該デュアル M A C アーキテクチャを、高速かつ低消費電力の 6 4 ビットのデータ経路に好適なものとする。

【 0 0 1 6 】

M A C ユニットは、パイプライン化された D S P において使用されても良い。指示の相対的なタイミングを、それらの実行をオーバーラップさせることによって変更するパイプライン化は、パイプライン化されていない D S P と比較して、D S P のスループットを増加させ得る。しかしながら、パイプライン化は、前の指示の結果が利用可能でないのにもかかわらず現在の指示によって必要である場合は常に発生し得るデータ依存性（またはハザード）を招き得る。データ依存性が解決されるまで、現在の演算はパイプライン中に格納され得る。

【 0 0 1 7 】

10

20

30

40

50

通常、データ転送は最終演算結果に基づく。多くのDSPアルゴリズムについては、現在のMAC演算に、以前のMAC演算の結果を加算する必要がある。しかしながら、MAC演算は、完成するまでに4回のサイクルを要し得、また、前回のMAC演算の結果は現在のMAC演算に利用可能では無い可能性もある。この場合、蓄積依存性と称されるデータ依存性が引き起こされる。

【0018】

図4aから図4cは、標準データ転送スキームの際に発生し得る蓄積依存性ペナルティを示す。標準転送スキームは、蓄積依存性ペナルティを低減させるために使用され、EX404は、他の非MAC命令のための実行段階である。標準データ転送が使用されたとしても、蓄積依存性ペナルティは、最悪ケースにおいて2サイクルであり、これは、図4aに示される(CLA1段階の後、最終結果が利用可能になる前に3つのストール402が存在するが、図4aの第1ストール402はウォリスのトリートメントにおけるリソース・コンフリクトに起因し、これはデータ依存性ペナルティとしてカウントされない、という事に注意されたい)。2サイクルのペナルティは、幾つかのDSPアプリケーションにとって致命的であり、従って、蓄積依存性ペナルティを除去することが望まれる。

【0019】

MACユニット100は、中間データ転送と称される新たなデータ転送スキームを実施するために使用されても良く、これによって、蓄積依存性ペナルティが除去され得る。前回の計算の最終結果を待つ代わりに、中間データ転送スキームは、データ依存性を解決するために中間結果を転送する。図5aから図5cは、図4aから4cに示された例において中間データ転送技術を使用する例を示す。

【0020】

図5a~図5cに示されるように、CSA0段階500は、オペランドB0およびB1に対してそれぞれブース・エンコーディングおよびウォリスのトリートメントを行なうために2つのサブステージ502(BE0)および504(WT0)へ分割される。CSA1段階506は、オペランドB2およびB3に対してそれぞれブース・エンコーディングおよびウォリスのトリートメントを行なうために2つのサブステージ508(BE1)および504(WT1)へ分割される。CLA0段階512は、複数のベクトルの4:2圧縮および最終結果の下位32ビットの加算とを行なうために、2つのサブステージ514(4T2)および516(ADD0)へ分割される。CLA1段階518は、最終結果520の上位32ビットの加算(ADD1)を含む。

【0021】

図5aおよび5bに示されるケースにおいて、第1MAC命令の中間ベクトルVs, Vcの下位32ビットは、蓄積依存性を解決するために、第2MAC命令のためのウォリスのトリートメント106および116へ転送され得る。CLA1ユニット128からの第1MAC命令の上位32ビットの結果は、MUX&3:2圧縮ユニット126へ転送される。図5aのストール402はウォリスのトリートメント・リソース・コンフリクトに起因し、これはデータ依存性ペナルティとしてカウントされない。

【0022】

図5cに示されるるケースにおいて、第1MAC命令の最終結果が第2MAC命令のために必要である場合、第1MAC命令の最終結果は利用可能ではないが、第1MAC命令の下位32ビットの結果は利用可能である。最終結果を待つ代わりに、第1MAC命令の下位32ビットの結果は、蓄積依存性を解決するためにウォリスのトリートメント106へ転送される。CLA1ユニット126からの第1MAC命令の上位32ビットの結果は、MUX&3:2圧縮ユニット128へ転送される。

【0023】

図4aから図4cに示される標準のデータ転送技術と、図5aから図5cに示される中間データ転送技術との間の蓄積データ依存性ペナルティの比較は、表1で与えられる。表1に示されるように、中間データ転送は、蓄積依存性を除去し得、これによって、比較

10

20

30

40

50

的多くのDSPアプリケーションのための高スループットを可能にし得る。

【 0 0 2 4 】

【表 1】

	ペナルティー (ケースA)	ペナルティー (ケースB)	ペナルティー (ケースC)
標準データ転送	2 サイクル	2 サイクル	1 サイクル
中間データ転送	0 サイクル	0 サイクル	0 サイクル

10

【 0 0 2 5 】

図 1 に示されるような密結合デュアル 16 ビットの MAC ユニットは、一実施形態において、16 ビットの SIMD 命令に対してと同様に、32 ビット×32 ビットの命令に対して使用されてよい。次の数式中で示されるように、32 ビット×32 ビットの演算は、4つの16 ビット×16 ビットの演算に分割されても良い。

【 0 0 2 6 】

【数 1】

$$\begin{aligned}
 A[31:0] \times B[31:0] = & (A[31:16] \times B[15:0] \times 2^{16} + \\
 & A[15:0] \times B[15:0]) + (A[31:16] \times B[31:16] \times 2^{16} + \\
 & A[15:0] \times B[31:16]) \times 2^{16}
 \end{aligned}$$

20

【 0 0 2 7 】

図 6 は、一実施形態における、32 ビット×32 ビットの MAC 演算 600 について記述するフローチャートである。CSA0 段階において、 $A[15:0] \times B[15:0]$ の部分積ベクトルが、MUX & ブース・エンコーダ・ユニット 102 によって生成される (ブロック 602)。ウォリスのトリートメントユニット 106 は、部分積ベクトルを 2 つのベクトルへと圧縮する (ブロック 604)。2 つのベクトルは和ベクトルおよびキャリ・ベクトルをそれぞれ含み、和ベクトル FF108 およびキャリ・ベクトル FF110 に格納される。 $A[31:16] \times B[15:0]$ の部分積ベクトルが、MUX & ブース・エンコーダ・ユニット 112 によって生成される (ブロック 606)。ウォリスのトリートメントユニット 116 は部分積ベクトルを 2 つのベクトルへと圧縮する (ブロック 608)。2 つのベクトルは和ベクトルおよびキャリ・ベクトルをそれぞれ含み、和ベクトル FF108 およびキャリ・ベクトル FF110 に格納される。

30

【 0 0 2 8 】

CSA1 段階において、和ベクトル FF118 およびキャリ・ベクトル FF120 からの 2 つのベクトルが、16 ビット分左にシフトする (ブロック 610)。MUX & 4:2 圧縮ユニット 122 は、和ベクトル FF108 およびキャリ・ベクトル FF110 からのシフトされたベクトルおよび他の 2 つのベクトルをベクトル V_{s0} およびベクトル V_{c0} へと圧縮する (ブロック 612)。 V_{s0} および V_{c0} の下位 16 ビットは CLA0 ユニット 124 に送信される。残りのビットは、ウォリスのトリートメントユニット 106 および 116 に送り返される。ビット 0 ~ ビット 15 の最終結果は、CLA0 ユニット 124 によって生成される (ブロック 614)。その後、 $A[15:0] \times B[31:16]$ の部分積ベクトルおよび V_{s0} からのフィードバック・ベクトルは、ウォリスのトリートメントユニット 106 によって 2 つのベクトルへと圧縮される (ブロック 616)。2 つのベクトルは和ベクトルおよびキャリ・ベクトルを含み、和ベクトル FF108 およびキャリ・ベクトル FF120 にそれぞれ格納される。その後、 $A[31:16] \times B[31:16]$ の部分積ベクトルおよび V_{s0} からのフィードバック・ベクトルが、ウォリスのトリートメント 1

40

50

16によって2つのベクトルへと圧縮される(ブロック618)。2つのベクトルは和ベクトルおよびキャリ・ベクトルを含み、和ベクトルFF118およびキャリ・ベクトルFF120にそれぞれ格納される。

【0029】

C S A 0段階において、和ベクトルFF118およびキャリ・ベクトルFF120からの2つのベクトルが、16ビット分左にシフトする(ブロック620)。M U X & 4 : 2圧縮ユニット122は、和ベクトルFF108およびキャリ・ベクトルFF110からのシフトされたベクトルおよび他の2つのベクトルをベクトルV s₁およびベクトルV c₁へと圧縮する(ブロック622)。ベクトルV s₁およびV c₁の下位16ビットはC L A 0ユニット124に送信される。そして、ビット16~ビット31の最終結果が生成される(ブロック624)。

10

【0030】

C L A 1段階において、上位32ビット(ビット32からビット63まで)の最終結果を生成するために、ベクトルV s₁およびV c₁の上位ビット(ビット16からビット47まで)が、C L A 1ユニット128によって加算される(ブロック626)。

【0031】

M A Cユニット100は、汎用コンピューティング・システム、デジタル処理システム、ラップトップ・コンピューター、個人用デジタル情報処理端末(P D A)および携帯電話を含む様々なシステムで実施されて良い。このようなシステムにおいて、M A Cユニットは、フラッシュ・メモリー・デバイスあるいは静的ランダムアクセス記憶装置(S R A M)のようなメモリ素子に接続されるプロセッサに含まれていて良く、O Sあるいは他のソフトウェア・アプリケーションを格納する。

20

【0032】

このようなプロセッサは、ビデオカムコーダー、通信会議装置、P Cビデオカード、および高品位テレビジョン(H D T V)中に使用されてもよい。さらに、このようなプロセッサは、携帯電話、音声認識および他のアプリケーションの中で使用される音声処理のようなデジタル信号処理を利用する他の技術に関して使用されてもよい。

【0033】

例えば、図7は、一実施形態における、M A Cユニット100を含むプロセッサ701を備える携帯型ビデオ装置700を示す。携帯型ビデオ装置700は、アンテナ702またはデジタルビデオ記憶媒体704(例えばデジタル・ビデオ・ディスク(D V D)またはメモリーカード)から受信したエンコードされた映像信号から生成したビデオ画像を表示する携帯型のデバイスであって良い。プロセッサ100は、プロセッサ演算のための命令およびデータを格納するキャッシュ・メモリ706、および例えばS R A M 708のような他のデバイスと通信して良い。

30

【0034】

多くの実施形態が記載されたが、様々な修正が本発明の精神と範囲から逸脱することなく為され得る事が理解される。例えば、フローチャートの任意のブロックがスキップされたり、任意の順序で実行されたりすることが可能であり、かつ望ましい結果を生じさせ得る。さらに、オペランドのサイズおよび1つのS I M D命令にあたり作用されるオペランドの数は変化しても良い。従って、他の実施形態は添付の特許請求の範囲内である。

40

【図面の簡単な説明】

【0035】

【図1】一実施形態における、デュアル積和演算(M A C)ユニットのブロック線図である。

【図2】一実施形態における、M A C S I M D(単一命令複数データ)演算を示すブロック線図である。

【図3a】一実施形態における、M A C S I M D演算について記述するフローチャートである。

【図3b】一実施形態における、M A C S I M D演算について記述するフローチャート

50

である。

【図 3 c】一実施形態における、MAC SIMD 演算について記述するフローチャートである。

【図４】－実施形態における、データ転送を利用したパイプライン化された命令シーケンスを示すブロック線図である。

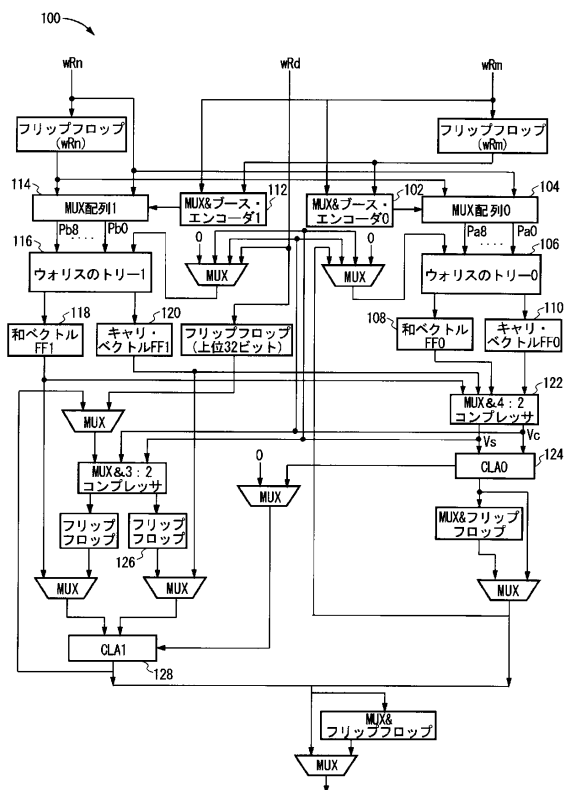
【図 5】－実施形態における、中間データ転送を利用するパイプライン化された命令シーケンスを示すブロック線図である。

【図 6 a】一実施形態における、密結合デュアル 16 ビット MAC ユニット上で行なわれる 32 ビット×32 ビットの MAC 演算について記述するフローチャートである。

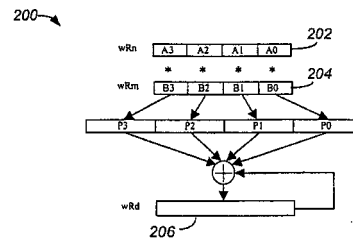
【図 6 b】一実施形態における、密結合デュアル 16 ビット MAC ユニット上で行なわれる 32 ビット×32 ビットの MAC 演算について記述するフローチャートである。

【図 7】一実施形態における、MAC ユニットを備える携帯型ビデオ装置のブロック線図である。

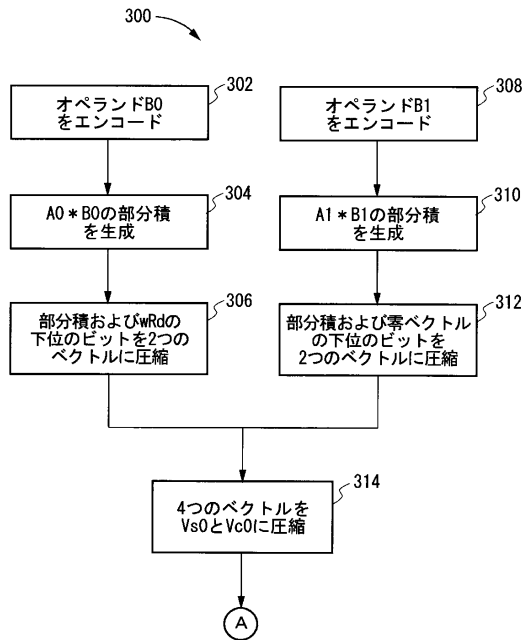
【圖 1】



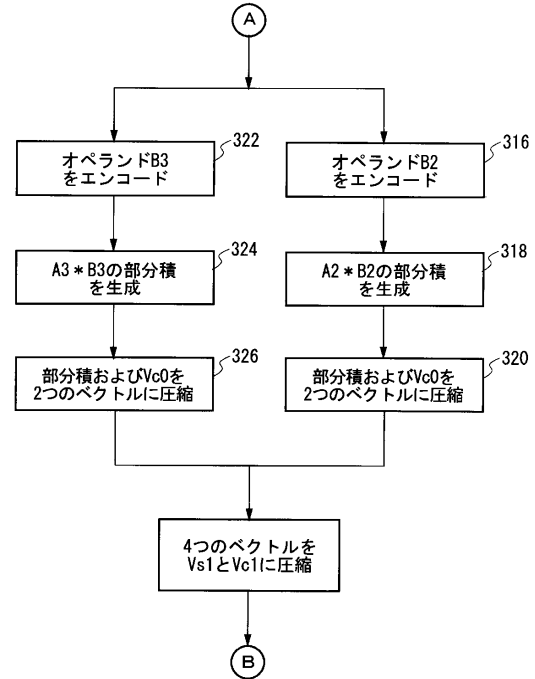
【圖 2】



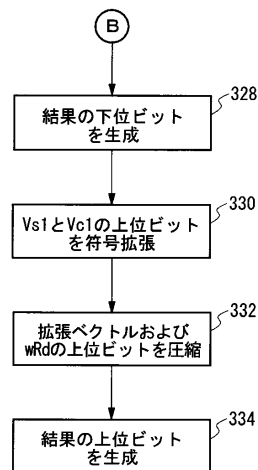
【図 3 a】



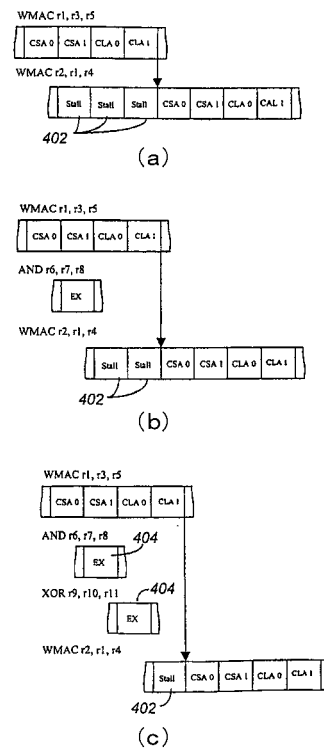
【図 3 b】



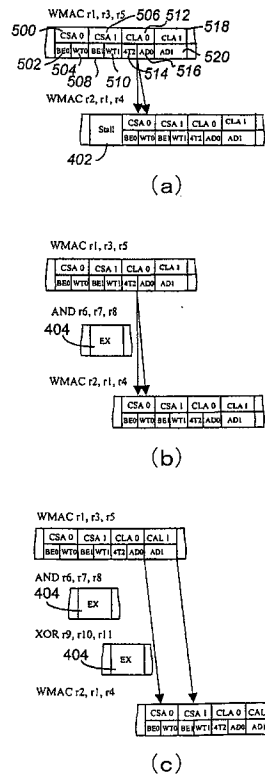
【図 3 c】



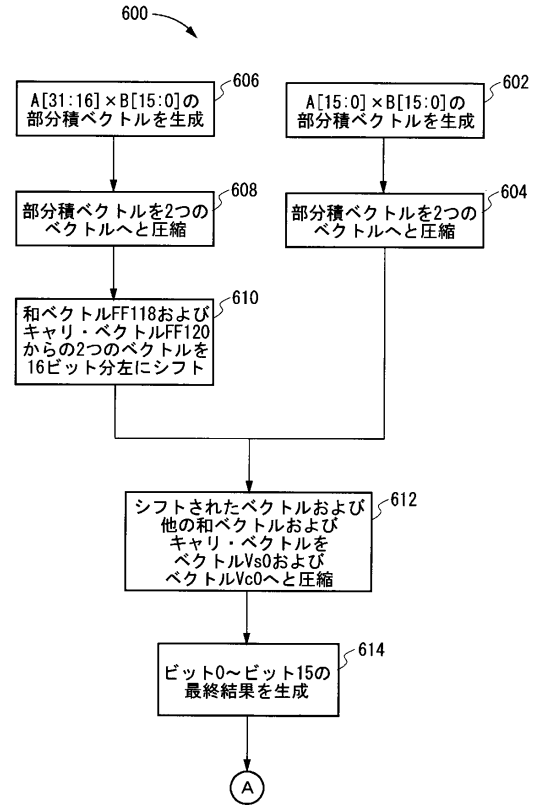
【図 4】



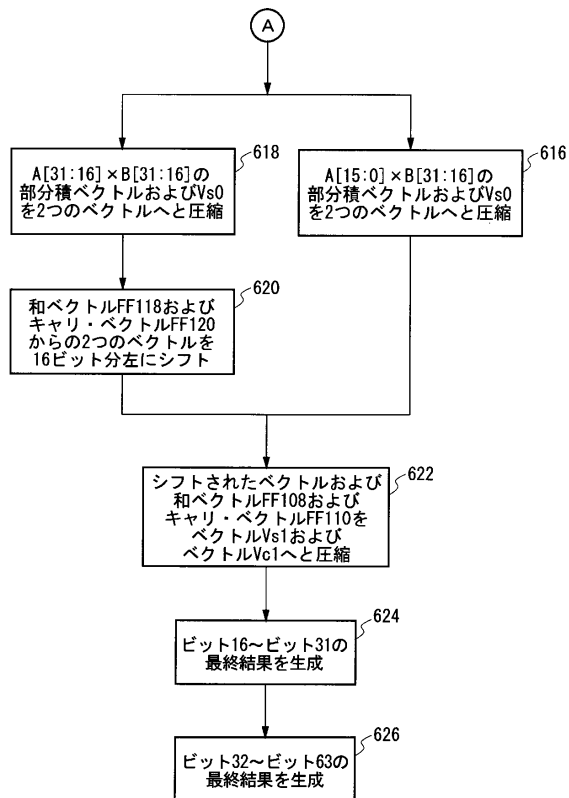
【図5】



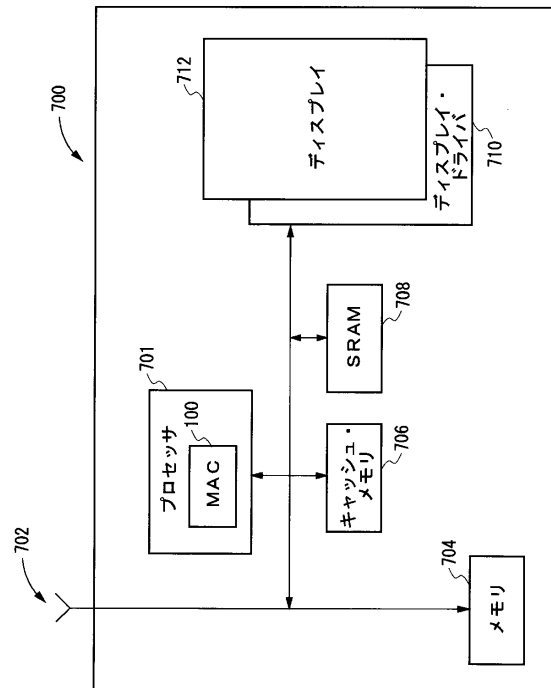
【図6a】



【図6b】



【図7】



フロントページの続き

(72)発明者 ジェブソン アンソニー

アメリカ合衆国、 7 8 7 3 9 テキサス州、オースティン、レドモンド ロード 1 0 8 1 9

(72)発明者 ペーバ ナイジャル

アメリカ合衆国、 7 8 7 3 9 テキサス州、オースティン、ダムルグリーン アベニュー 1 0 2
0 0

(72)発明者 ドン デリ

アメリカ合衆国、 7 8 7 4 9 テキサス州、オースティン、ジャナバード レーン 5 7 4 4

合議体

審判長 吉岡 浩

審判官 宮司 卓佳

審判官 富吉 伸弥

(58)調査した分野(Int.Cl. , D B 名)

G06F17/10