

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

PCT

(10) 国際公開番号
WO 2010/109815 A1

- (51) 国際特許分類:
H04N 5/335 (2006.01) H03M 1/38 (2006.01)
H03M 1/10 (2006.01)
- (21) 国際出願番号: PCT/JP2010/001914
- (22) 国際出願日: 2010 年 3 月 17 日(17.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-071515 2009 年 3 月 24 日(24.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): コニカミノルタオプト株式会社(KONICA MINOLTA OPTO, INC.) [JP/JP]; 〒1928505 東京都八王子市石川町 2 9 7 0 番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 片桐哲也(KATAGIRI, Tetsuya) [JP/JP]; 〒1918511 東京都日野市さくら町 1 番地コニカミノルタテクノロジーセンター株式会社内 Tokyo (JP). 楠田将之

(KUSUDA, Masayuki) [JP/JP]; 〒1918511 東京都日野市さくら町 1 番地コニカミノルタテクノロジーセンター株式会社内 Tokyo (JP).

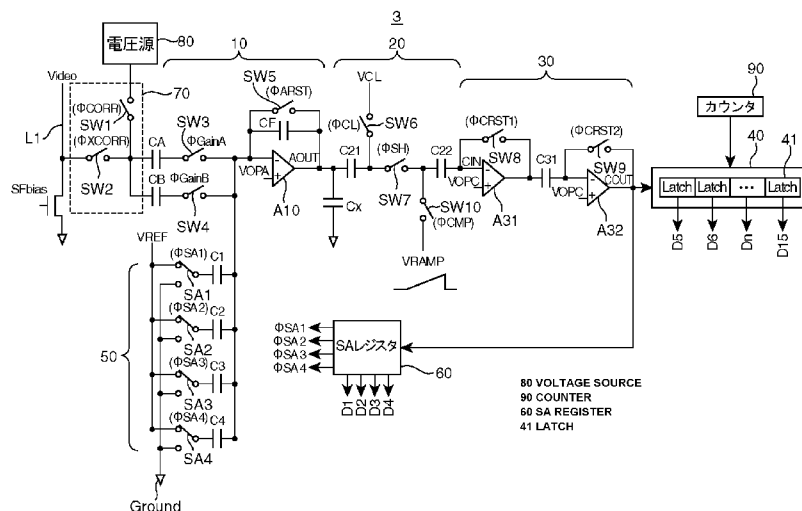
- (74) 代理人: 小谷悦司, 外(KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島 2 丁目 2 番 2 号大阪中之島ビル 2 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SOLID STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 固体撮像装置

【図2】



(57) Abstract: A solid state image pickup device comprises a plurality of capacitors (C1 to C4) each of which is provided correspondingly to one bit of digital data which is A/D-converted, which output signals of different levels to a column amplifier (10), a plurality of switches (SA1 to SA4) which are provided correspondingly to the capacitors (C1 to C4), respectively, and each of which connects the corresponding capacitor to the column amplifier (10), and a switch unit (70) which isolates the column amplifier (10) from a pixel portion (1) and connects the column amplifier (10) to a voltage source (80).

(57) 要約: アナログデジタル変換されるデジタルデータの1ビットに対応して複数設けられ、それぞれレベルの異なる信号をカラムアンプ10に出力するコンデンサC1~C4と、コンデンサC1~C4に対応して複数設けられ、対応するコンデンサをカラムアンプ10に接続するスイッチSA1~SA4と、カラムアンプ10及び画素部1間を遮断して、カラムアンプ10を電圧源80に接続させるスイッチ部70とを備える。

WO 2010/109815 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本発明は、逐次比較型アナログデジタル変換方式により画素信号をアナログデジタル変換する固体撮像装置に関するものであり、特にデジタルデータの各ビットの重み付け値を補正する技術に関するものである。

背景技術

[0002] 近年、複数の画素がマトリックス状に配列された画素部と、画素部の各列に対応して設けられた各画素から画素信号を読み出すカラムＡＤ変換部とを備え、各カラムＡＤ変換部が自身で読み出した画素信号をアナログデジタル変換するＣＭＯＳイメージセンサが知られている（例えば、特許文献１）。このようなＣＭＯＳイメージセンサでは、カラムＡＤ変換部は積分型ＡＤ変換器を備え、積分型ＡＤ変換方式により画素信号をＡＤ（アナログデジタル）変換するものが一般的である。

[0003] ここで、積分型ＡＤ変換器において分解能を上げようとする、必要なクロック数が増え、ＡＤ変換に時間が掛かってしまうという問題がある。これは、例えば n ビットのデジタルデータを得るためには、 2^n 乗クロックの時間が必要となるからである。

[0004] この問題を解消するために、デジタルデータを上位ビット群と下位ビット群とに分割してＡＤ変換する技術が知られている（特許文献２）。

[0005] しかしながら、特許文献２の技術では上位ビット群と下位ビット群とが共に積分型ＡＤ変換方式によってＡＤ変換されているため、さほどＡＤ変換のスピードを上げることはできない。

[0006] この問題を解決するために、上位ビット群を積分型ではなく逐次比較型でＡＤ変換を行う技術が知られている。（特許文献３）

[0007] 図９は、上位ビット群を逐次比較型ＡＤ変換方式でＡＤ変換し、下位ビット群を積分型ＡＤ変換方式でＡＤ変換するカラムＡＤ変換部の回路図を示し

ている。図10は、図9に示すカラムAD変換部のタイミングチャートを示している。

- [0008] 図9に示すカラムAD変換部は、冗長ビットとして1ビットを追加した15ビットのカラムAD変換部で、上位4ビットの上位ビット群と、冗長ビットを含む下位11ビットの下位ビット群とに分割してAD変換を行う。
- [0009] 図9に示すようにカラムAD変換部は、カラムアンプ100、クランプ部200、コンパレータ部300、ラッチ回路400、逐次比較信号生成部500、及びSA (Successive Approximation) レジスタ600を備えている。
- [0010] 図9と図10とを用いて、図9に示す画素回路の動作を説明する。まず、垂直信号線L1に画素からのノイズNoise成分の画素信号Videoである高電位の信号が出力されると、 $\phi ARST$ 、 ϕCL 、 $\phi CRST1$ 、 $\phi CRST2$ が一定期間Hi (ハイレベル) にされ、カラムアンプ100、クランプ部200、コンパレータ部300がリセットされ、 $\phi GainA=Hi$ 、 $\phi GainB=Lo$ の場合、Noise成分の画素信号VideoがコンデンサCAにサンプルホールドされる。
- [0011] その後、画素部において、フォトダイオードで蓄積された電荷がフローティングディフュージョンに転送され、画素部から垂直信号線L1を介して (Noise+Signal) 成分の画素信号VideoであるNoise成分よりもSignal成分の大きさだけ低電位の信号が出力される。
- [0012] 画素信号Videoが (Signal+Noise) 成分のレベルに低下すると、カラムアンプ100の出力信号であるAOUTは、Signal成分の大きさに従って、カラムアンプ100のリセットレベルであるVOPAから増大する。このVOPAの変化の大きさは、 $\phi GainA$ 、 $\phi GainB$ のゲイン設定による。すなわち、図10のタイミングチャートのように、 $\phi GainA$ と $\phi GainB$ との両方がHiの場合は、カラムアンプ100のゲインは、 $(CA+CB)/CF$ となり、カラムアンプ100の出力信号であるAOUTは、 $Signal \cdot (CA+CB)/CF$ だけ上昇する。

- [0013] この後、逐次比較型AD変換方式により上位ビット群のAD変換が開始される。まず、 $\phi SA1 = Hi$ になり、カラムアンプ100にコンデンサC1が接続される。ここで、コンデンサC1の他端には電圧VREFが入力されているため、カラムアンプ100に入力される電位は $VREF \cdot C1$ だけ上昇する。カラムアンプ100に入力される電位が上昇すると、AOUTは $VREF \cdot (C1 / CF)$ だけ低下する。
- [0014] コンパレータ部300に入力される信号CIN（以下、「CIN」と記す。）は、カラムアンプ100とコンパレータ部300との間にクランプ部200が存在するため、直流レベルはAOUTと異なるが、交流レベルはAOUTと同様に変化する。
- [0015] 具体的には、クランプ部200のゲインKGが $KG = C21 / (C21 + C22)$ であるため、 $\phi SA1 = Hi$ となると、CINは $KG \cdot VREF \cdot (C1 / CF) = TH1$ だけ低下する。ここで、 $\phi SA1 = Hi$ にしたとき、CINがコンパレータ部300の閾値電圧であるVOPC以下になればCOUTはHiからLoに反転する。図9のタイミングチャートではCINは、TH1低下しても、VOPCよりも高いため、COUTは反転せずHiを維持している（期間T1）。
- [0016] この場合、SAレジスタ600は、COUT=Hiを維持しているので、 $\phi SA1 = Hi$ を維持する。 $\phi SA1 = Hi$ を維持するということは、上位ビット群のMSB(D1)=1にすることなので、SAレジスタ600はD1=1にする。
- [0017] 次に、SAレジスタ600は、 $\phi SA1 = Hi$ を維持して $\phi SA2 = Hi$ にして、カラムアンプ100にコンデンサC2を接続する。
- [0018] このとき、AOUTは $VREF \cdot (C2 / CF)$ だけ電位が変化し、CINは $KG \cdot VREF \cdot (C2 / CF) = TH2$ だけ電位が変化する。図10の例ではCINがVOPC以下になるのでCOUTはHiからLoに反転する（期間T2）。
- [0019] COUT=Loになると、SAレジスタ600は、 $\phi SA2$ をHiからL

oに戻し、コンデンサC2をカラムアンプ100から切り離す。ここで、SAレジスタ600は、 $\phi SA2$ がLoに戻ったので、 $D2=0$ にする。

[0020] 次に、SAレジスタ600は、 $\phi SA1=Hi$ 、 $\phi SA2=Lo$ を維持して、 $\phi SA3=Hi$ にしてカラムアンプ100にコンデンサC3を接続する。これにより、AOUTは $VREF \cdot (C3/CF) = TH3$ に応じて電位が変化し、CINは $KG \cdot VREF \cdot (C3/CF) = TH3$ に応じて電位が変化する。図10の例ではCINは上昇しているが、CINはVOPC以下なので、COUT=Loを維持する(期間T3)。COUT=Loが維持されているので、SAレジスタ600は、 $\phi SA3$ をHiからLoに戻し、カラムアンプ100からコンデンサC3を切り離す。ここで、SAレジスタ600は、 $\phi SA3$ がLoに戻ったので、 $D3=0$ とする。

[0021] 次に、SAレジスタ600は、 $\phi SA1=Hi$ 、 $\phi SA2=Lo$ 、 $\phi SA3=Lo$ を維持して、 $\phi SA4=Hi$ にして、カラムアンプ100にコンデンサC4を接続する。これにより、AOUTは $VREF \cdot (C4/CF)$ に応じて電位が変化し、CINは $KG \cdot VREF \cdot (C4/CF) = TH4$ (図略)に応じて電位が変化する。図10の例ではCINの電位がVOPCを超えているので、COUTはLoからHiに反転する(期間T4)。COUTがHiに反転したため、SAレジスタ600は、 $\phi SA4=Hi$ を維持させる。ここで、SAレジスタ600は、 $\phi SA4=Hi$ を維持したため、 $D4=1$ にする。

[0022] そして、C1、C2、C3、C4、CF、C21、C22、VREFに一定の関係を持たせて、上記のような動作を行えば、上位ビット群をデジタル化することができる。

[0023] 次に、コンパレータ部300にランプ信号(以下、「VRAMP」と記す。)が入力されると、上位ビット群のAD変換後におけるCINにVRAMPが重畳され、CINがVOPCになるまでの時間がカウントされ(時刻T6)、このカウント値が下位ビット群の値となる。

[0024] 図11は、逐次比較型AD変換方式によるAD変換動作を概念的に説明す

る図である。ここで、縦方向はCINのレベルを示している。また、TH1～TH4はそれぞれ、 $KG \cdot (C1/CF) \cdot VREF$ 、 $KG \cdot (C2/CF) \cdot VREF$ 、 $KG \cdot (C3/CF) \cdot VREF$ 、 $KG \cdot (C4/CF) \cdot VREF$ を示している。D1～D4は4ビットのデジタルデータを示している。

[0025] 図11を用いてカラムAD変換部の動作を概念的に説明すると、まず、カラムAD変換部は、CINをTH1と比較し、 $CIN > TH1$ の場合、 $D1 = 1$ とし、 $CIN < TH1$ の場合、 $D1 = 0$ とする。

[0026] 次に、カラムAD変換部は、 $D1 = 1$ とした場合はCINからTH1を減じた値をCINとしてTH2と比較し、 $D1 = 0$ とした場合はCINをそのままTH2と比較し、 $CIN > TH2$ の場合、 $D2 = 1$ とし、 $CIN < TH2$ の場合、 $D2 = 0$ とする。

[0027] 次に、カラムAD変換部は、 $D2 = 1$ とした場合はCINからTH2を減じた値をCINとしてTH3と比較し、 $D2 = 0$ とした場合はCINをそのままTH3と比較し、 $CIN > TH3$ の場合、 $D3 = 1$ とし、 $CIN < TH3$ の場合、 $D3 = 0$ とする。

[0028] 次に、カラムAD変換部は、 $D3 = 1$ とした場合はCINからTH3を減じた値をCINとしてTH4と比較し、 $D3 = 0$ とした場合はCINをそのままTH4と比較し、 $CIN > TH4$ の場合、 $D4 = 1$ とし、 $CIN < TH4$ の場合、 $D4 = 0$ とする。

[0029] 図10のタイミングチャートの例では、CINは升αに属している。そのため、 $D1 \sim D4 = 1, 0, 0, 1$ となる。

[0030] 図12は図9のカラムAD変換部における理想的な上位ビット群のAD変換特性と下位ビット群のAD変換特性とを示したグラフである。図12において、横軸はカラムAD変換部に入力されるアナログの画素信号（アナログ入力）、左の縦軸は上位ビット群の値、右の縦軸は下位ビット群の値を示している。また、 $g1$ は上位ビット群のAD変換特性を示し、 $g2$ は下位ビット群のAD変換特性を示している。

- [0031] 図 12 に示すように、上位ビット群の値はアナログ入力が増大するにつれて、階段状に 0 から 15 まで 16 段階で変化している。下位ビット群の値は、上位ビット群の 1 ステップが 1 期間とされてのこぎり状に変化していることが分かる。
- [0032] 特許文献 3 にも記載されているが、上位ビット群と下位ビット群とに分割して A/D 変換を行う場合、必ず上位ビット群の値と下位ビット群の値との間でマッチング誤差が生じるため、下位ビット群に 1 ビットの冗長ビットが設けられているのが通常である。
- [0033] 図 9 のカラム A/D 変換部は最終的に 14 ビットのデジタルデータを得るものであり、上位ビット群が 4 ビットなので、下位ビット群の分解能は 10 ビットで足りるが、下位ビット群は 1 ビットの冗長ビットを持ち、11 ビットとされている。
- [0034] よって、図 12 に示すように下位ビット群のダイナミックレンジは上側 0.5 ビットの冗長ビットと下側 0.5 ビットの冗長ビットとが除かれたものになる。
- [0035] 図 12 の A/D 変換特性を示す場合、下位ビット群から下側及び上側の冗長ビットを取り除き、上位ビット群と合成すれば、図 13 に示すような滑らかな直線状の 14 ビットの A/D 変換特性が得られる。
- [0036] すなわち、下位ビット群から冗長ビットを取り除き、上位ビット群の各ビットに重み付け値を乗じて合成すれば、図 13 の A/D 変換特性が得られる。ここで、重み付け値は、2 進数を 10 進数に変換する際に使用される重み付け値であり、最終的に得られるデジタルデータは 14 ビットであるので、上位ビット群の D1 ~ D4 の重み付け値はそれぞれ、 $2^{13} = 8192$ 、 $2^{12} = 4096$ 、 $2^{11} = 2048$ 、 $2^{10} = 1024$ となる。
- [0037] しかしながら、実際にはコンデンサ C1 ~ C4 の容量が理想値からずれ、コンデンサ C1 ~ C4 のそれぞれをカラムアンプ 100 に接続したときの C_{IN} が理想値からずれるのが一般的であるため、実際には上位ビット群と下位ビット群との A/D 変換特性は、図 14 に示すような特性になる。図 14 で

は、上位ビット群の値によって下位ビット群のダイナミックレンジにバラツキが生じていることが分かる。

[0038] 図14のようなAD変換特性の場合、単純に下位ビット群から冗長ビットを取り除いて上位ビット群に合成する手法では、上位ビット群の各ビットの重み付け値をそのまま採用すると、図13に示すような滑らかな直線状のAD変換特性は得られない。具体的には、図13に示す直線を上位ビット群の1ステップごとに分断して不連続に繋げたようなAD変換特性が得られる。

[0039] そこで、従来では、カラムアンプ100に入力される信号を0として、SAレジスタ600にカラムアンプ100と各コンデンサC1～C4とを強制的に接続させ、CINの値を測定し、測定結果に基づいて上位ビット群の各ビットの重み付け値を補正することが行われていた。

[0040] しかしながら、図9に示すカラムADC変換部では、例えば $\phi SA1=Hi$ となってカラムアンプ100にコンデンサC1が接続されると、AOUTは徐々に電位を下げるが、その時にカラムアンプ100から見た負荷容量としては、コンデンサCA, CB, C1, CFとなる。よって、カラムアンプ100の性能に応じたセトリング特性でAOUTは変化していく。

[0041] 一方、 $\phi GainA=Lo$, $\phi GainB=Lo$ にして、強制的に $\phi SA1=Hi$ とさせた場合、カラムアンプ100から見た負荷容量は、コンデンサC1, CFだけとなり、負荷容量が上記に比べて軽くなるため、時間が有限の場合、上記とは異なるレベルでAOUTはセトリングしていく。このセトリングレベルの差によって、通常動作時と測定時とではCINの値が異なり、重み付け値を精度良く補正することができないという問題があった。

先行技術文献

特許文献

[0042] 特許文献1：特許第2532374号公報

特許文献2：特許第3507800号公報

特許文献3：特開2008-244716号公報

発明の概要

[0043] 本発明の目的は、通常動作時と測定時とにおいてカラムアンプから見た負荷容量を同一にすることができる固体撮像装置を提供することである。

[0044] 本発明の一局面による固体撮像装置は、複数列で配置された画素を備える画素部と、前記画素部の各列に対応して設けられ、対応する列の画素から画素信号を読み出し、読み出した画素信号を逐次比較型アナログデジタル変換方式によりアナログデジタル変換する複数の読出回路とを備え、前記読出回路は、コンデンサを含み、前記画素部から読み出した画素信号を増幅するカラムアンプと、アナログデジタル変換されるデジタルデータの各ビットに対応して設けられ、それぞれレベルの異なる信号を前記カラムアンプに出力する複数の逐次比較コンデンサと、各逐次比較コンデンサに対応して複数設けられ、対応する逐次比較コンデンサを前記カラムアンプに接続する逐次比較スイッチと、前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを所定の電圧部に接続させるスイッチ部とを備える。

図面の簡単な説明

[0045] [図1] 本発明の実施の形態 1 による固体撮像装置の全体構成図である。

[図2] 図 1 に示すカラム A/D 変換部の回路図を示している。

[図3] 補正処理を示すフローチャートである。

[図4] $Y < 0 >$ を示したグラフである。

[図5] $Y < 4 >$ を示したグラフである。

[図6] $Y < 3 >$ を示したグラフである。

[図7] $Y < 2 >$ を示したグラフである。

[図8] 本発明の実施の形態 2 によるカラム A/D 変換部の回路図である。

[図9] 上位ビット群を逐次比較型 A/D 変換方式で A/D 変換し、下位ビット群を積分型 A/D 変換方式で A/D 変換するカラム A/D 変換部の回路図を示している。

。

[図10] 図 8 に示すカラム A/D 変換部のタイミングチャートを示している。

[図11] 逐次比較型 A/D 変換方式の A/D 変換動作を概念的に説明する図である。

。

[図12]理想的な上位ビット群と下位ビット群とのA/D変換特性を示したグラフである。

[図13]理想的なA/D変換特性を示したグラフである。

[図14]上位ビット群と下位ビット群との実際のA/D変換特性を示したグラフである。

発明を実施するための形態

[0046] (実施の形態1)

図1は、本発明の実施の形態1による固体撮像装置の全体構成図である。図1に示すように固体撮像装置は、列並列型A/D変換方式（カラムA/D変換方式）のCMOSイメージセンサによる固体撮像装置であって、画素部1、垂直走査回路2、読出回路としてのカラムA/D変換部3、水平走査回路4、制御部5、画像処理部6、及び画像メモリ7を備えている。

[0047] 画素部1は、複数の画素が8行×8列でマトリックス状に配列されている。なお、8行×8列は一例であり、M（Mは1以上の正の整数）行×N（Nは2以上の正の整数）列に配列してもよい。M=1とした場合、画素部1はラインセンサとなり、Mを複数とした場合、画素部1はエリアセンサとなる。

[0048] 垂直走査回路2は、例えば、シフトレジスタにより構成され、画素部1の第1行目～第8行目の各行に対応する8本の画素制御線HL1を介して画素部1と接続されている。そして、垂直走査回路2は、垂直同期信号VDに同期して、第1行目～第8行目の画素制御線HL1をサイクリックに選択することで、画素部1を垂直走査する。

[0049] 水平走査回路4は、例えばシフトレジスタにより構成され、水平同期信号HDに同期して列選択信号を出力することで、1水平走査期間において、第1列目～第8列目のカラムA/D変換部3をサイクリックに選択してカラムA/D変換部3を水平走査し、カラムA/D変換部3が保持する第1列目～第8列目の画素信号を順次に出力させる。

[0050] 制御部5は、CPU（中央演算処理装置）、ROM（リードオンリーメモ

り)、及びRAM(ランダムアクセスメモリ)等かなるマイコンから構成され、固体撮像装置全体制御を司る。

[0051] 画像処理部6は、専用のハードウェア回路により構成され、各カラムAD変換部3から出力された画像データに種々の画像処理を施す。本実施の形態では、画像処理部6は、特に補正部61を備えている。補正部61の処理の詳細については後述する。

[0052] 画像メモリ7は、ハードディスク等の記憶装置から構成され、画像処理部6により所定の画像処理が行われた画像データを記憶する。

[0053] 図2は、図1に示すカラムAD変換部3の回路図を示している。カラムAD変換部3は、カラムアンプ10、クランプ部20、コンパレータ部30、測定部としてのラッチ部40、逐次比較信号生成部50、ビット決定部としてのSAレジスタ60、及びスイッチ部70を備えている。

[0054] 図2において、 $\phi CORR$ 、 $\phi X CORR$ 、 $\phi Gain A$ 、 $\phi Gain B$ 、 $\phi ARST$ 、 ϕCL 、 ϕSH 、 ϕCMP 、 $\phi CRST 1$ 、 $\phi CRST 2$ は制御信号を示し、例えば制御部5から出力される。また、VRAMPはランンプ信号を示し、例えば制御部5から出力される。

[0055] カラムアンプ10は、画素部1から出力された画素信号Videoに対して、CDS処理を行いながら増幅処理を行い、画素信号Videoからノイズ信号を除去する。

[0056] 具体的にはカラムアンプ10は、オペアンプA10と、コンデンサCA、CB、CF、及びスイッチSW3、SW4、SW5を備えている。コンデンサCA、CBは、オペアンプA10のマイナス端子側にスイッチSW3、SW4を介して接続されている。コンデンサCFは、オペアンプA10の入出力端子間に設けられた帰還コンデンサである。

[0057] スイッチSW3は、コンデンサCAをオペアンプA10に接続するためのスイッチであり、例えば $\phi Gain A = Hi$ (ハイレベル)のときオンしてコンデンサCAをオペアンプA10のマイナス端子に接続し、 $\phi Gain A = Lo$ (ローレベル)のときオフしてコンデンサCAをオペアンプA10の

マイナス端子から切り離す。

- [0058] スイッチSW4は、コンデンサCBをオペアンプA10に接続するためのスイッチであり、例えば $\phi GainB = Hi$ （ハイレベル）のときオンしてコンデンサCBをオペアンプA10のマイナス端子に接続し、 $\phi GainB = Lo$ （ローレベル）のときオフしてコンデンサCBをオペアンプA10のマイナス端子から切り離す。
- [0059] スイッチSW5は、コンデンサCFと並列接続され、 $\phi ARST = Hi$ のときオンし、 $\phi ARST = Lo$ のときオフし、カラムアンプ10をリセットし、オペアンプA10のマイナス端子とオペアンプA10の出力端子との電位を所定のリセットレベル（以下、「VOPA」と記す。）にする。なお、オペアンプA10のプラス端子には常にVOPAが印加されている。
- [0060] ここで、カラムアンプ10は、スイッチSW3＝オンの場合、入力される信号をCA／CFの利得で増幅し、スイッチSW4＝オンの場合、入力される信号をCB／CFの利得で増幅し、スイッチSW3，SW4＝オンの場合、入力される信号を $(CA + CB) / CF$ の利得で増幅する。
- [0061] クランプ部20は、カラムアンプ10の出力端子側に設けられ、画素信号Videoの黒レベルを所定の定電圧であるクランプ電圧VCLにクランプする。ここで、クランプ部20は、スイッチSW6，SW7、及びコンデンサC21，C22を備えている。スイッチSW6は一端がコンデンサC21，Cxを介して接地されると共にコンデンサC21を介してオペアンプA10の出力端子に接続され、他端がクランプ電圧VCLを出力するクランプ電圧源（図略）に接続され、 $\phi CL = Hi$ のときオンし、 $\phi CL = Lo$ のときオフする。
- [0062] スイッチSW7は、一端がスイッチSW7を介してコンデンサC21に接続され、他端がコンデンサC22を介してコンパレータ部30に接続され、 $\phi SH = Hi$ のときオンして、カラムアンプ10及びコンパレータ部30間を接続し、 $\phi SH = Lo$ のときオフして、カラムアンプ10及びコンパレータ部30間を遮断する。

- [0063] コンデンサ C_x は、一端がコンデンサ C_{21} に接続され、他端が接地され、 $AOUT$ を保持する。
- [0064] コンパレータ部 30 は、スイッチ SW_{10} 、 SW_8 、 SW_9 、コンデンサ C_{31} 、及びコンパレータ A_{31} 、 A_{32} を備えている。
- [0065] スイッチ SW_{10} は、一端がコンデンサ C_{22} を介して、コンパレータ A_{31} のマイナス端子に接続され、他端に $VRAMP$ が入力され、 $\phi_{CMP} = Hi$ になったときオンして、 $VRAMP$ をコンパレータ A_{31} のマイナス端子に入力し、 $\phi_{CMP} = Lo$ になったときオフして、 $VRAMP$ をコンパレータ A_{31} のマイナス端子に入力しない。
- [0066] 本実施の形態では、画素信号 $Video$ は、上位 4 ビットの上位ビット群と下位 11 ビット（1 ビットの冗長ビットを含む）の下位ビット群とに分けて AD 変換される。そして、カラム AD 変換部 3 は、上位ビット群を逐次比較型 AD 変換方式により AD 変換し、下位ビット群を積分型 AD 変換方式により AD 変換する。
- [0067] そのため、 $VRAMP$ は下位ビット群を AD 変換するために、例えば $0 \sim 2048 (= 2^{11})$ の範囲で経時的に増大するランプ信号が採用される。
- [0068] スイッチ SW_8 は、コンパレータ A_{31} の入出力端子間に接続され、 $\phi_{CRST1} = Hi$ のときオンし、 $\phi_{CRST1} = Lo$ のときオフし、コンパレータ A_{31} をリセットさせ、コンパレータ A_{31} のマイナス端子とコンパレータ A_{31} の出力端子との電位を所定のリセットレベル（以下、「 $VOPC$ 」と記す。）にする。なお、コンパレータ A_{31} のプラス端子には常に $VOPC$ が印加されている。
- [0069] コンパレータ A_{31} は、マイナス端子に入力される信号（以下、「 CIN 」と記す。）を $VOPC$ と比較し、 CIN が $VOPC$ を超えると、出力信号をローレベルに反転させ、 CIN が $VOPC$ を下回ると、出力信号をハイレベルに反転させる。
- [0070] スイッチ SW_9 は、コンパレータ A_{32} の入出力端子間に接続され、 $\phi_{CRST2} = Hi$ のときオンし、 $\phi_{CRST2} = Lo$ のときオフし、コンパレ

ータ A 3 2 をリセットし、コンパレータ A 3 2 のマイナス端子とコンパレータ A 3 2 の出力端子との電位をリセットレベルである V O P C にする。なお、コンパレータ A 3 2 のプラス端子には常に V O P C が印加されている。

[0071] コンパレータ A 3 2 は、マイナス端子がコンデンサ C 3 1 を介してコンパレータ A 3 1 に接続され、コンパレータ A 3 1 からの出力信号が V O P C を超えると、出力信号（以下、「C O U T」と記す。）を L o に反転させ、コンパレータ A 3 1 からの出力信号が V O P C を下回ると、C O U T を H i に反転させる。

[0072] ラッチ部 4 0 は、下位ビット群の各ビットの値（= D 5 ~ D 1 5）をラッチする 1 1 個のラッチ回路 4 1 を備えている。

[0073] カウンタ 9 0 は、例えば図 1 に示す制御部 5 内に設けられた 1 1 ビットのカウンタにより構成され、V R A M P のコンパレータ部 3 0 への入力が始まる前から、C I N が V O P C に到達して C O U T が反転するまでの時間をカウントし、カウント値をラッチ回路 4 1 にラッチさせる。

[0074] 逐次比較信号生成部 5 0 は、逐次比較コンデンサとしてのコンデンサ C 1 ~ C 4、及びスイッチ S A 1 ~ S A 4 を備えている。コンデンサ C 1 ~ C 4 は、上位ビット群の各ビットに対応し、それぞれレベルの異なる信号をカラムアンプ 1 0 に出力する。具体的には、コンデンサ C 1 ~ C 4 は、一端がスイッチ S A 1 ~ S A 4 を介して基準電圧（以下、「V R E F」と記す。）を出力する電圧源（図略）に接続され、他端がオペアンプ A 1 0 のマイナス端子に接続されている。

[0075] 本実施の形態では、コンデンサ C 1 ~ C 4 は、それぞれ、上位ビット群の各ビットを最上位ビットから順に D 1 ~ D 4 とすると、D 1 ~ D 4 に対応している。

[0076] ここで、 $KG \cdot Signal \cdot ((CA + CB) / CF)$ のダイナミックレンジを W とすると（但し、 $KG = C21 / (C21 + C22)$ ）、コンデンサ C 1 ~ C 4 の容量はそれぞれ、例えば $KG \cdot (C1 / CF) \cdot VREF = W / 2$ 、 $KG \cdot (C2 / CF) \cdot VREF = W / 4$ 、 $KG \cdot (C3 / CF$

)・ $V_{REF}=W/8$ 、 $KG \cdot (C4/C_F) \cdot V_{REF}=W/16$ となるように設定されている。そして、 $D1 \sim D4$ の閾値を $TH1 \sim TH4$ とすると、 $TH1=W/2$ 、 $TH2=W/4$ 、 $TH3=W/8$ 、 $TH4=W/16$ となる。

[0077] スイッチ $SA1 \sim SA4$ は、それぞれ、 $\phi SA1 \sim \phi SA4=Hi$ のときオンして $C1 \sim C4$ を V_{REF} に接続し、 $\phi SA1 \sim \phi SA4=Lo$ のときオフして $C1 \sim C4$ を接地端子 (Ground) に接続する。ここで、 $\phi SA1 \sim \phi SA4$ は、 SA レジスタ60により出力される。

[0078] SA レジスタ60は、コンデンサ $C1 \sim C4$ とカラムアンプ10との接続関係を逐次切り替えて、コンパレータ部30から出力される $COUT$ を基に、逐次比較型 AD 変換方式により画素信号 $Video$ の上位ビットの値を決定する。

[0079] ここで、 SA レジスタ60は、コンデンサ $C1 \sim C4$ を、容量の大きい順番でカラムアンプ10に逐次に接続し、コンデンサ $C1 \sim C4$ のうちのある1つのコンデンサをカラムアンプ10に接続したときの $COUT$ の反転の有無に基づいて、当該1つのコンデンサのカラムアンプ10への接続を維持するか否かを決定すると共に、当該1つのコンデンサに対応するビットの値を決定する。

[0080] 具体的には、 SA レジスタ60は、コンデンサ $C1$ をカラムアンプ10に接続し、 $COUT$ が反転しない場合、 $\phi SA1=Hi$ を維持し、かつ、 $D1=1$ とする。一方、 SA レジスタ60は、コンデンサ $C1$ をカラムアンプ10に接続し、 $COUT$ が反転した場合、 $\phi S1=Lo$ に切り替え、 $D1=0$ とする。

[0081] そして、 SA レジスタ60は、コンデンサ $C2 \sim C4$ を逐次カラムアンプ10に接続し、ある1つのコンデンサを接続したときの $COUT$ が反転した場合、当該1つのコンデンサに対応するビットの値を1つ上位のビットの値と逆の値にすると共に、当該1つのコンデンサに対応するビットが1の場合は、当該1つのコンデンサのカラムアンプ10への接続を維持し、当該1つ

のコンデンサに対応するビットが0の場合は、当該1つのコンデンサのカラムアンプ10への接続を遮断する。

[0082] スイッチ部70は、垂直信号線L1及びカラムアンプ10間に接続され、補正部61の制御の下、カラムアンプ10及び垂直信号線L1間を遮断してカラムアンプ10を電圧源80に接続させる。

[0083] ここで、スイッチ部70は、スイッチSW1、SW2を備えている。スイッチSW1は、電圧源80及びカラムアンプ10間に設けられ、 $\phi CORR = Hi$ のときオンして電圧源80をカラムアンプ10に接続し、 $\phi CORR = Lo$ のときオフして電圧源80をカラムアンプ10から切り離す。

[0084] スイッチSW2は、カラムアンプ10及び垂直信号線L1間に設けられ、 $\phi X CORR = Hi$ のときオンして垂直信号線L1をカラムアンプ10に接続し、 $\phi X CORR = Lo$ のときオフして垂直信号線L1をカラムアンプ10から切り離す。ここで、スイッチSW1、SW2は相補的にオンするように $\phi CORR$ 、 $\phi X CORR$ のHi、Loのタイミングが定められている。

[0085] このように、スイッチSW1、SW2が設けられているため、画素信号Videoを読み取る通常動作時と、CINを測定する測定時とにおいて、オペアンプA10からみた負荷容量が同じになる。

[0086] つまり、通常動作時では、スイッチSW1＝オフ、スイッチSW2＝オンとなるため、オペアンプA10からみた負荷容量は、コンデンサCA、CBと、SAレジスタ60により逐次接続されるコンデンサC1～C4となる。一方、測定時では、スイッチSW1＝オン、スイッチSW2＝オフとなるため、オペアンプA10からみた負荷容量は、コンデンサCA、CBと、SAレジスタ60により逐次接続されるコンデンサC1～C4となる。そのため、通常動作時と測定時とにおいてオペアンプA10からみた負荷容量は同一となる。

[0087] 次に、図2に示すカラムAD変換部3の動作について説明する。なお、カラムAD変換部3の動作は、図10と同様であるため、図10のタイミングチャートを用いて説明する。以下の説明では、SW3、SW4は共にオンさ

れているものとする。

- [0088] まず、垂直信号線 L1 に画素からの Noise 成分の画素信号 Video が出力されると、 $\phi ARST$ 、 ϕCL 、 $\phi CRST1$ 、 $\phi CRST2$ 、 ϕSH が一定期間 Hi にされ、カラムアンプ 10、クランプ部 20、コンパレータ部 30 がリセットされる。
- [0089] 次に、Noise 成分の画素信号 Video が、コンデンサ CA、CB でサンプルホールドされる。
- [0090] 次に、画素部 1 から垂直信号線 L1 を介して (Noise + Signal) 成分の画素信号 Video である Noise 成分よりも Signal 成分の大きさを低電位の信号が出力される。
- [0091] 次に、画素信号 Video が (Noise + Signal) 成分のレベルに低下すると、カラムアンプ 10 の出力信号である AOUT は、Signal 成分の大きさに従って、VOPA から $Signal \cdot ((CA + CB) / CF)$ だけ増大する。
- [0092] また、クランプ部 20 のゲイン KG が $KG = C21 / (C21 + C22)$ であるため、CIN は VOPC から $KG \cdot Signal \cdot ((CA + CB) / CF)$ だけ増大する。このとき、コンパレータ部 30 は、 $CIN > VOPC$ となるため、COUT = Hi に反転させる。
- [0093] 次に、 $\phi SA1 = Hi$ になり、カラムアンプ 10 にコンデンサ C1 が接続され、カラムアンプ 10 に入力される電位が $VREF \cdot C1$ だけが上昇し、AOUT は $VREF \cdot (C1 / CF)$ だけ低下する。これに伴って、CIN は $KG \cdot VREF \cdot (C1 / CF) = TH1$ だけ低下してレベル VL1 となる (期間 T1)。
- [0094] このとき、SAレジスタ 60 は、 $CIN > VOPC$ であり、COUT が反転しないため、 $\phi SA1 = Hi$ を維持し、D1 = 1 にする (期間 T1)。
- [0095] すなわち、SAレジスタ 60 は、初期の CIN ($= KG \cdot Signal \cdot ((CA + CB) / CF)$) と D1 の閾値である TH1 ($= KG \cdot VREF \cdot (C1 / CF)$) とを比較し、 $CIN > TH1$ であるため、 $\phi SA1 = Hi$ を

維持し、 $D1 = 1$ にする。

[0096] 次に、 $\phi SA1 = Hi$ の状態、 $\phi SA2 = Hi$ にされ、カラムアンプ10にコンデンサC2が接続される。これにより、 CIN がレベルVL1から $KG \cdot VREF \cdot (C2 / CF) = TH2$ だけ低下し、 $CIN < VPOC$ となり、 $COUT$ がHiからLoに反転するため、SAレジスタ60は、 $\phi SA2 = Lo$ に戻してコンデンサC2をカラムアンプ10から切り離し、 $D2 = 0$ とする（期間T2）。

[0097] すなわち、SAレジスタ60は、初期の CIN から期間T1によって $TH1$ が差し引かれた α （＝初期の $CIN - TH1$ ）とD2の閾値である $TH2$ （＝ $KG \cdot VREF \cdot (C2 / CF)$ ）とを比較し、初期の $CIN - TH1 < TH2$ なので、 $\phi SA2 = Lo$ に戻して、 $D2 = 0$ とする。

[0098] 次に、 $\phi SA1 = Hi$ 、 $\phi SA2 = Lo$ の状態、 $\phi SA3 = Hi$ にし、コンデンサC3をカラムアンプ10に接続する。これにより、 CIN がレベルVL1から $KG \cdot VREF \cdot (C3 / CF) = TH3$ だけ低いレベルまで上昇するが、 $CIN < VPOC$ であり、 $COUT$ がLoを維持するため、SAレジスタ60は、 $\phi SA3 = Lo$ に戻して、 $D3 = 0$ とする（期間T3）。

[0099] すなわち、SAレジスタ60は、 $\beta = TH2 - (\text{初期の} CIN - TH1)$ と γ （＝ $TH2 - TH3$ ）とを比較し、 $TH2 - (\text{初期の} CIN - TH1) > TH2 - TH3$ ということは、初期の $CIN - TH1 < TH3$ ということなので、 $D3 = 0$ とし、 $\phi SA3 = Lo$ に戻す。なお、 $TH3$ はD3の閾値であり $TH3 = KG \cdot VREF \cdot (C3 / CF)$ である。

[0100] 次に、 $\phi SA1 = Hi$ 、 $\phi SA2 = Lo$ 、 $\phi SA3 = Lo$ の状態、 $\phi SA4 = Hi$ にし、コンデンサC4をカラムアンプ10に接続する。これにより、 CIN がレベルVL1から $KG \cdot VREF \cdot (C4 / CF)$ だけ低いレベルであるVL2まで上昇し、 $CIN > VPOC$ となり、 $COUT$ がLoからHiに反転するため、SAレジスタ60は、 $\phi SA4 = Hi$ を維持して、 $D4 = 1$ とする（期間T4）。

- [0101] すなわち、SAレジスタ60は、 $TH3 - (初期のCIN - TH1)$ と $TH3 - TH4$ とを比較し、 $TH3 - (初期のCIN - TH1) < TH3 - TH4$ ということは、初期の $CIN - TH1 > TH4$ ということなので、 $D4 = 1$ とし、 $\phi SA4 = Hi$ を維持する。なお、 $TH4$ は $D4$ の閾値であり $TH4 = VREF \cdot (C4 / CF)$ である。
- [0102] 以上により上位ビット群のAD変換期間が終了し、 $D1 \sim D4 = 1, 0, 0, 1$ とされる。この時点において、レベルが $VL2$ の CIN はコンデンサ $C22$ で保持されている。
- [0103] 次に、 $\phi CRST1, \phi CRST2$ が一定期間 Hi にされ、コンパレータ $A31, A32$ がリセットされ、 $COUT = VOPC$ にされる。
- [0104] 次に、 $\phi SH = Lo$ となりコンパレータ部30及びクランプ部20間が遮断され、 $\phi CMP = Hi$ となりVRAMPがコンパレータ部30へ入力され、コンデンサ $C22$ に保持されたレベル $VL2$ の CIN にVRAMPが重畳され、 CIN が $VL2$ からVRAMPの初期レベルに応じてレベル ΔVa だけ低下する（時刻 $T5$ ）。これにより、 $CIN < VOPC$ となり、 $COUT$ が $VOPC$ から Lo に反転する。また、時刻 $T5$ において、カウンタ90は、カウント動作を開始する。
- [0105] 次に、 CIN が $VOPC$ のレベルを超えると（時刻 $T6$ ）、 $COUT$ は Lo から Hi に反転する。そして、カウンタ90は、カウント動作を停止し、時刻 $T6$ におけるカウント値をラッチ回路41にラッチする。これにより、下位ビット群の各ビットの値が決定される。
- [0106] 図1に戻り、補正部61は、カラムアンプ10及び画素部1間を遮断してカラムアンプ10を電圧源80に接続させた状態で、SAレジスタ60がコンデンサ $C1 \sim C4$ のうちある1つのコンデンサをカラムアンプ10に接続するような疑似画素信号を電圧源80に出力させる。そして、補正部61は、 CIN をラッチ部40に測定させ、ラッチ部40による測定結果を基に、当該1つのコンデンサに対応するビットの重み付け値を補正する。
- [0107] ここで、補正部61は、カラムアンプ10及び画素部1間を遮断してカラ

ムアンプ 10 を電圧源 80 に接続させた状態で、コンデンサ C1～C4のうち、ある 1 つのコンデンサがカラムアンプ 10 に接続されるようなレベルの異なる疑似画素信号を電圧源 80 に少なくとも 2 回出力させる。そして、補正部 61 は、ラッチ部 40 により測定された各回のデジタル測定値を補間して、疑似画素信号の電圧とデジタル測定値との関係を示す第 1 の関数を算出し、算出した第 1 の関数を基に、当該 1 つのコンデンサに対応するビットの重み付け値を補正する。

[0108] そして、補正部 61 は、コンデンサ C1～C4 の全てがカラムアンプ 10 に接続されないような疑似画素信号を電圧源 80 に少なくとも 2 回出力させ、第 1 の関数と同様にして、疑似画素信号とデジタル測定値との関係を示す第 2 の関数を算出し、第 1 の関数と第 2 の関数との差分を基に、当該 1 つの逐次比較コンデンサに対応するビットの重み付け値を補正する。

[0109] これにより、第 1 の関数と第 2 の関数とを用いて重み付け値を補正することができる。ここで、図 1 に示す固体撮像装置が所定のフレームレートで動画像を取得する場合、補正部 61 は、垂直ブランキング期間にカラムアンプ 10 及び画素部 1 間を遮断してカラムアンプ 10 を電圧源 80 に接続させた状態にすればよい。

[0110] この場合、撮像中に随時変動するコンデンサ C1～C4 による重み付け値の変動をリアルタイムで補正することができる。

[0111] 次に、補正部 61 を中心として実行される補正処理について具体的に説明する。図 3 は、この補正処理を示すフローチャートである。

[0112] まず、補正部 61 は、SA レジスタ 60 が、コンデンサ C1～C4 をカラムアンプ 10 から遮断するようなレベルの疑似画素信号を電圧源 80 に出力させる（ステップ S1）。

[0113] 本実施の形態では、カラムアンプ 10 は、1 相目で出力される Noise 成分の画素信号 Video を $(Noise + Signal)$ 成分の画素信号 Video から減じた、Signal 成分に応じたレベルの信号、具体的には、 $Signal \cdot (CA + CB) / CF$ を AOUT として出力している。

- [0114] そのため、電圧源 80 は、1 相目に Noise 成分に相当するレベルの疑似画素信号をカラムアンプ 10 に出力した後、2 相目に (Noise + Signal) 成分に相当するレベルの疑似画素信号をカラムアンプ 10 に出力する。
- [0115] このとき、電圧源 80 は、1 相目と 2 相目との疑似画素信号の差分を疑似 Signal 成分（以下、「Signal'」と記す。）とすると、SA レジスタ 60 が、D1 ~ D4 = 0, 0, 0, 0 にするような疑似画素信号を 1 相目と 2 相目とに出力する。
- [0116] ステップ S1 で疑似画素信号が出力されると、SA レジスタ 60 は、コンデンサ C1 ~ C4 を逐次接続し、最終的に C1 ~ C4 の全てをカラムアンプ 10 から遮断する。
- [0117] 次に、ラッチ部 40 は、VRAMP が入力されてから、CIN が VOPC を超えるまでの時間をカウントし、下位ビット群の D5 ~ D15 の値を得ることで、CIN のデジタル測定値を測定する（ステップ S2）。
- [0118] 次に、補正部 61 は、ラッチ部 40 が CIN の 2 回の測定を終了している場合は（ステップ S3 で YES）、処理をステップ S4 に進める。一方、補正部 61 は、ラッチ部 40 が CIN の 2 回の測定を終了していない場合（ステップ S3 で NO）、処理をステップ S1 に戻し、電圧源 80 に 1 回目の CIN の測定時とは Signal' が異なり、かつ D1 ~ D4 = 0, 0, 0, 0 となるような所定レベルの疑似画素信号をカラムアンプ 10 に出力させる。
- [0119] 次に、補正部 61 は、Signal' を横軸とし、CIN のデジタル測定値を縦軸とする 2 次元座標空間に、ラッチ部 40 により測定された CIN の 2 回のデジタル測定値をプロットし、第 2 の関数としての $Y < 0 >$ を算出する（ステップ S4）。
- [0120] 図 4 は、 $Y < 0 >$ を示したグラフである。図 4 において縦軸はラッチ部 40 による CIN のデジタル測定値を示し、横軸は Signal' を示している。

- [0121] 図4において、 X_1 は1回目の測定時における $Signal'$ を示し、 Y_1 は1回目の測定時におけるCINのデジタル測定値を示している。また、 X_2 は2回目の測定時における $Signal'$ を示し、 Y_2 は2回目の測定時におけるCINのデジタル測定値を示している。
- [0122] そして、補正部61は、 (X_1, Y_1) と (X_2, Y_2) との2点を例えば線形補間することで、 $Y<0>$ を算出する。 $Y<0>$ を $Y=a \cdot X+b$ とおくと、 $Y<0>$ は、 $Y<0>=((Y_2-Y_1)/(X_2-X_1)) \cdot X + (X_2 \cdot Y_1 - X_1 \cdot Y_2)/(X_2-X_1)$ で表される。
- [0123] つまり、 $Y<0>$ は、傾き a が $a=(Y_2-Y_1)/(X_2-X_1)$ で表され、 Y 切片 B_0 が $B_0=(X_2 \cdot Y_1 - X_1 \cdot Y_2)/(X_2-X_1)$ で表される直線である。
- [0124] $Y<0>$ は、 $D_1 \sim D_4 = 0, 0, 0, 0$ の場合の $Signal'$ に対する $D_5 \sim D_{15}$ のAD変換特性を表している。したがって、理想的には、 $Y<0>$ は、 $Signal'=0$ のとき、 $Y=0$ となり、傾きがVRAMPと等しい直線である RL を描くはずである。
- [0125] しかしながら、カラムAD変換部3を構成するコンデンサ（例えばコンデンサ C_A, C_B 等）の容量の経時的変化や元々有する個体バラツキ等によって、 $Y<0>$ は RL からずれるのである。
- [0126] 図3に戻り、ステップS5において、補正部61は、コンデンサ $C_1 \sim C_4$ のうちある1つのコンデンサ C_i のインデックスである i を $i=4$ に設定する。
- [0127] 次に、補正部61は、 SA レジスタ60がコンデンサ $C_1 \sim C_4$ をカラムアンプ10に逐次接続して最終的にコンデンサ C_i のみをカラムアンプ10のみを接続するような疑似画素信号を電圧源80に出力させる。例えば $i=4$ の場合、 SA レジスタ60がコンデンサ C_4 のみをカラムアンプ10に接続するような $Signal'$ 、すなわち、 SA レジスタ60が $D_1 \sim D_4 = 0, 0, 0, 1$ とするような疑似画素信号が電圧源80から出力される。
- [0128] 次に、ラッチ部40はCINのデジタル測定値を測定する（ステップS7

）。次に、補正部61は、1つの*i*に対してCINの2回の測定が終了した場合は（ステップS8でYES）、処理をステップS9に進める。

[0129] 一方、補正部61は、1つの*i*に対してCINの2回の測定が終了していない場合（ステップS8でNO）、処理をステップS6に戻し、コンデンサC*i*のみがカラムアンプ10に接続され、かつ1回目の測定とはSignal'の値が異なる疑似画素信号を電圧源80に出力させる。

[0130] 例えば、*i* = 4の場合、SAレジスタ60がコンデンサC4のみをカラムアンプ10に接続するようなSignal'の異なる疑似画素信号、すなわち、SAレジスタ60がD1~D4 = 0, 0, 0, 1とするようなSignal'の異なる疑似画素信号が電圧源80から2回出力される。そして、補正部61は、ラッチ部40により測定された2回分のデジタル測定値を取得する。

[0131] 次に、補正部61は、ラッチ部40により2回測定されたデジタル測定値を、Signal'を横軸、CINのデジタル測定値を縦軸とする2次元座標空間にプロットし、プロットしたデジタル測定値を例えば線形補間することで第1の関数であるY<*i*>を算出する（ステップS9）。

[0132] 次に、補正部61は、第1の関数としてのY<*i*>（=Y<1>~Y<4>）とY<0>とを用いてD*i*（=D1~D4）の重み付け値であるK*i*（=K1~K4）を補正する（ステップS10）。

[0133] 図5は、Y<4>を示したグラフである。縦軸及び横軸は図4と同一であるため、説明を省く。図5において、X3は1回目の測定時におけるSignal'を示し、Y3は1回目の測定時におけるCINのデジタル測定値を示している。また、X4は2回目の測定時におけるSignal'を示し、Y4は2回目の測定時におけるCINのデジタル測定値を示している。

[0134] そして、補正部61は、（X3, Y3）と（X4, Y4）との2点を例えば線形補間することで、Y<4>を算出する。Y<4>を $Y = a \cdot X + b$ とおくと、Y<4>は、 $Y < 4 > = ((Y4 - Y3) / (X4 - X3)) \cdot X + (X4 \cdot Y3 - X3 \cdot Y4) / (X4 - X3)$ で表される。

- [0135] つまり、 $Y<4>$ は、傾き a が $a = (Y_4 - Y_3) / (X_4 - X_3)$ で表され、 Y 切片 B_4 が $B_4 = (X_4 \cdot Y_3 - X_3 \cdot Y_4) / (X_4 - X_3)$ で表される直線である。ここで、 $Y<4>$ の傾き a は、VRAMPによって定まるため、 $Y<0>$ の傾き a と同じである。
- [0136] $Y<4>$ は、 $D_1 \sim D_4 = 0, 0, 0, 1$ のときの $Signal'$ と $D_5 \sim D_{15}$ とのAD変換特性を示しているため、理想的には $RL = K_4 (= 2^{10} = 1024)$ のときの $Signal'$ である $X_{\alpha 1}$ において、 $Y<4> = 0$ となるはずである。
- [0137] つまり、 D_4 に対する重み付け値である K_4 をオフセットとして $Y<4>$ に加えると、 $Y<4>$ は RL に乗るはずである。
- [0138] しかしながら、コンデンサ C_4 の容量の経時的変化や個体バラツキによって理想値からずれ、 $Y<0>$ も RL からずれているため、 $Y<4>$ に K_4 をオフセットとして加えても、 $Y<4>$ は RL に乗らず、 $Y<0>$ とは滑らかに繋がらない。
- [0139] これにより、 D_4 を K_4 で重み付けしても、カラムAD変換部3のADC特性が図13に示すように滑らかな直線とならず、画素信号 $Video$ を精度良くAD変換することができなくなる。
- [0140] そこで、ステップ S_{10} において、補正部61は、 $Y<0> - Y<4>$ から B_0 と B_4 との差分 ΔB_{04} を求め、 ΔB_{04} を補正後の K_4 とすることで K_4 を補正する。なお、 $Y<0>$ と $Y<4>$ とは傾きが同一であるため、 $Y<0> - Y<4>$ により、 $Y<0>$ の Y 切片である B_0 と $Y<4>$ の Y 切片である B_4 との差分 ΔB_{04} を求めることができる。
- [0141] 図3に戻り、ステップ S_{11} において、補正部61は、 i から1を減じて i を更新し、 $i \geq 1$ の場合（ステップ S_{12} でNO）、処理をステップ S_6 に戻し、 $i < 1$ の場合（ステップ S_{12} でYES）、処理を終了する。すなわち、補正部61は、 $i < 1$ となるまで i を更新してステップ $S_6 \sim S_{12}$ の処理を繰り返し行う。
- [0142] これにより、 $Y<4>$ 、 $Y<3>$ 、 $Y<2>$ 、 $Y<1>$ が順次算出され、

K4～K1が補正される。

[0143] 図6は、 $Y<3>$ を示したグラフである。縦軸及び横軸は図4と同一であるため、説明を省く。 $Y<3>$ は、電圧源80がコンデンサC3のみをカラムアンプに接続するようなSignal'の異なる疑似画素信号を2回出力することで得られた直線である。

[0144] 図6において、X5は $i=3$ の場合の1回目の測定時におけるSignal'を示し、Y5は $i=3$ の場合の1回目の測定時におけるCINのデジタル測定値を示している。また、X6は $i=3$ の場合の2回目の測定時におけるSignal'を示し、Y6は $i=3$ の2回目の測定時におけるCINのデジタル測定値を示している。

[0145] そして、補正部61は、(X5, Y5)と(X6, Y6)との2点を例えば線形補間することで、 $Y<3>$ を算出する。 $Y<3>$ を $Y=a \cdot X+b$ とおくと、 $Y<3>$ は、 $Y<3>=((Y6-Y5)/(X6-X5)) \cdot X + (X6 \cdot Y5 - X5 \cdot Y6)/(X6-X5)$ で表される。

[0146] つまり、 $Y<3>$ は、傾きaが $a=(Y6-Y5)/(X6-X5)$ で表され、Y切片B3が $B3=(X6 \cdot Y5 - X5 \cdot Y6)/(X6-X5)$ で表される直線である。ここで、 $Y<3>$ の傾きaは、VRAMPによって定まるため、 $Y<0>$ の傾きaと同じである。

[0147] $Y<3>$ は、D1～D4=0, 0, 1, 0のときのSignal'とD5～D15とのAD変換特性を示しているため、理想的には $RL=K3 (=2^{11}=2048)$ のときのSignal'である $X\alpha 2$ において、 $Y<3>=0$ となるはずである。

[0148] つまり、K3をオフセットとして $Y<3>$ に加えると、 $Y<3>$ はRLに乘るはずである。

[0149] しかしながら、コンデンサC3の容量の経時的変化や個体バラツキによって理想値からずれているため、 $Y<3>$ にK3をオフセットとして加えても、 $Y<3>$ はRLに乘らず、 $Y<4>$ とは滑らかに繋がらない。

[0150] これにより、D3をK3で重み付けしても、カラムAD変換部3のADC

特性が図 13 に示すように滑らかな直線とならず、画素信号 *Video* を精度良く AD 変換することができなくなる。

[0151] そこで、ステップ S10 において、補正部 61 は、 $Y<0>-Y<3>$ から B0 と B3 との差分 $\Delta B03$ を求め、 $\Delta B03$ を補正後の K3 として K3 を補正する。なお、 $Y<0>$ と $Y<3>$ とは傾きが同一であるため、 $Y<0>-Y<3>$ により、 $Y<0>$ の Y 切片である B0 と $Y<3>$ の Y 切片である B3 との差分 $\Delta B03$ を求めることができる。

[0152] 図 7 は、 $Y<2>$ を示したグラフである。縦軸及び横軸は図 4 と同一であるため、説明を省く。 $Y<3>$ は、電圧源 80 がコンデンサ C3 のみをカラムアンプに接続するような *Signal'* の異なる疑似画素信号を 2 回出力することで得られた直線である。

[0153] 図 7 において、X7 は $i=2$ の場合の 1 回目の測定時における *Signal'* を示し、Y7 は $i=2$ の場合の 1 回目の測定時における CIN のデジタル測定値を示している。また、X8 は $i=2$ の場合の 2 回目の測定時における *Signal'* を示し、Y8 は $i=2$ の 2 回目の測定時における CIN のデジタル測定値を示している。

[0154] そして、補正部 61 は、 $(X7, Y7)$ と $(X8, Y8)$ との 2 点を例えば線形補間することで、 $Y<2>$ を算出する。 $Y<2>$ を $Y=a \cdot X+b$ とおくと、 $Y<2>$ は、 $Y<2>=((Y8-Y7)/(X8-X7)) \cdot X+(X8 \cdot Y7-X7 \cdot Y8)/(X8-X7)$ で表される。

[0155] つまり、 $Y<2>$ は、傾き a が $a=(Y8-Y7)/(X8-X7)$ で表され、Y 切片 B3 が $B3=(X8 \cdot Y7-X7 \cdot Y8)/(X8-X7)$ で表される直線である。ここで、 $Y<2>$ の傾き a は、VRAMP によって定まるため、 $Y<0>$ の傾き a と同じである。

[0156] $Y<2>$ は、 $D1 \sim D4=0, 1, 0, 0$ のときの *Signal'* に対する $D5 \sim D15$ との AD 変換特性を示しているため、理想的には $RL=K2$ ($=2^{12}=4096$) のときの *Signal'* である $X\alpha 3$ において、 $Y<2>=0$ となるはずである。

- [0157] つまり、 K_2 をオフセットとして $Y<2>$ に加えると、 $Y<2>$ は RL に
乗るはずである。
- [0158] しかしながら、 TH_2 がコンデンサ C_2 の容量の経時的変化によって理想
値からずれているため、 $Y<2>$ に K_2 をオフセットとして加えても、 $Y<2>$
は RL に乗らず、 $Y<3>$ とは滑らかに繋がらない。
- [0159] これにより、 D_2 を K_2 で重み付けしても、カラムAD変換部3のADC
特性が図12に示すように滑らかな直線とならず、画素信号 V_{ideo} を精
度良くAD変換することができなくなる。
- [0160] そこで、ステップS10において、補正部61は、 $Y<0>-Y<2>$ か
ら B_0 と B_2 との差分 ΔB_{02} を求め、 ΔB_{02} を補正後の K_2 として K_2
を補正する。なお、 $Y<0>$ と $Y<2>$ とは傾きが同一であるため、 $Y<0>-Y<2>$
により、 $Y<0>$ の Y 切片である B_0 と $Y<2>$ の Y 切片であ
る B_2 との差分 ΔB_{02} を求めることができる。
- [0161] 同様にして、補正部61は、 $Y<1>$ を求め、 $Y<0>-Y<1>$ より ΔB_{01}
を求め、 ΔB_{01} を補正後の K_1 として K_1 を補正する。
- [0162] そして、図1に示す画像処理部6は、通常動作時に画素信号 V_{ideo} の
デジタルデータである $D_1 \sim D_{15}$ がカラムAD変換部3から出力されると
、補正後の重み付け値を $K_1' \sim K_4'$ とすると、上位ビット群のデジタル
データを $K_1' \cdot D_1 + K_2' \cdot D_2 + K_3' \cdot D_3 + K_4' \cdot D_4$ を求め
る。これにより、 $Y<0> \sim Y<4>$ が滑らかに繋がる。
- [0163] 次に、下位ビット群のデジタルデータを $D_5 \sim D_{15}$ から冗長ビットを取
り除くために所定値 M_0 を差し引き、下位ビット群の $D_5 \sim D_{14}$ の10ビ
ットのデジタルデータにする。ここで、 M_0 としては、例えば図4に示す B_0
を採用すればよい。これにより、 $Signal' = 0$ で $Y<0> = 0$ にす
ることができる。次に、 $D_5 \sim D_{14}$ に対して、 $D_5 \sim D_{14}$ に対する所定
の重み付け値 $K_5 \sim K_{14}$ を乗じて加算する、すなわち、 $K_5 \cdot D_5 + K_6$
 $\cdot D_6 + \dots + K_{14} \cdot D_{14}$ を下位ビット群のデジタルデータとして求
める。次に、上位ビット群のデジタルデータと下位ビット群のデジタルデー

タとを加算して、画素信号V i d e oのデジタルデータの値が得られる。

[0164] このように、本実施の形態による固体撮像装置によれば、カラムアンプ10及び画素部1間を遮断して、カラムアンプ10を電圧源80に接続させるスイッチ部70が設けられている。そのため、画素信号V i d e oを読み出す通常動作時において、コンデンサC iがオペアンプA 10に接続されたときのオペアンプA 10から見た負荷容量は、コンデンサC A、C Bと、S Aレジスタ60により逐次接続されるコンデンサC 1～C 4となる。

[0165] 一方、測定時におけるオペアンプA 10からみた負荷容量は、コンデンサC A、C Bと、S Aレジスタ60により逐次接続されるコンデンサC 1～C 4となる。よって、通常動作時と測定時とにおいて、オペアンプA 10からみた負荷容量は同一となり、カラムアンプ10から出力される信号を精度良く測定することができる。その結果、コンデンサC iに対応するビットの重み付け値K iを精度良く補正することができる。

[0166] なお、上記実施の形態では、 $Y<1>\sim Y<4>$ を求めていたが、 $Y<0>$ のみ求め、理想となる直線であるR Lとのずれから重み付け値K 1～K 4を補正するようにしてもよい。

[0167] また、上記実施の形態では、1つのiに対して2回、疑似画素信号が測定されているが、これに限定されず、2回以上であれば何回測定してもよい。

[0168] (実施の形態2)

実施の形態2による固体撮像装置は、測定時においてスイッチ部70がカラムアンプ10を電圧源80ではなく、接地端子G r o u n dに接続することを特徴とする。

[0169] 図8は、本発明の実施の形態2による固体撮像装置のカラムA D変換部3の回路図を示している。なお、本実施の形態において実施の形態1と同一のものは説明を省略する。

[0170] 図8に示すように、スイッチ部70のスイッチS W 1は、カラムアンプ10及び接地端子G r o u n d間に設けられ、スイッチS W 2と相補的にオン・オフする。

- [0171] すなわち、スイッチSW1は、測定時においてオンして、カラムアンプ10を接地端子Groundに接続し、通常動作時にオフして、カラムアンプ10を接地端子Groundから切り離す。
- [0172] この場合、測定時において、カラムアンプ10には0の信号が入力されるため、 $CIN = VOPC$ となる。そのため、SAレジスタ60は、測定時において、CINのレベルに関わらず、コンデンサC1～C4のうち1つのコンデンサCiを強制的にカラムアンプ10に逐次接続する。
- [0173] そして、ラッチ部40は、コンデンサCiが接続されたときのCINのデジタル測定値を測定する。そして、補正部61は、ラッチ部40により測定されたデジタル測定値をCiに対応する重み付け値Kiとして求め、重み付け値Kiを補正する。
- [0174] このように、本実施の形態による固体撮像装置によれば、スイッチ部70は、カラムアンプ10及び画素部1間を遮断して、カラムアンプ10を接地端子Groundに接続するため、測定時においてカラムアンプに0の信号を入力することができる。
- [0175] また、画像読取時においては、スイッチSW2がオンされ、スイッチSW1がオフされるため、オペアンプA10から見た負荷容量は、コンデンサCA、CB及びコンデンサCiとなる。
- [0176] 一方、測定時においては、スイッチSW1がオンされ、スイッチSW2がオフされるため、オペアンプA10から見た容量は、コンデンサCA、CB及びコンデンサCiとなる。よって、画像読取時と測定時とにおいて、カラムアンプ10から見た負荷容量を同じにすることができ、コンデンサCiを精度良く測定することができる。
- [0177] なお、上記実施の形態1、2では、上位ビット群を4ビット、下位ビット群を11ビットとしたが、これに限定されず、他のビット数を採用してもよい。
- [0178] また、上記の実施の形態1、2の固体撮像装置は、上位ビット群と下位ビット群とに分けて画素信号VideoをAD変換するものであったが、これ

に限定されず、デジタルデータの全ビットを逐次比較型 A/D 変換方式で A/D 変換するものであってもよい。この場合、ラッチ部 40 を、CIN を測定するための測定部として利用すればよい。

[0179] なお、上記固体撮像装置の技術的特徴は以下のように纏められる。

[0180] (1) 本発明の一局面による固体撮像装置は、複数の画素を含む画素部と、各画素から画素信号読み出し、読み出した画素信号を逐次比較型アナログデジタル変換方式によりアナログデジタル変換する読出回路とを備え、前記読出回路は、コンデンサを含み、前記画素部から読み出した画素信号を増幅するカラムアンプと、アナログデジタル変換されるデジタルデータの各ビットに対応して設けられ、それぞれレベルの異なる信号を前記カラムアンプに出力する複数の逐次比較コンデンサと、各逐次比較コンデンサに対応して複数設けられ、対応する逐次比較コンデンサを前記カラムアンプに接続する逐次比較スイッチと、前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを所定の電圧部に接続させるスイッチ部とを備える。

[0181] この構成によれば、カラムアンプ及び画素部間を遮断して、カラムアンプを所定の電圧部に接続させるスイッチ部が設けられている。そのため、画素信号を読み出す通常動作時において、例えばある 1 つの逐次比較コンデンサがカラムアンプに接続されたときのカラムアンプからみた負荷容量は、カラムアンプが備えるコンデンサと、当該 1 つの逐次比較コンデンサとなる。一方、当該 1 つの逐次比較コンデンサを接続したときのカラムアンプから出力される信号を測定するときのカラムアンプからみた負荷容量は、カラムアンプが備えるコンデンサと、当該 1 つの逐次比較コンデンサとなる。よって、通常動作時と測定時とにおいて、カラムアンプから見た負荷容量は同一となり、カラムアンプから出力される信号を精度良く測定することができる。その結果、当該 1 つの逐次比較コンデンサに対応するビットの重み付け値を精度良く補正することができる。

[0182] (2) 前記画素部は、複数の画素がマトリックス状に配置され、前記画素部の各行を順次選択する垂直走査回路を更に備え、前記読出回路は、前記

画素部の各列に対応して複数設けられ、前記垂直走査回路により選択された行の画素から画素信号を読み出すことが好ましい。

[0183] この構成によれば、読出回路は、各列に対応して複数設けられ、垂直走査回路に選択された行であって対応する列に属する画素から画素信号を読み出す。

[0184] (3) 前記電圧部は、グラウンド端子であり、前記スイッチ部は、前記コラムアンプ及び前記画素部間を遮断して、前記コラムアンプを前記グラウンド端子に接続することが好ましい。

[0185] この構成によれば、スイッチ部は、コラムアンプ及び画素部間を遮断して、コラムアンプをグラウンド端子に接続するため、測定時においてコラムアンプに0の信号を入力することができる。

[0186] (4) 前記電圧部は、疑似画素信号を出力する電圧源であり、前記スイッチ部は、前記コラムアンプ及び前記画素部間を遮断して、前記コラムアンプを前記電圧源に接続することが好ましい。

[0187] この構成によれば、スイッチ部は、コラムアンプ及び画素部間を遮断して、コラムアンプを電圧源に接続するため、測定時においてコラムアンプに疑似画素信号を入力することができる。

[0188] (5) 前記読出回路は、前記コラムアンプから出力される信号を所定の基準電圧と比較することで出力信号を反転させるコンパレータと、前記逐次比較コンデンサを前記コラムアンプに逐次接続し、前記コンパレータ部から出力される出力信号を基に、前記画素信号のデジタルデータの値を決定するビット決定部とを更に備え、前記電圧源は、前記ビット決定部がある1つの逐次比較スイッチをオンするような疑似画素信号を出力することが好ましい。

[0189] この構成によれば、ビット決定部は、コラムアンプに0の信号が入力されているにも関わらず、強制的にある1つの逐次比較コンデンサをコラムアンプに接続させるのではなく、通常動作時と同様にして逐次比較コンデンサをコラムアンプに逐次接続した後に、当該1つの逐次比較コンデンサをコラムアンプに接続させている。そのため、通常動作時と同一条件で読出回路を動

作させて、カラムアンプから出力される信号を測定することができる。その結果、デジタルデータの各ビットの重み付け値を精度良く補正することができる。

[0190] (6) 前記スイッチ部は、前記カラムアンプ及び前記画素部間を接続する第1のスイッチと、前記カラムアンプ及び前記電圧部間を接続する第2のスイッチとを備え、前記第1及び第2のスイッチは、相補的にオン・オフすることが好ましい。

[0191] この構成によれば、カラムアンプ及び画素部間を接続する第1のスイッチと、カラムアンプ及び電圧源間を接続する第2のスイッチとを備え、第1及び第2のスイッチは、相補的にオン・オフするため、簡易な構成にも関わらず、確実にカラムアンプ及び画素部間を遮断し、かつ、カラムアンプ及び電圧源を接続することができる。

[0192] (7) 前記カラムアンプは、オペアンプと、前記オペアンプの入力端子に接続された入力側コンデンサと、前記オペアンプの入出力端子間に接続された帰還コンデンサとを備えることが好ましい。

[0193] この構成によれば、カラムアンプは、入力側コンデンサと帰還コンデンサとを備えているため、画素信号のノイズ除去及び画素信号の増幅を同時に行うことができる。

[0194] (8) 前記スイッチ部は、垂直ブランキング期間に、前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを前記電圧部に接続させることが好ましい。

[0195] この構成によれば、垂直ブランキング期間において、カラムアンプから出力される信号の測定が行われるため、撮像中に随時変動する逐次比較コンデンサの容量変動等に伴う重み付け値の変動をリアルタイムで補正することができる。

[0196] (9) 前記読出回路は、アナログデジタル変換されるデジタルデータの上位ビット群を逐次比較型アナログデジタル変換方式によりアナログデジタル変換し、下位ビット群を積分型アナログデジタル変換方式によりアナログデ

ジタル変換することが好ましい。

- [0197] この構成によれば、読出回路が画素信号を上位ビット群と下位ビット群とに分けてアナログデジタル変換する構成である場合、下位ビット群をアナログデジタル変換させる回路を用いてコンパレータ部に入力される信号を測定することができ、別途、測定回路を設ける必要がなくなる。

請求の範囲

[請求項1]

複数の画素を含む画素部と、

各画素から画素信号読み出し、読み出した画素信号を逐次比較型アナログデジタル変換方式によりアナログデジタル変換する読出回路とを備え、

前記読出回路は、

コンデンサを含み、前記画素部から読み出した画素信号を増幅するカラムアンプと、

アナログデジタル変換されるデジタルデータの各ビットに対応して設けられ、それぞれレベルの異なる信号を前記カラムアンプに出力する複数の逐次比較コンデンサと、

各逐次比較コンデンサに対応して複数設けられ、対応する逐次比較コンデンサを前記カラムアンプに接続する逐次比較スイッチと、

前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを所定の電圧部に接続させるスイッチ部とを備えることを特徴とする固体撮像装置。

[請求項2]

前記画素部は、複数の画素がマトリックス状に配置され、

前記画素部の各行を順次選択する垂直走査回路を更に備え、

前記読出回路は、前記画素部の各列に対応して複数設けられ、前記垂直走査回路により選択された行の画素から画素信号を読み出すことを特徴とする請求項1記載の固体撮像装置。

[請求項3]

前記電圧部は、グラウンド端子であり、

前記スイッチ部は、前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを前記グラウンド端子に接続することを特徴とする請求項1又は2記載の固体撮像装置。

[請求項4]

前記電圧部は、疑似画素信号を出力する電圧源であり、

前記スイッチ部は、前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを前記電圧源に接続することを特徴とする請求項

1又は2記載の固体撮像装置。

[請求項5]

前記読出回路は、

前記カラムアンプから出力される信号を所定の基準電圧と比較することで出力信号を反転させるコンパレータと、

前記逐次比較コンデンサを前記カラムアンプに逐次接続し、前記コンパレータ部から出力される出力信号を基に、前記画素信号のデジタルデータの値を決定するビット決定部とを更に備え、

前記電圧源は、前記ビット決定部がある1つの逐次比較スイッチをオンするような疑似画素信号を出力することを特徴とする請求項4記載の固体撮像装置。

[請求項6]

前記スイッチ部は、前記カラムアンプ及び前記画素部間を接続する第1のスイッチと、

前記カラムアンプ及び前記電圧部間を接続する第2のスイッチとを備え、

前記第1及び第2のスイッチは、相補的にオン・オフすることを特徴とする請求項1～5のいずれかに記載の固体撮像装置。

[請求項7]

前記カラムアンプは、オペアンプと、前記オペアンプの入力端子に接続された入力側コンデンサと、前記オペアンプの入出力端子間に接続された帰還コンデンサとを備えることを特徴とする請求項1～6のいずれかに記載の固体撮像装置。

[請求項8]

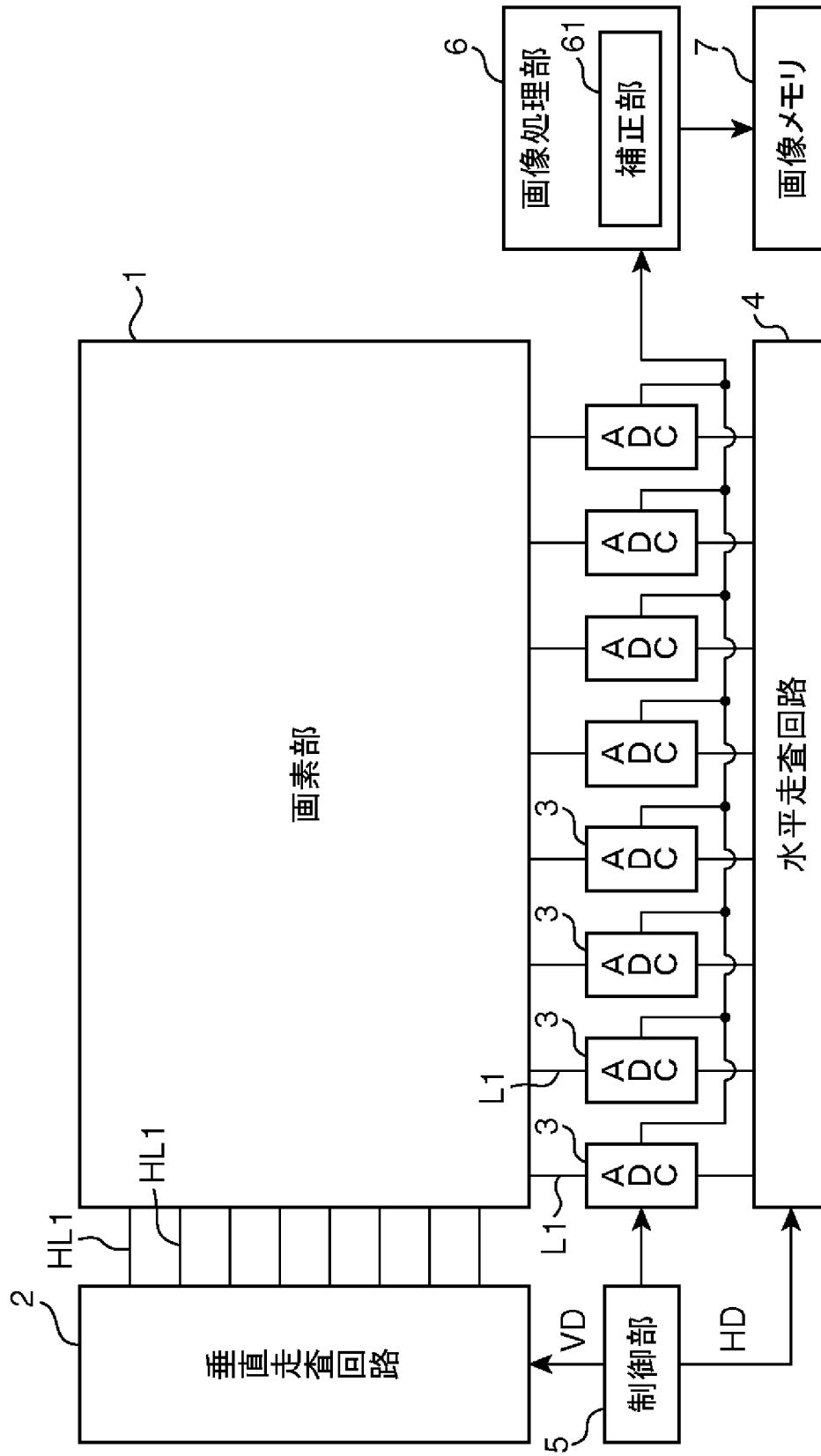
前記スイッチ部は、垂直ブランキング期間に、前記カラムアンプ及び前記画素部間を遮断して、前記カラムアンプを前記電圧部に接続させることを特徴とする請求項1～7のいずれかに記載の固体撮像装置。

[請求項9]

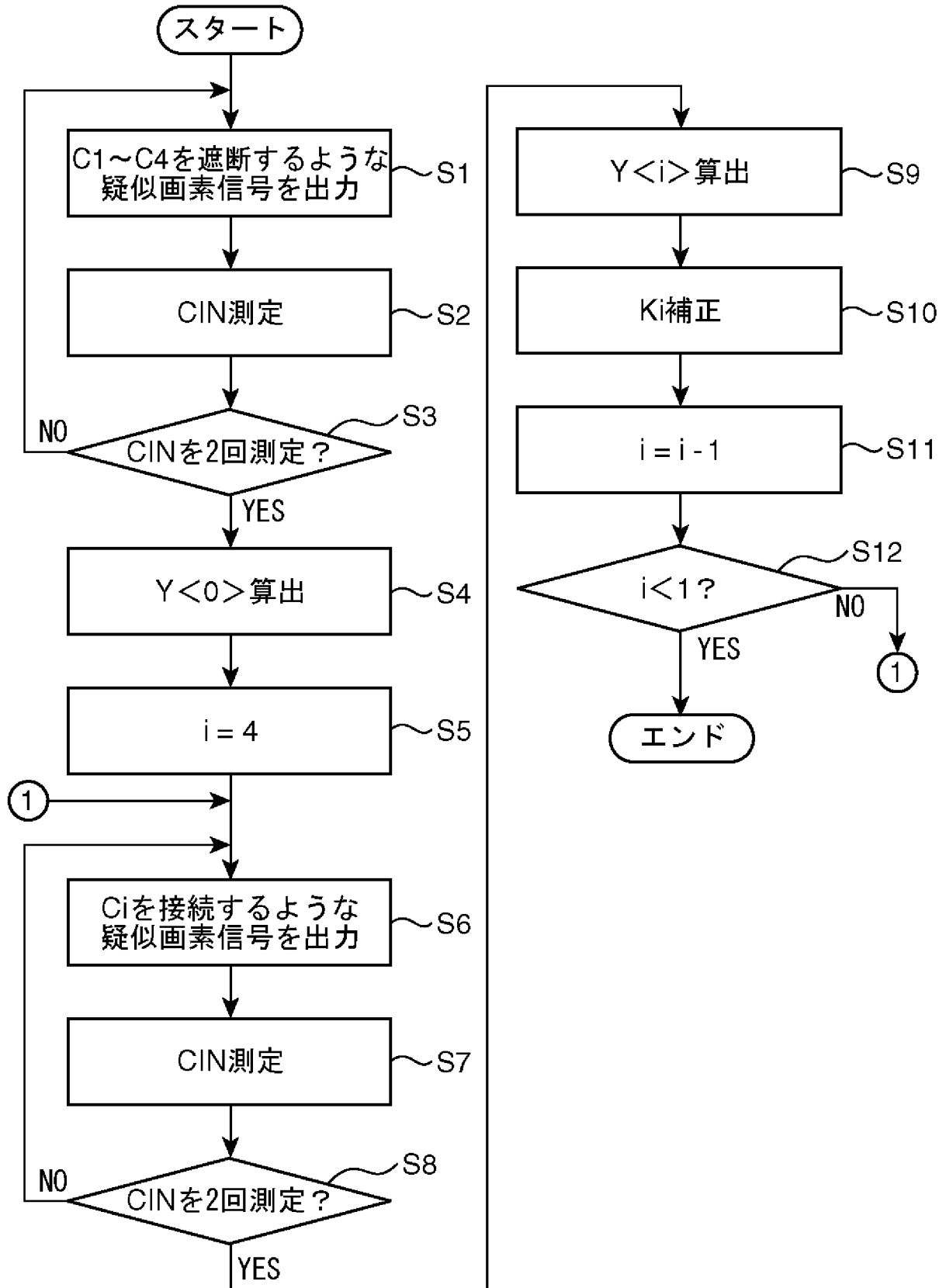
前記読出回路は、アナログデジタル変換されるデジタルデータの上位ビット群を逐次比較型アナログデジタル変換方式によりアナログデジタル変換し、下位ビット群を積分型アナログデジタル変換方式によりアナログデジタル変換することを特徴とする請求項1～8のいずれ

かに記載の固体撮像装置。

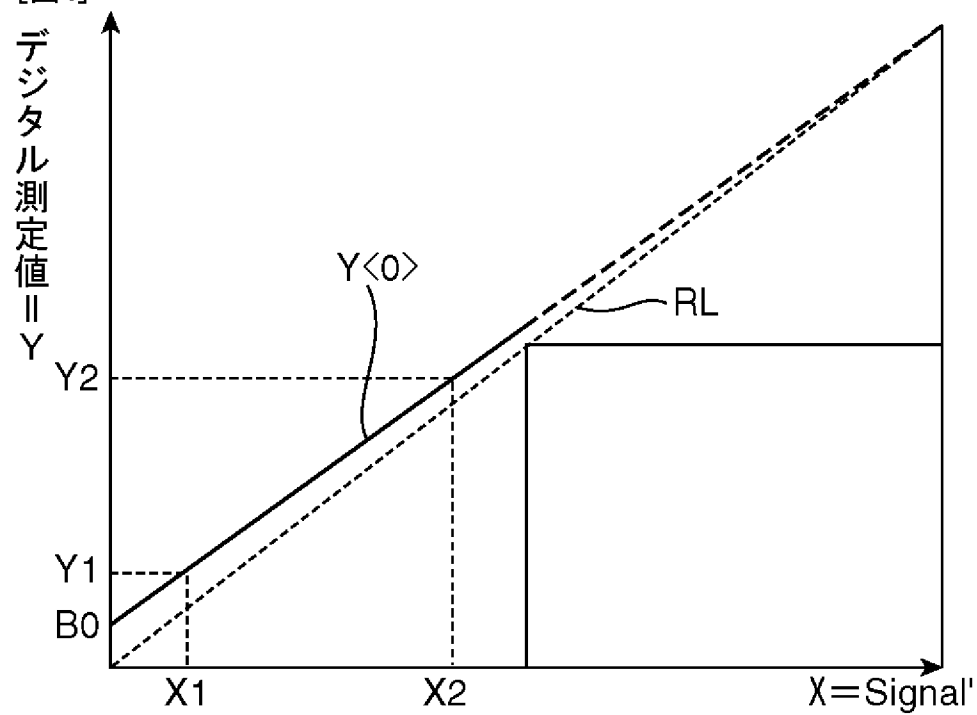
[図1]



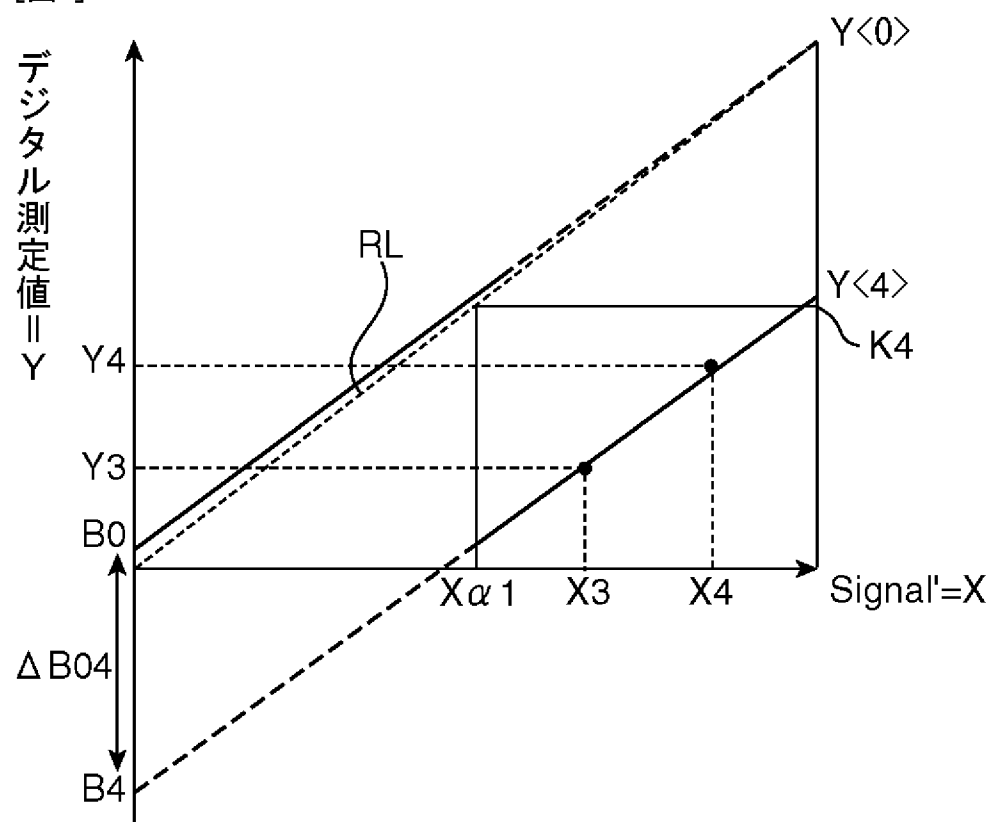
[図3]



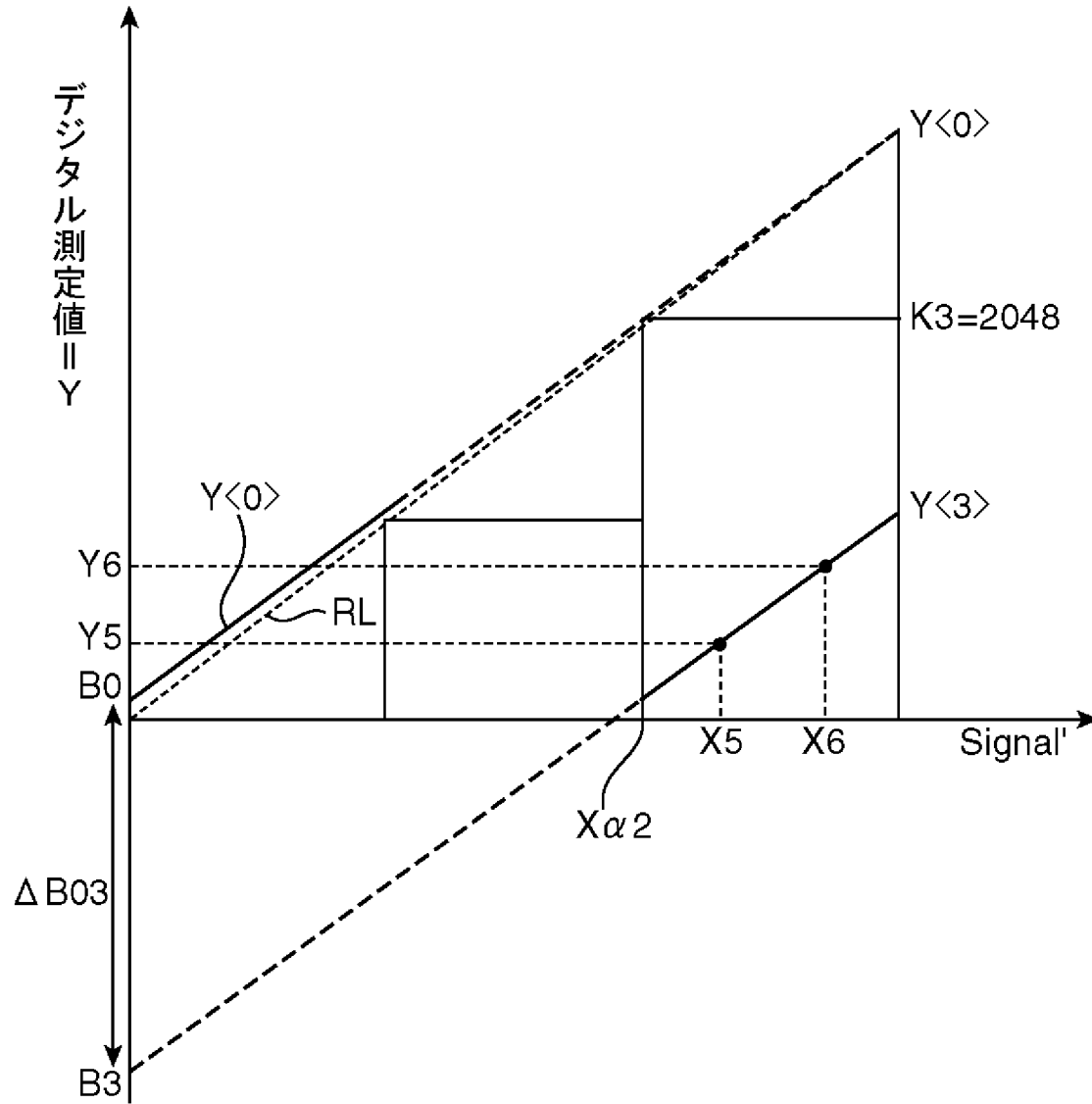
[図4]



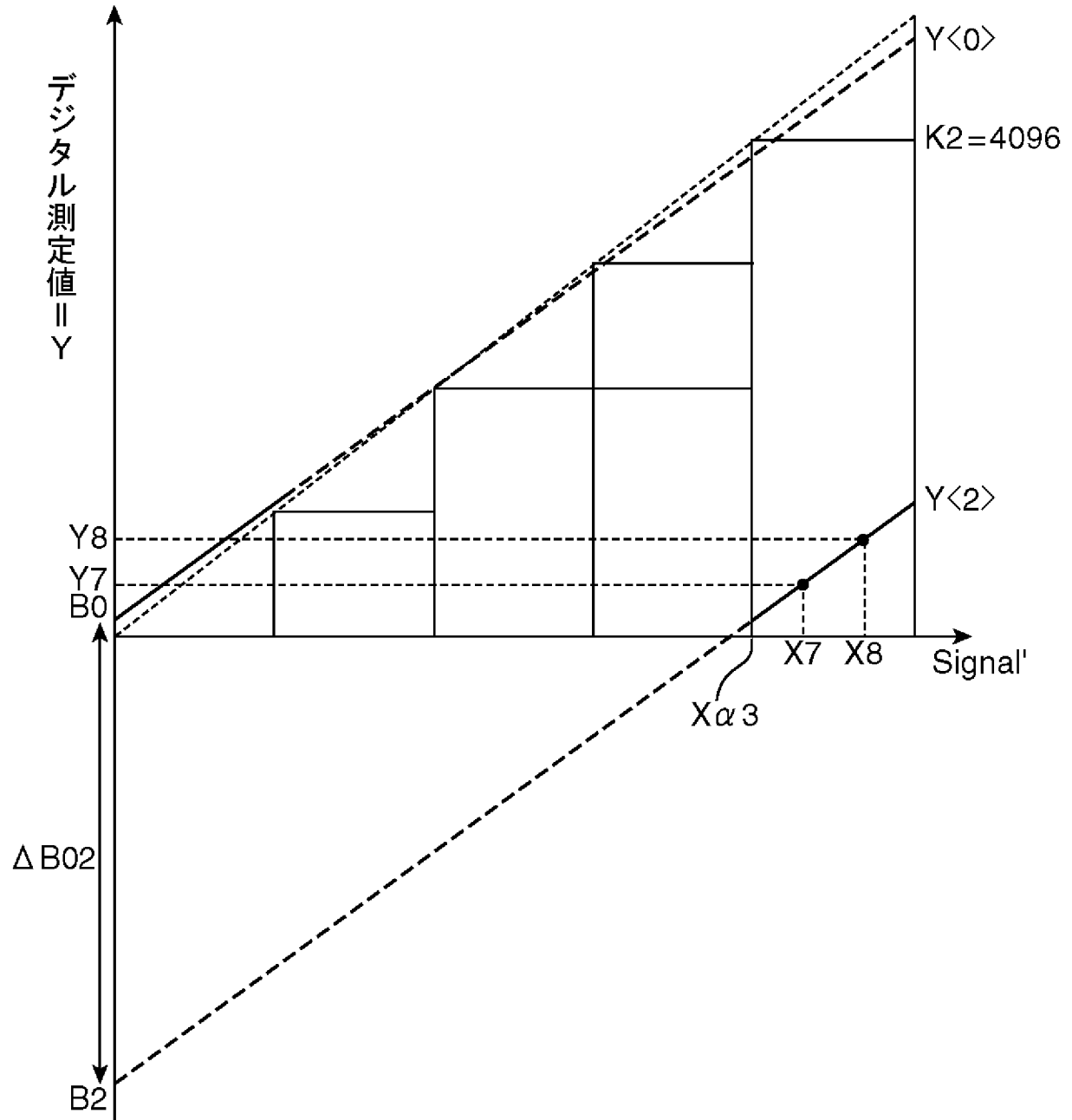
[図5]



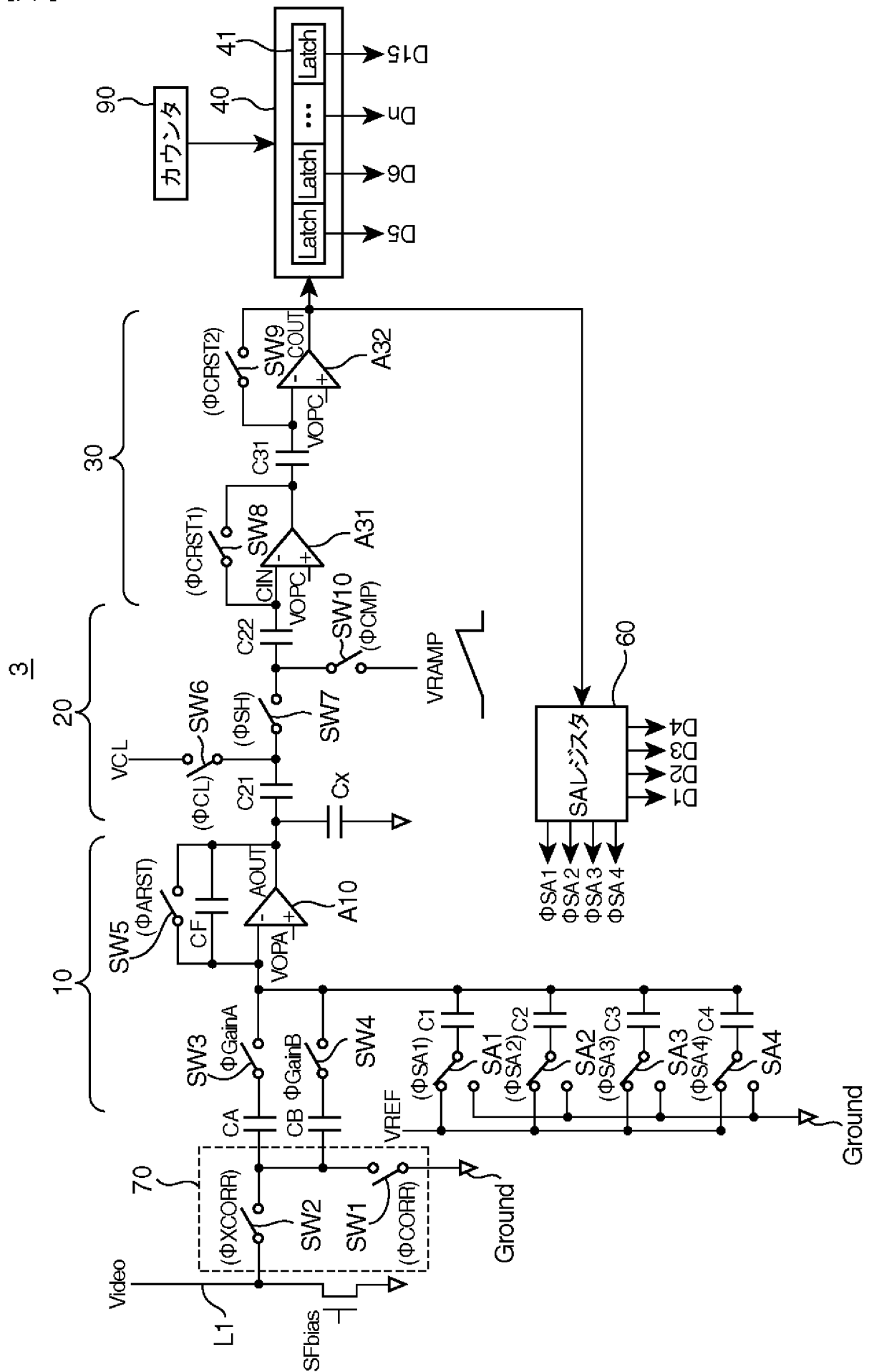
[図6]



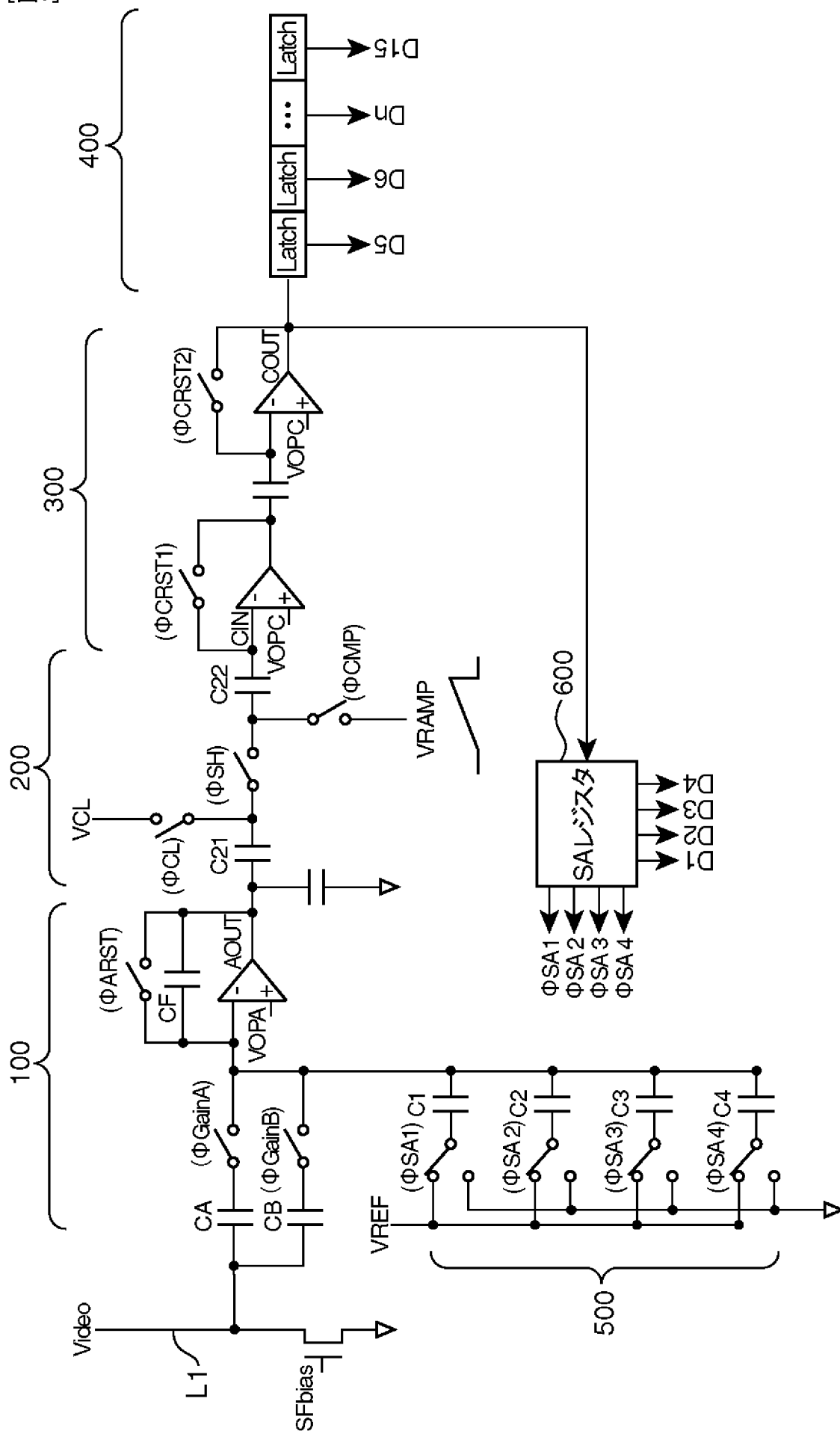
[図7]



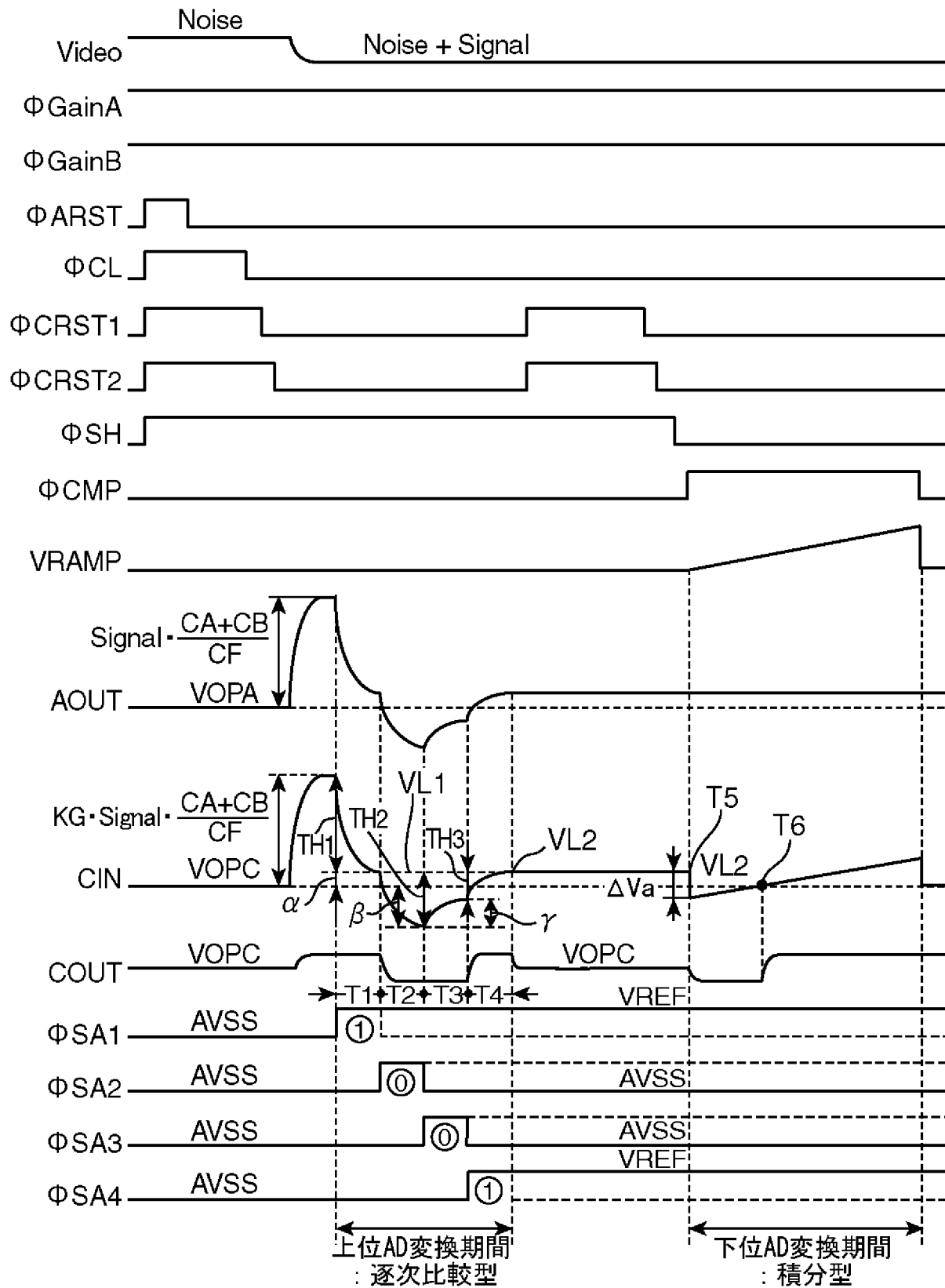
[図8]



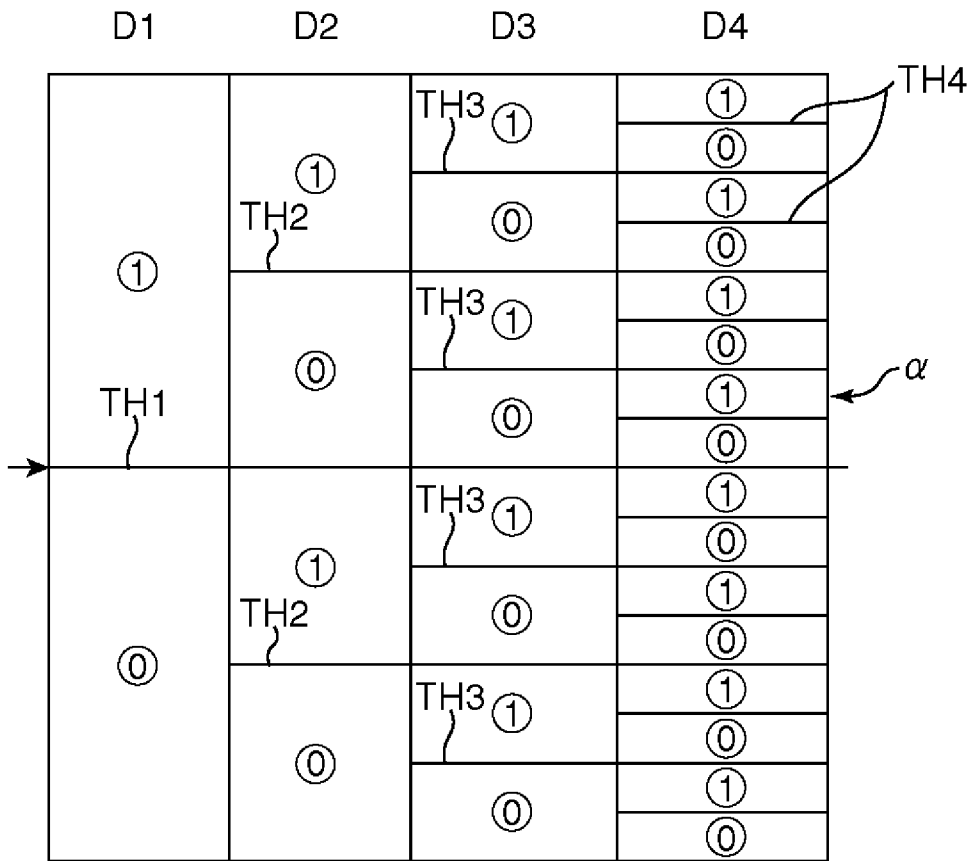
[図9]



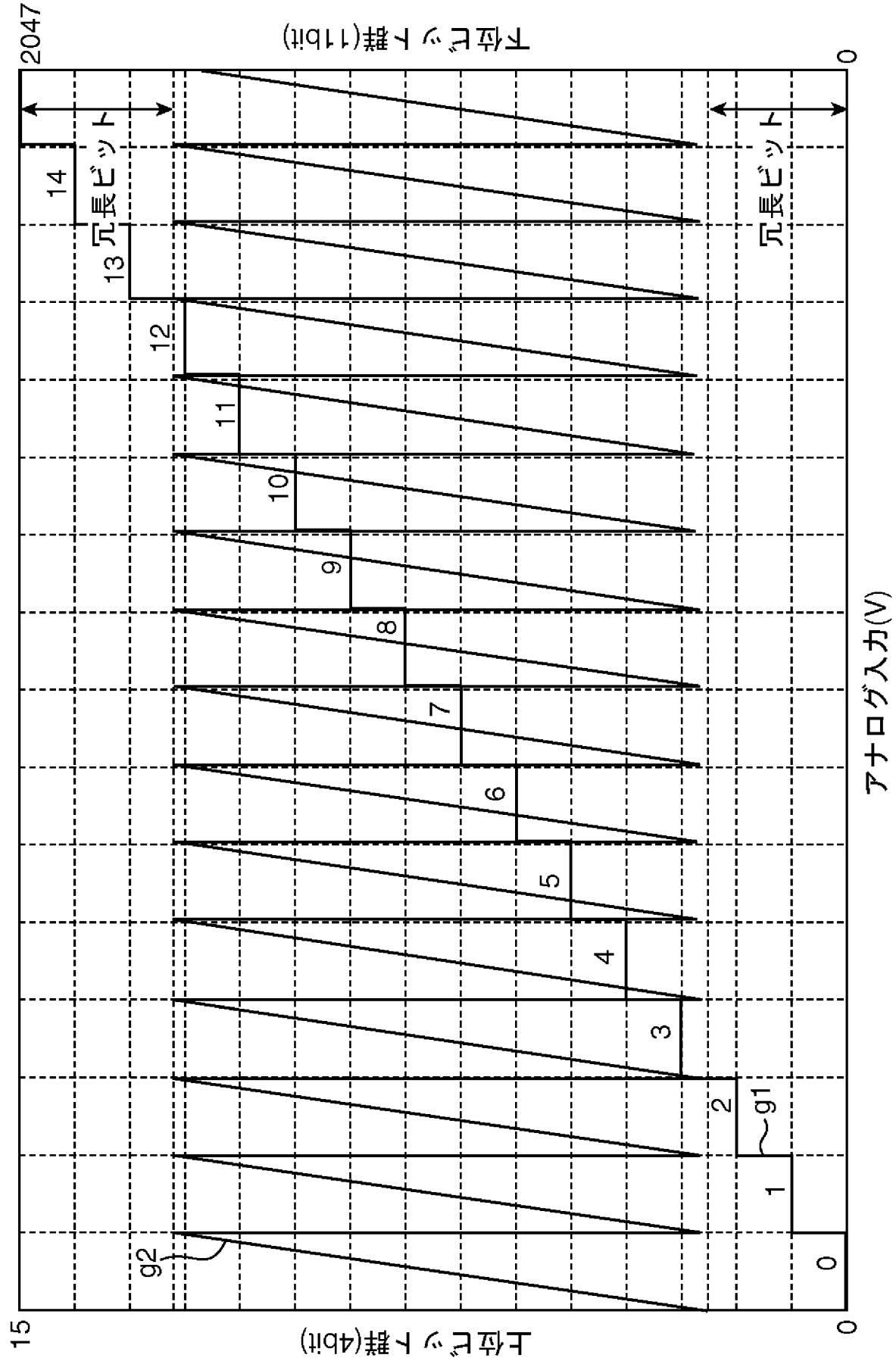
[図10]



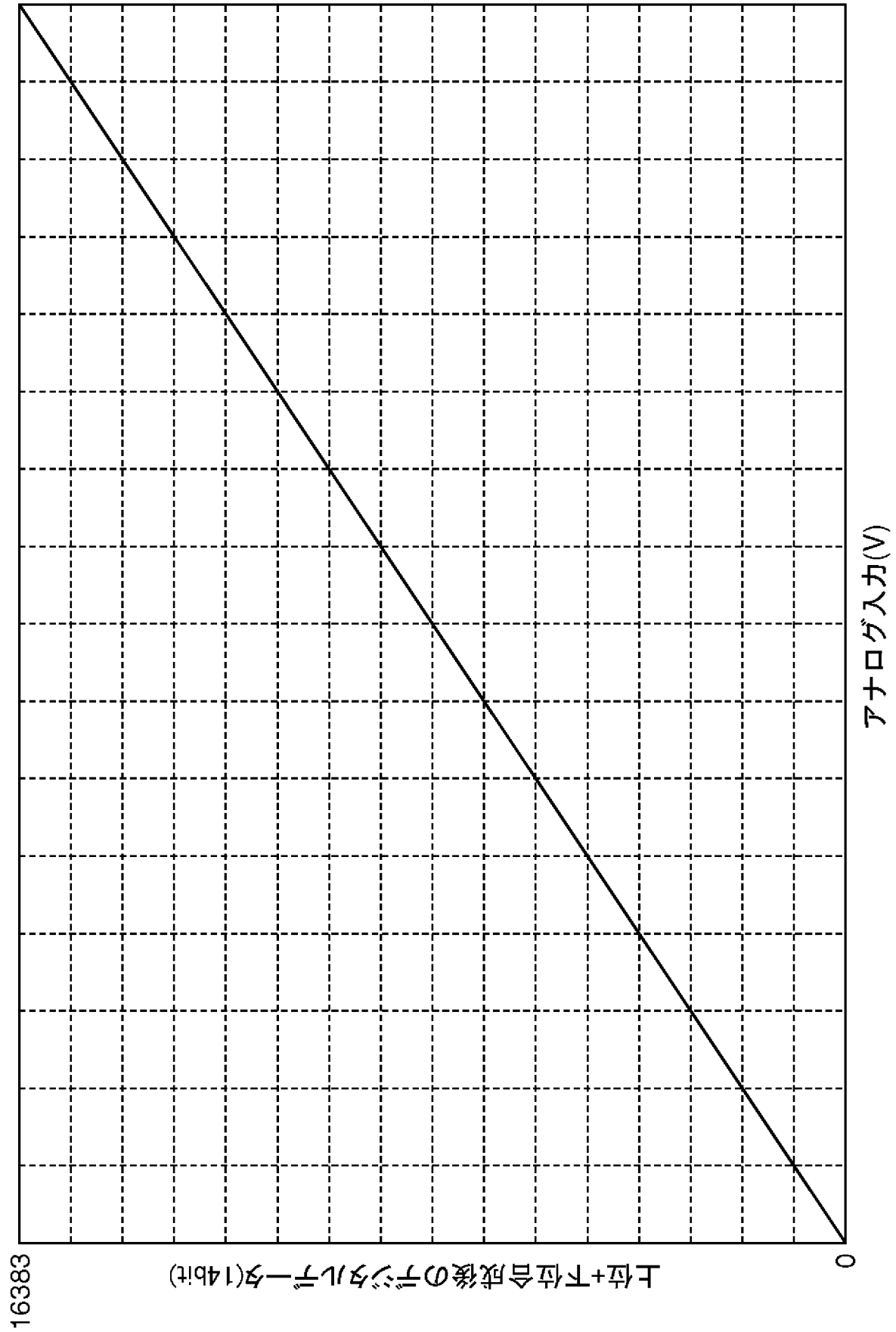
[図11]



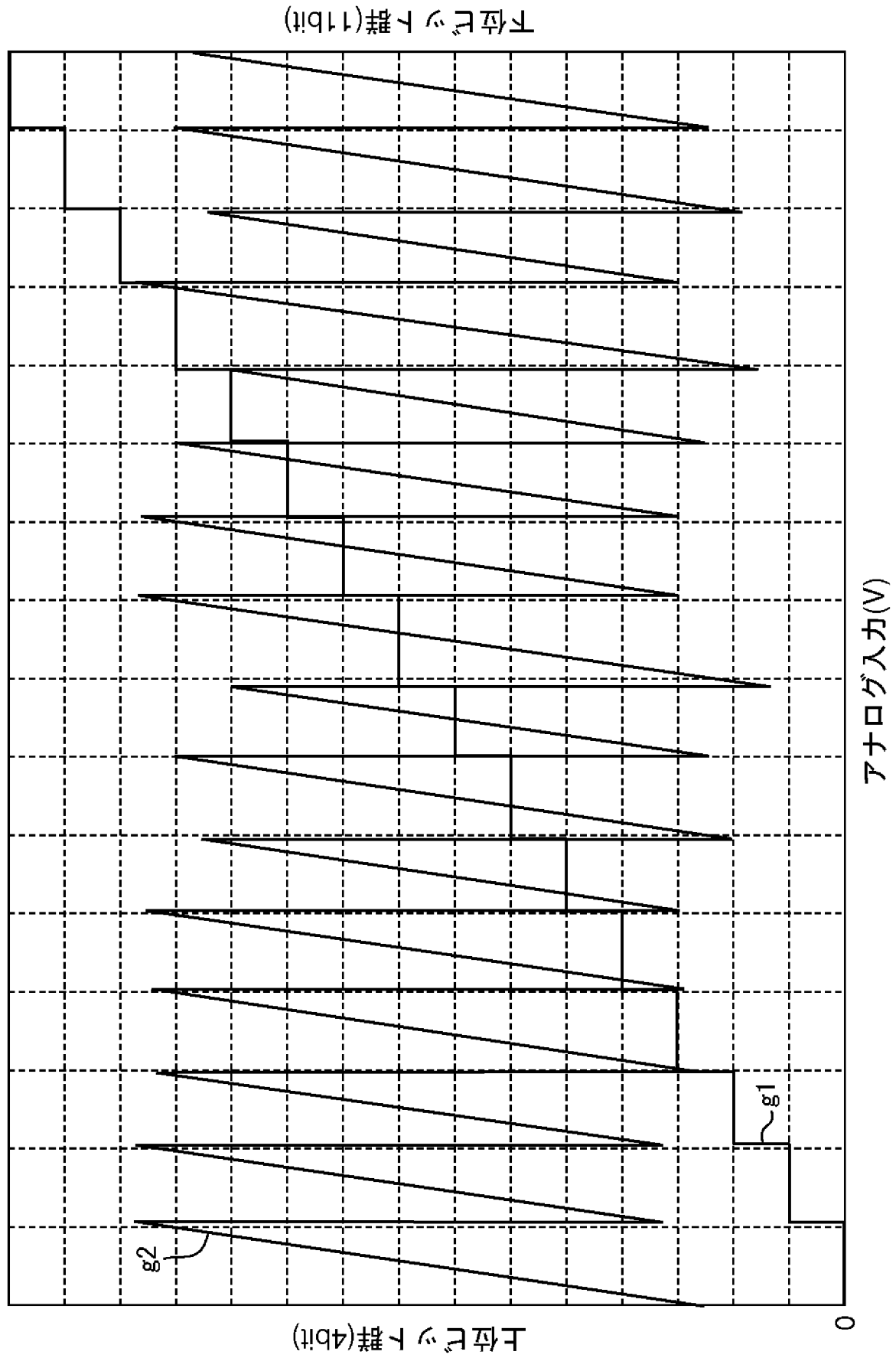
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001914

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/335(2006.01)i, H03M1/10(2006.01)i, H03M1/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/30-5/335, H03M1/00-1/20, 1/32-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 07-221645 A (Sony Corp.), 18 August 1995 (18.08.1995), entire text; all drawings (Family: none)	1-9
A	JP 2001-024509 A (Matsushita Electric Industrial Co., Ltd.), 26 January 2001 (26.01.2001), entire text; all drawings (Family: none)	1-9
A	JP 2006-020171 A (Fujitsu Ltd.), 19 January 2006 (19.01.2006), entire text; all drawings & US 2006/0001750 A1	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

20 May, 2010 (20.05.10)

Date of mailing of the international search report

01 June, 2010 (01.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/335(2006.01)i, H03M1/10(2006.01)i, H03M1/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/30-5/335, H03M1/00-1/20, 1/32-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 07-221645 A（ソニー株式会社）1995.08.18, 全文, 全図（ファミリーなし）	1-9
A	JP 2001-024509 A（松下電器産業株式会社）2001.01.26, 全文, 全図（ファミリーなし）	1-9
A	JP 2006-020171 A（富士通株式会社）2006.01.19, 全文, 全図 & US 2006/0001750 A1	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 5 . 2 0 1 0

国際調査報告の発送日

0 1 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石坂 博明

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 1

5 P

3 3 5 3