

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-76581

(P2015-76581A)

(43) 公開日 平成27年4月20日(2015.4.20)

(51) Int.Cl.

H01S 5/042 (2006.01)

F 1

H01S 5/042

テーマコード(参考)

6 3 0

5 F 1 7 3

審査請求 未請求 請求項の数 11 O L (全 23 頁)

(21) 出願番号

特願2013-213778 (P2013-213778)

(22) 出願日

平成25年10月11日 (2013.10.11)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

100082131

弁理士 稲本 義雄

100121131

弁理士 西川 孝

内野 浩基

東京都港区港南1丁目7番1号 ソニー株式会社内

鈴木 秀幸

東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】光送信回路、光送信装置、および、光伝送システム

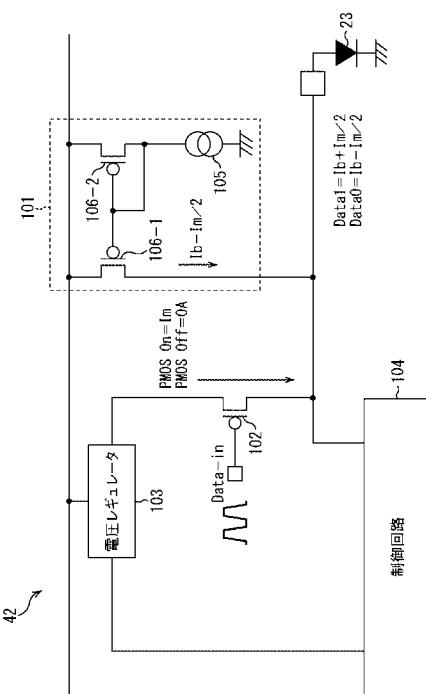
(57) 【要約】 (修正有)

図7

【課題】消費電力の低減する光送信回路を提供する。

【解決手段】光送信する電圧信号のレベルに応じて駆動する駆動素子102と、電流信号を光に変換して出力する光通信用光源23に、駆動素子102によって変調される変調電流を供給する変調電流駆動回路103と、一定の電流を光通信用光源23に供給する定電流供給回路101とを備える。そして、電圧信号が第1のレベルであるとき駆動素子102はオンとなって変調電流駆動回路103は変調電流を光通信用光源23に供給し、電圧信号が第2のレベルであるとき駆動素子102はオフとなって変調電流駆動回路103は変調電流の供給を停止する。

【選択図】図7



【特許請求の範囲】**【請求項 1】**

光送信する電圧信号のレベルに応じて駆動する駆動素子と、
電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変
調電流を供給する変調電流駆動回路と、
一定の電流を前記光通信用光源に供給する定電流供給回路と
を備え、
前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動
回路は変調電流を前記光通信用光源に供給し、
前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動
回路は変調電流の供給を停止する
光送信回路。

【請求項 2】

前記光送信回路は、前記駆動素子の一方の端子に供給される電圧の電圧値を任意の値に
変更する制御回路をさらに有し、

前記制御回路は、前記光通信用光源の特性に合致した最適な変調電流を前記変調電流駆
動回路から前記光通信用光源に供給するように調整を行う

請求項1に記載の光送信回路。

【請求項 3】

前記光送信回路は、前記変調電流駆動回路および前記定電流供給回路を有する駆動回路
と、前記駆動回路に信号伝送する入力バッファとを有し、

前記入力バッファは、第1のインバータの出力に付加容量および帰還抵抗を備えた第2
のインバータを接続して構成される

請求項1に記載の光送信回路。

【請求項 4】

前記入力バッファを構成する前記第1のインバータおよび前記第2のインバータは、CM
OS (Complementary Metal Oxide Semiconductor) インバータである

請求項3に記載の光送信回路。

【請求項 5】

前記入力バッファを構成する前記第1のインバータおよび前記第2のインバータは、カ
スコード型のCMOSインバータである

請求項3に記載の光送信回路。

【請求項 6】

所望の変調電流を前記光通信用光源に供給するために、前記変調電流駆動回路の前記駆
動素子に前記電圧信号が供給される端子の電圧を制御する電圧レギュレータ
をさらに備える請求項1に記載の光送信回路。

【請求項 7】

前記変調電流駆動回路の前記駆動素子に供給される前記電圧信号の信号増幅量を変更す
る変更部

をさらに備える請求項6に記載の光送信回路。

【請求項 8】

光送信する電圧信号を電流信号に変換する光送信回路と、
前記光送信回路から供給される電流信号を光に変換して出力する光通信用光源と
を備え、

前記光送信回路は、

光送信する電圧信号のレベルに応じて駆動する駆動素子と、

電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される
変調電流を供給する変調電流駆動回路と、

一定の電流を前記光通信用光源に供給する定電流供給回路と
を有し、

10

20

30

40

50

前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光信用光源に供給し、

前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する

を備える光送信装置。

【請求項9】

複数の前記光送信回路が配置され、それぞれの前記光送信回路において並列的に電圧信号を電流信号に変換可能な

請求項8に記載の光送信装置。

【請求項10】

光送信する電圧信号を電流信号に変換する光送信回路と、前記光送信回路から供給される電流信号を光に変換して出力する光信用光源とを有する光送信装置と、

光伝送経路を介して前記光信号を受光し、前記光信号を光電気変換した電流信号を出力する受光素子と、前記受光素子から出力される電流信号を電圧変換する光受信回路とを有する光受信装置と

を備え、

前記光送信回路は、

光送信する電圧信号のレベルに応じて駆動する駆動素子と、

電流信号を光に変換して出力する光信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、

一定の電流を前記光信用光源に供給する定電流供給回路と

を有し、

前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光信用光源に供給し、

前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する

光伝送システム。

【請求項11】

前記光受信装置には複数の前記光送信回路が配置され、それぞれの前記光送信回路において並列的に電圧信号を電流信号に変換可能な

請求項10に記載の光伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、光送信回路、光送信装置、および、光伝送システムに関し、特に、消費電力を抑制することができるようとした光送信回路、光送信装置、および、光伝送システムに関する。

【背景技術】

【0002】

従来、光によりデータを伝送する光伝送システムでは、光送信装置が電気信号を光変換してデータを送信し、光受信装置が光を電気変換することによりデータを受信する。

【0003】

例えば、光送信装置では、駆動回路から出力された電気信号が、電気光変換素子により光変換され、光ファイバを介して伝送される。そして、光受信装置では、受光素子（例えば、Photo Diode）により光電気変換された電流信号が、光受信回路により電圧変換され、信号の振幅が増幅され、後段の回路に供給される。

【0004】

また、光送信装置において、電気光変換素子として、レーザダイオード（LD : Laser Diode）の一種に、短波長光トランシーバ用の光源として、垂直共振器面発光レーザ（VCSEL : Vertical Cavity Surface Emitting LASER）が使用される。そして、垂直共振器面発光

10

20

30

40

50

レーザを駆動するためには電流が必要となり、そのときにバイアス電流を垂直共振器面発光レーザに流した上で、変調電流でデータ信号を変調することで、垂直共振器面発光レーザから0または1のデータ列が出力される。

【0005】

このような垂直共振器面発光レーザを駆動するためには、プッシュプル(push-pull)型の差動ドライバ回路が用いられている半導体レーザ駆動回路を使用することができる(例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2012-243891号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、垂直共振器面発光レーザを駆動するための電流は、光送信装置の消費電力に反映され、電力が大きくなるのに伴って発熱が大きくなる。このとき、垂直共振器面発光レーザは熱の影響により光出力パワーが低下するという特性を持っているため、消費電力に起因する発熱が垂直共振器面発光レーザの特性に悪影響を与えることが懸念され、消費電力を抑制することが求められている。

【0008】

本開示は、このような状況に鑑みてなされたものであり、消費電力を抑制することができるようとするものである。

20

【課題を解決するための手段】

【0009】

本開示の一側面の光送信回路は、光送信する電圧信号のレベルに応じて駆動する駆動素子と、電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、一定の電流を前記光通信用光源に供給する定電流供給回路とを備え、前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光通信用光源に供給し、前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する。

30

【0010】

本開示の一側面の光送信装置は、光送信する電圧信号を電流信号に変換する光送信回路と、前記光送信回路から供給される電流信号を光に変換して出力する光通信用光源とを備え、前記光送信回路は、光送信する電圧信号のレベルに応じて駆動する駆動素子と、電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、一定の電流を前記光通信用光源に供給する定電流供給回路とを有し、前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光通信用光源に供給し、前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する。

40

【0011】

本開示の一側面の光伝送システムは、光送信する電圧信号を電流信号に変換する光送信回路と、前記光送信回路から供給される電流信号を光に変換して出力する光通信用光源とを有する光送信装置と、光伝送経路を介して前記光信号を受光し、前記光信号を光電気変換した電流信号を出力する受光素子と、前記受光素子から出力される電流信号を電圧変換する光受信回路とを有する光受信装置とを備え、前記光送信回路は、光送信する電圧信号のレベルに応じて駆動する駆動素子と、電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、一定の電流を前記光通信用光源に供給する定電流供給回路とを有し、前記電圧信号が第1のレベルで

50

あるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光信用光源に供給し、前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する。

【0012】

本開示の一側面においては、電圧信号が第1のレベルであるとき駆動素子はオンとなって変調電流駆動回路により変調電流が光信用光源に供給され、電圧信号が第2のレベルであるとき駆動素子はオフとなって変調電流駆動回路により変調電流の供給が停止される。

【発明の効果】

【0013】

10

本開示の一側面によれば、消費電力を抑制することができる。

【図面の簡単な説明】

【0014】

【図1】本技術を適用した光伝送システムの一実施の形態の構成例を示すブロック図である。

【図2】光送信回路の回路構成を示す図である。

【図3】光送信回路における電流信号および電圧信号を示す図である。

【図4】レーザダイオードのI-V特性を示す図である。

【図5】CML型の駆動回路の構成例を示す図である。

【図6】入力バッファの従来の構成例を示す図である。

20

【図7】本技術を適用したLDDの第1の実施の形態の構成例を示すブロック図である。

【図8】データおよび供給電流について説明する図である。

【図9】LDDにおける電圧の制御方法について説明する図である。

【図10】LDDにおける電圧の制御方法について説明する図である。

【図11】電圧レギュレータの構成例を示す図である。

【図12】入力バッファ回路の構成例を示す図である。

【図13】入力バッファ回路のブロック図を示す図である。

【図14】CMOSインバータを示す図である。

【図15】光送信回路の構成例を示す図である。

【図16】光送信回路の第1の変形例を示す図である。

30

【図17】光送信回路の第2の変形例を示す図である。

【図18】光送信回路の第3の変形例を示す図である。

【図19】マルチチャンネル送信することができる光送信装置を示す図である。

【図20】光送信装置の変形例を示す図である。

【図21】複数の光送信回路を備えた光通信チップの構成例を示す図である。

【発明を実施するための形態】

【0015】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0016】

40

図1は、本技術を適用した光伝送システムの一実施の形態の構成例を示すブロック図である。なお、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0017】

図1に示すように、光伝送システム11は、光送信装置12および光受信装置14が、光ファイバなどの光伝送経路13を介して接続されて構成され、光送信装置12から光受信装置14に光信号が伝送される。

【0018】

光送信装置12は、信号処理回路21、光送信回路22、および光信用光源23を備えて構成され、光受信装置14は、受光素子31、光受信回路32、および信号処理回路

50

3 3 を備えて構成される。また、このような構成の光伝送システム 1 1 のうち、光伝送経路 1 3 、光送信回路 2 2 、光通信用光源 2 3 、受光素子 3 1 、および光受信回路 3 2 により、光伝送モジュール 1 5 が構成される。

【 0 0 1 9 】

信号処理回路 2 1 は、光伝送されるデータに応じた信号を生成する信号処理を行い、例えば、一対の反転した相の電圧信号からなる差動電圧信号を、光送信回路 2 2 に供給する。

【 0 0 2 0 】

光送信回路 2 2 は、入力バッファ回路 4 1 および L D D (Laser Diode Driver : レーザダイオード駆動回路) 4 2 を有して構成され、信号処理回路 2 1 から供給される差動電圧信号を電流信号に変換して光通信用光源 2 3 に供給する。

【 0 0 2 1 】

光通信用光源 2 3 は、光送信回路 2 2 から供給される電流信号を光に変換した光信号を、光伝送経路 1 3 を介して送信する。光通信用光源 2 3 としては、例えば、垂直共振器面発光レーザ (VCSEL) などの半導体レーザが使用される。

【 0 0 2 2 】

受光素子 3 1 は、光通信用光源 2 3 から送信される光信号を、光伝送経路 1 3 を介して受光して光電気変換を行い、光信号に応じた電流信号を出力する。

【 0 0 2 3 】

光受信回路 3 2 は、電流電圧変換回路 5 1 、信号増幅回路 5 2 、および出力バッファ回路 5 3 を有して構成され、受光素子 3 1 から出力される電流信号を電圧変換した差動電圧信号を信号処理回路 3 3 に供給する。即ち、光受信回路 3 2 では、電流電圧変換回路 5 1 により電流信号が電圧信号に変換され、その電圧信号が信号増幅回路 5 2 により増幅されて、出力バッファ回路 5 3 から信号処理回路 3 3 へ出力される。

【 0 0 2 4 】

信号処理回路 3 3 は、光受信回路 3 2 から供給される差動電圧信号に対する信号処理を行って、光送信装置 1 2 から光伝送されたデータを受け取る。

【 0 0 2 5 】

次に、図 2 および図 3 を参照して、光送信回路 2 2 の回路構成について説明する。

【 0 0 2 6 】

一般的に、信号処理回路 2 1 および光送信回路 2 2 のインターフェースでは、高速に信号伝送するための手段として、信号振幅を電源電圧より低い数 100 mV の振幅にすることにより比較的に短時間で電圧を変化させ、かつ、雑音耐性を向上させるために信号を差動にして伝送する差動伝送方式が採用されている。ところが、信号処理回路 2 1 および光送信回路 2 2 のインターフェース部に付加される抵抗成分や、インダクタンス成分、容量成分などによって振幅が減衰してしまうことがあるとともに、振幅が小さいために信号品質が劣化し易くなる。

【 0 0 2 7 】

そのため、図 2 に示すように、光送信回路 2 2 では、入力バッファ回路 4 1 が、波形整形回路 (E Q) 4 3 および増幅回路 (A M P) 4 4 を有して構成される。

【 0 0 2 8 】

波形整形回路 4 3 は、信号品質を保持するための回路であり、信号処理回路 2 1 から供給される減衰した信号を補う波形整形を行って、増幅回路 4 4 に供給する。

【 0 0 2 9 】

増幅回路 4 4 は、波形整形回路 4 3 により波形整形された信号を電源電圧まで増幅する回路であり、その増幅された信号を L D D 4 2 に供給する。

【 0 0 3 0 】

L D D 4 2 は、増幅回路 4 4 から供給される信号を、光通信用光源 2 3 を駆動するための電流信号に変換して、駆動電流を光通信用光源 2 3 に供給する。

【 0 0 3 1 】

10

20

30

40

50

このように光送信回路 2 2 は構成されており、例えば、図 3 A に示すような差動電圧信号 Data(+) および Data(-) が信号処理回路 2 1 から供給されると、光送信回路 2 2 は、図 3 B に示すようなシングルエンド電流信号を光通信用光源 2 3 に供給する。これにより、光通信用光源 2 3 から、図 3 C に示すようなシングルエンド光信号が出力される。そして、光通信用光源 2 3 において光信号に変換されて光伝送される光送信波形は、図 1 の光伝送経路 1 3 を介して、光受信装置 1 4 の受光素子 3 1 により光から電流信号へ変換される。その後、光受信回路 3 2 において電圧信号に変換されて信号処理回路 3 3 で信号処理される。

【0032】

ところで、上述したように、消費電力に起因する発熱が光通信用光源 2 3 の特性に悪影響を与えることを回避するため、光送信回路 2 2 全体の電流消費を抑制することが要求される。

【0033】

ここで、図 4 には、レーザダイオードの重要な特性の一つである I - V 特性が示されている。

【0034】

レーザ素子は、駆動電流を変化させることでデジタルデータを表現しており、通常、駆動電流が多い電流 I 1 がデータ Data1 として使用され、駆動電流が少ない電流 I 0 がデータ Data0 として使用される。

【0035】

通常、電流 I 1 および電流 I 0 の平均電流 ($(I_0 + I_1) / 2$) はバイアス電流 I b と称され、電流 I 1 および電流 I 0 の差電流 ($I_1 - I_0$) は変調電流 I m と称される。また、電圧 V 1 は、電流 I 1 を供給したときのレーザダイオードのアノード電圧であり、電圧 V 0 は、電流 I 0 を供給したときのレーザダイオードのアノード電圧である。このとき、レーザダイオードは、図 4 に示すような微分抵抗 R s を保有することになる。そして、直流成分のバランスが保持されるデータ伝送が行われる場合、駆動電流の平均消費電流としては、バイアス電流 I b であることが最も好適な状態である。

【0036】

また、図 5 には、従来より、レーザ駆動電流を供給するための LDD として用いられる CML (Current Mode Logic) 型の駆動回路が示されている。

【0037】

図 5 に示すように、CML 型の駆動回路 6 1 は、コンデンサ 6 2 およびコイル 6 3 を介して光通信用光源 2 3 に接続され、電流源 6 4 - 1 および 6 4 - 2 、抵抗 6 5 - 1 および 6 5 - 2 、並びに、トランジスタ 6 6 - 1 および 6 6 - 2 を備えて構成される。

【0038】

図 5 に示すように、CML 型の駆動回路 6 1 は、コンデンサ 6 2 およびコイル 6 3 から構成されるバイアスティー (Bias Tee) を介してバイアス電流 I b を電流源 6 4 - 1 から光通信用光源 2 3 に供給する。また、変調電流 I m は、CML 型の駆動回路 6 1 からコンデンサ 6 2 を介して、光通信用光源 2 3 に供給される。

【0039】

このとき、CML 型の駆動回路 6 1 は、変調電流 I m を光通信用光源 2 3 に供給するために、データ Data1 および Data0 によらず、常に、電流源 6 4 - 2 を介して 2 倍の変調電流分 ($2 \times I_m$) を電源から GND に流しておく必要がある。このため、CML 型の駆動回路 6 1 の駆動中の平均消費電流は、バイアス電流 I b と 2 倍の変調電流 I m を加算したもの (= I b + 2 × I m) となる。

【0040】

また、上述した特許文献 1 に開示されているレーザ駆動回路では、駆動中の平均消費電流はバイアス電流 I b と変調電流 I m を加算したもの (= I b + I m) であった。

【0041】

このように、従来、図 5 の CML 型の駆動回路 6 1 、または、特許文献 1 のレーザ駆動

10

20

30

40

50

回路では、LDDとしての理想の平均消費電流 I_b より多くの電流を消費しており、消費電流を抑制することが求められている。

【0042】

また、図6には、入力バッファの従来の構成例が示されている。

【0043】

図6に示すように、入力バッファ71は、波形整形回路72および增幅回路73からなり、電流源81-1乃至81-3、抵抗82-1乃至82-7、コンデンサ83、並びに、トランジスタ84-1乃至84-4を備えて構成される。

【0044】

従来、入力バッファ71として、CML型の駆動回路61が、差動入力回路であり、かつ、電気インターフェースが差動伝送であることが規格として多いことより、図5のCML型の駆動回路61と同様に、CML型が用いられることが多かった。そのため、入力バッファ71としては、差動入出力回路であり、かつ、光システムに要求される高速動作の場合、十分に帯域の広い回路としてCML型で構成されていた。しかしながら、CML型の入力バッファ71は、高速かつ広帯域動作を実現するために、消費電力が多くなっていたため、消費電流の抑制が求められている。

10

【0045】

図7は、本技術を適用したLDD42の第1の実施の形態の構成例を示すブロック図である。

20

【0046】

図7に示すように、LDD42は、定電流供給回路101、PMOSドライバ102、電圧レギュレータ103、および制御回路104を備えて構成される。

【0047】

定電流供給回路101は、電流源105、並びに、トランジスタ106-1および106-2を有して構成され、光信用光源23に定電流($I_b - I_m/2$)を供給する。

【0048】

PMOSドライバ102のゲート電極には、図2の入力バッファ回路41から出力される信号が供給され、PMOSドライバ102は、その信号のハイレベル/ローレベルに応じてオン/オフを切り替えるように駆動する。

30

【0049】

電圧レギュレータ103は、入力バッファ回路41からPMOSドライバ102にデータData1が供給されているときの光信用光源23のアノード電圧に応じて所望の変調電流を供給することができるよう、PMOSドライバ102のソース電圧を制御する。

【0050】

制御回路104は、電圧レギュレータ103の出力を制御する。

【0051】

例えば、図8に示すように、入力バッファ回路41の出力がデータData1である場合にはPMOSドライバ102はオンとなり、光信用光源23には、PMOSドライバ102を介して電流 I_m が供給される。一方、入力バッファ回路41の出力がデータData0である場合にはPMOSドライバ102はオフとなり、光信用光源23には、PMOSドライバ102を介して供給される電流がゼロとなる。

40

【0052】

また、光信用光源23には、定電流供給回路101から定電流($I_b - I_m/2$)が供給されている。従って、光信用光源23に供給される供給電流は、入力バッファ回路41の出力がデータData1である場合には電流($I_b + I_m/2$)となり、入力バッファ回路41の出力がデータData0である場合には電流($I_b - I_m/2$)となる。

【0053】

このように、LDD42は、上述したような多くの電流が発生することを回避し、平均消費電流 I_b だけを消費することができるように構成されている。

【0054】

50

また、図7のLDD42では、制御回路104が、LDD42が電流($I_b+I_m/2$) (図4の電流 I_1 に相当する電流)を光信用光源23に供給する際に発生する電圧 V_1 (図4参照)に対して、PMOSドライバ102が電流 I_m を供給することができるよう、PMOSドライバ102のソース電圧を制御する。

【0055】

図9および図10を参照して、LDD42における電圧の制御方法について説明する。

【0056】

図9では、光信用光源23に定電流($I_b+I_m/2$)を供給したときに発生するアノード電圧を内部回路に保持する方法について説明する。PMOSドライバ102をオフさせた状態で、定電流供給回路101から定電流($I_b+I_m/2$)を光信用光源23に供給することで、光信用光源23のアノードと接続される接続端に、光信用光源23に定電流($I_b+I_m/2$)を供給したときのアノード電圧 V_{anode} を発生させ、このときのアノード電圧を制御回路104が保持する。

10

【0057】

図10では、PMOSドライバ102のソース電圧を制御する方法について説明する。図9を参照して上述したように、光信用光源23に定電流($I_b+I_m/2$)を供給したときのアノード電圧 V_{anode} が制御回路104に保持されている状態で、PMOSドライバ102をオンさせ、定電流供給回路101から定電流($I_b-I_m/2$)を光信用光源23に供給する。このとき、PMOSドライバ102から供給される電流(以下、電流Aと称する)と、定電流($I_b-I_m/2$)とが光信用光源23に供給されることになり、光信用光源23には、電流($I_b-I_m/2+A$)が供給される。

20

【0058】

このときPMOSドライバ102のソース電圧を電圧レギュレータ103で制御することで、PMOSドライバ102から供給される電流Aを調整することができる。制御回路104は、保持しているアノード電圧 V_{anode} と、光信用光源23のアノードと接続される接続端に発生している電圧とを比較し、アノード電圧 V_{anode} が、光信用光源23のアノードと接続される接続端に発生している電圧と一致するようにPMOSドライバ102のソース電圧を制御する。これにより、PMOSドライバ102から供給される電流Aが、電流 I_m となり、PMOSドライバ102から所望の電流 I_m を供給できるPMOSドライバ102のソース電圧を決定することができる。

30

【0059】

ここで、LDD42における電圧の制御方法について、さらに詳細に説明する。図9および図10に示すように、制御回路104は、比較器107、可変電圧生成回路108、および論理回路109を有して構成される。

【0060】

まず、図9に示すように、PMOSドライバ102をオフにした状態で、光信用光源23に定電流($I_b-I_m/2$)を供給したときに発生する電圧 V_0 (図4参照)が制御回路104の比較器107に入力されるとともに、可変電圧生成回路108から変化可能な基準電圧 V_{ref} が比較器107に入力され、比較器107が電圧 V_0 と基準電圧 V_{ref} とを比較する。そして、論理回路109は、比較器107の出力(比較結果)を処理して、電圧 V_0 と基準電圧 V_{ref} とが等しくなる ($V_0 = V_{ref}$) ように可変電圧生成回路108を制御し、このときの基準電圧 V_{ref} ($= V_0$) を保持する。

40

【0061】

次に、PMOSドライバ102をオフにした状態のまま光信用光源23に定電流($I_b+I_m/2$)を供給したときに発生する電圧 V_1 (図4参照)が制御回路104の比較器107に入力されるとともに、可変電圧生成回路108から変化可能な基準電圧 V_{ref} が比較器107に入力され、比較器107が電圧 V_1 と基準電圧 V_{ref} とを比較する。そして、論理回路109は、比較器107の出力(比較結果)を処理して、電圧 V_1 と基準電圧 V_{ref} とが等しくなる ($V_1 = V_{ref}$) ように可変電圧生成回路108を制御し、このときの基準電圧 V_{ref} ($= V_1$) を保持する。

50

【0062】

そして、図10に示すように、PMOSドライバ102をオンにし、論理回路109が保持している電圧V0と電圧V1との差分に応じた電流振幅Im(図4参照)を流すために、PMOSドライバ102のソース電圧を制御する必要がある。即ち、論理回路109は、電流振幅Imを流すための電圧信号を電圧レギュレータ103に供給することにより、後述する図11に示す電圧レギュレータ103が有する可変電流源111の電流を制御する。これに従って、電圧レギュレータ103によりPMOSドライバ102のソース電圧が調整され、PMOSドライバ102を介して、電流振幅Imの電流が光信用光源23に供給される。このようにして、制御回路104は、光信用光源23の特性に合致した最適な変調電流を電圧レギュレータ103からPMOSドライバ102を介して光信用光源23に供給するように調整を行うことができる。

10

【0063】

次に、図11は、PMOSドライバ102のソース電圧を制御する電圧レギュレータ103の構成例を示す図である。

【0064】

図11に示すように、電圧レギュレータ103は、可変電流源111、低損失定レギュレータ(LDO: Low Drop Out)112、および抵抗113を備えて構成される。

20

【0065】

電圧レギュレータ103は、低損失定レギュレータ112のリファレンス電圧を抵抗113および可変電流源111によりデジタル制御することで、PMOSドライバ102のソース電圧を調整することができる。従って、電圧レギュレータ103は、PMOSドライバ102のソース電圧を制御することで、PMOSドライバ102が所望の電流Imを光信用光源23に供給することができるようする。

20

【0066】

次に、図12は、入力バッファ回路41の構成例を示す図である。

【0067】

図12に示すように、入力バッファ回路41は、インバータ121-1および121-2、帰還抵抗122、並びに、コンデンサ123を備えて構成され、LDD42のPMOSドライバ102を駆動する。

30

【0068】

上述したように、LDD42は、シングルエンド入力回路であり、LDD42に接続される入力バッファ回路41の出力にはシングルエンド出力回路が使用される。そこで、入力バッファ回路41では、インバータ121-1で信号を增幅するシングルエンド入出力型の増幅回路(アンプ)を構成し、インバータ121-1の出力信号に、帰還抵抗122およびコンデンサ123を接続したインバータ121-2の出力信号に負帰還をかけた信号を返すことで、シングルエンドのイコライザを実現している。

30

【0069】

図13には、入力バッファ回路41のブロック図が示されている。

【0070】

図13Aに示すように、インバータ121-1は伝達関数G1(s)により表され、帰還抵抗122およびコンデンサ123を接続したインバータ121-2は伝達関数G2(s)により表され、帰還抵抗122は帰還率fにより表される。また、入力バッファ回路41の伝達関数G(s)は、入力バッファ回路41に入力される入力電圧Viと、入力バッファ回路41から出力される出力電圧Voとに基づいて、図13Aに示すように求められる。

40

【0071】

図13Bには、入力バッファ回路41による利得特性の概要が示されている。

【0072】

図13Bに示すように、伝達関数G(s)の利得は、伝達関数G1(s)および伝達関数G2(s)ともに通過域であるときにおいて一定となる。また、伝達関数G(s)の利

50

得は、伝達関数 $G_1(s)$ が通過域であり、かつ、伝達関数 $G_2(s)$ が増加であるときと、伝達関数 $G_1(s)$ および伝達関数 $G_2(s)$ ともに遮断域であるときにおいて減少する。このため、伝達関数 $G(s)$ の利得は、ピークを持つ特徴がある。

【0073】

このような伝達関数 $G(s)$ の利得のピーク特性と、入力信号の減衰特性を合わせることで波形整形を行い、入力バッファ回路41では、イコライザを実現している。

【0074】

また、入力バッファ回路41に使用されるインバータ121には、CMOS (Complementary Metal Oxide Semiconductor) インバータを採用することができる。例えば、図14Aには、PMOS (Positive channel Metal Oxide Semiconductor) 型のトランジスタ141と、NMOS (Negative channel Metal Oxide Semiconductor) 型のトランジスタ142とが組み合わされて構成されるCMOSインバータが示されている。
10

【0075】

また、入力バッファ回路41に使用されるインバータ121には、カスコード型のCMOSインバータを採用することができる。例えば、図14Bには、PMOS型のトランジスタ151のドレイン側に接続されるPMOS型のトランジスタ153のゲート電圧が任意の電位 V_{bp} にバイアスされ、NMOS型のトランジスタ152のドレイン側に接続されるNMOS型のトランジスタ154のゲート電圧が任意の電位 V_{bn} にバイアスされるカスコード型のCMOSインバータが示されている。
20

【0076】

次に、図15には、図7のLDD42および図12の入力バッファ回路41を実装した光送信回路22の構成例が示されている。

【0077】

図1の信号処理回路21から入力バッファ回路41に正極信号Data(+)が入力され、入力バッファ回路41は、シングルエンド信号の波形整形および増幅を行う。この際、入力バッファ回路41から出力される信号によって、LDD42のPMOSドライバ102のゲート電圧を駆動することによりPMOSドライバ102がオン／オフされる。これにより、制御回路104を通してコントロールされた電圧レギュレータ103から所望の変調電流を発生させ、定電流供給回路101から供給されるバイアス電流に重畠させて光信用光源23を駆動する。従って、光送信回路22は、光信号を低消費電力で出力することができる。
30

【0078】

図16には、光送信回路22の第1の変形例が示されている。

【0079】

図16に示すように、光送信回路22Aは、入力バッファ回路41およびLDD42Aから構成され、入力バッファ回路41は、図12の入力バッファ回路41と同様に構成される。

【0080】

LDD42Aは、定電流供給回路101、PMOSドライバ102、電圧レギュレータ103、および制御回路104を備える点で、図7のLDD42と同様に構成される。一方、LDD42Aは、バイアスレギュレータ161、コンデンサ162、および抵抗163をさらに備えて構成される。
40

【0081】

即ち、LDD42Aは、コンデンサ162を介して入力バッファ回路41の出力端子およびPMOSドライバ102のゲート電極が接続され、コンデンサ162およびPMOSドライバ102のゲート電極を接続する配線に、抵抗163を介してバイアスレギュレータ161が接続される。

【0082】

バイアスレギュレータ161は、入力バッファ回路41の出力電圧のハイレベルおよびロー レベルの信号に応じて、PMOSドライバ102のゲート電極に印加されるゲート電圧 V
50

g が、所望のバイアス値になるような制御を行う。即ち、バイアスレギュレータ 161 は、オン時には、PMOS ドライバ 102 のゲート電極に印加されるゲート電圧 V_g が、PMOS ドライバ 102 をオンにする電圧となるような制御を行う。一方、バイアスレギュレータ 161 は、オフ時には、PMOS ドライバ 102 のゲート電極に印加されるゲート電圧 V_g が、PMOS ドライバ 102 をオフにする電圧となるような制御を行う。

【0083】

これにより、LDD42A では、バイアスレギュレータ 161 により PMOS ドライバ 102 を駆動するのに適切な電圧を供給することができ、PMOS ドライバ 102 を確実に駆動することができる。

【0084】

10

図 17 には、光送信回路 22 の第 2 の変形例が示されている。

【0085】

図 17 に示すように、光送信回路 22B は、入力バッファ回路 41A および LDD42 から構成され、LDD42 は、図 12 の LDD42 と同様に構成される。

【0086】

入力バッファ回路 41A は、インバータ 121-1 および 121-2、帰還抵抗 122、並びに、コンデンサ 123 を備える点で、図 12 の入力バッファ回路 41 と同様に構成される。一方、入力バッファ回路 41A は、アンプ 171 をさらに備えて構成される。

【0087】

20

即ち、入力バッファ回路 41A は、インバータ 121-1 の出力端子がアンプ 171 の入力端子に接続され、アンプ 171 の出力端子が PMOS ドライバ 102 のゲート電極に接続される。

【0088】

例えば、上述の光送信回路 22 では、信号処理回路 21 の出力振幅によっては、イコライザ機能付きの入力バッファ回路 41 だけで、PMOS ドライバ 102 を駆動するだけの振幅を得られない可能性がある。

【0089】

30

これに対し、光送信回路 22B では、入力バッファ回路 41A がアンプ 171 を備えることにより、アンプ 171 が PMOS ドライバ 102 に供給される電圧信号を增幅することで、PMOS ドライバ 102 のゲート電極に印加される信号の利得を稼ぐことができ、PMOS ドライバ 102 を確実に駆動することができる。

【0090】

次に、図 18 には、光送信回路 22 の第 3 の変形例が示されている。

【0091】

図 18 に示すように、光送信回路 22C は、入力バッファ回路 41A および LDD42A から構成される。即ち、光送信回路 22C は、図 17 に示した入力バッファ回路 41A と、図 16 に示した LDD42A とを備えて構成される。

【0092】

40

このように構成される光送信回路 22C では、図 16 および図 17 を参照して上述したように、LDD42A において PMOS ドライバ 102 を確実に駆動することができる。

【0093】

ところで、光送信装置 12 において並列で光送信する数が増加したときに、消費電力が問題となることが想定される。そこで、マルチチャンネル送信することができる光送信装置について説明する。

【0094】

図 19 に示されている光送信装置 211 は、並列的に N 段の差動電圧信号を出力することができる信号処理部 212、および、並列的に N 段の光信号を出力することができる光送信回路 213 を備えて構成される。

【0095】

光送信回路 213 は、N 個の送信機 221-1 乃至 221-N を備えており、送信機 2

50

21-1乃至221-Nに光信用光源222-1乃至222-Nがそれぞれ接続されている。送信機221-1乃至221-Nは、入力バッファ回路41およびLDD42をそれぞれ備えており、信号処理装置212から供給される差動電圧信号に従って、光信用光源222-1乃至222-Nに電流信号を並列的に供給する。

【0096】

このように構成される光送信装置21において、低消費電力で、並列的に光送信することができる。なお、図19の光送信回路213は、送信機221-1乃至221-Nおよび光信用光源222-1乃至222-Nを備えて構成されているが、例えば、光送信回路213としては、送信機221-1乃至221-Nだけを備える構成とし、光送信回路213に対して光信用光源222-1乃至222-Nが接続されるようにしてもよい。また、光送信回路213が、信号処理部212および送信機221-1乃至221-Nを備える構成としてもよい。また、光送信回路213が、信号処理部212、送信機221-1乃至221-N、および光信用光源222-1乃至222-Nを備える構成としてもよい。

10

【0097】

次に、図20には、光送信装置12の変形例が示されている。

【0098】

図20Aに示されている光送信装置221Aは、VCSEL駆動回路231および定電流供給回路232を備えて構成され、VCSEL222を駆動するための電流信号を出力する。即ち、VCSEL駆動回路231は、データData1のとき電流Imを出力するとともに、データData0のとき電流の出力をゼロにし、定電流供給回路232は、定電流(1b-Im/2)を出力する。

20

【0099】

図20Bに示されている光送信装置221Bは、VCSEL駆動回路231、定電流供給回路232、電圧レギュレータ233、および制御回路234を備えて構成され、VCSEL222を駆動するための電流信号を出力する。光送信装置221Bでは、電圧レギュレータ233が所望の電圧を発生することができるように、制御回路234による制御が行われる。これにより、VCSEL駆動回路231は、データData1のとき電流Imを確実に出力するとともに、データData0のとき電流の出力を確実にゼロにすることができる。

30

【0100】

図20Cに示されている光送信装置221Cは、VCSEL駆動回路231、定電流供給回路232、および制御回路235を備えて構成され、VCSEL222を駆動するための電流信号を出力する。光送信装置221Cでは、制御回路235がVCSEL駆動回路231そのものを制御して、所望の電圧を得ることができる。例えば、制御回路235は、VCSEL駆動回路231内の素子(例えば、MOSなど)のサイズを変更することにより電流を調整するような制御を行う。

【0101】

なお、以上の説明では、垂直共振器面発光レーザを一例として光信用光源23の説明を行ったが、光送信装置12では、他のレーザダイオードを光信用光源23として採用してもよい。また、LDD42は、PMOSドライバ102を備える構成として説明したが、PMOSおよびNMOSのどちらをドライバとして用いてもよい。

40

【0102】

次に、図21を参照して、複数の光送信回路22を備えた光通信チップの構成例について説明する。

【0103】

図21に示すように、光通信チップ301は、光送信ブロック302および光受信ブロック303を備えて構成され、例えば、図1の光送信装置12と光受信装置14との両方の機能を備える光通信装置に搭載される。つまり、光通信チップ301は、光伝送経路13を介して、光送信装置12のように光信号を送信し、光受信装置14のように光信号を受信することができる。

50

【0104】

また、光通信チップ301において、光送信ブロック302は、複数の送信部311を有しているとともに、光受信ブロック303は、複数の受信部312を有している。例えば、図21の構成例では、光送信ブロック302は、m行×n列のマトリックス状に單一面に配置された送信部311(1,1)乃至311(n,m)を有している。同様に、光受信ブロック303は、m行×n列で平面的に配置された受信部312(1,1)乃至312(n,m)を有している。ここで、mおよびnは、任意の整数である。

【0105】

また、光通信チップ301において、光送信ブロック302では、送信部311ごとに光信用光源313が接続され、光受信ブロック303では、受信部312ごとに受光素子314が接続される。

10

【0106】

従って、光通信チップ301では、光送信ブロック302が有する複数の送信部311が、通信相手となる他の光通信チップ301の光受信ブロック303が有する複数の受信部312に対して、光信用光源313から光信号をそれぞれ送信することができる。また、光通信チップ301では、光受信ブロック303が有する複数の受信部312が、通信相手となる他の光通信チップ301の光送信ブロック302が有する複数の送信部311から送信されてくる光信号を、受光素子314によりそれぞれ受信することができる。

【0107】

また、送信部311は、入力バッファ回路41、LDD42、およびレーザダイオード監視回路327を備えて構成され、入力バッファ回路41が波形整形回路43および増幅回路44を有して構成される。

20

【0108】

入力バッファ回路41、LDD42、波形整形回路43、および増幅回路44は、図2に示した光送信回路22と同様に構成される。レーザダイオード監視回路327は、光信用光源313を監視し、光信用光源313に異常を検出した場合には、LDD42から光信用光源313への電流信号の出力を停止する。

【0109】

また、受信部312は、信号強度測定部(RSSI: Received Signal Strength indicator)331、トランスインピーダンスアンプ332、リミッティングアンプ333、および出力バッファ334を備えて構成される。

30

【0110】

信号強度測定回路331は、受光素子314からトランスインピーダンスアンプ332に供給されるシングルエンドの電流信号の強度を測定する。

【0111】

トランスインピーダンスアンプ332は、受光素子314から供給されるシングルエンドの電流信号の直流成分を除去し、シングルエンドの電流信号を差動信号に変換して出力する。

【0112】

リミッティングアンプ333は、トランスインピーダンスアンプ332から出力される差動信号を、予め設定された所定のレベルまで増幅して出力する。出力バッファ334は、リミッティングアンプ333から出力される差動信号を一時的に保持し、図示しない信号線を介して、受信信号を処理する信号処理回路に供給する。

40

【0113】

このように、光通信チップ301において、複数の送信部311は、上述した各構成例の光送信回路22を備えており、光通信チップ301は、複数の光送信回路22が配置されて構成される。つまり、光通信チップ301では、複数の光送信回路22において並列的に光信用光源313を駆動することが可能である。従って、光通信チップ301を備えた送受信装置、および、その送受信装置を含んで構成される光伝送システムでは、光送信ブロック302において並列的に光信号を送信する駆動を行うとき、上述したように光

50

信号を低消費電力で出力することができる。これにより、光通信チップ301における発熱を抑制することができ、光通信チップ301では、電源の電圧降下（ドロップ）を回避することができるとともに、熱によって光通信が受ける影響を抑制することができる。また、光通信チップ301は、隣接する送信部311どうしの間ににおけるクロストーク、および、隣接する受信部312どうしの間ににおけるクロストークを低減することができ、より低ノイズで通信を行うことができる。

【0114】

なお、光通信チップ301から光送信ブロック302と光受信ブロック303とを独立して構成してもよく、光送信装置12（図1）が、光送信ブロック302を備えた構成としてもよい。10

【0115】

なお、本技術は以下のような構成も取ることができる。

(1)

光送信する電圧信号のレベルに応じて駆動する駆動素子と、
電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、20

一定の電流を前記光通信用光源に供給する定電流供給回路と
を備え、

前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光通信用光源に供給し、20

前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する

光送信回路。

(2)

前記光送信回路は、前記駆動素子の一方の端子に供給される電圧の電圧値を任意の値に変更する制御回路をさらに有し、30

前記制御回路は、前記光通信用光源の特性に合致した最適な変調電流を前記変調電流駆動回路から前記光通信用光源に供給するように調整を行う

上記(1)に記載の光送信回路。

(3)

前記光送信回路は、前記変調電流駆動回路および前記定電流供給回路を有する駆動回路と、前記駆動回路に信号伝送する入力バッファとを有し、30

前記入力バッファは、第1のインバータの出力に付加容量および帰還抵抗を備えた第2のインバータを接続して構成される

上記(1)または(2)に記載の光送信回路。

(4)

前記入力バッファを構成する前記第1のインバータおよび前記第2のインバータは、CMOSインバータである

上記(3)に記載の光送信回路。

(5)

前記入力バッファを構成する前記第1のインバータおよび前記第2のインバータは、カスコード型のCMOSインバータである40

上記(3)に記載の光送信回路。

(6)

所望の変調電流を前記光通信用光源に供給するために、前記変調電流駆動回路の前記駆動素子に前記電圧信号が供給される端子の電圧を制御する電圧レギュレータをさらに備える上記(1)から(5)までのいずれかに記載の光送信回路。

(7)

前記変調電流駆動回路の前記駆動素子に供給される前記電圧信号の信号増幅量を変更する変更部50

をさらに備える上記(1)から(6)までのいずれかに記載の光送信回路。

(8)

光送信する電圧信号を電流信号に変換する光送信回路と、前記光送信回路から供給される電流信号を光に変換して出力する光通信用光源とを備え、前記光送信回路は、

光送信する電圧信号のレベルに応じて駆動する駆動素子と、

電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、

一定の電流を前記光通信用光源に供給する定電流供給回路と

を有し、

前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光通信用光源に供給し、

前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する

を備える光送信装置。

(9)

複数の前記光送信回路が配置され、それぞれの前記光送信回路において並列的に電圧信号を電流信号に変換可能な 上記(9)に記載の光送信装置。

(10)

光送信する電圧信号を電流信号に変換する光送信回路と、前記光送信回路から供給される電流信号を光に変換して出力する光通信用光源とを有する光送信装置と、

光伝送経路を介して前記光信号を受光し、前記光信号を光電気変換した電流信号を出力する受光素子と、前記受光素子から出力される電流信号を電圧変換する光受信回路とを有する光受信装置と

を備え、

前記光送信回路は、

光送信する電圧信号のレベルに応じて駆動する駆動素子と、

電流信号を光に変換して出力する光通信用光源に、前記駆動素子によって変調される変調電流を供給する変調電流駆動回路と、

一定の電流を前記光通信用光源に供給する定電流供給回路と
を有し、

前記電圧信号が第1のレベルであるとき前記駆動素子はオンとなって前記変調電流駆動回路は変調電流を前記光通信用光源に供給し、

前記電圧信号が第2のレベルであるとき前記駆動素子はオフとなって前記変調電流駆動回路は変調電流の供給を停止する

光伝送システム。

(11)

前記光受信装置には複数の前記光送信回路が配置され、それぞれの前記光送信回路において並列的に電圧信号を電流信号に変換可能な

上記(10)に記載の光伝送システム。

【0116】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

【0117】

11 光伝送システム， 12 光送信装置， 13 光伝送経路， 14 光受信装置， 15 光伝送モジュール， 21 信号処理回路， 22 光送信回路， 23 光通信用光源， 31 受光素子， 32 光受信回路， 33 信号処理回路， 41 入力バッファ回路， 42 LDD， 51 電流電圧変換回路， 52 信号增幅回

10

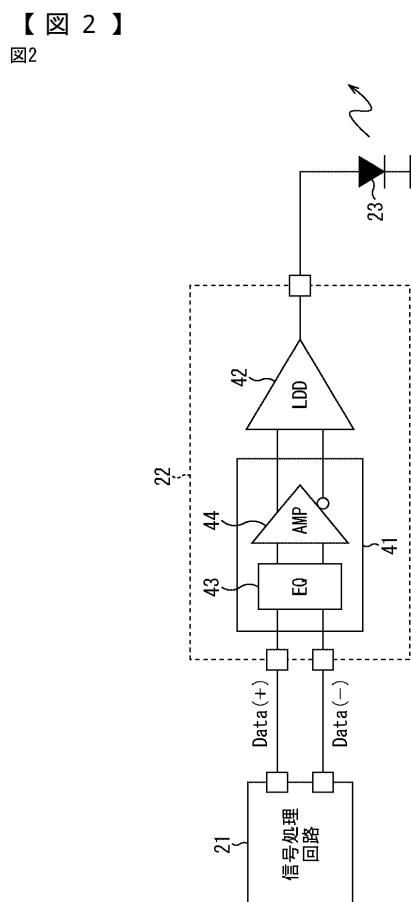
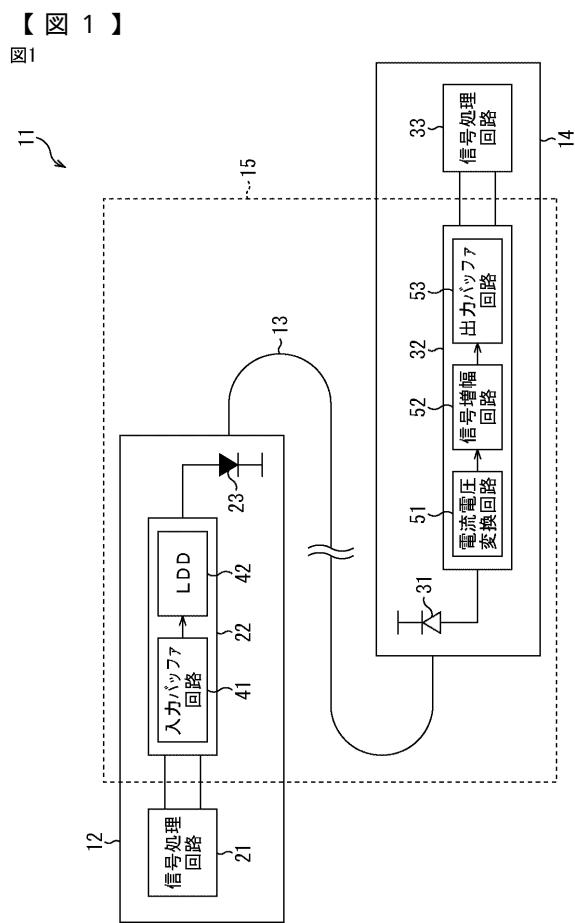
20

30

40

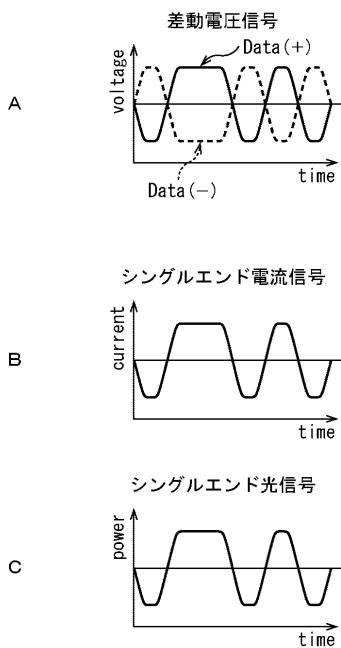
50

路， 53 出力バッファ回路， 101 定電流供給回路， 102 PMOSドライバ，
 103 電圧レギュレータ， 104 制御回路， 105 トランジスタ， 106
 トランジスタ， 111 可変電流源， 112 低損失定レギュレータ， 113
 抵抗， 121 インバータ， 122 帰還抵抗， 123 コンデンサ， 141
 PMOS型のトランジスタ， 142 NMOS型のトランジスタ， 151 PMOS型のトランジ
 スタ， 152 NMOS型のトランジスタ， 153 PMOS型のトランジスタ， 154
 NMOS型のトランジスタ， 161 バイアスレギュレータ， 162 コンデンサ， 1
 63 抵抗， 171 アンプ



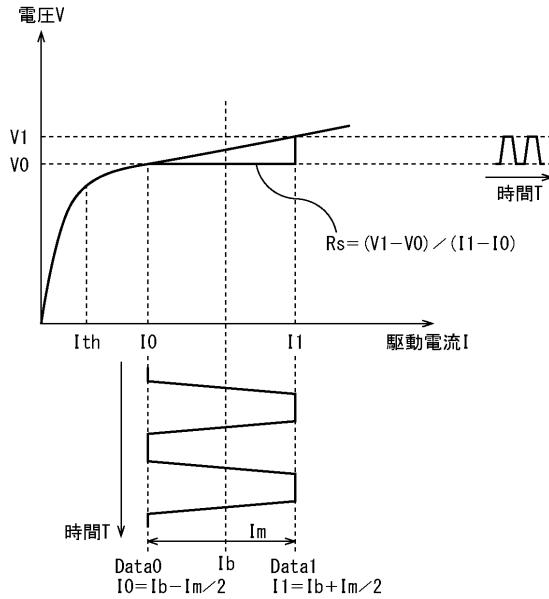
【図3】

図3



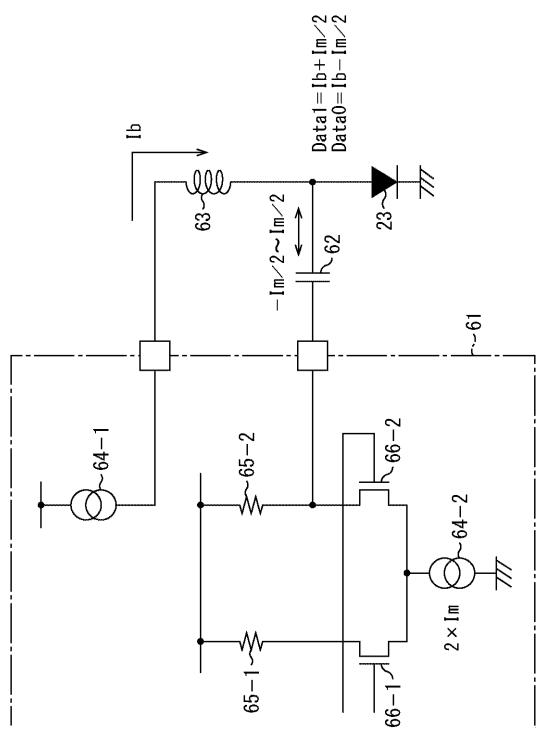
【図4】

図4



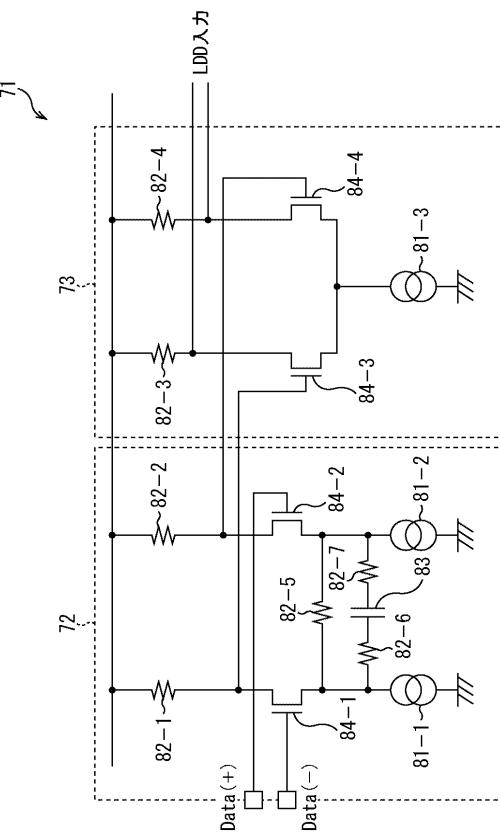
【図5】

図5



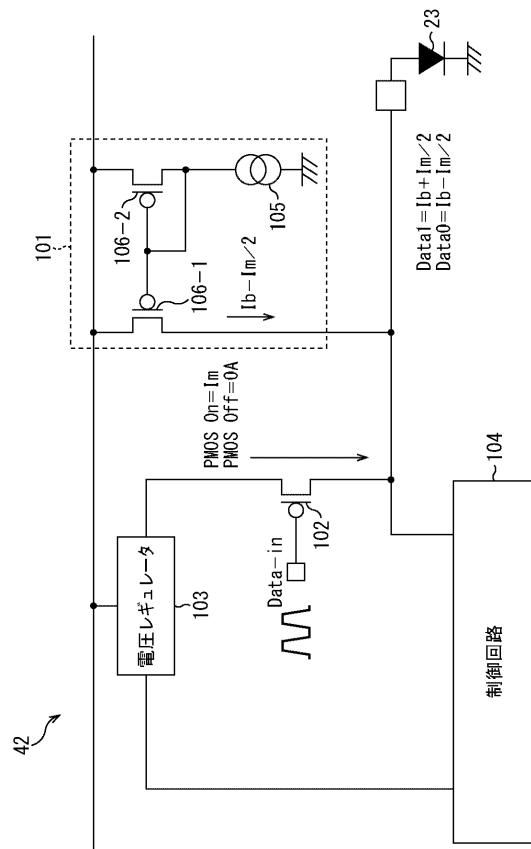
【図6】

図6



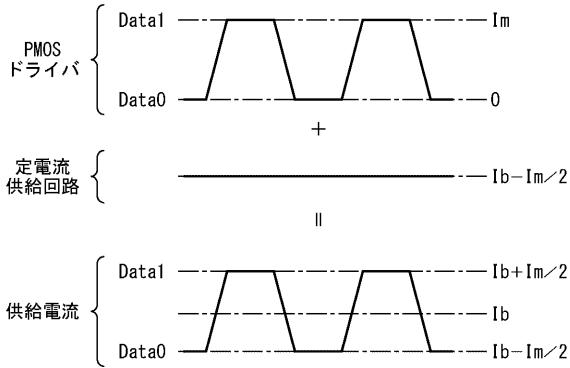
【図7】

図7



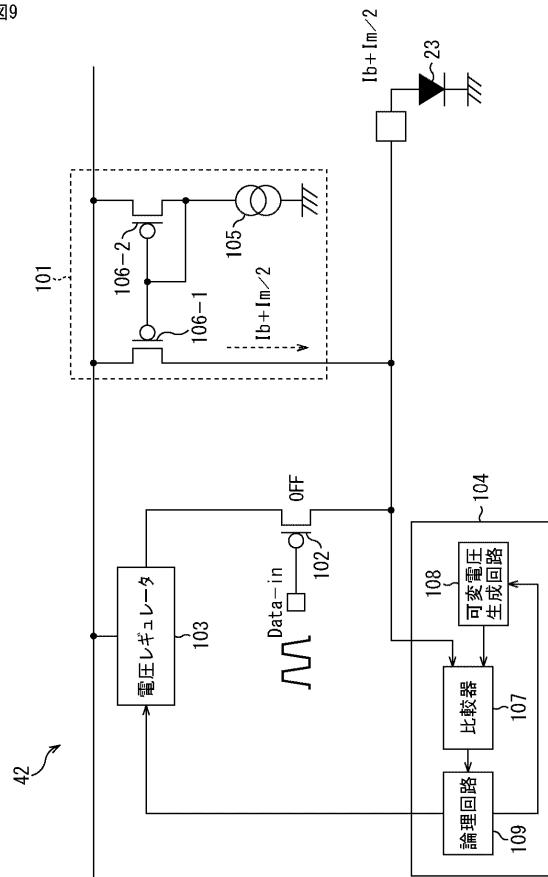
【図8】

図8



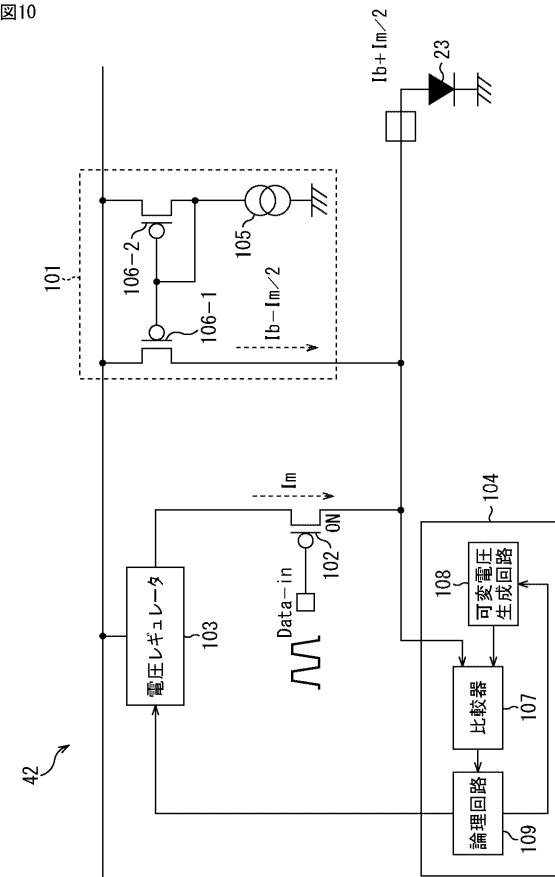
【図9】

図9



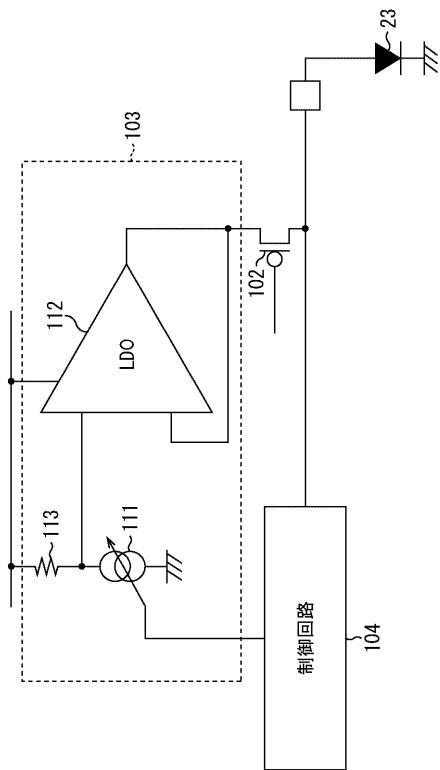
【図10】

図10



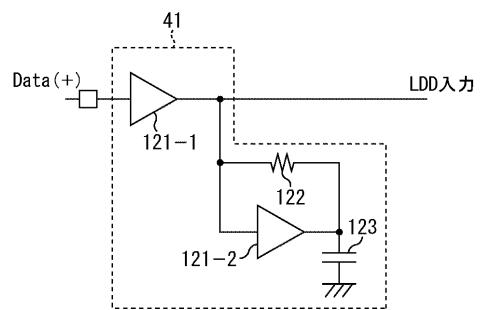
【図 1 1】

図11



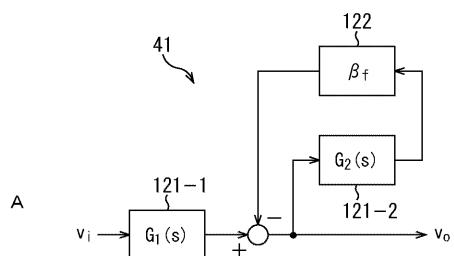
【図 1 2】

図12

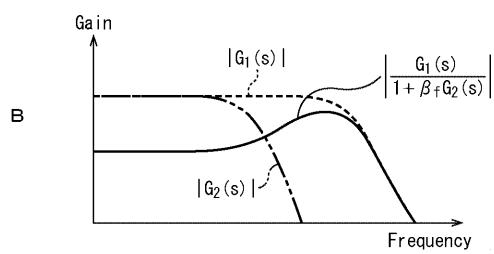


【図 1 3】

図13

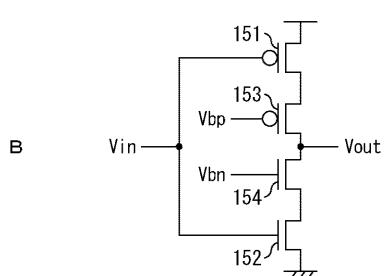
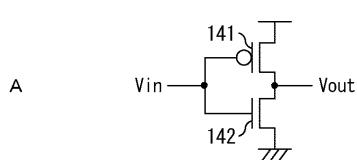


$$G(s) = \frac{v_o}{v_i} = \frac{G_1(s)}{1 + \beta_f G_2(s)}$$



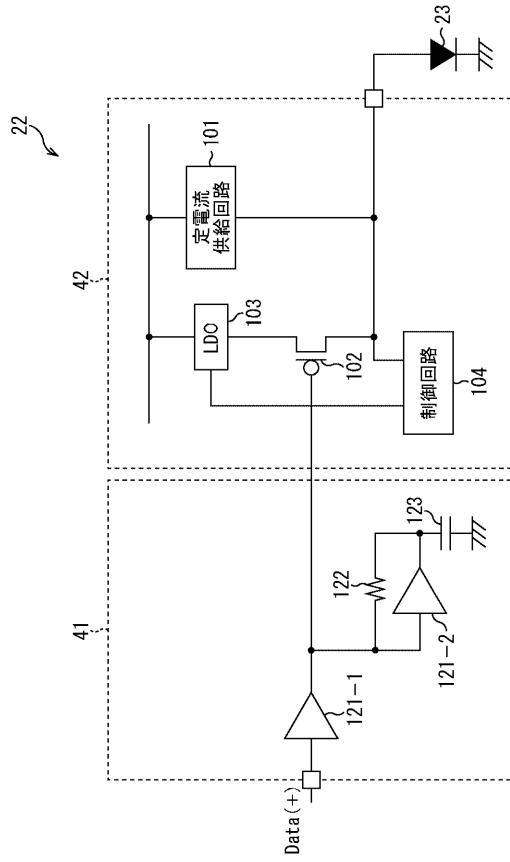
【図 1 4】

図14



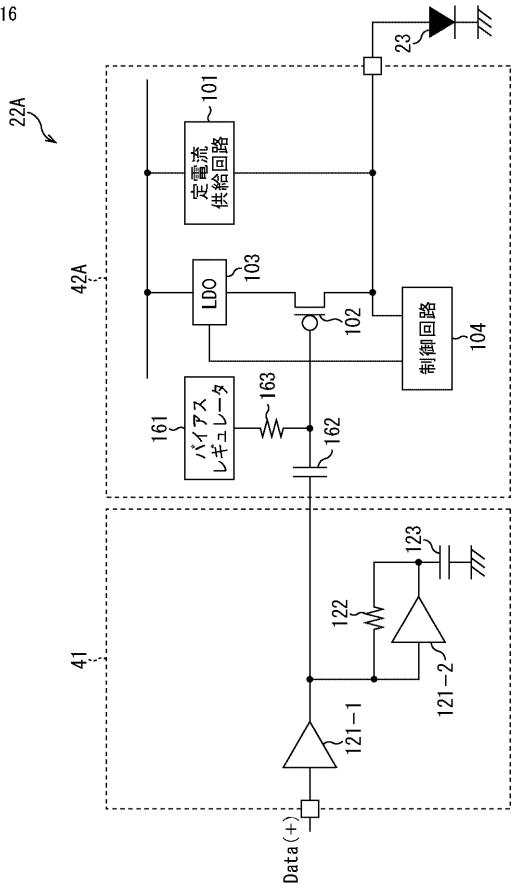
【図15】

図15



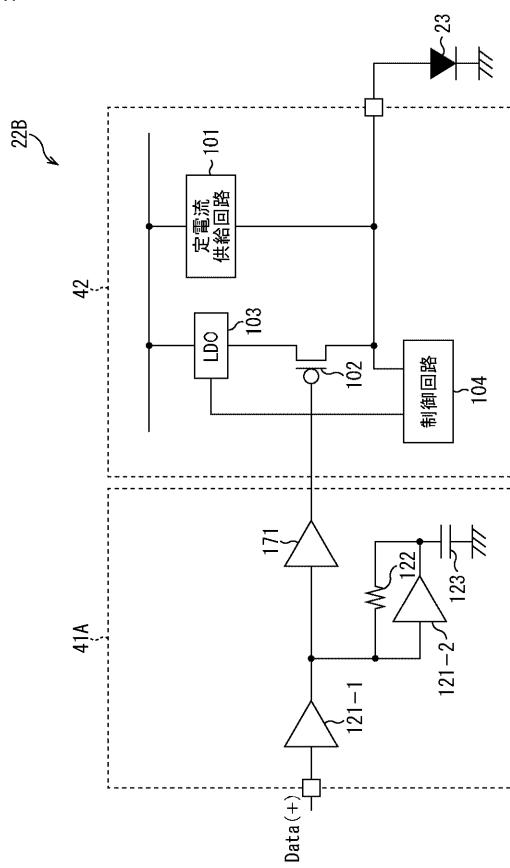
【図16】

図16



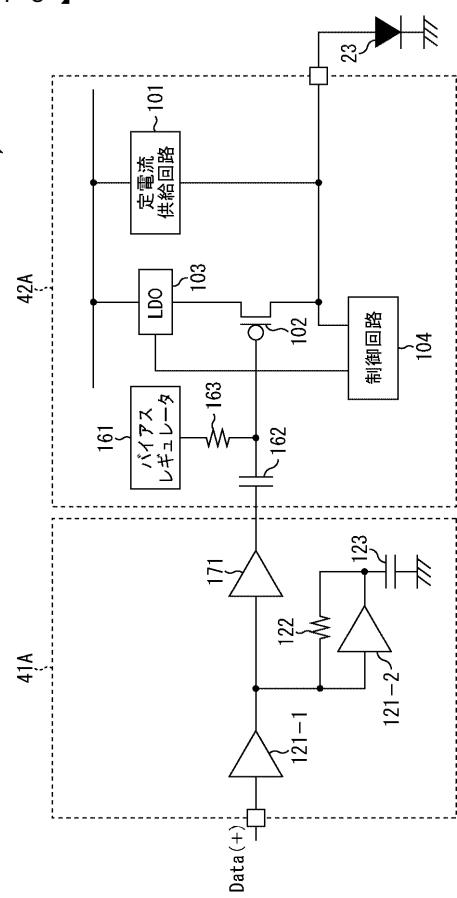
【図17】

図17



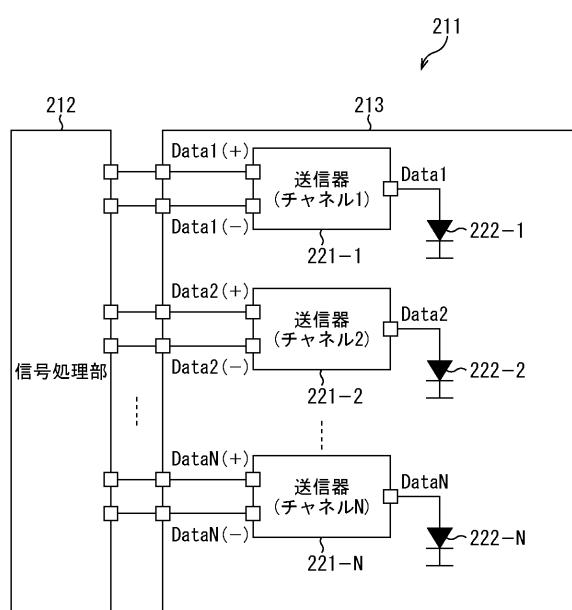
【図18】

図18



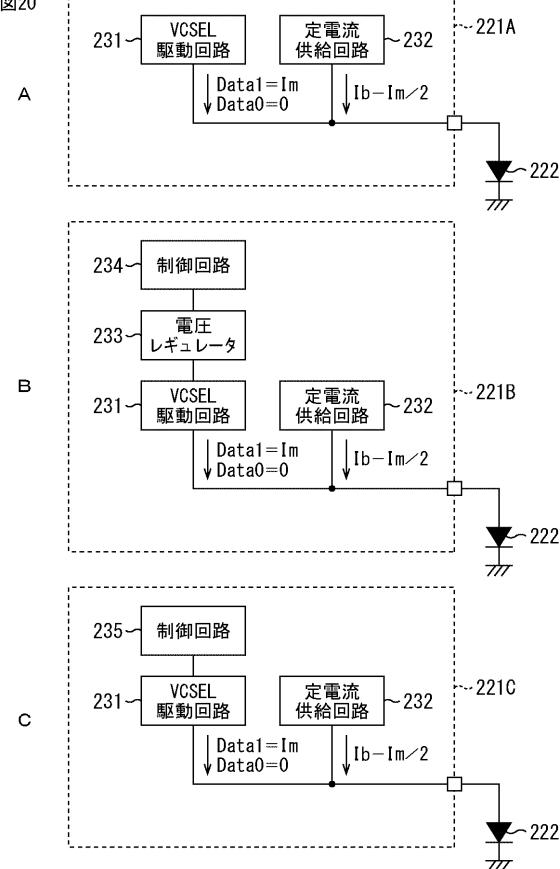
【図19】

図19

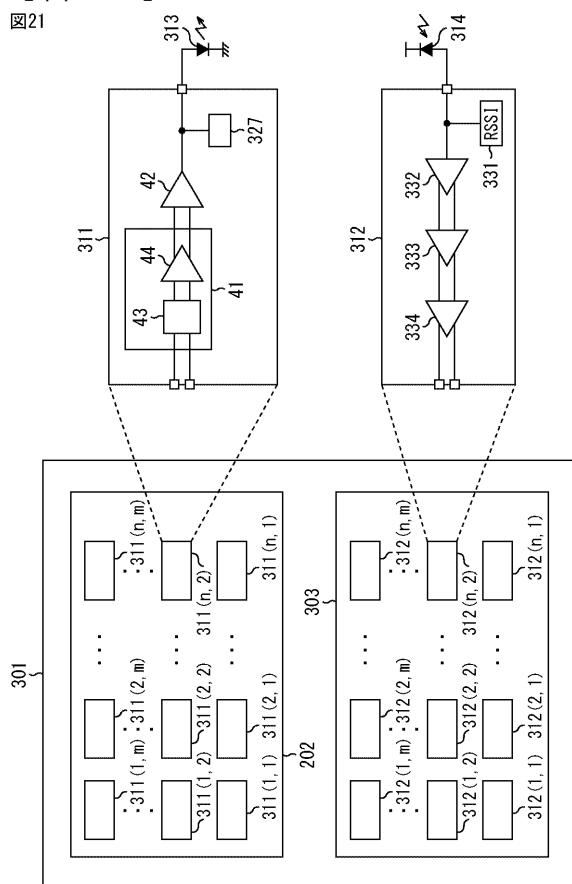


【図20】

図20



【図21】



フロントページの続き

(72)発明者 森田 寛
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 宮島 良文
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニーレンジデザイン株式会社内

(72)発明者 菅野 純譜
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 5F173 SA17 SC02 SE02 SG04 SJ10 SJ12