(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H02M 7/00

(45) 공고일자 2000년10월16일
(11) 등록번호 10-0268738
(24) 등록일자 2000년07월15일

(21) 출원번호 10-1992-0016832
(22) 출원일자 1992년09월16일
(65) 공개번호 특1993-0007051
(43) 공개일자 1993년04월22일

(30) 우선권주장 761,113 1991년09월17일 미국(US)
(73) 특허권자 오티스 엘리베이터 컴파니 로이드 디. 도이간
미국 코넥티커트주 06032 파밍톤 팜 스프링즈 10
(72) 발명자 블라드미르블라스코
미합중국 코넥티커트 06011 뉴밍톤 75 하이게이트 로우드아파트 비-4
(74) 대리인 김창세, 장성구

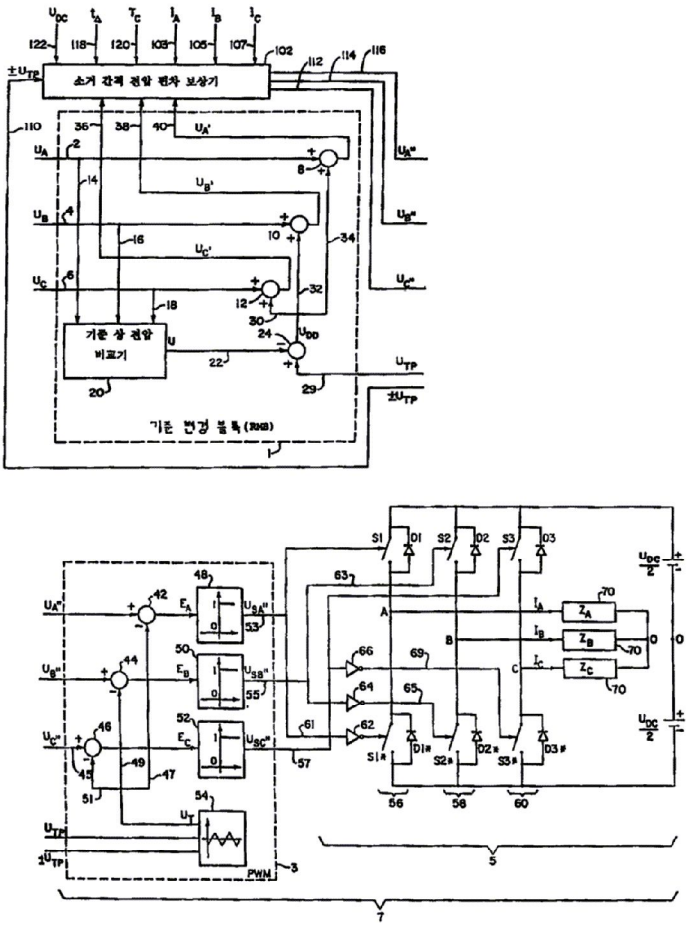
심사관 : 여인홍

(54) 전압 편차 보상 방법 및 장치

요약

본 발명은 AC 전압을 DC 전압으로 컨버트하거나 DC 전압을 AC 전압으로 인버트하는 데 사용되는 전압 변환 브릿지에 사용된다. 각 레그(leg)와 연관된 3 개의 기준 상전압 U_A 또는 U_B 혹은 U_C 중 하나를 갖는 3 상 브릿지에서, 스위치 S1, S2 또는 S3(혹은, 이와 달리 이들의 상보 스위치 S1*, S2* 또는 S3*) 중의 하나가, 이와 연관된 전압 U_A, U_B 또는 U_C가 다른 두 기준 전압 보다 높은(혹은 작은) 시간 간격내에서 전도하며, 이 시간 동안 소거 간격 보상 손실이 보상된다. 본 발명에 따르면, (a) 3 개의 기준 전압이 공급되고, (b) 이들 전압중 최대값이 검출되며, (c) PWM 신호를 형성하는데 사용된 삼각파의 피크값으로부터 상기 최대값이 가산되며, (d) 이 차이가 각 기준 전압에 가산되어 3 개의 제 1 증대된 기준 전압을 형성하며 이 기준 전압은 다시 소거 간격 손실 보상기로 향하고, (e) 상기 전압 변환 브릿지가 포화 상태가 아니고 소거 간격 편차 전압 보상 신호를 가산하여도 포화가 야기되지 않을 경우, 소거 간격에 의해 유발된 전압 편차를 보상하기 위하여 소거 간격 전압 편차 보상 신호가 제 1 증대된 기준 전압에 가산되어 제 2 증대된 기준 신호를 제공하며, (f) 상기 보상된 신호가 PWM 섹션에 공급되며, 이는 다시 PWM 신호를 3 상 브릿지에 공급한다. 이 방법에 의해 소거 간격의 사용에 의해 유발되는 전압 편차를 최소화한다.

대표도



명세서

[발명의 명칭]

전압 편차 보상 방법 및 장치

[도면의 간단한 설명]

제1도는 본 발명을 인버터에서 구현하는 블록도.

제2도는 진폭 변조도 m_A 〈1 인 경우, 3 상 정현 전압 U_{ABC}의 전압과 시간의 관계를 나타낸 그래프.

제3도는 차이 신호, U_{DD}의 전압과 시간의 관계를 나타낸 그래프(제2도 및 제3도는 동일 시간축상에 존재하며, m_A 〈1).

제4도는 소거 간격 전압 편차 보상 로직 루틴을 나타낸 도면.

제5도는 본 발명을 컨버터에서 구현하는 블록도.

〈도면의 주요부분에 대한 부호의 설명〉

1 : 기준 변경 블록(RMB)	3 : 펄스폭 변조기(PWM)
5 : 브릿지	8,10,12,24,42,44,46 : 가산기
20 : 기준 상전압 비교기	48,50,52 : 비교기
54 : 삼각파 신호 발생기	56,58,60 : 레그
70 : 부하	102 : 소거 간격 전압 편차 보상기

[발명의 상세한 설명]

본 발명은 펄스폭 변조(PWM) 인버터 및 컨버터에 관한 것으로, 특히 소거 시간 간격(blanking time interval)이 인버터 및 컨버터의 출력 전압에 미치는 영향에 관한 것이다.

PWM 인버터 및 컨버터에서, 상전압(phase voltage)은 기본 주파수에 비해 짧은 지속 시간을 갖는 일련의 구형 펄스(square pulse)로 이루어진다. 이들 펄스는 일정한 진폭과 가변의 펄스 폭을 갖는다.

인버터의 출력 전압 파형은 주기적으로 극성을 반전하는 펄스열(pulse train)이며, 이에 의해 기본 주파수가 제공된다. 삼각파 비교 PWM 방법을 사용할 경우, 출력 펄스열의 반복율은 반송 주파수 f_c이다. 각각의 반주기(half period)를 구성하는 펄스들의 폭의 변화가 RMS 전압 진폭을 조절한다. 이러한 변화 혹은 변조를 수행하는 기법은 많다. 통상의 기법으로는, 전원 회로내의 스위치를 제어하는 펄스 지속 시간이 두 기준 신호의 교차점, 즉 고주파 삼각파 전압파와 기본 주파수의 정현 전압의 교차점에 의해 결정되는 트라이앵귤레이션(triangulation) 또는 서브하모닉(subharmonic) 방법이 알려져 있다. 이 PWM 신호가 f_c에서 브릿지의 스위치들을 제어한다.

이상적으로는, 이 브릿지 회로의 각 레그(leg)내의 트랜지스터는 PWM 신호가 비활성 상태로 변할 때, 예를 들어 논리 1에서 논리 0으로 변할 때 즉시 오프(off)된다. 그러나, 트랜지스터형 회로를 활용하는 실제 회로에 있어서 트랜지스터의 즉각적인 턴 오프는 현실적으로 불가능하다. 예를 들어, 브릿지 레그내의 한 쌍의 스위치에 공급된 PWM 신호가 논리 1에서 논리 0으로 변하는 경우, 제 1 트랜지스터는 제 2 트랜지스터가 턴 온되기 전에 완전히 턴 오프되지는 않는다. 이는 PWM 구동 신호가 비활성 상태(논리 0)로 변한 후 트랜지스터가 포화 상태에서 벗어 나기 위해서는 일정한 시간이 필요하기 때문이다. 따라서 브릿지 레그내의 두 트랜지스터가 동시에 전도된다. 상기 두 트랜지스터는 전원(power supply) 양단에 직렬 결합을 형성하므로 이들의 동시적 도전 상태로 인해 과도한 전류가 흐르며 이에 따라 이들 트랜지스터가 파괴된다. 이러한 문제점을 해소하기 위해, 브릿지 회로를 구동시키는 PWM 신호내에 의도적으로 소거 간격을 도입한다. 즉, 상기 인버터 레그의 제 2 스위치의 턴 온은 소거 시간($t_{\triangle}$)만큼 지연되어, 인버터 레그를 통한 단락 회로를 방지한다. 상기 시간 지연($t_{\triangle}$)의 지속 시간은 상기 브릿지 회로내의 상기 한 쌍의 트랜지스터중 하나의 트랜지스터가 턴 온되기 전에 상기 인버터 레그내의 두 트랜지스터가 모두 오프되도록 보장하기에 충분한 것이다. 이러한 소거 간격 시간은 또한 불감 시간(dead time)으로 알려져 있다.

소거 시간 동안 상기 두 스위치는 모두 오프되므로, 그 시간 간격 동안의 상전압(line-to-neutral voltage)은 부하 전류의 방향에 의존한다. 부하 전류(i_A)가 양(positive)일 때(인버터로부터 부하로 향할 때), 이로 인한 전압 손실 $\triangle U_A=U_{DC}*[t_{\triangle}/T_c]$이 발생하며, 부하 전류가 음(negative)일 때, 전압 이득 $\triangle U_A=U_{DC}*[-t_{\triangle}/T_c]$가 발생한다(여기서 $t_{\triangle}$는 소거 시간 간격을 의미하며, T_c는 반송 주파수의 주기와 같고, U_{DC}는 DC 모선(buss) 전압이다). 여기서 $\triangle U_A$를 최소화하는 것이 바람직하다.

3 상, 3 레그 전력 변환 브릿지(컨버터 또는 인버터)를 상정하면, 동일한 분석이 제 2 레그 B 및 제 3 레그 C에 적용된다. i_A, i_B 및 i_C 내의 상전류(phase current)들의 제로 교차들(zero crossings)에서의 U_A, U_B 및 U_C내의 왜곡은 인버터 또는 컨버터 출력에서 기본 주파수의 제 3, 제 5, 제 7 등의 고조파를 발생시킨다.

소거 시간 간격 보상의 필요성은 잘 알려져 있다("Current Sense Demodulator"의 명칭으로 1984년 1월 26일 출원되고, 1985년 12월 31일에 허여된 고프(Goff) 등의 미국 특허 제 4,562,386 호 참조). 또한, 소거 간격에 의해 야기되는 고조파에 관한 문제점은 또한 오래전부터 인식되어 왔다(네드 모한(Ned Mohan), 토어 엠 언더랜드(Tore M. Underland), 윌리엄 피 로빈스(William P. Robbins)가 저술하고 뉴욕에 소재한 John Wiley & Sons사가 1989년 발행한 "Power Electronics Converters, Applications, and Design"의 141 쪽부터 144 쪽 참조).

소거 간격 손실을 보상하는 하나의 방법으로서, 1983년 1월 25일 출원되고, 1985년 10월 15일 사카모터(Sakamoto) 등에게 허여된 미국 특허 제 4,547,719 호에 개시되어 있는데, 이 방법은 전압 궤환에 의존한다. 이 방법은 아머추어(armature) 전압 U_c로부터 인가 전압(impressed voltage)을 발생시키기 위한 전압 변환 회로와, 유지 회로(holding circuit)의 출력 전압과 상기 전압 변환 회로의 출력 전압간의 차이를 계산하기 위한 감산 회로와, 상기 감산 회로에 의해 발생된 차이를 적분하기 위한 적분 회로를 채용한다. 즉, 인버터 회로의 출력 전압이 PWM 회로의 전단계(pre-stage)에 귀환되며, 이 귀환 루프를 사용하여 이득을 높인다. 그러나, 마이크로프로세서가 모터 제어 회로의 일부로 사용되는 경우, 이러한 귀환 루프 용도의 별도의 아날로그 회로를 마련하여야 한다. 이러한 프로세스는 빠른 아날로그 회로에 의해 구현되어야 하며, 상기 마이크로프로세서에 의해 충분히 신속하게 수행될 수 없다. 이러한 해결책은 구성이 복잡하고 고가로 수행된다.

PWM 소거 시간을 보상하는 다른 장치는, 1983년 10월 19일 출원되고 1988년 1월 12일자로 쿠라카케(Kurakake) 등에게 허여된 미국 특허 제 4,719,400 호에 개시되어 있다. 상기 미국 특허는, 전류 커맨드(current command) 계산용 산술 회로와, 상기 전류 커맨드를 유지하기 위한 유지 회로와, 이 유지 회로로부터의 출력신호를 펄스 폭 변조하며 상기 출력 신호에 관한 불감대(dead zone)가 제공된 PWM 회로와, PWM 신호에 의한 모터 제어용 트랜지스터 증폭 회로를 포함하는 모터 제어 장치를 개시한다. 상기 산술 회로는 소거 시간에 기인한 모터 제어 손실을 보상하기 위해 보상 신호를 상기 전류 커맨드에 가산하며, 이 결과를 상기 유지 회로에 전달한다. 이 방법에 의해 소거 시간으로 인한 손실과 왜곡 문제는 해결되나, 이러한 보상이 항상 수행되는 데서 오는 다른 문제가 발생한다. 예를 들면, 상기 PWM 회로가 포화(전원 회로내의 상보(complementary) 스위치의 완전 전도 상태)근방에 있도록 커맨드된다면, 부가적인 보상 신호는 상기 PWM 회로를 포화로 이끌며 과도한 부하 전압을 발생시킨다. 반면, 상기 PWM 회로가 기준 전압에 의해 포화 상태로 되도록 커맨드될 경우, 소거 간격 전압 편차 신호가 PWM 회로를 포화 상태에서 벗어나도록 하여 의도하지 않은 부하 전압의 감소를 발생시킬 수 있다. 요약하면, 항상

보상이 이루어지면, 상기 PWM 회로가 포화 근방에서 동작하는 경우, 부가적인 부하 전류 왜곡이 야기된다는 것이다.

본 발명은 AC 전압을 DC 전압으로 컨버트하거나 또는 DC 전압을 AC 전압으로 인버트하는 전압 변환 브릿지에 사용된다. 각 레그와 연관된 3 개의 기준 상전압(phase voltage) U_A, U_B, U_C 중 하나를 갖는 3 상 브릿지에서, 스위치 S1, S2 또는 S3(또는, 이와 달리, 이들의 상보 스위치 S1*, S2* 또는 S3*) 중의 하나가, 이와 연관된 전압 U_A, U_B 또는 U_C가 다른 두 기준 전압 보다 높은(혹은, 이와 달리 작은) 시간 간격 동안 전도하고, 이 시간 동안 소거 간격 보상 손실이 보상된다. 본 발명에 의하면, (a) 3 개의 기준 전압이 공급되고, (b) 이들 전압중 최대치가 검출되며, (c) PWM 신호를 형성하는데 사용된 삼각파의 피크(peak) 값에서 이 최대치를 감산하며, (d) 이 차이는 각 기준 전압에 가산되어, 소거 간격 손실 보상기에 3 개의 제 1 증대된 기준 전압을 공급하고, (e) 상기 전압 변환 브릿지가 포화 상태가 아니고 소거 간격 편차 전압 보상 신호가 포화 상태를 야기하지 않을 경우, 소거 간격 전압 편차 보상 신호가 제 1 증대된 기준 전압에 가산되어 소거 간격에 의해 야기된 전압 편차를 보상하며, 이로서 제 2 증대된 기준 전압 신호를 제공하며, (f) 상기 보상 신호는 PWM 섹션에 공급되며, 이 PWM 섹션은 3 상 브릿지에 PWM 신호를 공급한다. 이 방법은 소거 간격의 사용으로 인해 야기되는 전압 편차를 최소화한다.

3 상 전력 변화 브릿지에 대하여, 3 개의 기준 전압중 하나가 다른 둘보다 클 때, 브릿지내에 있는 3 쌍의 상보적인 스위치들중 한 쌍내의 한 스위치가 전도되고, 다른 두 쌍의 상보적인 스위치들 각각내의 스위치 둘다는 PWM 신호에 응답하여 개방 및 폐쇄되어, 개방과 폐쇄가 허용된 두 쌍의 상보적인 스위치 각각에 의해 단지 두 전류만이 독립적으로 제어되며, 또한 스위치하도록 허용되지 않은 상보적인 스위치에 연관된 제 3 전류는 다른 둘에 의해 제어되는 것이, 단계 (a), (b), (c), (d)와 (f)의 결과이다. 각 레그내의 한 스위치를 기준 전압 주기의 1/3 동안 계속 폐쇄하면, 세 부하 전류의 제어는 브릿지의 단지 두 레그내에서의 스위칭에 의해 지시될 수 있다. 단계(e)를 포함시킴으로써, 소거 간격의 사용으로 인해 야기되는 전압 편차가 지속적인 전도 상태에 있지 않은 두 레그에 대해 최소화될 수 있다. 인버터의 경우, 상기 편차는 국부적으로 평균된 AC 출력 전압내에 존재한다. 컨버터의 경우, 상기 편차는 국부적으로 평균된 AC 입력 전압내에 존재한다.

본 발명의 제 1 목적은 소거 간격에 의해 야기되는 PWM 인버터 출력 전압 편차를 상기 PWM 입력에 상기 편차와 같고 극성은 반대인 전압을 가산하여 보상하는데 있다.

본 발명의 제 2 목적은 소거 간격에 의해 야기되는 PWM 인버터 출력 전압 편차를, PWM의 입력에 상기 편차와 같고 극성은 반대인 전압을 가산하되, 상기 PWM 회로가 포화 상태가 아니고 상기 가산이 상기 PWM 회로를 포화시키지 않을 때 가산하여 보상하는데 있다.

본 발명의 제 3 목적은, PWM 회로가 포화되지 않고, 가산이 PWM 회로를 포화시키지 않을 때에만, 소거 간격에 의해 야기되는 PWM 인버터 출력 전압 편차를 상기 PWM의 입력에 상기 편차와 같고 극성은 반대인 전압을 가산하여 보상하는 것으로, 여기서 PWM 인버터의 각 레그는 차례로 입력 기준 전압의 스위칭 사이클의 1/3 동안, 지속적인 전도 상태를 유지한다.

제 1 도는 본 발명을 인버터에서 구현하는 블록도를 나타낸다. 본 발명은 기준 변경 블럭(reference modification block, RMB)(1), PWM 블럭(3), 반도체 브릿지(5)로 구성된다. 브릿지(5)는 DC를 AC로 인버트(제 1 도) 또는 AC를 DC로 컨버트(제 5 도)한다. 인버터의 경우, 본 발명은 인버터 출력내의 전압 편차를 보상한다. 컨버터의 경우, 본 발명은 AC 컨버터 입력내의 전압 편차를 보상하다. PWM(3) 및 브릿지(5)는 전력 변환 회로(7)를 함께 구성한다. RMB(1)는 라인(2, 4, 6)상의 3 개의 정현 기준 전압 U_A, U_B, U_C와 삼각파 전압 U_T에 응답하며, 라인(36, 38, 40)상의 3 개의 제 1 증대된 기준 전압(U_A', U_B'와 U_C')을 생성한다. U_A, U_B와 U_C는 커맨드 기준 전압이며, DC 전력은 두 개의 DC 전압원 $U_{DC}/2$로부터 얻는다. 3 개의 기준 전압(U_A, U_B와 U_C)은 서로 120° 씩 떨어져 있다. 제 1 증대된 기준 전압(U_A', U_B'와 U_C')은 120° 씩 떨어져 있다. RMB(1)는 3개의 가산기(8, 10, 12)와, 기준 전압 비교기(20)와, 반송파 신호 U_T의 삼각파 피크 U_{TP}의 진폭에 응답하는 제 4 가산기(24)로 구성된다. 반송파 신호의 진폭은 양의 피크 U_{TP}와 음의 피크 $-U_{TP}$를 갖는다. 3 개의 기준 전압(U_A, U_B와 U_C)은 라인(2, 4, 6)상에서 RMB(1)와 가산기(8, 10, 12)로 제공된다. 기준 전압 비교기(20)에서 각 전압(U_A, U_B와 U_C)이 비교되어, 가장 큰 U_{MAX} 값이 라인(22)상에 생성되어 가산기(24)에 제공된다. 기준 전압 비교기(20)는 먼저 2 개의 기준 전압을 비교하고, 이들중 큰 것과 제 3의 기준 전압을 비교하여 U_{MAX}를 제공한다.

제 1 도에서, 삼각파 신호 U_T의 일정 전압 삼각파 피크값 U_{TP}가 PWM(3)에서 생성되고 라인(29)상에서 가산기(24)에 제공된다. 상기 가산기(24)에서 최대 전압, U_{MAX}가 라인(29)상의 삼각파 피크 신호 U_{TP}로부터 감산되며, 그 차이 U_{DD}가 라인(30, 32, 34) 상에서 가산기(8, 10, 12)로 제공된다. 가산기(8, 10, 12)에서 상기 차이 신호 U_{DD}가 각 기준 전압 신호(U_A, U_B와 U_C)에 가산되어 제 1의 증대된 기준 전압 신호(U_A', U_B'와 U_C')를 제공하며, 이 기준 전압 신호들은 라인(36, 38, 40)을 통해 소거 간격 전압 편차 보상기(102)에 공급된다. 제 1 도에서 PWM(3)은 3 개의 가산기(42, 44, 46)와 3 개의 비교기(48, 50, 52) 및 삼각파 신호 발생기(54)를 포함한다. 각 가산기(42, 44, 46)는 라인(112, 114, 116)상의 제 2 증대된 기준 전압 신호($U_A"$, $U_B"$와 $U_C"$)와 삼각파 신호 발생기(54)에 의해 라인(47, 49, 51)상에 제공된 삼각파 신호 U_T에 응답한다. 삼각파 신호 발생기(54)는 또한 라인(29)상에서 $+U_{TP}$를 제공한다. 삼각파 신호 U_T는 $+U_{TP}$ 및 $-U_{TP}$의 두 피크 값을 갖는다. 가산기(42, 44, 46)는 비교기(48, 50, 52)에 에러 신호(E_A, E_B, E_C)를 제공한다. E_A, E_B 혹은 E_C가 0보다 클 경우(즉, $U_X"$가 U_T보다 클 경우), 이와 연관된 비교기(48, 50, 52)의 출력은 $U_{SX}"=1$ 값을 취하게 된다(여기서 X는 비교기(48, 50, 52)에 대한 A, B 및 C 이다). 따라서, 비교기(48, 50, 52)는 스위치 신호($U_{SA}"$, $U_{SB}"$와 $U_{SC}"$)를 라인(53, 55, 57)상에 생성하고 이들을 브

릿지(5)에 제공한다. 상기 브릿지(5)는 3 개의 레그(56, 58, 60)를 포함한다.

제 1 도에서, 각 레그는 두 개의 상보적인 반도체 스위치 어셈블리를 포함한다. 제 1 레그는 스위치 S1과, 그 스위치와 병렬인 프리휠링 다이오드(freewheeling diode) D1과, 상보적 스위칭 어셈블리 - NOT 게이트(62), 스위치 S1*, 그 스위치와 병렬인 프리휠링 다이오드 D1* - 를 포함한다. 제 2 레그(58)는 스위치 S2와, 그 스위치와 병렬인 프리휠링 다이오드 D2와, 상보적 스위칭 어셈블리 - NOT 게이트(64), 스위치 S2*, 그 스위치와 병렬인 프리휠링 다이오드 D2* -를 포함한다. 제 3 레그(60)는 스위치 S3와, 그 스위치와 병렬인 프리휠링 다이오드 D3와, 상보적 스위칭 어셈블리 - NOT 게이트(66), 스위치 S3*, 그 스위치와 병렬인 프리휠링 다이오드 D3* -를 포함한다.

상기 브릿지(5)의 제 1, 제 2, 제 3 레그(56, 58, 60)는 라인(53, 55, 57)상에 제공된 스위치 신호(U_{SA}", U_{SB}"와 U_{SC}")에 응답한다. 예를 들면, E_A가 0 보다 큰 경우, 즉, U_A"가 U_T보다 큰 경우, 비교기(48)의 출력은 U_S" = 1의 값을 취한다. 스위치 S1은 닫히고 S1*은 개방된다.

진폭 변조도 m_A는 피크 값 U_{TP}에 대한 정현 기준 전압의 피크값의 비(ratio)로 정의된다. m_A 〈1인 경우, U_A, U_B 및 U_C가 제 2 도에서 파형(81, 82, 83)으로 도시된다. U_A, U_B, U_C 중의 최대값인 파형(81, 82, 83)의 최상부가 파형(84), U_{MAX}로 굵게 도시되어 있다. 삼각파 피크 신호 U_{TP}는 전압 축상에 표기되어 있다. 제 2 도와 제 3 도는 동일 시간 축상에 존재하며, 3 개의 섹션 "A", "B", "C"로 분할되어 있다.

가산기(24)에 의해 라인(32)상에 생성되고 U_{TP}와 U_{MAX}의 차이에 해당하는 차이 신호(U_{DD})가 제 3 도에서 파형(80)으로 도시되어 있다. U_{DD}는 $U_{O'O}$의 변화를 야기시킨다. $U_{O'O}$는 부하 중심점 O'와, 전원 중심전 O간의 전위차이다.

마이크로프로세서를 사용한 소거 간격 전압 편차 보상기(102)는 라인(36, 38, 40)상의 제 1 의 증대된 기준 전압 U_X' (여기서 X는 A, B 혹은 C)에 응답하며, 상기 기준 전압과 연관된 라인(103, 105, 107)상의 기준 전류, I_A, I_B, I_C에 응답하고, 라인(110)상의 삼각파 피크 신호 $\pm U_{TP}$에 응답한다. 상기 보상기는 각 브릿지 레그(56, 58, 60)에 라인(112, 114, 116)상의 제 2의 증대된 기준 전압 신호(U_A", U_B", U_C")를 제공한다. 라인(118, 120, 122)상의 $t_{\triangle}$', T_c와 U_{DC}(각각 소거 간격, 반송파 주기, DC 모선 전압)도 소거 간격 전압 편차 보상기(102)에 제공되어 소거 간격 전압 보상 전압 $\triangle U_X$를 생성한다.

제 4 도는 제 2 증대된 기준 전압 신호(U_A", U_B"와 U_C") 값을 결정하는 로직 루틴을 나타낸다. 인버터의 경우, 인버터 출력내의 전압 편차가 보상된다. 제 4 도의 루틴은 기준 전류 I_X(여기서 X는 A, B 혹은 C이고, I_A는 U_A와 연관되며, I_B는 U_B에 연관된다)가 양일 경우, 소거 간격 보상 신호 $\triangle U_X$는 상기 제 1 증대된 기준 전압 U_X'에 가산된다. 한편, 기준 전류 I_X가 음일 경우, 동일한 소거 간격 보상 전압 $\triangle U_X$는 제 1 증대된 기준전압 U_X'로부터 감산된다.

인버터 레그(56, 58, 60)는 PWM 회로와, 관련 브릿지 레그로 규정된다. 제 1 도에는 3 개의 인버터 레그가 도시되어 있다. 예를 들어, 인버터 레그(56)의 포화는, PWM 회로로의 입력 기준 전압을 증가시켜도 브릿지 출력 전압이 증가하지 않을 때 발생한다. 예를 들어, U_A'가 $\pm U_{TP}$ 이상으로 증가하여도 레그(56)로부터의 인버터 출력 전압을 증가시키지 않을 것이다.

상기 루틴은 인버터 레그(56)가 포화 상태가 아니며, 보상을 해도 인버터 레그가 포화되지 않을 때 소거 간격 전압 편차를 보상한다. U_X'가 $\pm U_{TP}$를 초과하는 경우, PWM(3)이 포화되므로, U_X'가 $\pm U_{TP}$ 범위 내인지 또는 범위 외인지의 결정에 의해 인버터 레그의 포화 여부를 결정할 수 있다. 보상이 포화를 야기할지의 여부도 E_X가 $\pm U_{TP}$ 범위 내인지의 여부에 의해 결정될 수 있다.

루틴은 단계(401)부터 개시된다. U_X'가 삼각파 피크 U_{TP} 이상일 경우(단계(404)가 긍정일 경우), 인버터 레그는 포화되며, 따라서 소거 간격 전압 보상은 이루어지지 않고, PWM(3)으로의 입력 U_X"는 U_{TP}와 동일하게 설정된다(단계(406)). 제 1 증대된 기준 전압 U_X'가 $-U_{TP}$ 이하일 경우(단계(404)가 부정이고 단계(408)가 긍정), 유사한 결과가 발생하며, U_X"는 $-U_{TP}$로 설정된다(단계(410)). 단계(408)가 부정일 경우, 상기 인버터 레그(56)는 포화 상태가 아니다. 단계(408)가 부정일 경우, 루틴은 단계(412)로 진행하여, 합 E_X가, (a) U_X'와 (b) 소거 간격 보상 전압 ($\triangle U_X = U_{DC} *[t_{\triangle}/T_c]$)에 기준 전류 I_X의 시그늄 함수(signum function) 값을 곱한 것 사이에서 계산된다. 합 E_X가 $-U_{TP}$ 이하일 경우(단계(414)가 긍정), 또는 U_{TP} 이상일 경우(단계(414)는 부정이고 단계(416)는 긍정), 보상을 하면 인버터가 포화되므로 보상을 하지 않으며, U_X"는 U_X'와 동일하다(단계(418)). 합 E_X가 U_{TP}와 $-U_{TP}$에 의해 설정된 경계 이내라면(단계(414))가 부정이고 단계(416)가 부정), 보상을 해도 포화가 발생하지 않으며, 따라서 U_X"를 E_X로 설정함으로써(단계(420)) 소거 간격 전압 편차가 보상된다. 시그늄 함수는 양의 입력에 대해 1을, 음의 입력에 대해 -1을 생성하므로 기준 전류 I_X가 양의 값일 때는 상기 계산된 전압 편차에 해당하는 전압이 U_X'에 가산되고, 기준 전류 I_X가 음의 값일 때는 그 전압이 U_X'로 부터 감산된다.

본 발명은 소거 간격 전압 편차를 항상 보상하는 것은 아니고 필요한 경우(예를 들어, 기준 상전압 U_X의 240° 에 해당하는 시간 동안)에만 보상한다. 본 발명은 제 1 도와 같이 인버터 회로에서 구현될 수 있고 제 5 도와 같이 컨버터 회로에서도 구현될 수 있다. 제 5 도에서는 제 1 도의 부하 요소가 인덕터와 3 개의 정현 전원 U_D, U_E, U_F로 대체되어 있다.

본 발명이 바람직한 실시예에 대해 도시되고 기술되었으나, 당업자는 앞서 기술한 것 및 다른 다양한 변경, 생략, 형식 및 세부 사항의 부가가 본 발명의 사상과 영역에서 벗어나지 않고 이루어질 수 있음을 알아야 할 것이다.

(57) 청구의 범위

청구항 1

펄스폭 변조(PWM) 인버터의 출력 전압의 전압 편차를 보상하는 방법으로, 상기 인버터는 3 개의 레그(leg)를 갖는 브릿지를 포함하며, 상기 PWM은 반송파 신호(a carrier signal)를 사용하고, 상기 반송파 신호의 진폭은 양의 피크(a positive peak) 및 음의 피크(a negative peak)를 갖는, 상기 전압 편차 보상 방법에 있어서, 다수의 기준 전류 신호를 제공하는 단계로서, 각 기준 전류 신호는 인접 기준 전류로부터 하나의 위상각 만큼 변위되어 있으며, 하나의 기준 전류는 각 레그와 연관되어 있는, 상기 기준 전류 신호 제공 단계와, 다수의 제 1 증대된 기준 전압 신호를 펄스 폭 변조 회로에 제공하는 단계로서, 각각의 제 1 증대된 기준 전압은 상기 기준 전류 신호들중 하나의 신호와 연관되어 있는, 상기 제 1 증대된 기준 전압 신호 제공 단계와, 상기 인버터의 DC 모선 전압(a DC buss voltage)과, 소거 간격(a blanking interval)과, 상기 반송파 신호의 주기에 응답하여 소거 간격 보상 전압 신호를 계산하는 단계와, 상기 인버터가 포화 상태가 아니고, 가산이 상기 인버터의 포화를 야기시키지 않을 경우, 소거 간격 전압 편차 신호를 상기 제 1 증대된 기준 전압 신호에 가산하는 단계로서, 이에 따라 제 2 증대된 기준 신호를 제공하는, 상기 소거 간격 전압 편차 신호 가산 단계를 포함하는 전압 편차 보상 방법.

청구항 2

펄스폭 변조(PWM) 컨버터의 출력 전압의 전압 편차를 보상하는 방법으로, 상기 컨버터는 3 개의 레그를 갖는 브릿지를 포함하며, 상기 PWM은 반송파 신호를 사용하고, 상기 반송파 신호의 진폭은 양의 피크 및 음의 피크를 갖는, 상기 전압 편차 보상 방법에 있어서, 다수의 기준 전류 신호를 제공하는 단계로서, 각 기준 전류 신호는 인접 기준 전류로부터 하나의 위상각 만큼 변위되어 있으며, 하나의 기준 전류는 각 레그와 연관되어 있는, 상기 기준 전류 신호 제공 단계와, 다수의 제 1 증대된 기준 전압 신호를 펄스 폭 변조 회로에 제공하는 단계로서, 각각의 제 1 증대된 기준 전압은 상기 기준 전류 신호들중 하나의 신호와 연관되어 있는, 상기 제 1 증대된 기준 전압 신호 제공 단계와, 상기 컨버터의 DC 모선 전압과, 소거 간격과, 상기 반송파 신호의 주기에 응답하여 소거 간격 보상 전압 신호를 계산하는 단계와, 상기 컨버터가 포화 상태가 아니고, 가산이 상기 인버터의 포화를 야기시키지 않을 경우, 소거 간격 전압 편차 신호를 상기 제 1 증대된 기준 전압 신호에 가산하는 단계로서, 이에 따라 제 2 증대된 기준신호를 제공하는, 상기 소거 간격 전압 편차 신호 가산 단계를 포함하는 전압 편차 보상 방법.

청구항 3

펄스폭 변조(PWM) 인버터의 출력 전압의 전압 편차를 보상하는 방법으로, 상기 인버터는 3 개의 레그를 갖는 브릿지를 포함하며, 상기 PWM은 반송파 신호를 사용하고, 상기 반송파 신호의 진폭은 양의 피크 및 음의 피크를 갖는, 상기 전압 편차 보상 방법에 있어서, 다수의 기준 전류 신호를 제공하는 단계로서, 각 기준 전류 신호는 인접 기준 전류로부터 하나의 위상각 만큼 변위되어 있으며, 하나의 기준 전류는 각 레그와 연관되어 있는, 상기 기준 전류 신호 제공 단계와, 다수의 제 1 증대된 기준 전압 신호를 펄스 폭 변조 회로에 제공하는 단계로서, 각각의 제 1 증대된 기준 전압은 상기 기준 전류 신호들중 하나의 신호와 연관되어 있는, 상기 제 1 증대된 기준 전압 신호 제공 단계와, 상기 인버터의 DC 모선 전압과, 소거 간격과, 상기 반송파 신호의 주기에 응답하여 소거 간격 보상 전압 신호를 계산하는 단계와, 상기 소거 간격 전압 편차 보상 신호와 상기 기준 전류들중 하나의 진폭의 극성과의 곱을 제공하는 단계와, 상기 곱과, 상기 제 1 증대된 기준 전압 신호중 상기 하나의 신호를 가산하여 합을 제공하는 단계와, 제 2 증대된 기준 전압 신호를 제공하는 단계를 포함하되, 상기 제 2 증대된 기준 전압 신호를 제공하는 단계는, 상기 양의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 양의 피크보다 클 경우 상기 제 2 증대된 기준 전압 신호값을 양의 피크와 동일하게 설정하여 제공하는 단계와, 상기 음의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 음의 피크보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 음의 피크와 동일하게 설정하여 제공하는 단계와, 상기 합을 상기 양의 피크와 비교하여 상기 양의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 단계와, 상기 합을 상기 음의 피크와 비교하여 상기 음의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 단계와, 상기 합이 상기 양의 피크 및 음의 피크보다 크지도 않고 작지도 않을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 합과 동일하게 설정하여 제공하는 단계를 포함하는 전압 편차 보상 방법.

청구항 4

펄스폭 변조(PWM) 컨버터의 출력 전압의 전압 편차를 보상하는 방법으로, 상기 컨버터는 3 개의 레그를 갖는 브릿지를 포함하며, 상기 PWM은 반송파 신호를 사용하고, 상기 반송파 신호의 진폭은 양의 피크 및 음의 피크를 갖는, 상기 전압 편차 보상 방법에 있어서, 다수의 기준 전류 신호를 제공하는 단계로서, 각 기준 전류 신호는 인접 기준 전류로부터 하나의 위상각 만큼 변위되어 있으며, 하나의 기준 전류는 각 레그와 연관되어 있는, 상기 기준 전류 신호 제공 단계와, 다수의 제 1 증대된 기준 전압 신호를 펄스 폭 변조 회로에 제공하는 단계로서, 각각의 제 1 증대된 기준 전압은 상기 기준 전류 신호들중 하나의 신호와 연관되어 있는, 상기 제 1 증대된 기준 전압 신호 제공 단계와, 상기 컨버터의 DC 모선 전압과, 소거 간격과, 상기 반송파 신호의 주기에 응답하여 소거 간격 보상 전압 신호를 계산하는 단계와, 상기 소거 간격 전압 편차 보상 신호와 상기 기준 전류들중 하나의 진폭의 극성과의 곱을 제공하는 단계와, 상기 곱과, 상기 제 1 증대된 기준 전압 신호중 하나의 신호를 가산하여 합을 제공하는 단계와, 제

2 증대된 기준 전압 신호를 제공하는 단계를 포함하되, 상기 제 2 증대된 기준 전압 신호를 제공하는 단계는, 상기 양의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 양의 피크보다 클 경우 상기 제 2 증대된 기준 전압 신호값을 양의 피크와 동일하게 설정하여 제공하는 단계와, 상기 음의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 음의 피크보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 음의 피크와 동일하게 설정하여 제공하는 단계와, 상기 합을 상기 양의 피크와 비교하여 상기 양의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 단계와, 상기 합을 상기 음의 피크와 비교하여 상기 음의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 단계와, 상기 합이 상기 양의 피크 및 음의 피크보다 크지도 않고 작지도 않을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 합과 동일하게 설정하여 제공하는 단계를 포함하는 전압 편차 보상 방법.

청구항 5

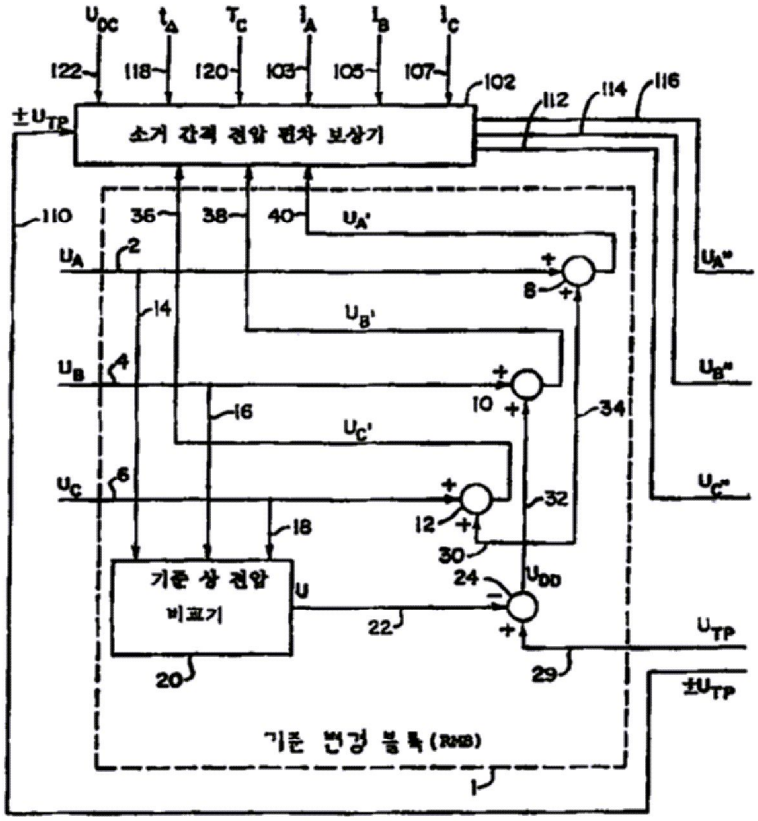
펄스폭 변조(PWM) 인버터의 출력 전압의 전압 편차를 보상하는 장치로, 상기 인버터는 3 개의 레그를 갖는 브릿지를 포함하며, 상기 PWM은 반송파 신호를 사용하고, 상기 반송파 신호의 진폭은 양의 피크 및 음의 피크를 갖는, 상기 전압 편차 보상 장치에 있어서, 다수의 기준 전류 신호를 제공하는 수단으로서, 각 기준 전류 신호는 인접 기준 전류로부터 하나의 위상각 만큼 변위되어 있으며, 하나의 기준 전류는 각 레그와 연관되어 있는, 상기 기준 전류 신호 제공 수단과, 다수의 제 1 증대된 기준 전압 신호를 펄스 폭 변조 회로에 제공하는 수단으로서, 각각의 제 1 증대된 기준 전압은 상기 기준 전류 신호들중 하나의 신호와 연관되어 있는, 상기 제 1 증대된 기준 전압 신호 제공 수단과, 상기 인버터의 DC 모선 전압과, 소거 간격과, 상기 반송파 신호의 주기에 응답하여 소거 간격 보상 전압 신호를 계산하는 수단과, 상기 소거 간격 전압 편차 보상 신호와 상기 기준 전류들중 하나의 진폭의 극성과의 곱을 제공하는 수단과, 상기 곱과, 상기 제 1 증대된 기준 전압 신호중 상기 하나의 신호를 가산하여 합을 제공하는 수단과, 제 2 증대된 기준 전압 신호를 제공하는 수단을 포함하되, 상기 제 2 증대된 기준 전압 신호를 제공하는 수단은, 상기 양의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 양의 피크보다 클 경우 상기 제 2 증대된 기준 전압 신호값을 양의 피크와 동일하게 설정하여 제공하는 제 1 수단과, 상기 음의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 음의 피크보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 음의 피크와 동일하게 설정하여 제공하는 제 2 수단과, 상기 합을 상기 양의 피크와 비교하여 상기 양의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 제 3 수단과, 상기 합을 상기 음의 피크와 비교하여 상기 음의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 제 4 수단과, 상기 합이 상기 양의 피크 및 음의 피크보다 크지도 않고 작지도 않을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 합과 동일하게 설정하여 제공하는 수단을 포함하는 전압 편차 보상 장치.

청구항 6

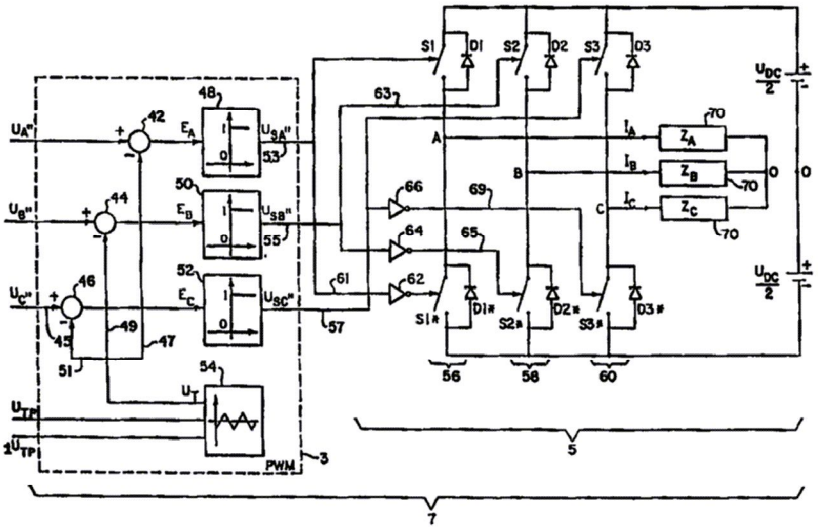
펄스폭 변조(PWM) 컨버터의 출력 전압의 전압 편차를 보상하는 장치로, 상기 컨버터는 3 개의 레그를 갖는 브릿지를 포함하며, 상기 PWM은 반송파 신호를 사용하고, 상기 반송파 신호의 진폭은 양의 피크 및 음의 피크를 갖는, 상기 전압 편차 보상 장치에 있어서, 다수의 기준 전류 신호를 제공하는 수단으로서, 각 기준 전류 신호는 인접 기준 전류로부터 하나의 위상각 만큼 변위되어 있으며, 하나의 기준 전류는 각 레그와 연관되어 있는, 상기 기준 전류 신호 제공 수단과, 다수의 제 1 증대된 기준 전압 신호를 펄스 폭 변조 회로에 제공하는 수단으로서, 각각의 제 1 증대된 기준 전압은 상기 기준 전류 신호들중 하나의 신호와 연관되어 있는, 상기 제 1 증대된 기준 전압 신호 제공 수단과, 상기 컨버터의 DC 모선 전압과, 소거 간격과, 상기 반송파 신호의 주기에 응답하여 소거 간격 보상 전압 신호를 계산하는 수단과, 상기 소거 간격 전압 편차 보상 신호와 상기 기준 전류들중 하나의 진폭의 극성과의 곱을 제공하는 수단과, 상기 곱과, 상기 제 1 증대된 기준 전압 신호를 가산하여 합을 제공하는 수단과, 제 2 증대된 기준 전압 신호를 제공하는 수단을 포함하되, 상기 제 2 증대된 기준 전압 신호를 제공하는 수단은, 상기 양의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 양의 피크보다 클 경우 상기 제 2 증대된 기준 전압 신호값을 양의 피크와 동일하게 설정하여 제공하는 제 1 수단과, 상기 음의 피크를 상기 제 1 증대된 기준 전압 신호와 비교하여 상기 제 1 증대된 기준 전압 신호가 상기 음의 피크보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 음의 피크와 동일하게 설정하여 제공하는 제 2 수단과, 상기 합을 상기 양의 피크와 비교하여 상기 양의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 제 3 수단과, 상기 합을 상기 음의 피크와 비교하여 상기 음의 피크가 상기 합보다 작을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 제 1 증대된 기준 전압 신호의 진폭과 동일하게 설정하여 제공하는 제 4 수단과, 상기 합이 상기 양의 피크 및 음의 피크보다 크지도 않고 작지도 않을 경우 상기 제 2 증대된 기준 전압 신호값을 상기 합과 동일하게 설정하여 제공하는 수단을 포함하는 전압 편차 보상 장치.

도면

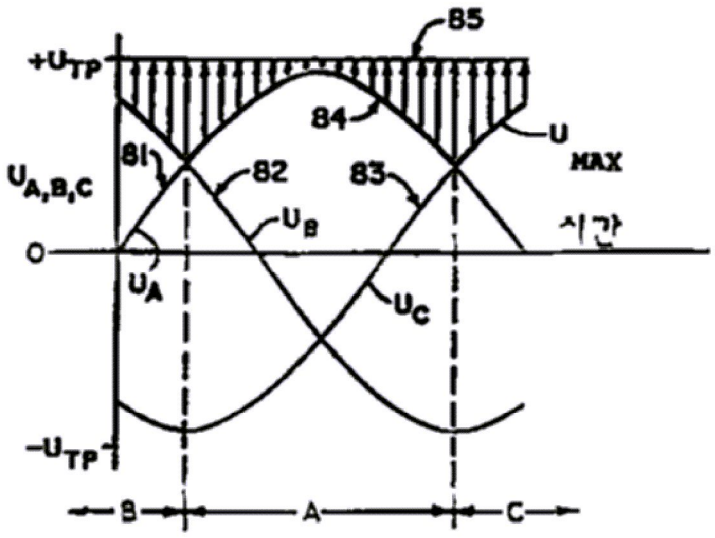
도면1a



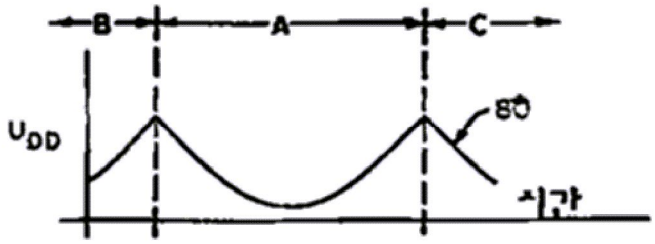
도면1b



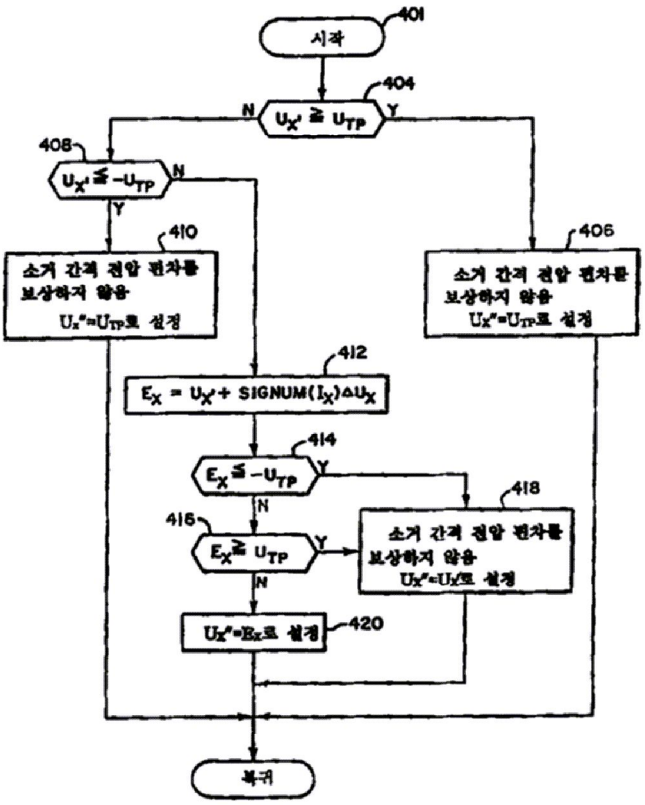
도면2



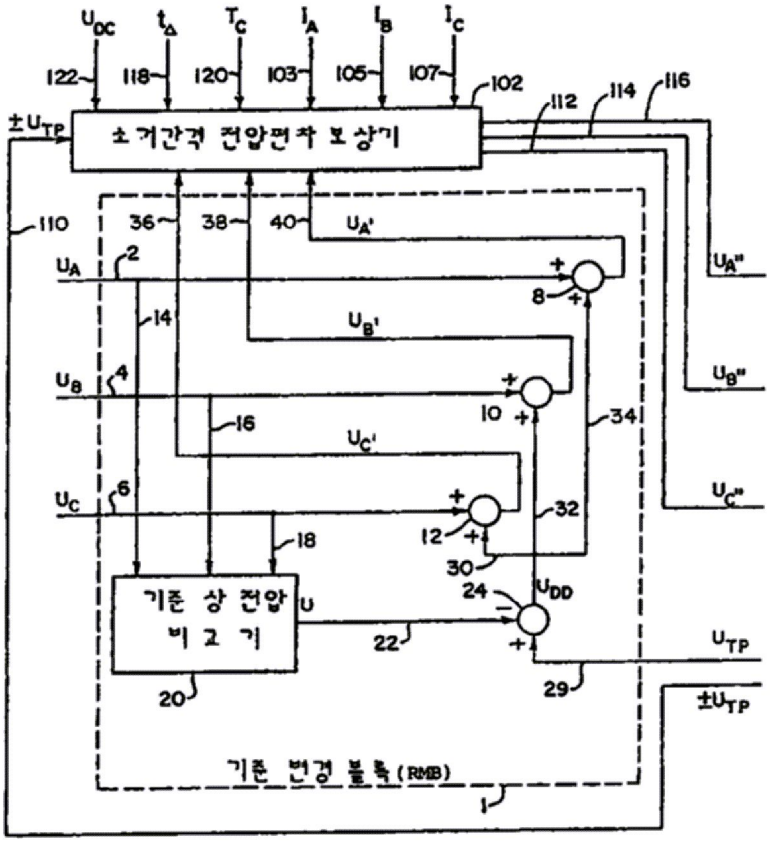
도면3



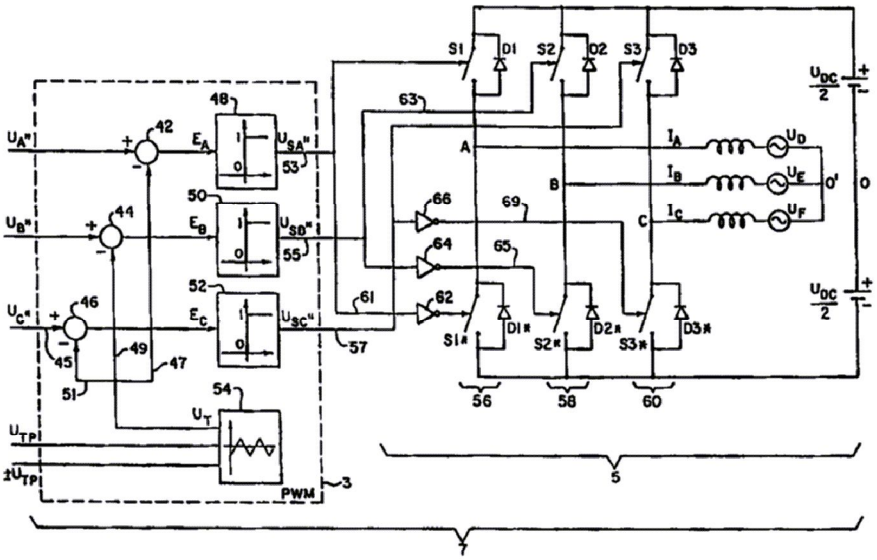
도면4


401
시작
404
N
Y
408
N
Y
410
406
412
414
Y
418
416
Y
N
420
복귀

도면5a


122
118
120
103
105
107
102
112
114
116
110
36
38
40
2
8
14
4
10
34
16
6
12
32
18
30
24
22
20
29
1
기준 상 전압 비교기
기준 변경 블록(RMB)

도면5b


S1
D1
S2
D2
S3
D3
63
48
42
U_A"
E_A
U_{SA}"
53
A
I_A
U_D
B
I_B
U_E
O'
O
50
44
U_B"
E_B
U_{SB}"
55
66
69
C
I_C
U_F
64
65
52
46
U_C"
E_C
U_{SC}"
61
62
$\frac{U_{DC}}{2}$
45
49
47
57
S1*
D1*
S2*
D2*
S3*
D3*
51
54
U_T
56
58
60
U_{TP}
$\pm U_{TP}$
PWM
3
5
7