

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号

WO 2012/169388 A1

- (51) 国際特許分類:  
H01L 29/786 (2006.01) H01L 21/768 (2006.01)  
G09F 9/30 (2006.01) H01L 23/522 (2006.01)  
H01L 21/28 (2006.01) H01L 29/41 (2006.01)  
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2012/063771
- (22) 国際出願日: 2012 年 5 月 29 日(29.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-126196 2011 年 6 月 6 日(06.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高西 雄大  
(TAKANISHI Yudai). 守口 正生(MORIGUCHI  
Masao). 神崎 庸輔(KANZAKI Yohsuke). 楠見 崇  
嗣(KUSUMI Takatsugu).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪  
府大阪市中央区北浜一丁目 8 番 1 6 号 大阪証

券取引所ビル 10 階 奥田国際特許事務所  
Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,  
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ  
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

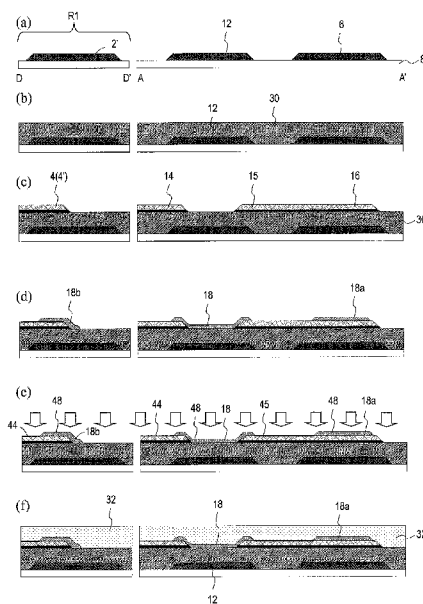
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: TFT SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: TFT 基板およびその製造方法

[図2]



(57) Abstract: A method for manufacturing a TFT substrate comprises the steps of: forming a gate electrode (12) and a gate insulating film (30) on a substrate (8); forming a source electrode (14) and a drain electrode (15) spaced apart from each other and forming a drain connecting part (16) on the gate insulating film (30); forming an oxide semiconductor layer (18, 18a, 18b) including a channel portion (18) where the source electrode (14) and the drain electrode (15) will thereafter be connected, and an additional portion (18a) for covering the drain connecting part (16); oxidizing the surface of the oxide semiconductor layer (18, 18a, 18b); forming a contact hole (22) in an insulating film (32) covering the oxide semiconductor layer; removing the portion of the additional portion (18a) of the oxide semiconductor layer that is inside the contact hole (22); and forming an electroconductive layer (20) electrically connected to the exposed drain connecting part (16).

(57) 要約: TFT 基板の製造方法は、基板 (8) 上にゲート電極 (12) およびゲート絶縁膜 (30) を形成する工程と、ゲート絶縁膜 (30) 上にソース電極 (14) とドレイン電極 (15) とを離間して形成するとともにドレイン接続部 (16) を形成する工程と、この工程の後にソース電極 (14) とドレイン電極 (15) とに接続されるチャンネル部分 (18) とドレイン接続部 (16) を覆う追加部分 (18a) とを含む酸化半導体層 (18、18a、18b) を形成する工程と、酸化半導体層 (18、18a、18b) の表面を酸化処理する工程と、酸化半導体層を覆う絶縁膜 (32) にコンタクトホール (22) を形成する工程と、酸化半導体層の追加部分 (18a) のうちのコンタクトホー

ル (22) 内の部分を除去する工程と、露出したドレイン接続部 (16) に電氣的に接続される導電層 (20) を形成する工程とを包含する。

## 明 細 書

発明の名称： T F T基板およびその製造方法

### 技術分野

[0001] 本発明は、酸化物半導体を用いて作製される T F T基板およびその製造方法に関する。

### 背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ (Thin Film Transistor: 以下、「T F T」という) などのスイッチング素子を備えている。このようなスイッチング素子としては、従来から、アモルファスシリコン膜を活性層とする T F T (以下、「アモルファスシリコン T F T」) や多結晶シリコン膜を活性層とする T F T (以下、「多結晶シリコン T F T」) が広く用いられている。

[0003] 近年、T F Tの活性層の材料として、アモルファスシリコンや多結晶シリコン以外の材料を用いる試みがなされている。例えば、特許文献 1 には、 $\text{InGaZnO}$  (インジウム、ガリウム、亜鉛から構成される酸化物: 以下、「I G Z O」) などの酸化物半導体膜を用いて T F Tの活性層を形成する液晶表示装置が記載されている。このような T F Tを「酸化物半導体 T F T」と称する。

[0004] 酸化物半導体 T F Tは、アモルファスシリコン T F Tよりも高速で動作させることが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成されるため、大面積が必要とされる装置にも適用できる。このため、酸化物半導体 T F Tは、製造工程数や製造コストを抑えつつ作製可能な、より高性能なスイッチング動作を行うアクティブ素子として、例えば、近年の 4 倍速駆動や 3 D表示を行う液晶表示装置への利用が期待されている。

[0005] また、酸化物半導体の電子移動度は高いため、従来のアモルファスシリコン T F Tに比べてサイズを小型化しても同等以上の性能を得ることが可能で

ある。このため、酸化物半導体 T F T を用いれば、液晶表示装置などで画素領域中における T F T の占有面積を減少させることができ、その結果、画素開口率を向上させることができる。したがって、より高輝度の表示を行うことが可能になり、また、バックライトの光量を抑えることで低消費電力化を実現し得る。特に、スマートフォンなどに用いられている小型・高精細の表示装置では、配線の最小幅制限（プロセスルール）などによって画素の開口率を高くすることが容易ではないため、酸化物半導体 T F T の採用が見込まれている。

[0006] ただし、酸化物半導体膜を用いる場合、T F T の製造プロセス中の例えば熱処理工程などにおいて酸素欠陥によってキャリア電子が生じ、抵抗が低くなるおそれがある。また、トップコンタクト構造を有する T F T では、ソース・ドレイン電極のエッチング工程や層間絶縁膜の形成工程において、その下方にある酸化物半導体膜がダメージを受けやすい。

[0007] このため、T F T の活性層として酸化物半導体膜を用いると、安定した T F T 特性を得ることが困難な場合があった。なお、トップコンタクト構造とは、チャネルとして機能する半導体層の上面がソース電極やドレイン電極に接続される構造を指し、通常、島状に半導体層を形成した後にソース／ドレイン金属層を半導体層上に形成することでこの構造が得られる。

[0008] また、特許文献 1 には、トップコンタクト構造を有する酸化物半導体 T F T のチャネル領域に対して酸化処理（酸素プラズマを用いた酸素ラジカル処理）を行うことによって、T F T のオフ電流の低減を図る技術が記載されている。この処理により、チャネル領域の、ゲート電極とは反対側の表面（バックチャネル部と呼ぶことがある）での酸素濃度が高くなり、酸素過剰領域が形成される。その結果、I G Z O などからなる n 型酸化物半導体 T F T では、バックチャネル部を高抵抗化させることができ、オフ電流を低減することができる。

先行技術文献

特許文献

[0009] 特許文献1：特開2010-062229号公報

特許文献2：特開2010-140919号公報

## 発明の概要

### 発明が解決しようとする課題

[0010] しかしながら、特許文献1に記載の酸化物半導体TFTは、トップコンタクト構造を有しているため、上述のように酸化物半導体層を設けた後に行われるソース電極・ドレイン電極を形成する工程で、チャネル領域がダメージを受ける可能性がある。

[0011] 一方で、ボトムコンタクト構造のTFTが知られており、例えば、特許文献2の図10(c)などに記載されている。なお、ボトムコンタクト構造とは、チャネルを形成する半導体層の底面が、ソース電極およびドレイン電極と接続する構造である。このようなボトムコンタクト構造の酸化物半導体TFTでは、ソース電極・ドレイン電極を形成した後に、酸化物半導体層からなるチャネル領域がソース電極とドレイン電極とに跨るように形成される。したがって、上述のようなトップコンタクト構造のTFTで発生し得るチャネル損傷の問題は生じない。

[0012] しかしながら、ボトムコンタクト構造の酸化物半導体TFTにおいて、特許文献1に記載されているようにバックチャネル部を酸化処理する工程を行うと、以下に説明する問題が生じ得ることが本発明者によってわかった。

[0013] ボトムコンタクト構造のTFTを作製する場合、ゲート絶縁膜上において、ソース電極とドレイン電極とが離間して形成された後、酸化物半導体層が形成される。この酸化物半導体層は、ソース電極とドレイン電極との間で、これらを接続するように典型的には島状に形成される。この酸化物半導体層に対して酸化処理を行うとき、ソース電極やドレイン電極の一部、または、ソース配線やドレイン電極の延長部（以下、ドレイン接続部と呼ぶことがある）などは基板上で露出した状態にある。このため、酸化処理工程において、ソース配線やドレイン接続部の表面には金属酸化膜が形成され、表面の電気抵抗が増加する。

[0014] このため、例えば、液晶表示装置などにおいて、ドレイン接続部に対して画素電極を接続する場合、酸化された金属膜上で画素電極との接続が取られることになる。したがって、抵抗が増加した状態でコンタクトを取ることになり、ドレイン接続部と画素電極との間で接続の安定性が低下し、表示品位の低下が生じるおそれがある。

[0015] 本発明は、上記課題を解決するためになされたものであり、素子特性の向上した酸化物半導体 T F T を備える T F T 基板およびその製造方法を提供することをその目的とする。

### 課題を解決するための手段

[0016] 本発明の実施形態による T F T 基板の製造方法は、基板を用意する工程と、前記基板上にゲート電極および前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上において、前記ゲート電極の上方で互に対向するようにソース電極とドレイン電極とを離間して形成し、かつ、前記ドレイン電極と接続されるドレイン接続部を形成する工程と、前記ソース電極とドレイン電極とを形成する工程の後に、前記ソース電極と前記ドレイン電極とに接続されるチャンネル部分と、前記ドレイン接続部を覆う追加部分を含む酸化物半導体層を形成する工程と、前記酸化物半導体層の表面を酸化処理する工程と、前記表面が酸化処理された酸化物半導体層を覆う絶縁膜を形成する工程と、前記絶縁膜中において、前記酸化物半導体層の前記追加部分に対応する領域にコンタクトホールを形成する工程と、前記酸化物半導体層の前記追加部分のうちの前記コンタクトホール内に位置する部分を除去する工程と、前記追加部分が除去されたことによって露出した前記ドレイン接続部に対して前記コンタクトホールを介して電氣的に接続される導電層を形成する工程とを包含する。

[0017] ある実施形態において、前記酸化物半導体層は、前記ソース電極と同時に形成されるソース配線を覆う第 2 の追加部分をさらに含んでおり、上記の製造方法は、前記酸化処理する工程の後に前記第 2 の追加部分を除去する工程と、前記第 2 の追加部分を除去することによって露出した前記ソース配線と

、前記ゲート電極と同時に形成されたゲート配線とを電氣的に接続する導電膜を形成する工程とをさらに包含する。

[0018] ある実施形態において、前記コンタクトホールを形成する工程では、前記コンタクトホールの底面で前記酸化物半導体層の前記追加部分のエッジの少なくとも一部が露出する。

[0019] ある実施形態において、前記コンタクトホールを形成する工程では、前記コンタクトホールの底面で、前記酸化物半導体層の前記追加部分の外周エッジ全体が露出する。

[0020] ある実施形態において、前記酸化物半導体層の前記追加部分のうちの前記コンタクトホール内に位置する部分を除去する工程によって、前記酸化処理する工程において酸化されたドレイン接続部と、前記酸化処理する工程において酸化されなかったドレイン接続部との両方が前記コンタクトホール内で露出する。

[0021] 本発明の実施形態によるTFT基板は、基板と、前記基板上に設けられたゲート電極と、前記ゲート電極を覆うゲート絶縁膜上と、前記ゲート絶縁膜上において、前記ゲート電極の上方で互いに対向するように離間して設けられたソース電極およびドレイン電極と、前記ソース電極とドレイン電極との間を覆うように設けられ、底面が前記ソース電極および前記ドレイン電極に接続される酸化物半導体層であって、表面が酸化処理されている酸化物半導体層と、前記ドレイン電極に接続されたドレイン接続部と、前記ドレイン接続部上に配置されるコンタクトホールが形成された絶縁膜と、前記コンタクトホールを介して、前記ドレイン接続部に接続された導電層とを備え、前記コンタクトホール内において、前記ドレイン接続部の前記導電層と接する面は、酸化領域と非酸化領域とを有する。

[0022] ある実施形態において、前記コンタクトホールの周囲において、表面が酸化処理された酸化物半導体層の追加部分が前記ドレイン接続部を覆うように形成されている。

[0023] ある実施形態において、前記コンタクトホール内において、前記酸化領域

が前記非酸化領域を囲むように形成されている。

[0024] 本発明の実施形態による T F T 基板の製造方法は、基板を用意する工程と、前記基板上にゲート電極および前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上において、前記ゲート電極の上方で互に対向するようにソース電極とドレイン電極とを離間して形成する工程と、前記ソース電極とドレイン電極とを形成する工程において、前記ソース電極およびドレイン電極とは異なる位置に第 1 導電層を同時に形成する工程と、前記ソース電極とドレイン電極とを形成する工程の後に、前記ソース電極と前記ドレイン電極とに接続されるチャネル部分と、前記第 1 導電層を覆う追加部分とを含む酸化物半導体層を形成する工程と、前記酸化物半導体層の表面を酸化処理する工程と、前記酸化物半導体層のうちの前記追加部分の酸化物半導体層の少なくとも一部を除去する工程と、前記追加部分の酸化物半導体層が除去されたことによって露出した前記第 1 導電層と接する第 2 導電層を形成する工程とを包含する。

### 発明の効果

[0025] 本発明の実施形態によれば、酸化物半導体をチャネルに用いた T F T において、バックチャネル側に酸素過剰領域を形成することでオフ電流を低減するとともに、他の領域で不要な金属酸化膜が形成されて接続の信頼性が低下することを防止できる。このようにして作製された T F T 基板を液晶表示装置などに用いることで、表示品位を向上させることができる。

### 図面の簡単な説明

[0026] [図1]本発明の実施形態に係る T F T 基板 1 0 0 の構成を示す平面図である。

[図2] (a) ~ (f) は、T F T 基板 1 0 0 の製造工程を説明するための断面図である。

[図3] (a) ~ (d) は、T F T 基板 1 0 0 の製造工程を説明するための断面図であり、図 2 (a) ~ (f) に示した工程の続きの工程を示す。

[図4] (a) は、ドレイン電極と画素電極との接続部（コンタクトホール形成部）を拡大して示す平面図であり、(b) は、(a) に示す B - B' 線に沿

った断面図である。

[図5]図4に示す接続部の変形例の製造プロセスを説明するための図であり、(a)から(c)はそれぞれ別の工程を示す平面図であり、(a')から(c')は(a)から(c)の断面をそれぞれ示す。

[図6](a)は、ゲート配線とソース配線との接続部を示す平面図であり、(b)は(a)の部分拡大図である。

[図7]周辺接続領域におけるゲート配線とソース配線との接続例を示す平面図である。

### 発明を実施するための形態

[0027] 以下、図面を参照しながら、本発明によるTFT基板の実施形態を説明する。ただし、本発明は以下の実施形態に限られない。

[0028] 図1は、本発明の実施形態に係るTFT基板100の構成を示す平面図である。また、図2(a)～(f)および図3(a)～(d)は、TFT基板100の製造プロセスを順に説明する断面図である。

[0029] 図1および図3(d)に示すように、本実施形態のTFT基板100は、酸化物半導体からなる活性層を有する薄膜トランジスタ（酸化物半導体TFT）10を備えており、液晶表示装置におけるアクティブマトリクス基板として使用される。なお、図1には液晶表示装置の略1画素に対応する領域が示されている。また、図2および図3において、図中右側には図1に示すA-A'線に沿った断面が示されており、図中左側には、ゲート配線2'とソース配線4'との接続箇所（以下、周辺接続領域R1と呼ぶ）が示されている。

[0030] 図1に示すように、TFT基板100は、水平方向に延びるゲートバスライン2と、これと交差する方向（典型的には垂直方向）に延びるソースバスライン4と、隣接するゲートバスライン2の間を延びる補助容量バスライン6とを備えている。また、ゲートバスライン2とソースバスライン4との交差部近傍には、酸化物半導体TFT10が設けられている。

[0031] TFT10は、ゲートバスライン2と一体的に形成されたゲート電極12

、ソースバスライン４と一体的に形成されたソース電極１４、および基板面内でソース電極１４に対向するように離間して形成されたドレイン電極１５を備えている。ソース電極１４およびドレイン電極１５は、ゲート電極１２を覆うゲート絶縁膜３０（図２（ｂ）および（ｃ）参照）上に配置されている。

[0032] なお、本明細書で記載されているＴＦＴの「ソース」および「ドレイン」という語は置き換え可能であり、例えば、本明細書において「ドレイン電極」と称される部分は、一般に「ソース電極」と称され得る。

[0033] ソース電極１４とドレイン電極１５との間には、ＩＧＺＯなどの酸化物半導体により形成された島状の半導体層１８が設けられている。この酸化物半導体層１８は、ソース電極１４およびドレイン電極１５のそれぞれの端部を覆うように形成されている。すなわち、酸化物半導体層１８の底面がソース電極１４およびドレイン電極１５と接しており、ＴＦＴ１０は、いわゆるボトムコンタクト型の構造を有している。酸化物半導体層１８は、ＴＦＴ１０のソースドレイン間チャネルを形成しており、ゲート電極１２にオン電圧が印加されたときに、酸化物半導体層１８を介してソース電極１４とドレイン電極１５とが導通する。

[0034] また、画素の中央部において、ドレイン電極１５の延長部としてのドレイン接続部１６が設けられている。ドレイン接続部１６は、コンタクトホール２２を介して画素電極２０と電氣的に接続されている。このような構成において、ＴＦＴ１０がオン状態のとき、ソースバスライン４に付与されたデータ信号に応じた電圧が、ドレイン接続部１６を介して画素電極２０に印加される。

[0035] 本実施形態において、ドレイン接続部１６は、ゲート絶縁膜３０を挟んで補助容量バスライン６上に配置されている。ドレイン接続部１６、補助容量バスライン６、および、これらの間に介在する絶縁膜３０によって補助容量が形成されている。より大きい補助容量を得るために、ドレイン接続部１６は、補助容量バスライン６に沿って延びる細長形状を有していてもよい。ド

レイン接続部 16（または後述するコンタクトホール 22）を補助容量バスライン 6 上に設ければ、表示への寄与が低い領域をまとめて配置することができるので、画素開口率の向上につながる。

[0036] 以下、図 2 および図 3 を参照しながら、液晶表示装置に用いられる TFT 基板 100 の製造方法を説明する。上述のように、図中右側には図 1 の A-A' 線断面が示され、また、図中左側にはゲート配線 2' とソース配線 4'（またはソースバスライン 4）との接続領域である周辺接続領域 R1 が示されている。周辺接続領域 R1 は、例えば、図 7 に示すように画素 P<sub>x</sub> がアレイ状に配置された領域（アクティブエリア AA）の外側に位置する領域である。詳細については後述する。

[0037] 図 2（a）に示すように、まず、ガラス等からなる絶縁性の基板 8 上に、ゲートバスライン 2（図 1 に図示）、ゲート電極 12、補助容量バスライン 6 などが形成される。また、周辺接続領域 R1 におけるゲート配線 2' も同時に形成される。これらは、具体的には、例えば、以下のようにして形成される。

[0038] 基板 8 上に、チタン、モリブデン、クロム、タンタル、タングステン、銅、アルミニウムなどの金属材料またはその合金材料を用いて、スパッタ法などによって導電膜を形成する。次に、フォトリソグラフィ法によってパターニングしたマスクを用いて上記導電膜をエッチングすることで、ゲートバスライン 2、ゲート電極 12 および補助容量バスライン 6 などを形成する。なお、本明細書では、これらをゲート層と呼ぶことがある。

[0039] ゲート層は、配線抵抗の観点から積層構造を有するように形成されることが望ましい。積層構造としては、例えば上層側から順に、銅／チタン、銅／モリブデン、チタン／アルミニウム／チタン、モリブデン／アルミニウム／モリブデン等が積層された構造が挙げられる。また、密着性向上および拡散防止のために、上記金属材料を窒化チタン（TiN）や窒化モリブデン（MoN）などの窒化膜に変更してもよい。

[0040] 次に、図 2（b）に示すように、ゲート電極 12 などを覆うようにゲート

絶縁膜 30 が設けられる。ゲート絶縁膜 30 は、例えば、シリコン酸化 ( $\text{SiO}_2$ ) 膜、シリコン窒化 ( $\text{SiN}_x$ ) 膜、シリコン酸窒化 ( $\text{SiON}$ ) 膜あるいはこれらの膜を積層した膜を形成することによって得られる。ゲート絶縁膜 30 の形成には、例えば、プラズマ CVD 法あるいはスパッタ法を用いることができる。

[0041] その後、図 2 (c) に示すように、ゲート絶縁膜 30 上に、ソースバスライン 4 (またはソース配線 4')、ソース電極 14、ドレイン電極 15、ドレイン接続部 16 などが設けられる。なお、これらをまとめてソース・ドレイン層と呼ぶことがある。これらは、具体的には、例えば、以下のようにして形成される。

[0042] ゲート絶縁膜 30 上に、チタン、モリブデン、クロム、タンタル、タングステン、銅、アルミニウムなどの金属材料またはその合金材料を用いて、スパッタ法によって導電膜を形成する。次に、フォトリソグラフィ法によってパターニングしたマスクを用いて導電膜をエッチングすることで、ソース電極 14、ドレイン電極 15 およびドレイン接続部 16、ソースバスライン 4 などを形成する。

[0043] ソース・ドレイン層は、配線抵抗の観点から積層構造を有するように形成されることが望ましい。積層構造としては、例えば上層側から順に、銅／チタン、銅／モリブデン、チタン／アルミニウム／チタン、モリブデン／アルミニウム／モリブデン等を積層した構造が挙げられる。また、密着性向上および拡散防止のために、上記金属材料を窒化チタン ( $\text{TiN}$ ) や窒化モリブデン ( $\text{MoN}$ ) などの窒化膜に変更してもよい。

[0044] 次に、図 2 (d) に示すように、TFET 10 のチャネルを形成する酸化物半導体層 (チャネル部分) 18 が形成される。酸化物半導体層 18 は、ゲート電極 12 の上方において、ソース電極 14 およびドレイン電極 15 の端部を覆い、これらに跨るように形成される。このようにしてボトムコンタクト型の TFET 10 を作製することができる。酸化物半導体層 18 は、具体的には、例えば、以下のようにして形成できる。

[0045] In、GaおよびZnを含む酸化物半導体をターゲットとして用いて、Arガスおよび酸素ガス雰囲気下でDC放電あるいはAC放電することで、酸化物半導体膜を成膜する。次に、フォトリソグラフィ法によってパターンニングしたレジストマスクを用いて酸化物半導体膜をエッチングすることで、酸化物半導体層18を形成する。酸化物半導体膜のエッチングは、シュウ酸やクエン酸等の有機酸をエッチング液として用いるウェットエッチングにより行われて良い。

[0046] また、酸化物半導体層18を上記のIn-Ga-Zn-O系半導体(IGZO)以外の材料を用いて形成しても良く、例えばZn-O系半導体(ZnO)、In-Zn-O系半導体(IZO)、またはZn-Ti-O系半導体(ZTO)などが好適に用いられる。

[0047] ここで、本実施形態では、チャネルを形成する酸化物半導体層18以外に、ドレイン接続部16や、周辺接続領域R1のソースバスライン4(またはソース配線4')の一部を覆うように、追加的な酸化物半導体層(追加部分)18a、18bが形成される。酸化物半導体層18aは、ドレイン接続部16上において、後述するコンタクトホール22が設けられる領域に形成される。また、酸化物半導体層18bは、周辺接続領域R1において、後述するコンタクトホール22'を介してゲート配線2'と接続されるべきソースバスライン4を覆うように形成される。これらの追加的な酸化物半導体層18a、18bは、上記酸化物半導体膜をエッチングする際のマスクのパターンを適切に設定することで容易に形成することができる。

[0048] 次に、図2(e)に示すように、島状の領域としてパターンニングされた酸化物半導体層18、18a、18bの表面に酸化処理を施す工程を行う。

[0049] この酸化処理工程は、O<sub>2</sub>ガスあるいはN<sub>2</sub>Oガスを用いるプラズマ処理やオゾン処理などによって行うことができる。工程数を増加させずに処理をするためには、後述するパッシベーション膜(保護膜)32の製膜工程の直前に行うことが望ましい。具体的にはCVD法で保護膜を成膜する場合であれば、N<sub>2</sub>Oプラズマ処理を行えばよく、スパッタ法で保護膜を成膜する場合には

O<sub>2</sub>プラズマ処理を行えばよい。もしくは、アッシング装置でのO<sub>2</sub>プラズマ処理により酸化処理を行っても良い。

[0050] このような酸化処理によって、酸化物半導体層18、18a、18bの表面48が高抵抗化される。酸化物半導体層のチャネル部分18においては、バックチャネル部が酸素過剰領域となり、高抵抗化するので、TFT10がオフ状態の期間におけるリーク電流を抑制することができる。

[0051] また、ボトムコンタクト構造を有するTFT10では、ソース・ドレイン層が酸化処理工程(図2(e))の前の工程(図2(c))で既に形成されており、これらが露出した状態で酸化処理が行われる。このため、ソース・ドレイン層の表面も酸化され、酸化物半導体層18、18a、18bによって覆われていない部分については、金属酸化膜44、45が形成される。この金属酸化膜44、45は酸化により電気抵抗が増加した表面部分である。例えば、ソース・ドレイン層において銅配線を用いた場合は、その表面に酸化銅(CuO)が形成され、アルミニウム配線を用いた場合は、酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)が形成される。

[0052] ただし、図からわかるように、ドレイン接続部16に対応する部分は、追加の酸化物半導体層18aによって覆われているため、その表面が酸化されることは防止される。また、周辺接続領域R1においても、追加の酸化物半導体層18bが設けられているため、ソースバスライン4の表面の酸化は防止される。

[0053] その後、図2(f)に示すように、チャネル部分18や追加部分18a、18bを含む酸化物半導体層を覆うように、パッシベーション膜32が形成される。

[0054] パッシベーション膜32は、ゲート絶縁膜30と同様の工程によって形成することができる。例えば、酸化膜(シリコン酸化膜、シリコン酸窒化膜、酸化アルミニウム膜、酸窒化アルミニウム膜、チタン酸化膜)、窒化膜(シリコン窒化膜、シリコン酸窒化膜、窒化アルミニウム膜、酸窒化アルミニウム膜)を単層あるいは積層構造で形成すればよく、プラズマCVD法あるいは

は反応性スパッタリング法を用いて形成することができる。

[0055] また、前述の酸化処理は、パッシベーション膜形成の直前においてパッシベーション膜形成を行う装置を用いて行ってもよい。上述のように、パッシベーション膜をプラズマCVD法で形成する場合は、パッシベーション膜形成前に、一酸化二窒素ガスを主成分とするプラズマ処理を酸化物半導体層に対して行えばよい。

[0056] その後、図3(a)に示すように、平坦化膜34が形成される。平坦化膜34は、感光性樹脂材料を用いて、フォトリソグラフィによってパターニングを行うことによって形成することができる。パターニングにより得られた平坦化膜34は、後述するコンタクトホール22を形成する際のマスクとして用いることができる。平坦化膜34は、画素電極層を平坦な膜の上に形成する目的で設けられており、膜厚は例えば2〜3 $\mu\text{m}$ 程度である。

[0057] その後、図3(b)に示すように、パッシベーション膜32に、コンタクトホール22を形成する。具体的には、パターニングされた平坦化膜34をマスクとして利用して、パッシベーション膜32をエッチングする。なお、周辺接続領域R1においては、パッシベーション膜32とともに、ゲート絶縁膜30のうちの酸化物半導体層18bで覆われていなかった部分もエッチングされ、ゲート配線2'に達するコンタクトホール22'が形成される。

[0058] コンタクトホール22、22'を形成するためには、 $\text{CF}_4$ ガスに $\text{O}_2$ ガスを添加したプラズマによるドライエッチングを行えば良い。この時、追加の酸化物半導体層18aおよび18bと、パッシベーション膜32およびゲート絶縁膜30とで、十分なエッチング選択比が取れる。すなわち、酸化物半導体層18aおよび18bはエッチングストッパとして機能する。したがって、ドレイン接続部16上でパッシベーション膜32をエッチングしてコンタクトホール22を設けると同時に、周辺接続領域R1では、パッシベーション膜32とゲート絶縁膜30との両方をエッチングすることができ、ゲート配線2'を露出させるコンタクトホール22'を形成することができる。

[0059] その後、図3(c)に示すように、コンタクトホール22、22'内の酸

化物半導体層 18 a'、18 b'（図3（b）に図示）を除去する。酸化物半導体層 18 a'、18 b' は、前述の酸化物半導体層のエッチング工程（図2（d）に示す工程）と同様のエッチング工程により除去することができる。これにより、コンタクトホール 22 においてドレイン接続部 16 が露出し、また、コンタクトホール 22' においてソース配線 4' が露出する。

[0060] さらに、図3（d）に示すように画素電極 20 を含む導電層（画素電極層 20'）を形成する。画素電極 20 には、透光性および導電性のある金属酸化物材料を用いることが望ましい。具体的には、インジウム錫酸化物（ITO）あるいはインジウム亜鉛酸化物（IZO）などを用いることができる。これらの材料からなる金属酸化膜をスパッタリング法などによって生成し、これをフォトリソグラフィ法によってパターニングし、エッチング処理することで画素電極層を形成することができる。

[0061] このとき画素電極 20 は、コンタクトホール 22 内において、酸化物半導体層の追加部分 18 a が除去されたことによって露出したドレイン接続部 16 に対して、電氣的に接続されることになる。

[0062] 以上に説明した方法によれば、ボトムコンタクト構造の TFT 10 において、チャネルの表面部に酸素過剰領域を形成することで、バックチャネル部の高抵抗化を実現できる。したがって、オフ電流を低減することができる。また、ボトムコンタクト構造であるので、ソース・ドレイン層を形成する工程（図2（c）参照）において、TFT 10 のチャネルにダメージが与えられることはない。したがって、TFT の安定した素子特性を得ることができる。

[0063] また、ソース・ドレイン層において金属酸化物が表面に形成された状態で、各コンタクトを構成してしまうと、ショットキー接合を形成してしまい、コンタクト抵抗が高くなるため、表示品位の低下を招く恐れがある。これに対して、本実施形態の方法では、ソース・ドレイン層を形成した後に、酸化物半導体層を形成するが、コンタクトが取られる領域に予め追加的な酸化物半導体層を設けることで、酸化処理工程においてコンタクト領域（接続部）

におけるソース・ドレイン電極の最表面の酸化を防ぐことができる。酸化処理後、画素電極層を形成する前に、コンタクト領域に設けておいた酸化物半導体層を除去することで、酸化されていないソース・ドレイン層の表面を露出させ、この表面でのコンタクトが可能である。

[0064] 以下、図4（a）および（b）を参照しながら、コンタクトホール22におけるドレイン接続部16と画素電極20との接続形態をより詳細に説明する。

[0065] 図4（a）は、ドレイン接続部16およびコンタクトホール22の近傍を拡大して示す図であり、図4（b）は、図1および図4（a）に示すB-B'線に沿った断面図である。

[0066] 本実施形態において、ドレイン接続部16を覆う酸化物半導体18aは、その後の工程で形成されるコンタクトホール22の底面において部分的に存在するように形成されている。その結果、図4（a）に示すように、コンタクトホール22内の酸化物半導体18a'（図3（b）参照）が除去された後には、ドレイン接続部16の酸化された領域R2（以下、酸化領域R2という）と、酸化されていない領域R3（以下、非酸化領域R3という）とが形成される。酸化領域R2は、酸化物半導体18aによって覆われていなかった領域であり、非酸化領域R3は、酸化物半導体18aによって覆われていた領域である。酸化領域R2と非酸化領域R3との境界は、酸化物半導体18aのエッジに対応する。このように、酸化物半導体18aのエッジの少なくとも一部をコンタクトホール22の底面内に位置させる理由を以下に説明する。

[0067] 例えば、酸化物半導体18aが、コンタクトホール22の底面をはみ出すように形成されている場合、酸化物半導体18a'を除去する工程の後に、コンタクトホール22の外側に残部18xが残ることになる。ただし、酸化物半導体18a'を上述のようにウェットエッチングで除去する場合、ウェットエッチングは一般的には等方性エッチングであるため、図4（b）に示すように、コンタクトホール22の外側までエッチングが進んだ状態で残部

18xが残ることになる。

[0068] このようにして、コンタクトホール22の底面近傍で、その側面に窪みが形成されていると、その後に画素電極20をスパッタリング法などによって形成する工程において、段差による電極の段切れ20xが生じてしまうおそれがある。したがって、画素電極20とドレイン接続部16との接続不良が生じるおそれがある。

[0069] これに対して、コンタクトホール22内で酸化物半導体層18aが形成されない領域R2を設ける構成によれば、酸化物半導体層18aの除去工程の後に、コンタクトホール22の底面部において、少なくとも酸化領域R2と非酸化領域R3との境界においては上記の段差が生じることがない。したがって、画素電極20とドレイン接続部16との接続が断たれることが防止できる。なお、酸化領域R2では、ドレイン接続部16の表面が酸化されているため、ドレイン接続部16と画素電極20とのコンタクト抵抗は増加するが、非酸化領域R3では適切なコンタクトが得られるため、向上した接続性が確保される。

[0070] なお、コンタクトホール22の内部で段差を生じさせず、かつ、ドレイン接続部16の表面に金属酸化膜を形成しないためには、コンタクトホール22の底面のエッジと酸化物半導体層18aのエッジとが一致していれば良い。しかし、実際の製造プロセスにおいては、パターニングに用いるマスクの位置ずれ等が生じることによって、これらを完全に一致させることは困難である。このため、本実施形態では、酸化物半導体層18aのエッジの一部をコンタクトホール22の内側に位置させており、多少の位置ずれが発生した場合にも、この部分で、画素電極20の段切れの発生を防止するようにしている。

[0071] 次に、図5を参照しながら、上記のコンタクトホール22内における、画素電極20とドレイン接続部16との接続形態の変形例を説明する。図5(a)～(c)は、変形例の接続形態の形成プロセスを示す平面図であり、図5(a')～(c')はそれぞれ図5(a)～(c)のC-C'線に沿った

断面図である。

[0072] まず、図5 (a) および (a') に示すように、酸化物半導体層を形成する工程において、ドレイン接続部16上に追加の酸化物半導体層18aを島状に形成する。次に、酸化物半導体層の表面を酸化する工程が行われるが、これによって、ドレイン接続部16における、酸化物半導体層18aによって覆われていない部分の表面も酸化されてしまう。

[0073] その後、図5 (b) および (b') に示すように、パッシベーション膜32や平坦化膜34などの絶縁膜を形成した後に、コンタクトホール22を形成する。このとき、図からわかるように、本変形例では、酸化物半導体層18aの外周エッジ全体が、コンタクトホール22の底面内に位置している。このため、コンタクトホール22内においては、酸化された表面48を有する酸化物半導体層18aと、その周りを囲う金属酸化膜45 (ドレイン接続部16の一部) が露出することになる。

[0074] その後、図5 (c) および (c') に示すように、酸化物半導体層18aをウエットエッチングなどによって除去してから画素電極20を形成する。酸化物半導体層18aを除去した状態では、コンタクトホール22の底面において、ドレイン接続部16の酸化されていない非酸化領域R3と、これを囲む酸化領域R2とが露出した状態になる。この構成において、画素電極20は、非酸化領域R3においてドレイン接続部16と好適に電氣的に接続される。また、酸化領域R2と非酸化領域R3との境界 (すなわち、酸化物半導体層18aのエッジ) がコンタクトホール22の底面内に存在するが、コンタクトホール22に段差などが形成されていない。このため、画素電極20をドレイン接続部16に適切に接続させることができる。

[0075] 以下、図6および図7を参照しながら、周辺接続領域R1について説明する。

[0076] 周辺接続領域R1は、アレイ状に配置された複数の画素Pxの外側に位置する領域であり、例えば、ソースバスライン4にソース信号を入力するための端子や配線等が設けられている。

- [0077] 駆動回路からソース信号をソースバスライン4に入力するとき、周辺接続領域R1においてゲート層に設けられた配線や端子（これらをゲート配線2'と呼ぶことがある）を介してソースバスライン4への接続が取られることがある。このため、周辺接続領域R1では、ゲート配線2'とソースバスライン4（またはソース配線4'）との接続が行われる。
- [0078] また、本実施形態のように酸化物半導体TFET10を備える場合には、酸化物半導体層を用いて駆動回路自体を基板上に一体的に形成する構成を採用してもよい。この場合、駆動回路において、ソースバスライン4と同層に設けられたソース配線4'とゲート配線2'とを任意に接続して任意の回路を形成することが可能である。例えば、ゲートドライバを構成するシフトレジスタを形成することができる。
- [0079] また、図7に示すように、周辺接続領域R1において、補助容量バスライン6の終端部（ここでは、ゲート配線2'として示す）をソース配線4'に接続しても良い。ソース配線4'は、周辺接続領域R1でソースバスライン4と平行に延びている配線である。このような構成において、補助容量バスライン6への信号入力を、ゲートバスライン2とは異なる層に設けた配線4'を介して行うことができ、額縁領域（アクティブエリアAA外側の領域）の狭小化を実現し得る。
- [0080] 次に、ゲート配線2'とソース配線4'との接続形態の具体例を説明する。図6（a）は、ゲート配線とソース配線とのコンタクト部24を示す上面図である。図示するように、ゲート層に作られたゲート配線2'と、ソース・ドレイン層に作られたソース配線4'との接続を得るために、本実施形態では複数（9箇所）のコンタクト部24が設けられている。図6（b）はコンタクト部24の一つを拡大して示す。なお、図6（b）のD-D'線に沿った断面図が、図2および図3の図中左側において周辺接続領域R1として示されている。
- [0081] 図2および図3に示したようにしてコンタクト部24を形成した結果、図6（b）に示すように、ソース配線4'の接続部4aとゲート絶縁膜30の

一部とを覆うよう設けられた島状の酸化物半導体層 18 b の残部 18 x が、コンタクトホール 22' の外側に存在している。また、コンタクトホール 22' 内では、非酸化領域 R3 であるソース配線 4' の接続部 4a と、ゲート絶縁膜 30 における酸化物半導体層 18 b で覆われていた部分とが露出している。また、酸化物半導体層 18 b で覆われていなかった部分において、ゲート絶縁膜 30 がエッチングされたことによりゲート配線 2' が露出している。

[0082] このような構成において、例えば、図 3 (d) に示したように画素電極 20 を形成する工程において、接続部 4a (非酸化領域 R3) とゲート配線 2' とを接続するように導電膜を形成することで、これらの導通が得られる。

[0083] 以上、本発明の実施形態を説明したが、これに限られず、種々の改変を行うことができる。例えば、ドレイン電極 15 の近傍で画素電極 20 と TFT 10 とのコンタクトを形成する場合、コンタクトホール 22 内 (ドレイン接続部 16) に設ける酸化物半導体層 18 a は、チャネル部の酸化物半導体層 18 と一体的に形成され得る。すなわち、図 1 に示す形態では、ドレイン接続部 16 は、ドレイン電極 15 から延びるようにして画素中央部に配置されているが、ドレイン接続部 16 が、ドレイン電極 15 の近傍に一体的に形成されていてもよい。酸化物半導体層 18、18 a はこれらを一続きに覆う形態であり得る。

[0084] 上述のようにして作製された TFT 基板は、例えば、液晶表示装置を構成するために用いられる。TFT 基板と対向基板との間に液晶層を保持させることによって液晶表示装置が得られる。また、TFT 基板を用いて有機 EL 表示装置を作製することも可能である。有機 EL 表示装置では、一般に、画素毎に発光素子が構成されている。各発光素子は、有機 EL 層、スイッチング用 TFT および駆動用 TFT を備えている。

[0085] また、TFT をアレイ状に並べて選択トランジスタとして用いることで、記憶素子 (酸化物半導体薄膜メモリ) を構成することもできる。

**産業上の利用可能性**

[0086] 本発明は、液晶表示装置などの表示装置の画素を駆動するアクティブマトリクス基板として好適に用いられる。特に、本発明のアクティブマトリクス基板を用いて、高性能な中小型液晶パネルを実現し得る。

### 符号の説明

- [0087]    2    ゲートバスライン  
          2'    ゲート配線  
          4    ソースバスライン  
          4'    ソース配線  
          6    補助容量バスライン  
          10    TFT  
          12    ゲート電極  
          14    ソース電極  
          15    ドレイン電極  
          16    ドレイン接続部  
          18    酸化物半導体層（チャネル部分）  
          18a、18b    酸化物半導体層（追加部分）  
          20    画素電極  
          22    コンタクトホール  
          30    ゲート絶縁膜  
          32    パッシベーション膜  
          34    平坦化膜  
          100    TFT基板  
          R1    周辺接続領域  
          R2    酸化領域  
          R3    非酸化領域

## 請求の範囲

### [請求項1]

基板を用意する工程と、

前記基板上にゲート電極および前記ゲート電極を覆うゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上において、前記ゲート電極の上方で互いに対向するようにソース電極とドレイン電極とを離間して形成し、かつ、前記ドレイン電極に接続されるドレイン接続部を形成する工程と、

前記ソース電極とドレイン電極とを形成する工程の後に、前記ソース電極と前記ドレイン電極とに接続されるチャンネル部分と、前記ドレイン接続部を覆う追加部分とを含む酸化物半導体層を形成する工程と、

前記酸化物半導体層の表面を酸化処理する工程と、

前記表面が酸化処理された酸化物半導体層を覆う絶縁膜を形成する工程と、

前記絶縁膜中において、前記酸化物半導体層の前記追加部分に対応する領域にコンタクトホールを形成する工程と、

前記酸化物半導体層の前記追加部分のうちの前記コンタクトホール内に位置する部分を除去する工程と、

前記追加部分が除去されたことによって露出した前記ドレイン接続部に対して前記コンタクトホールを介して電氣的に接続される導電層を形成する工程と

を包含するTFT基板の製造方法。

### [請求項2]

前記酸化物半導体層は、前記ソース電極と同時に形成されるソース配線を覆う第2の追加部分をさらに含んでおり、

前記酸化処理する工程の後に前記第2の追加部分を除去する工程と、

、

前記第2の追加部分を除去することによって露出した前記ソース配線と、前記ゲート電極と同時に形成されたゲート配線とを電氣的に接

続する導電膜を形成する工程と

をさらに包含する請求項 1 に記載の T F T 基板の製造方法。

[請求項3] 前記コンタクトホールを形成する工程において、前記コンタクトホールの底面において、前記酸化物半導体層の前記追加部分のエッジの少なくとも一部が露出する請求項 1 または 2 に記載の T F T 基板の製造方法。

[請求項4] 前記コンタクトホールを形成する工程において、前記コンタクトホールの底面において、前記酸化物半導体層の前記追加部分の外周エッジ全体が露出する請求項 3 に記載の T F T 基板の製造方法。

[請求項5] 前記酸化物半導体層の前記追加部分のうちの前記コンタクトホール内に位置する部分を除去する工程によって、前記酸化処理する工程において酸化されたドレイン接続部と、前記酸化処理する工程において酸化されなかったドレイン接続部との両方が前記コンタクトホール内で露出する請求項 3 または 4 に記載の T F T 基板の製造方法。

[請求項6] 基板と、  
前記基板上に設けられたゲート電極と、  
前記ゲート電極を覆うゲート絶縁膜と、  
前記ゲート絶縁膜上において、前記ゲート電極の上方で互いに対向するように離間して設けられたソース電極およびドレイン電極と、  
前記ソース電極とドレイン電極との間を覆うように設けられ、底面が前記ソース電極および前記ドレイン電極に接続される酸化物半導体層であって、表面が酸化処理されている酸化物半導体層と、  
前記ドレイン電極に接続されたドレイン接続部と、  
前記ドレイン接続部上に配置されるコンタクトホールが形成された絶縁膜と、  
前記コンタクトホールを介して、前記ドレイン接続部に接続された導電層とを備え、  
前記コンタクトホール内において、前記ドレイン接続部の前記導電

層と接する面は、酸化領域と非酸化領域とを有する T F T 基板。

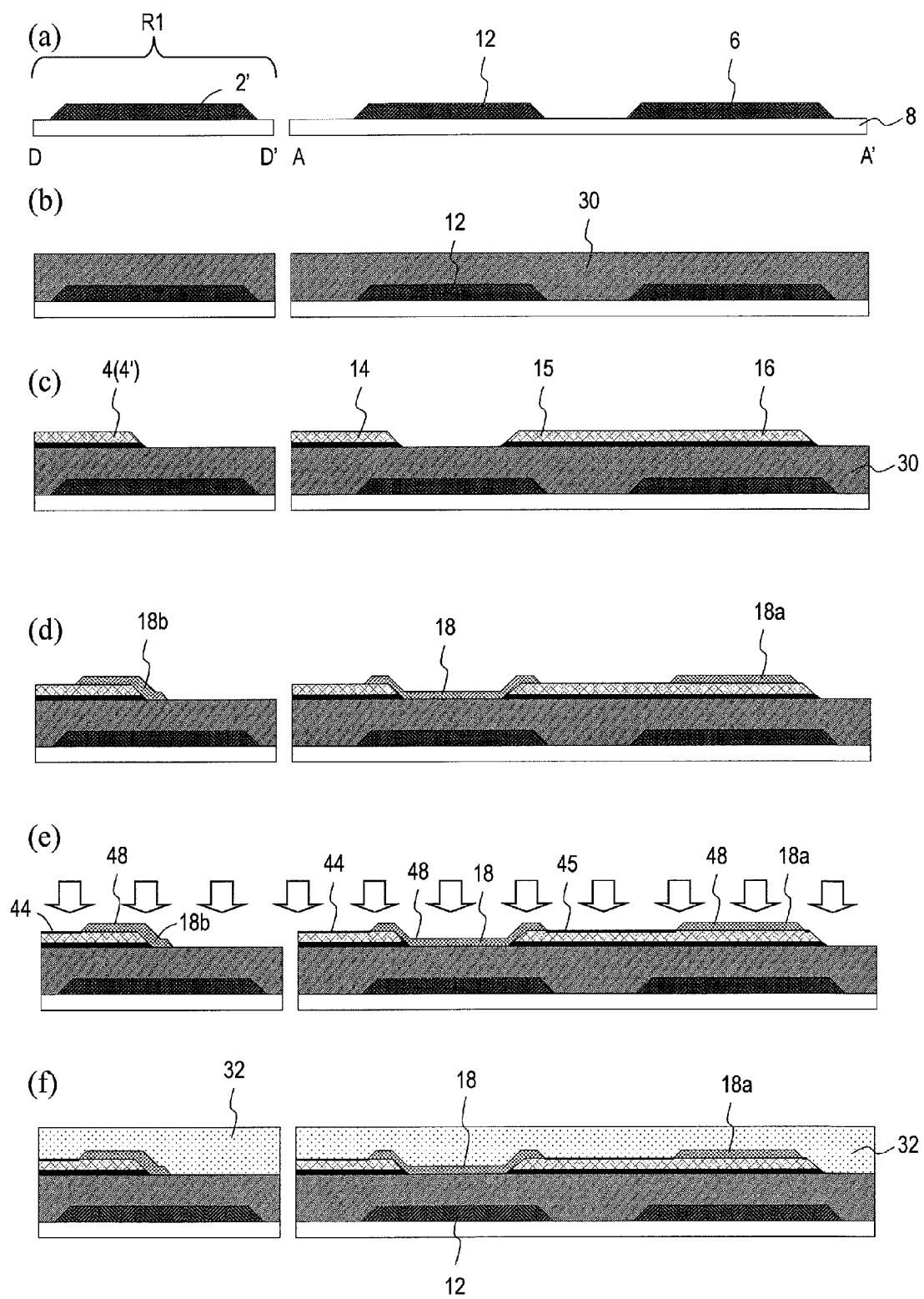
[請求項7] 前記コンタクトホール周囲において、表面が酸化処理された酸化物半導体層の追加部分が前記ドレイン接続部を覆うように形成されている請求項6に記載の T F T 基板。

[請求項8] 前記コンタクトホール内において、前記酸化領域が前記非酸化領域を囲むように形成されている請求項6に記載の T F T 基板。

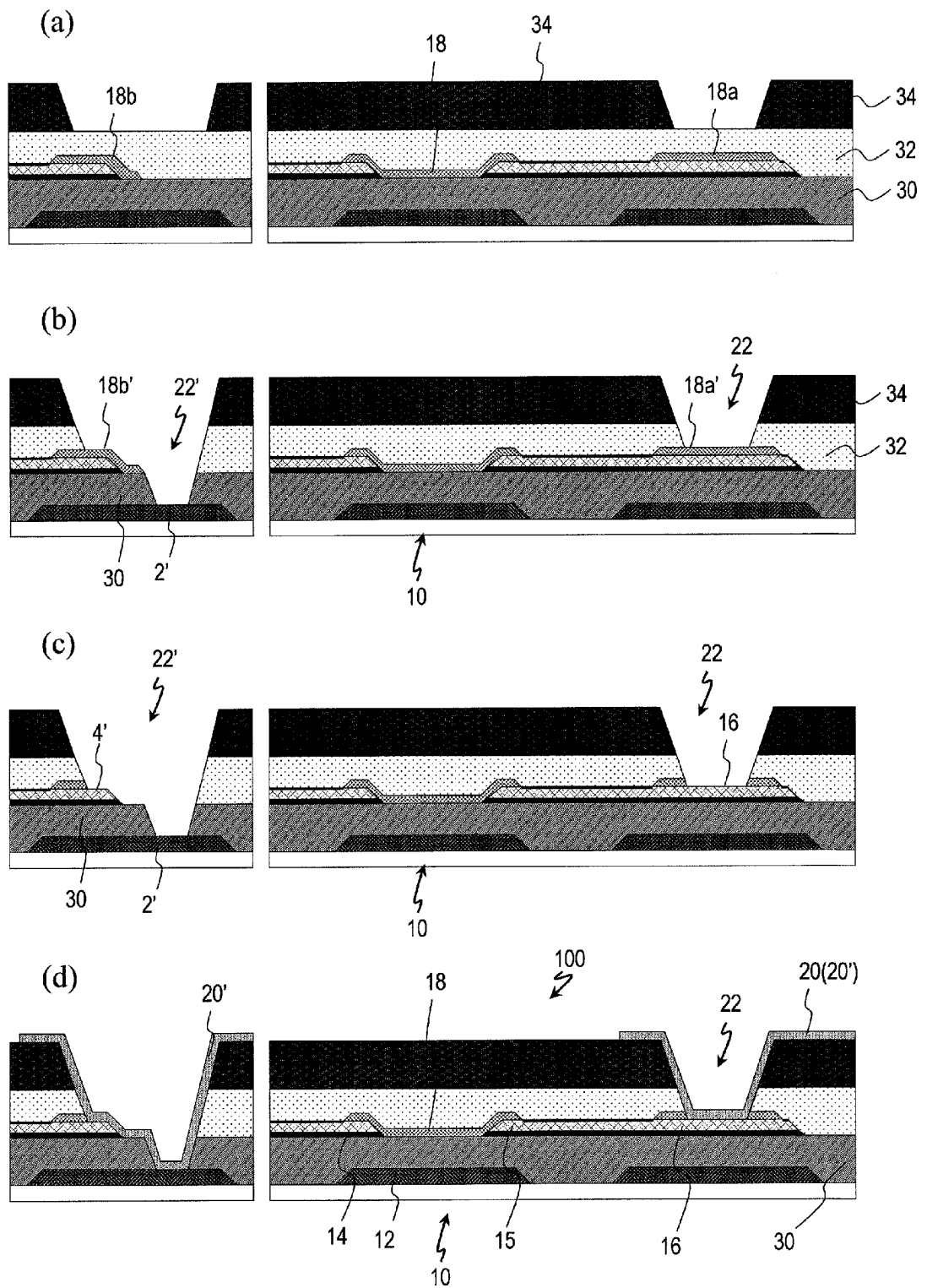
[請求項9] 基板を用意する工程と、  
前記基板上にゲート電極および前記ゲート電極を覆うゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上において、前記ゲート電極の上方で互いに対向するようにソース電極とドレイン電極とを離間して形成する工程と、  
前記ソース電極とドレイン電極とを形成する工程において、前記ソース電極およびドレイン電極とは異なる位置に第1導電層を同時に形成する工程と、  
前記ソース電極とドレイン電極とを形成する工程の後に、前記ソース電極と前記ドレイン電極とに接続されるチャンネル部分と、前記第1導電層を覆う追加部分とを含む酸化物半導体層を形成する工程と、  
前記酸化物半導体層の表面を酸化処理する工程と、  
前記酸化物半導体層のうちの前記追加部分の酸化物半導体層の少なくとも一部を除去する工程と、  
前記追加部分の酸化物半導体層が除去されたことによって露出した前記第1導電層と接する第2導電層を形成する工程と  
を包含する T F T 基板の製造方法。

[illegible]

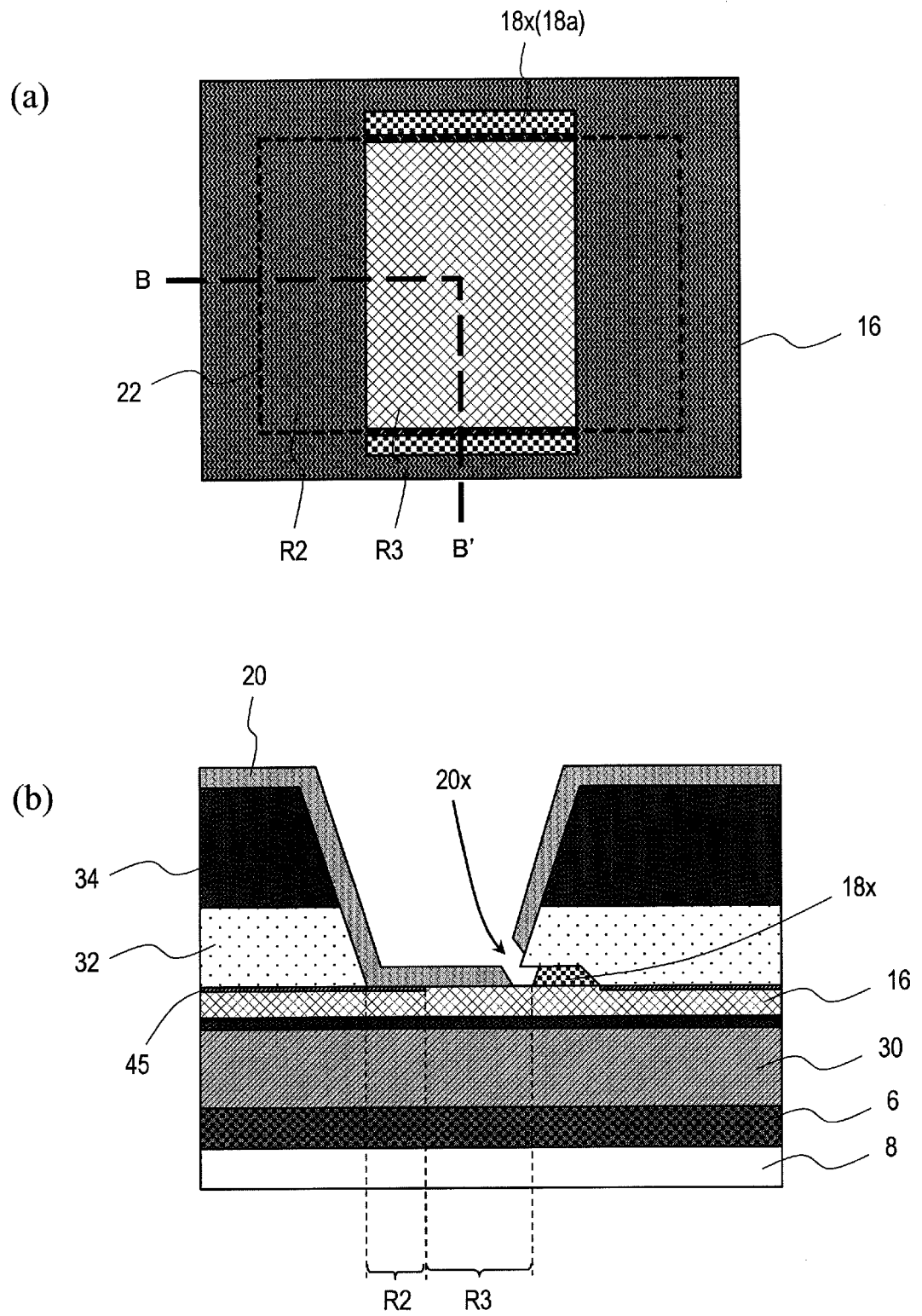
[図2]



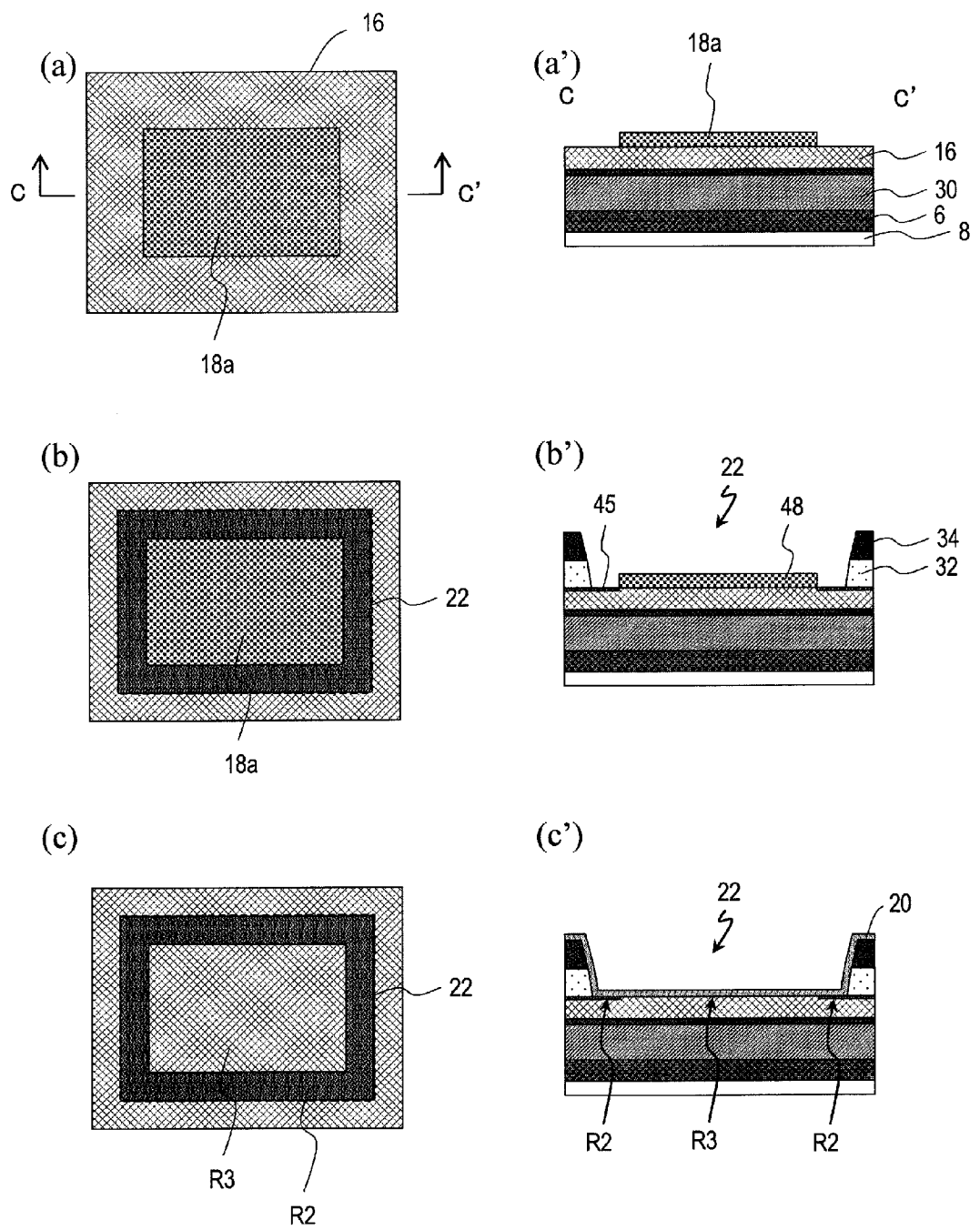
[図3]



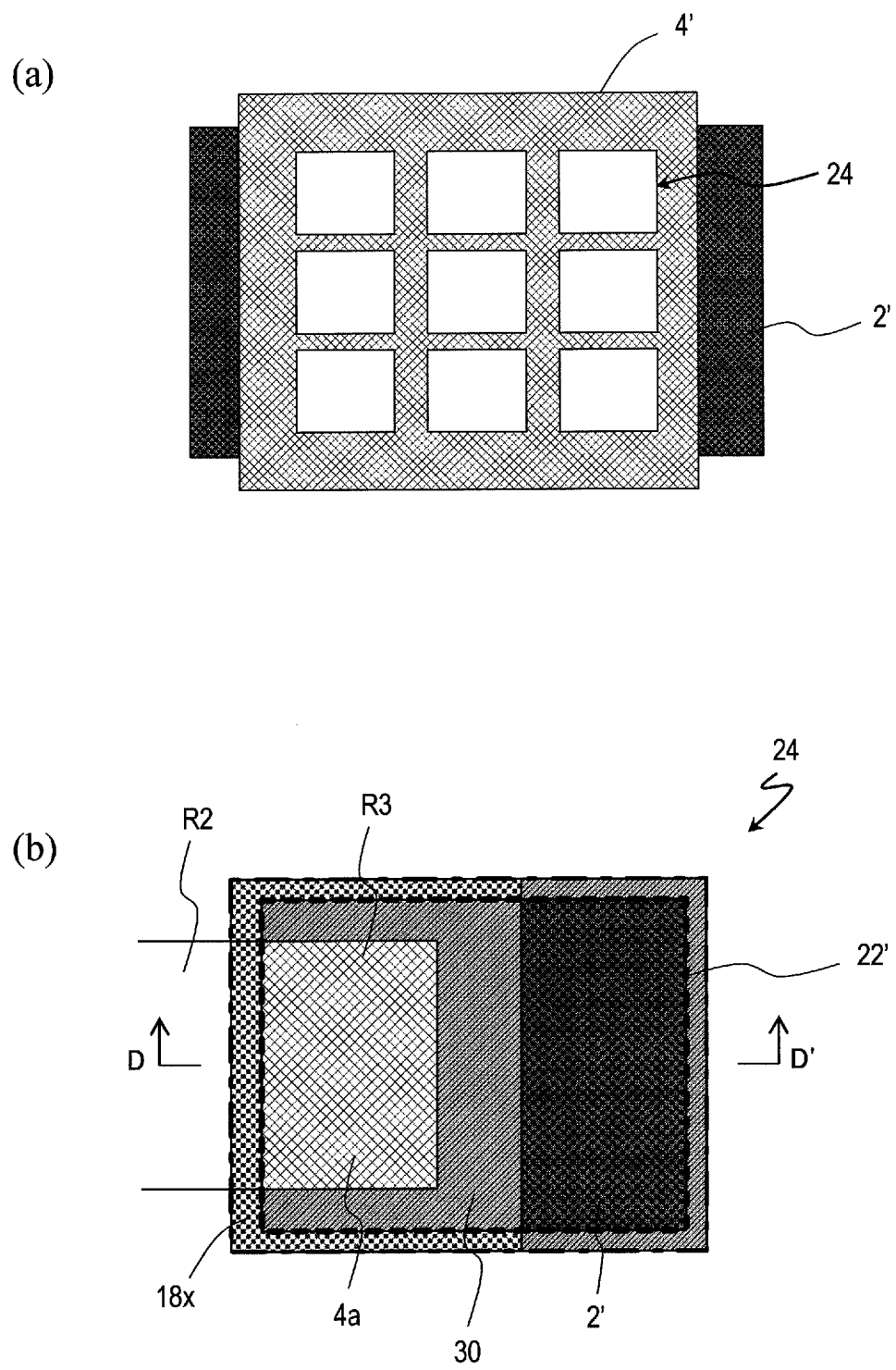
[図4]



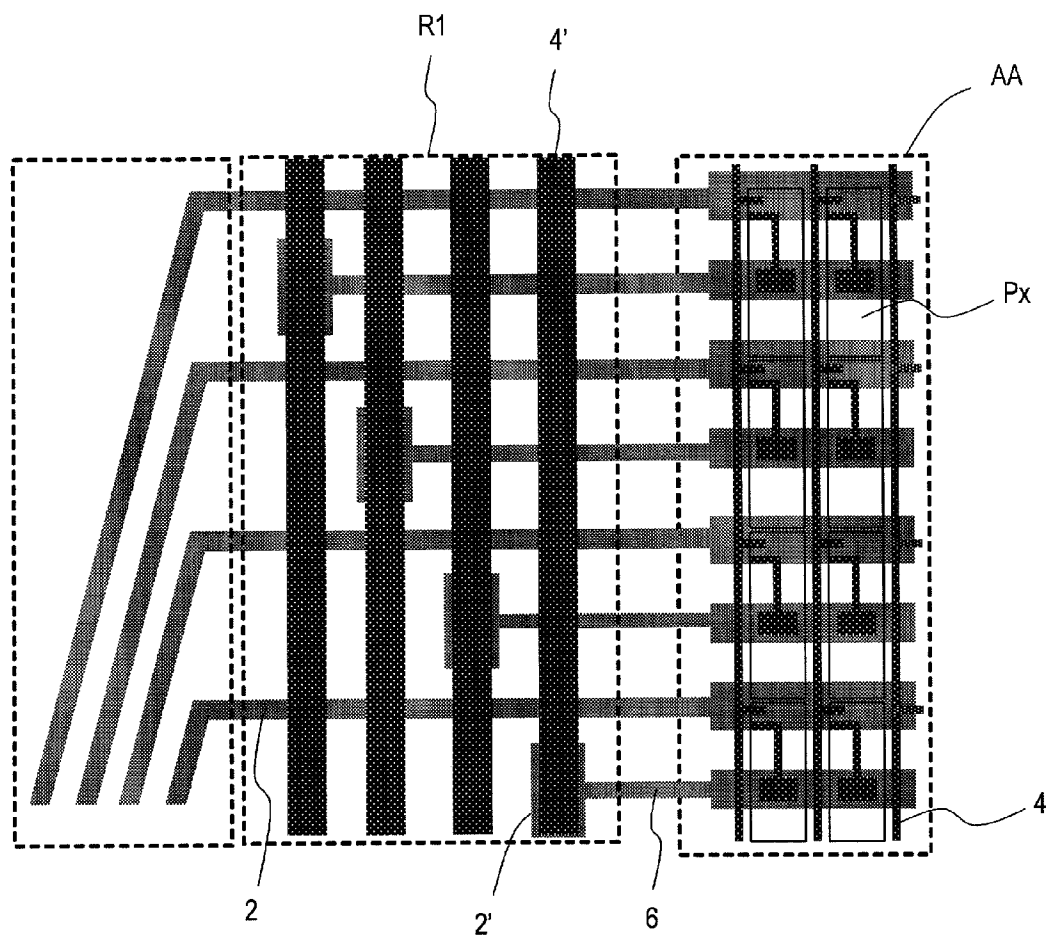
[図5]



[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/063771

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/41(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G09F9/30, H01L21/28, H01L21/336, H01L21/768, H01L23/522, H01L29/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                               | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2010-258423 A (Semiconductor Energy Laboratory Co., Ltd.),<br>11 November 2010 (11.11.2010),<br>entire text; all drawings<br>& US 2010/0244031 A1 & CN 101859798 A<br>& KR 10-2010-0109395 A & TW 201104864 A | 1-9                   |
| A         | JP 2010-166038 A (Semiconductor Energy Laboratory Co., Ltd.),<br>29 July 2010 (29.07.2010),<br>entire text; all drawings<br>& US 2010/0155719 A1 & WO 2010/071183 A1<br>& TW 201044464 A                         | 1-9                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
21 August, 2012 (21.08.12)

Date of mailing of the international search report  
04 September, 2012 (04.09.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/063771

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2011-29579 A (Semiconductor Energy Laboratory Co., Ltd.),<br>10 February 2011 (10.02.2011),<br>entire text; all drawings<br>& US 2010/0252826 A1 & KR 10-2010-0038161 A<br>& CN 101714546 A & TW 201030924 A | 1-9                   |
| A         | US 2009/0140243 A1 (SAMSUNG ELECTRONICS CO., LTD.),<br>04 June 2009 (04.06.2009),<br>entire text; all drawings<br>& KR 10-2009-0056590 A                                                                        | 1-9                   |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,  
H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/41(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G09F9/30, H01L21/28, H01L21/336, H01L21/768, H01L23/522, H01L29/41

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                          | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | JP 2010-258423 A (株式会社半導体エネルギー研究所) 2010. 11. 11,<br>全文、全図 & US 2010/0244031 A1 & CN 101859798 A & KR<br>10-2010-0109395 A & TW 201104864 A | 1-9            |
| A               | JP 2010-166038 A (株式会社半導体エネルギー研究所) 2010. 07. 29,<br>全文、全図 & US 2010/0155719 A1 & WO 2010/071183 A1 & TW 201044464<br>A                     | 1-9            |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 8 . 2 0 1 2

国際調査報告の発送日

0 4 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

鈴木 聡一郎

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

3 8 6 4

| C (続き) . 関連すると認められる文献 |                                                                                                                                         |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                       | 関連する<br>請求項の番号 |
| A                     | JP 2011-29579 A (株式会社半導体エネルギー研究所) 2011.02.10,<br>全文、全図 & US 2010/0252826 A1 & KR 10-2010-0038161 A & CN<br>101714546 A & TW 201030924 A | 1-9            |
| A                     | US 2009/0140243 A1 (SAMSUNG ELECTRONICS CO., LTD) 2009.06.04,<br>全文、全図 & KR 10-2009-0056590 A                                           | 1-9            |