



[12] 发明专利说明书

[21] ZL 专利号 90101465.6

[51]Int.Cl⁵

H01L 23 / 48

[45]授权公告日 1994年9月7日

[24]颁证日 94.6.29

[21]申请号 90101465.6

[22]申请日 90.2.12

[30]优先权

[32]89.2.14 [33]EP[31]89200352.6

[73]专利权人 飞利浦光灯制造公司

地址 荷兰艾恩德霍芬

[72]发明人 罗埃洛夫·赫尔曼·威廉·索尔特斯
贝蒂·普材斯

H01L 23 / 50

[74]专利代理机构 中国专利代理(香港)有限公司
代理人 肖掬昌 曹济洪

H01L 21 / 60 H01L 27 / 00

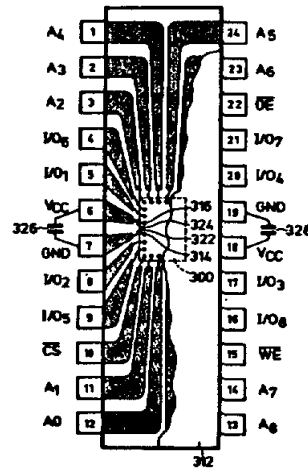
说明书页数:

附图页数:

[54]发明名称 有中部电源-接地脚的集成电路组件

[57]摘要

集成电路组件设有电源脚伸到芯片封装件的外面。选择电源脚的位置使得相关的焊丝的长度达到最小值。而且，电源脚相互之间相邻配置以便减小相关焊丝的有效电感。与芯片上的缓冲器相连的输出脚设置在电源脚附近，以便减小缓冲器的电源线的长度，使寄生的电感效应进一步减小。在输出脚的外侧设置控制脚。因此，给例如具有各种不同布局的存储器集成电路提供了一种很好的标准连线脚保护核心。



1. 一种集成电路组件，包括：

一在半导体衬底中的集成电路；

从器件伸出的多个外连线脚；

多个导体连接线，将集成电路连接到各个相应的连线脚；

其中在这些连线脚之中，有一个第一电源脚连接到第一电源电压，并有一个第二电源脚连接到一个与第一电源电压不同的第二电源电压；

其中的第一电源脚和第二电源脚彼此毗邻安置；

其中在这些连线脚之间至少有一个第一输出脚提供一个第一输出信号，一个第二输出脚提供一个第二输出信号；

其中连线脚中的至少一个既不是前述电源脚之一，也不是前述输出脚之一；

其特征在于，

各所说第一和第二电源脚及其有关导体连接线的合计电通路长度等于或短于任一连线脚（但不是一电源脚）及其有关连接线的合计电通路长度；

各所说输出脚及其有关导体连线的合计电通路长度等于或短于任一连线脚（但不是所说第一和第二电源脚之一，也不是一个输出脚）及其有关导体连接线的合计电通路长度；

该第一输出脚毗邻第一电源脚安置；

该第二输出脚毗邻第二电源脚安置。

2. 根据权利要求 1 的组件，其特征在于，比起任一其它既不是电源脚也不是输出脚的连线脚，各输出脚的位置较靠近电源脚，该电源脚最靠近输出脚。

3. 根据权利要求 2 的组件，其特征在于，
在连线脚之中，至少有一个数据输入脚，用以接收数据输入信号，以及

在连线脚中，至少有一个控制脚用以接收控制信号，以便在数据输入信号上由电路控制操作；

各控制脚位于至少一个输出脚和一个数据输入脚之间。

4. 根据权利要求 3 的组件，其中的连线脚至少按一种顺序排列，其特征在于，该顺序包括：

第一电源脚和第二电源脚；

第一和第二输出脚；

第一数据输入脚；

第一控制脚；

第二数据输入脚，用以接收第二数据输入信号；

第二控制脚，用以接收第二控制信号，以便在至少其中一个所说数据输入信号上由集成电路控制操作；

其中：

第一电源脚和第二电源脚位于第一输出脚和第二输出脚之间；

第一输出脚和第二输出脚位于第一控制脚和第二控制脚之间；以及

第一控制脚和第二控制脚位于第一数据输入脚和第二数据输入脚之间。

5. 根据权利要求 1 的组件，其中：

第一电源脚和第二电源脚按第一种顺序排列配置；

该器件还包括一个第三电源脚，用以接收第一电源电压，并包括一个第四电源脚，用以接收第二电源电压；

第三电源脚和第四电源脚按第二种顺序排列配置；

第一顺序排列和第二顺序排列在一个与这些排列相交的平面上轴对称地配置。

6. 根据权利要求 2 的组件，其中：

第一电源脚和第二电源脚按第一顺序排列配置，

该器件还包括一个第三电源脚，用以接收第一电源电压，并包括一个第四电源脚，用以接收第二电源电压；

第三电源脚和第四电源脚按第二顺序排列配置；

第一顺序排列和第二顺序排列在一个与这些排列相交的平面上轴对称地配置。

7. 根据权利要求 1-6 中任一权利要求的组件，其特征在于：

连线脚以多个各自的顺序排列；

各顺序排列具有其互相靠近和基本位于中央的相应的第一和第二电源脚；

各顺序排列各具有一个相应的输出脚靠近各自的第一电源脚。

8. 根据权利要求 1-6 中任一权利要求的组件，其特征在于，

连线脚以多个各自的顺序排列；

各顺序排列具有其互相靠近和基本位于中央的相应的第一和第二电源脚；

各顺序排列各具有一个相应的输出脚靠近各自的第一电源脚；以及

该集成电路组件包括一个存储电路。

有中部电源—接地脚的集成电路组件

本发明涉及一种集成电路块,这种集成电路块中包含至少一个带焊点的集成电路芯片、排列有多个连线脚和一个半导体基片,利用导体连线将芯片上的焊点与连线脚连接;这些连线脚包括至少一个第一电源连线脚和一个第二电源连线脚,分别接到第一电源电压和第二电源电压;半导体基片上至少有一个集成电路,并且设置有多个焊点,这些焊点包括用来分别接第一电源电压和第二电源电压的至少一个第一电源焊点和一个第二电源焊点。这种集成电路是众所周知的,例如成封装型,其中连线脚伸到密封体的外面。

按照目前的集成电路技术水平,基片上可实现的最小结构尺寸为十分之一微米的数量级。然而,提高小型化程度随之会使电路对寄生效应更加敏感,这种效应的一个例子是在芯片内部电源线上产生感应脉动电压波。这种波一方面是工作的电路本身,另一方面是由焊丝和电源连线脚的电感所引起的。限制数字电路开关速度的主要因素便是产生了这些感应的脉动电压在集成电路中造成的有害影响。

在封装的集成电路中,例如微处理器或存储器,电源连线脚彼此之间完全相反配置,已广泛作为一种标准。可参看“飞利浦技术手册 IC10(Philips Data Handbook IC10)”,1987年、第103页,其中给出了SRAM的连线脚分布图,再参看“飞利浦技术手册 IC14”,1987年,第322页,其中给出了微型控制器的连线脚

分布图。然而，由于进一步地小型化以及钟频的最大值趋于提高，因而这种标准的缺点就变得更明显了。例如，位于第一电源连线脚和第二电源连线脚之间的滤波电容需要用长导线连接，因为两个相对的连线脚之间的距离很大。这些导线的寄生阻抗降低了滤波电容的效能。而且，这样长的导线也容易成为天线来接收或发射妨碍电路工作的干扰信号。

此外，包括芯片（其上具有焊点，用来焊接与电源连线脚相连的焊丝）、焊丝和电源连线脚本身具有相当大的面积，使电感回路具有相当大的电感值。这就造成芯片内部的电源线上出现感应电压尖脉冲，这种尖脉冲会干扰集成电路的工作。还有，在常见的双列直插式集成电路中，电源连线脚和相关的焊丝的串接所具有的电通路长度可能是最长的，这就使其阻抗，尤其是感抗可能是最大的。

除双列直插型排列以外，其它常见管脚的排列方式也具有类似的缺点。例如，微控制器的管脚排列，参见“飞利浦技术手册 I C 1 4”，1 9 8 7 年、第 3 4 页，连线脚排列在集成电路的四周。两个电源脚设置在集成电路的两个对边上。从而，连接在两个电源连线脚之间的滤波电容也形成了一个相当大的回路。其他的连线脚排列方式可以包括将连线脚排列成两行以上和两列以上的网格状。这种网格状的排列方式可以有较高的连线脚密度，这对功耗较大的集成电路来说尤其有利。特别是在大电流且电源变化大的高功耗环境中，其工作将受到上述感应效应的限制。

因此，本发明的目的是提供一种对所说的寄生效应敏感较小的集成电路(IC)。另一个目的是要提供设计时允许有组件配置的IC组件。为此，本发明的IC组件的特征在于：第一电源脚和相关的导体连线所

合计的第一电通路的长度，以及第二电源脚和相关的导体连线所合计的第二电通路的长度都等于或小于其他任意一个除电源脚之外的连线脚和相关的导体连线所合计的电通路的长度。于是，电源脚及其相关的导体连线串接的电感就可能是最低的。

在一个实施例中，本发明的IC组件的特征在于，第一电源脚和第二电源脚彼此相邻配置。由于将第一和第二电源脚彼此紧挨着配置，使上面所描述的回路面积进一步大大缩小，从而使电感降至最小值。电源脚这样排列的另一个优点是，电源脚和相关的焊丝中的电流相互平行且方向相反，使得相邻的导线中产生的电磁场基本上相互抵消，因此，这样排列的电源脚和相关焊丝的总有效电感小于单根焊丝电感的一半。

在另一个实施例中，本发明的IC组件的特征在于，至少有两个第一电源脚和两个第二电源脚。由于每种电源至少有两个电源脚和焊丝，故使每种电源通路上的电流减小至少 $1/2$ ，因此，这种结构使得半导体内部的电源线，甚至更多的导线上，减小了干扰信号的幅度。

在本发明的进一步的实施例中，连线脚包括一个输出脚，用来传送输出信号，其特征在于：所说的输出脚与所说的电源脚之一相邻。当嵌入到一个数据处理系统中时，许多其他电路就可以互连到所说的输出脚上。每一个其他电路及其互连都具有阻抗。因此，用来将输出信号传送到其他电路中的输出脚通常比其他脚所传送的信号强。通过将输出脚设置得非常靠近所说的电源脚，使芯片和输出脚之间的距离仅仅略大于芯片和电源脚之间的距离。因此，相应的焊丝和输出脚的电感在量值上也仅仅略大一点。此外，大电流和电流高速变化效应对电源脚上的电源电压也只产生较弱的影响。对于后者来说，通过它们成对地出现而被很好地抑制。将输出连线脚设置得非常靠近电源连线

脚的更大优点是：在输出脚上，通过短馈线，供电给用来传送输出信号的输出缓冲器。这样，在缓冲器工作时，由电流快速变化而引起的感应电压尖脉冲的幅度，就会小于常见的集成电路在同样条件下产生的尖脉冲的幅度。

在本发明的集成电路的更进一步的实施例中，连线脚进一步包括多个控制脚，例如一个时钟输入、或启动芯片、或允许读出或允许写入、或允许输出或启动程序、或输出、或复位输入、或中止输入或允许检测，其特征在于：这些控制脚比非电源脚和非输出脚的其他连线脚更靠近预定的电源脚。通过在非常靠近成对的电源连线脚的地方设置控制连线脚，如时钟连线脚和启动脚，形成一个连线脚的中心部分。几乎所有集成电路都存在着形成的所说中心部分的连线脚。因此，芯片的设计者可以取这样的中心部分作为创作电路的起点，即这个中心部分受到的感应干扰的敏感度低，而且产生感应电压尖脉冲要少得多。根据本发明设计的电路的扩展可以容易地加以实现。对大多数连线脚的设置来说，因而，布局的主要部分是预定的。对于存储器来说这种设计方式尤其具有重大的优点，即就存储单元而论，仅仅地址空间的尺寸可能不同，而元件布局上却不会不同。

利用本发明对CMOS存储器进行实验的结果表明，由于开关而引起的干扰电压的幅度要比常规馈电的存储器小4—5倍。

下面将参照附图来描述本发明，

图1表示常见的双列直插集成电路脚的排列。

图2表示本发明的双列直插集成电路脚的排列。

图3表示常见集成电路脚的排列，管脚配置在四周。

图4表示本发明集成电路脚的排列，管脚配置在四周。

图 1 表示出了一种常见的双列直插集成电路脚的排列。图示的是一个 S R A M 集成电路，其中包括封装在封装件 1 1 2 中的集成电路芯片 1 0 0，为了清楚起见，只画出了封装件的一部分。芯片 100 上具有焊点如 1 1 4 和 1 1 6，它们靠近芯片 1 0 0 的边缘。所示的焊点通过导体连线，例如象 1 2 2 和 1 2 4 那样的焊丝连接到脚 1 - 2 4 上，脚 1 - 2 4 伸到封装件 1 1 2 的外面。脚 1 - 2 4 和焊丝，如 1 2 2 和 1 2 4 使芯片 1 0 0 连接到外界。通过电源脚 2 4 和焊丝 1 2 4 给芯片 1 0 0 提供电压源 V_{cc} ，通过电源脚 1 2 和焊丝 1 2 2 给芯片 1 0 0 提供电压源 GND 。根据普遍采用的标准，电源脚 1 2 和 2 4 设置在彼此正好相反的位置上。连线脚 9 - 1 1 和 1 3 - 1 7 是输入 / 输出脚，用来传送数据。连线脚 1 - 8、1 9、2 2 和 2 3 是地址脚。连线脚 1 8、2 0 和 2 1 作为控制脚，分别为片选信号、允许输出信号和允许写入信号，用来控制芯片 1 0 0。

正如图中所看到的那样，焊点（其中包括焊点 1 1 4 和 1 1 6）的位置与四周连线脚 1 - 2 4 的位置相对应。因而，在这种排列方式中，由电源连线脚 1 2 和焊丝 1 2 2 以及由电源连线脚 2 4 和焊丝 1 2 4 所组成的电通路长度，在所有连线脚与其相关焊丝的串接中可能是最长的。

另一方面，由于电源脚 1 2 和 2 4 彼此正好相反配置，因此，所说的脚 1 2 和 2 4 之间的距离在所有任意一对连线脚之间的距离中，可能是最长的。

这种结构具有许多缺点。首先，由于电源脚 1 2 和焊丝 1 2 2 串接的电通路长度以及由电源脚 2 4 和焊丝 1 2 4 串接的电通路长度是最长的，因而，串接的电感 就都最大。集成电路工作时，快速大变

化的电流为所说的电源脚 1 2 和 2 4 及其相关的焊丝 1 2 2 和 1 2 4 所传导，于是，因电流变化和电感都大，从而在电源脚 1 2 和 2 4 以及相关的焊丝 1 2 2 和 1 2 4 上就很容易感生电压尖脉冲。然后，这种尖脉冲就会传到芯片内部的电源线上。由于上面所说的电通路的长度较长，所以在电源脚和焊丝上感生的电压尖脉冲的大小就可能与芯片内部的电源线（未示出）上所出现的电压尖脉冲的大小具有同样的数量级。

为了减小电压尖脉冲的幅度和所说的电压尖脉冲对其他承载信息的信号的影响，在电源脚 1 2 和 1 4 之间连接一个滤波电容 1 2 6。常见结构的另一个缺点是该电容 1 2 6 引起的。由于电源脚 1 2 和 2 4 的位置彼此是相反的，因而必须用相当长的导线将滤波电容 1 2 6 接在其间。这就意味着存在一个导体回路，该回路包括电容 1 2 6 的连线、电源脚 1 2 和 2 4 以及焊丝 1 2 2 和 1 2 4，其相当大的面积还得考虑其他感应效果干扰着集成电路，或者集成电路附近的其他电路（未示出）的工作。而且，长导线的阻抗还会引起滞后效应，从而降低电容 1 2 6 的效能。

随着集成电路小型化的进展以及最大钟频趋于进一步提高，因而常规管脚系统的缺点尽至变得更突出了。由于尺寸总是不断缩小且钟频不断提高，因此，感生的电压尖脉冲更容易对芯片本身产生有害的影响。所以，除非电源上的电流变化适合于常规管脚集成电路的限度，这特别意味着最大钟频相当低，从而其工作速度低，否则，集成电路无论如何也不能可靠地工作。

图 2 表示集成电路的管脚按本发明的方式设置的一个例子。图示的是一个 S R A M 集成电路，其中包括封装在封装件 3 1 2 中的集成

电路芯片 300，为清楚起见，只画出其中的一部分。芯片 300 上具有焊点如 314 和 316，这些焊点靠近芯片 300 的边缘。利用焊丝如 322 和 324 将焊点连接到连线脚 1-24 上，连线脚 1-24 伸到封装件 312 的外面。通过电源脚 6 和 8 给芯片 300 馈送电压源 V_{cc} ，而通过电源脚 7 和 19 给芯片 300 馈送电压源 GND 。与前图所示的脚的排列方式相比，现在的电源脚 6 和 7（以及 18 和 19）设置在这样的位置，使得由每个电源脚及其相关的焊丝的合计相应的电通路长度达到最小值。为此，一边的电源脚 6 和 7 与另一边的电源脚 18 和 19 分别设置在各个相应的连线脚序列的中央。通过使所说的电通路长度达到最小值，而使得电源脚及其相关焊丝串接的总电感值比对应于前图中按常见方式排列连线脚时相应的电源连线脚及其焊丝的总电感值来说减小得相当多。

通过将 V_{cc} 和 GND 那样彼此相邻配置电源脚，如管脚 6 和 7（以及 18 和 19），使得滤波电容 326（328）用很短的连接导线就能连接于其间。这时由两个电源脚 6 和 7、焊丝 322 和 324、芯片 300 和电容 326 所组成的回路其周边非常短而且其周边所围的面积非常小。用来将电容 326（328）连接到电源脚上的导线所呈现的阻抗比图 1 所示的情形下的阻抗要小得多，这就增强了电容的效能。此外，所说的回路的面积比前图所示的情形下的面积要小得多，这就意味着回路电感要小得多。因而大大降低了它对，例如外部发生的电磁场的敏感性。如果空间允许的话，滤波电容 326（例如一个安装于表面的器件）可以在封装件的里面连接到两个相关的电源脚上，或者可以组合在电源脚它们本身的内部。

使 V_{cc} 脚最靠近 GND 脚的这种电源脚排列方式的另一个优点，

是减小了电源脚及其相关焊丝的总有效电感。这种减小是由每个电源脚及其相关的焊丝构成的导体中，传导的电流方向，反向平行所造成的。在两个相互平行的导体中，由反向平行的电流所产生的互感使得平行导体的有效电感小于单个导体电感的一半。

还有，所示的集成电路具有两个电源脚 6 和 18 用于电压源 V_{cc} 和两个电源脚 7 和 19 用于电压源 GND 。这时每个电源中传导的电流就只是图 1 所示情形的一半。这就进一步减小了感应电压尖脉冲的幅度。

V_{cc} 脚 6 和 18 以及 GND 脚 7 和 19 最好象图中所看到的那样轴对称安排。相反，如果以镜面对称型排列电源脚，那么，当将集成电路块无意中转到另一方向（图中倒过来的方向）插入电路板中时，就可能导致集成电路毁坏。

正如从图 2 中所看到的那样，输出脚 5、8、17 和 20 位于电源脚邻近。所说的输出脚是伸到外面的端子，而与芯片上的输出缓冲器（未示出）的输出端相连。使输出脚与电源脚相邻的排列方式具有许多优点。第一，由输出脚及其相关的焊丝所构成的电通路长度与由电源连线脚及其相连的焊丝所构成的电通路长度相等或具有同样的数量级，因而，前者的阻抗（电感）同样也低。第二，在芯片 300 的边缘上设置输出缓冲器。由于缓冲器的位置靠近用来连接电源端子和连接输出脚的焊点，因此，只需用芯片上的电源短线（未示出）向缓冲器馈电。电源线短是有益的，尤其对输出缓冲器来说更是如此，由于它们经常开关大电流，因而在相关的电源线上可能会感生电压尖脉冲。如果尽可能地缩短电源线，则其电感将成比例地得以降低。

片选信号的控制脚 10、允许写入信号的控制脚 15 以及允许输

出的控制脚 2 2，按各相关的连线脚序列配置于各个输出脚附近。电源脚 6、7、18、19，输出脚 4、5、8、9、16、17、20、21，以及控制脚 10、15、22 等存储器集成电路中经常出现的连线脚系列形成一个中心部分或者控制核心。另一种集成电路类型，如微控制器因集成电路的特殊应用可能需要安排别的控制脚布置方式。所说的电源脚、输出脚和控制脚集中于一个中心部分，并把芯片分成核心电路和附属电路。这样具有许多优点，首先，集成电路对上面已经讨论过的感应电压尖脉冲的敏感性较小。其次，标准连线脚的中心部分给集成电路的设计者提供了一个起点，这个起点适用于各种布局，并且各种附属电路和由此衍生的电路都能比较容易地连接到该核心电路上。

图 2 中，地址脚 1、2、3、11、12、13、14、23、24 位于控制脚和电源脚的外侧。尤其对存储器的设计者来说，这种核心电路和附属电路的分法具有这样的优点，即不同容量的存储器可以用不易受感应干扰影响的同一核心电路。

图 3 示出了常见的存储器集成电路脚排列方式的一个例子，这种集成电路的管脚沿着其周边设置。集成电路包括一个封装在封装件 5 1 2 中的集成电路芯片 5 0 0，为清楚起见，只画出了封装件 5 1 2 的一部分。芯片 5 0 0 上设有焊点如 5 1 4 和 5 1 6，这些焊点的位置靠近芯片 5 0 0 的边缘。通过焊丝如 5 2 2 和 5 2 4 连接到连线脚如 1 4 和 2 8 上。连线脚 2 8 和 1 4 分别用来接受电压源 V_{cc} 和 GND。连线脚 1、10、15 和 21 未加连接。连线脚 11 - 13 和 16 - 20 是输出脚，连线脚 2 - 9、26 和 27 是地址脚，连线脚 2 2 - 24 是控制脚，用来接受各种给芯片的启动信号，这些都提供了，例

如微处理器系统中存储器扩展的便利。

正如所看到的那样，从减小感应干扰的角度来看，电源脚 1 4 和 2 8 的位置大概不是最佳位置。首先，它们不是可能最短的连线脚，脚 1 和 1 5 就比它们短，但脚 1 和 1 5 是未加连接的。其次，电源脚位于集成电路的对边上。用导线将滤波电容 5 2 6 连接在电源脚 2 8 和 1 4 之间，所用的导线从集成电路的这边到那边跨接相当长的距离。已经参照图 1 的那种集成电路所描述的连线脚排列方式的缺点，同样可加之于图 3 所示的集成电路上。

图 4 示出了集成电路沿周边设置连线脚的排列方式的一个例子。图中示出了一个在封装件 6 1 2 里面的集成电路芯片 6 0 0。这里，VDD 电源脚 1 4 和 2 8 分别与 GND 电源脚 1 5 和 1 相邻。而且，相邻的 VDD 电源脚和 GND 电源脚位于相关的连线脚序列的中央，也就是说，其两侧都排列着其他连线脚，且两侧的其他连线脚的数量基本上相同。滤波电容 6 2 6 和 6 2 8 最好是在表面安装的器件（s、m、d、），并分别连接到电源脚 1 4 和 1 5 及电源脚 1 和 2 8 之间。输出脚 1 2、1 3 和 1 6、1 7 与电源脚 1 4 和 1 5 的排列相邻配置。输出脚 3、2 和 2 7、2 6 与电源脚 1 和 2 8 的排列相邻。连线脚 2 2 - 2 5 指定为控制脚，用于接收各种给芯片的启动信号，连线脚 5 - 1 1、2 0 和 2 2 则定为地址脚。

尽管上面的实施例指的是存储器，但是，同样的连线脚排列方式也能用在其他类型的电路上，例如微控制器上。而且类似的排列方式还能用于包含一个以上的芯片的集成电路块，其连线脚排列方式同样体现本发明的目的，即通过在最靠近芯片的地方将这些电源脚配成对，并使输出连线脚与相应的连线脚排列中的电源脚相邻以减小感应电压尖脉冲。

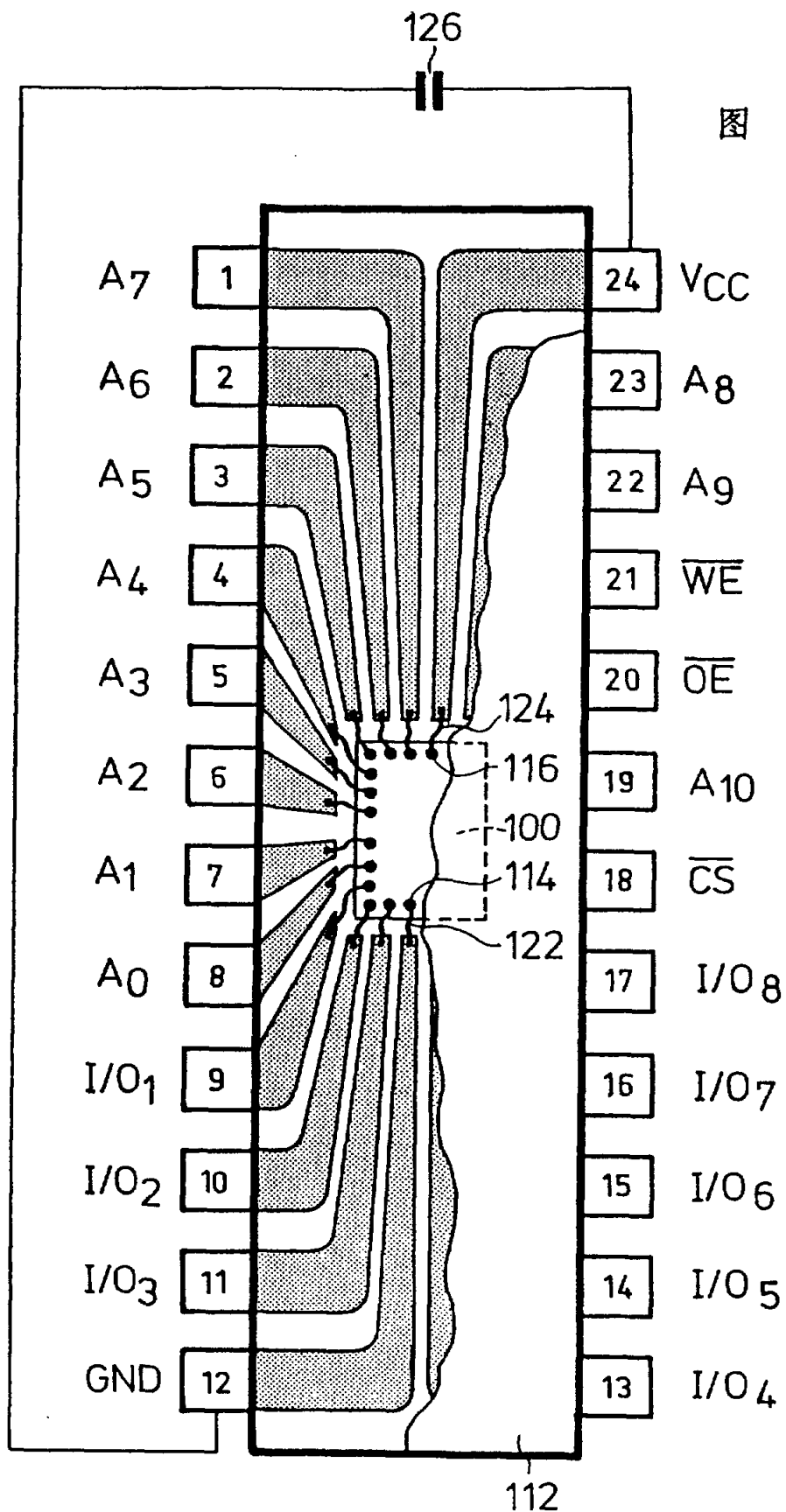


图 1

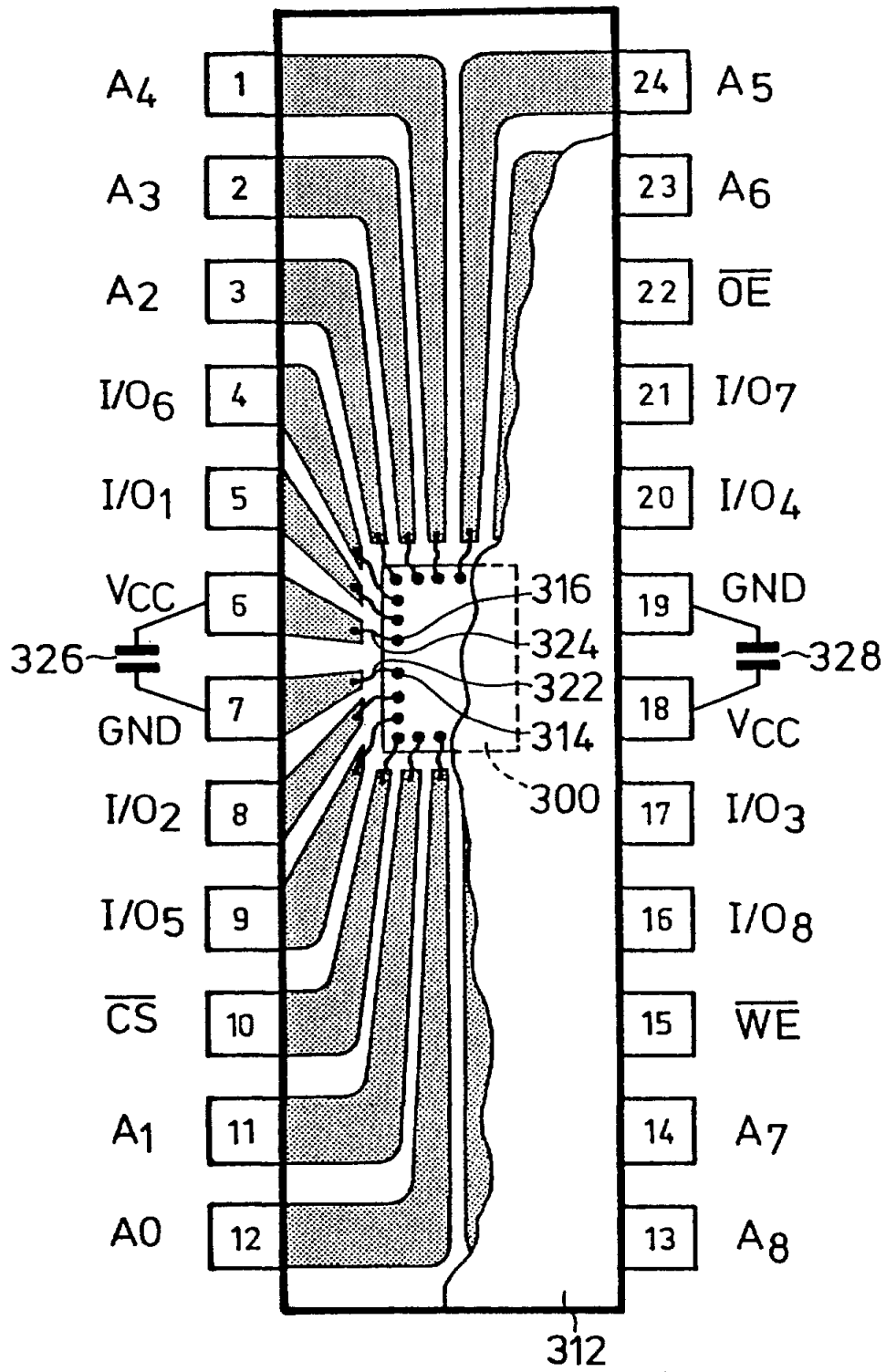


图 2

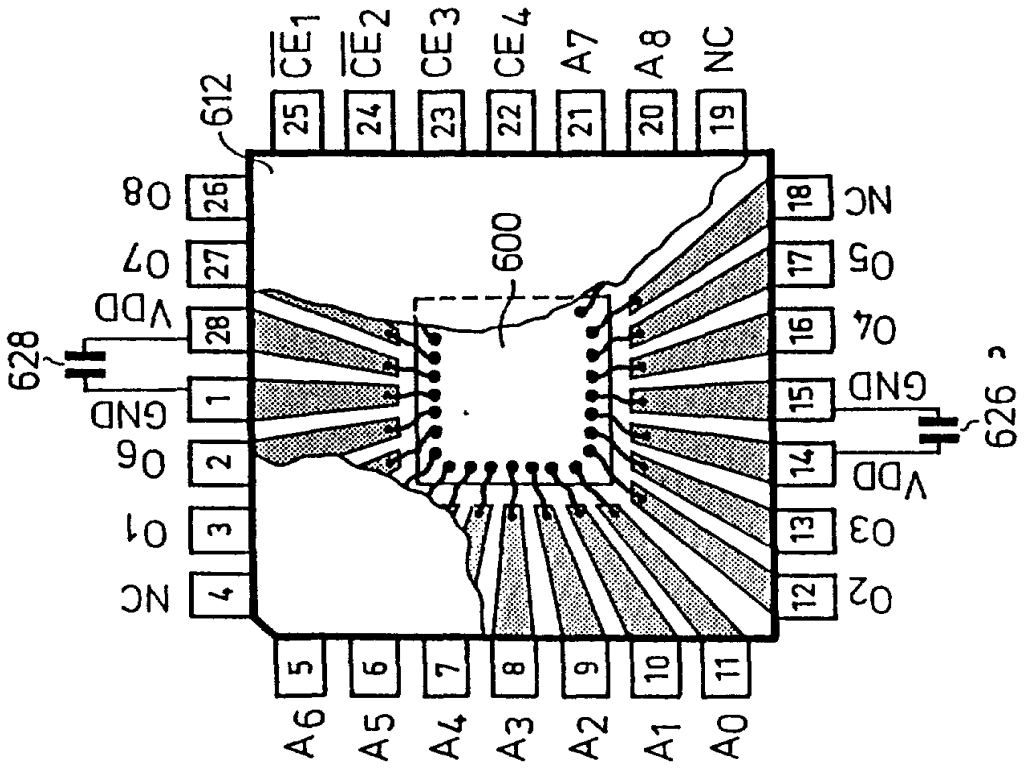


图 3

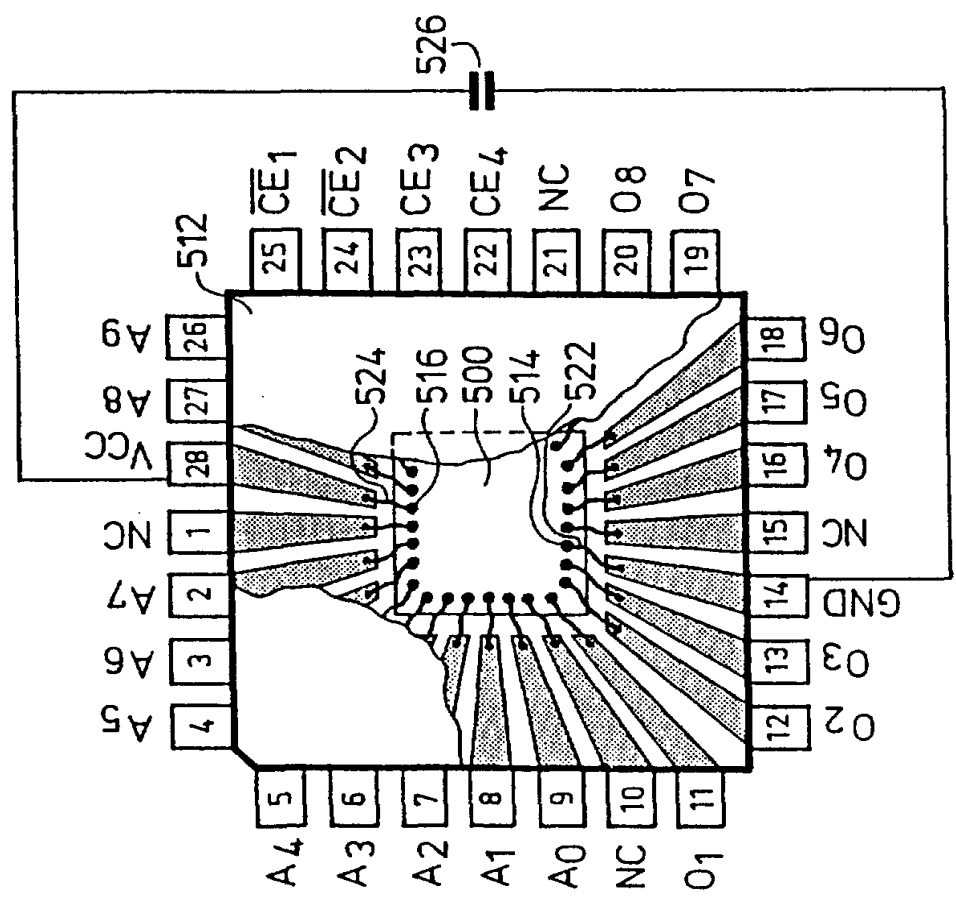


图 4