(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年9 月25 日 (25.09.2008)

PCT

(10) 国際公開番号
WO 2008/114336 A1

(51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/78* (2006.01)
H01L 29/778 (2006.01) *H01L 29/812* (2006.01)

(21) 国際出願番号: PCT/JP2007/053198

(22) 国際出願日: 2007 年2 月21 日 (21.02.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-039956 2007 年2 月20 日 (20.02.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 古河電気工業株式会社 (THE FURUKAWA ELECTRIC CO., LTD.) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目２番３号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐藤 義浩 (SATO, Yoshihiro) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目２番３号 古河電気工業株式会社内 Tokyo (JP). 加藤 禎宏 (KATO, Sadahiro) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目２番３号 古河電気工業株式会社内 Tokyo (JP). 吉田 清輝 (YOSHIDA, Seikoh) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目２番３号 古河電気工業株式会社内 Tokyo (JP).

(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目２番５号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

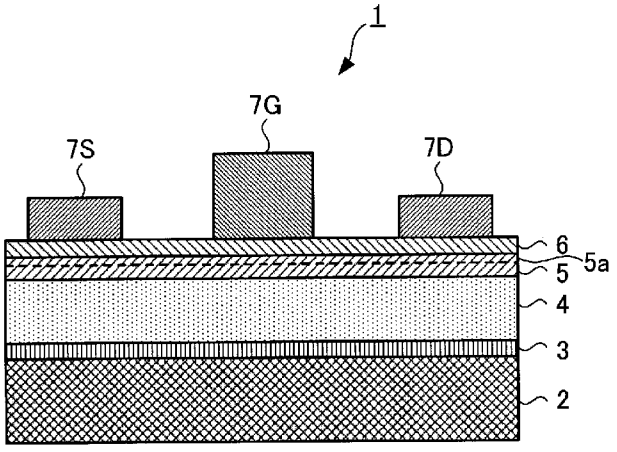
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子

[図1]



(57) Abstract: A buffer layer is made to have a high resistance without deteriorating current collapse and a leak current generated in the buffer layer is reduced. An HEMT (1) has a low temperature buffer layer (3), a buffer layer (4), an electron travel layer (5) and an electron supply layer (6) composed, respectively, of a GaN based compound semiconductor and formed in this order on a substrate (2). A source electrode (7S), a gate electrode (7G) and a drain electrode (7D) are provided on the electron supply layer (6). Dislocation density of the buffer layer (4) has such a value as the volume resistivity for the dislocation density approaches a maximalvalue. The half peak width of an X-ray rocking curve for the (102) face of the buffer layer (4) has such a value as the volume resistivity for this half peak width approaches a maximal value.

(57) 要約: 電流コラプスを悪化させることなくバッファ層を高抵抗化し、バッファ層中に発生するリーク電流を低減させること。ＨＥＭＴ１は、基板２上に、それぞれＧａＮ系化合物半導体からなる低温バッファ層３、バッファ層４、電子走

[続葉有]

WO 2008/114336 A1

DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

行層５および電子供給層６を、この順に積層して有し、電子供給層６上には、ソース電極７Ｓ、ゲート電極７Ｇおよびドレイン電極７Ｄを備える。バッファ層４の転位密度は、転位密度に対する体積抵抗率が極大値近傍となる密度値を有する。また、バッファ層４の（１０２）面に対するＸ線ロッキングカーブの半値幅は、この半値幅に対する体積抵抗率が極大値近傍となる幅値を有する。

明 細 書

半導体素子

技術分野

[0001] 本発明は、基板上にバッファ層を介して積層された化合物半導体層を備える半導体素子に関するものである。

背景技術

[0002] 化合物半導体を用いて形成された半導体素子は、直接遷移性等、化合物半導体材料が本質的に有する特性から、高耐圧素子、高速素子として有望な電子素子である。かかる半導体素子として、近年、電界効果トランジスタ(FET:Field Effect Transistor)の一種である、窒化物系化合物半導体を用いて形成された高電子移動度トランジスタ(HEMT:High Electron Mobility Transistor)が注目を集めており、種々のHEMTが提案されている。

[0003] 図15は、窒化物系化合物半導体としてGaN系化合物半導体を用いて形成された、従来技術にかかるHEMTの一例を示す断面図である。図15に示すHEMT11では、サファイア基板等の基板12上に、低温形成したGaNからなる低温バッファ層13と、GaNからなるバッファ層14と、GaNからなる電子走行層15と、AlGaNからなる電子供給層16とがこの順に積層され、ヘテロ接合構造が形成されている。電子供給層16上には、ソース電極17S、ゲート電極17Gおよびドレイン電極17Dが配設されている。なお、ソース電極17Sおよびドレイン電極17Dと、電子供給層16との間には、各層間のコンタクト抵抗を低減させるための図示しないn－GaNからなるコンタクト層が形成されている。

[0004] かかる構成のHEMT11では、電子走行層15と電子供給層16とのヘテロ接合界面直下に形成される2次元電子ガス15aがキャリアとして利用される。ソース電極17Sとドレイン電極17Dとを作動させた場合、電子走行層15に供給された電子が2次元電子ガス層15a中を高速走行してドレイン電極17Dまで移動する。このとき、ゲート電極17Gに加える電圧を制御してゲート電極17G直下の空乏層の厚さを変化させることによって、ソース電極17Sからドレイン電極17Dへ移動する電子、すなわちドレイン

電流を制御することができる。

[0005] ところで、GaN等の窒化物系化合物半導体を用いたHEMT等の半導体素子では、バッファ層中のリーク電流の発生を抑制するなどの目的で、一般にバッファ層を高抵抗化する必要がある。バッファ層が高抵抗化されていない場合、例えば図15に示したHEMT11では、ゲート電極17G直下の空乏層を拡大させてドレイン電流をオフしようとしても、バッファ層14や低温バッファ層13にリーク電流が流れるため、完全にオフすることができないという問題が生じる。これに対して、従来、バッファ層を高抵抗化する方法が提案されている(例えば、特許文献1および2を参照。)。特許文献1および2では、GaNからなるバッファ層にZn、Mg等の不純物をドーピングして高抵抗化する方法が開示されている。

[0006] 特許文献1:特開2002－57158号公報

特許文献2:特開2003－197643号公報

発明の開示

発明が解決しようとする課題

[0007] しかしながら、不純物をドーピングして高抵抗化したバッファ層を有するHEMT等の半導体素子では、出力電流にかかる電気特性が時間変化する現象である電流コラプスの発生が顕著になるという問題があった。この電流コラプスは、半導体素子に電流を流した際に、ドーピングされた不純物のうち活性化していなかった一部の不純物が帯電し、2次元電子ガス層中の電子の移動が妨げられることによって発生するものと推測される。

[0008] 一方、MISFET(Metal Insulator Semiconductor FET)およびMOSFET(Metal Oxide Semiconductor FET)等、絶縁ゲートを有した電化効果トランジスタでは、GaN系化合物半導体にZn、Mg等のp型不純物を添加する場合、その不純物濃度に応じてバッファ層を高抵抗化し、素子を高耐圧化できるものの、高耐圧化にともなってしきい値電圧を増大させることとなり、電界効果トランジスタの制御性を低下させるという問題があった。

[0009] 本発明は、上記に鑑みてなされたものであって、電流コラプスを悪化させることなくバッファ層を高抵抗化し、バッファ層中に発生するリーク電流を低減させた半導体素

子を提供することを目的とする。

[0010] また、本発明は、しきい値電圧を増大させることなく素子を高耐圧化することができる半導体素子を提供することを目的とする。

課題を解決するための手段

[0011] 上述した課題を解決し、目的を達成するために、本発明にかかる半導体素子は、基板上にバッファ層を介して積層された化合物半導体層を備える半導体素子において、前記バッファ層内にあって該バッファ層の積層面に平行な所定面内の転位密度は、該転位密度に対する前記バッファ層の体積抵抗率が極大値近傍となる密度値であることを特徴とする。

[0012] また、本発明にかかる半導体素子は、上記の発明において、前記転位密度は、$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下であることを特徴とする。

[0013] また、本発明にかかる半導体素子は、基板上にバッファ層を介して積層された化合物半導体層を備える半導体素子において、前記バッファ層の(102)面に対するX線ロッキングカーブの半値幅は、該半値幅に対する前記バッファ層の体積抵抗率が極大値近傍となる幅値であることを特徴とする。

[0014] また、本発明にかかる半導体素子は、上記の発明において、前記半値幅は、300秒以上、2700秒以下であることを特徴とする。

[0015] また、本発明にかかる半導体素子は、上記の発明において、前記バッファ層の(002)面に対するX線ロッキングカーブの半値幅を基準とした、前記バッファ層の(102)面に対するX線ロッキングカーブの半値幅比は、1.2以上であることを特徴とする。

[0016] また、本発明にかかる半導体素子は、上記の発明において、前記転位密度を基準とした前記バッファ層のらせん転位密度比は、0.12以下であることを特徴とする。

[0017] また、本発明にかかる半導体素子は、上記の発明において、前記基板と前記バッファ層との間に、580℃以上、620℃以下の成長温度で形成された低温バッファ層を備えることを特徴とする。

[0018] また、本発明にかかる半導体素子は、上記の発明において、前記バッファ層は、窒化物系化合物半導体を用いて形成された第1の層と、該第1の層よりもAl組成が高い窒化物形化合物半導体を用いて形成された第2の層とが積層された複合層を含

むことを特徴とする。

[0019] また、本発明にかかる半導体素子は、上記の発明において、前記化合物半導体層は、窒化物系化合物半導体を用いて形成されることを特徴とする。

[0020] また、本発明にかかる半導体素子は、上記の発明において、当該半導体素子は、ダイオードまたは電界効果トランジスタであることを特徴とする。

発明の効果

[0021] 本発明にかかる半導体素子によれば、電流コラプスを悪化させることなくバッファ層を高抵抗化し、バッファ層中に発生するリーク電流を低減させることができる。

[0022] また、本発明にかかる半導体素子によれば、しきい値電圧を増大させることなく素子を高耐圧化することができる。

図面の簡単な説明

[0023] [図1]図1は、本発明の実施の形態1にかかる半導体素子の構成を示す断面図である。

[図2]図2は、バッファ層の転位密度と体積抵抗率との対応関係を示すグラフである。

[図3]図3は、バッファ層の(102)半値全幅と体積抵抗率との対応関係を示すグラフである。

[図4-1]図4－1は、六方晶におけるミラー指数(102)の結晶面を示す図である。

[図4-2]図4－2は、六方晶におけるミラー指数(002)の結晶面を示す図である。

[図5-1]図5－1は、バッファ層に形成される貫通転位の構造を説明する斜視図である。

[図5-2]図5－2は、バッファ層に形成される貫通転位の構造を説明する正面図である。

[図5-3]図5－3は、バッファ層に形成される貫通転位の構造を説明する平面図である。

[図6]図6は、バッファ層の(102)／(002)半値幅比と体積抵抗率との対応関係を示すグラフである。

[図7]図7は、図6に示した結果の数値データを示す図である。

[図8]図8は、バッファ層のらせん転位密度比と体積抵抗率との対応関係を示すグラ

フである。

[図9]図9は、バッファ層の転位密度と耐圧との対応関係を示すグラフである。

[図10]図10は、バッファ層の(102)半値全幅と耐圧との対応関係を示すグラフである。

[図11]図11は、バッファ層のらせん転位密度比と耐圧との対応関係を示すグラフである。

[図12]図12は、バッファ層の成長時圧力と転位密度との対応関係を示すグラフである。

[図13]図13は、バッファ層の成長時圧力と(102)半値全幅との対応関係を示すグラフである。

[図14]図14は、低温バッファ層の成長温度とバッファ層のらせん転位密度比との対応関係を示すグラフである。

[図15]図15は、従来技術にかかる半導体素子の構成を示す断面図である。

[図16]図16は、本発明の実施の形態2にかかる半導体素子の構成を示す断面図である。

[図17]図17は、バッファ層の転位密度に対するしきい値電圧の関係を示すグラフである。

[図18]図18は、バッファ層のMg濃度に対するしきい値電圧の関係を示すグラフである。

符号の説明

[0024] 1 HEMT

2, 12 基板

3, 13 低温バッファ層

4, 14 バッファ層

5, 15 電子走行層

5a, 15a 2次元電子ガス層

6, 16 電子供給層

7D ドレイン電極

7G　ゲート電極

7S　ソース電極

21　基板

22, 23　バッファ層

24　半導体動作層

24a　チャネル層

24b　リサーフ層

24c, 24d　コンタクト層

24e　反転層

25D　ドレイン電極

25G　絶縁ゲート

25Ga　ゲート絶縁膜

25Gb　ゲート電極

25S　ソース電極

30　複合層

31　第1の層

32　第2の層

100　電界効果トランジスタ

HX, H1～H7　六方晶

発明を実施するための最良の形態

[0025] 以下、添付図面を参照して、本発明にかかる半導体素子の好適な実施の形態を詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。また、図面の記載において、同一部分には同一の符号を付している。

[0026] (実施の形態1)

図1は、本実施の形態1にかかる半導体素子としてのHEMT1の構成を示す断面図である。図1に示すように、HEMT1は、サファイア基板等の基板2上に、バッファ層を介して積層された化合物半導体層を備える。具体的には、基板2上に、低温形成したGaNからなる低温バッファ層3と、GaNからなるバッファ層4と、GaNからなる

電子走行層5と、$Al_{0.3}Ga_{0.7}N$からなる電子供給層6とを、この順に積層して形成されたヘテロ接合構造を有する。

[0027] また、HEMT1は、電子供給層6上にソース電極7S、ゲート電極7Gおよびドレイン電極7Dを備える。オーミック電極としてのソース電極7Sおよびドレイン電極7Dは、電子供給層6上にTi, Al, Auをこの順に積層して形成され、ショットキー電極としてのゲート電極7Gは、電子供給層6上にPt, Auをこの順に積層して形成されている。

[0028] かかる構成のHEMT1では、電子供給層6は電子走行層5に比べてバンドギャップエネルギーが大きく、この2つの層のヘテロ接合界面直下に2次元電子ガス層5aが形成され、この2次元電子ガス層5aがキャリアとして利用される。すなわち、ソース電極7Sとドレイン電極7Dとを作動させた場合、電子走行層5に供給された電子が2次元電子ガス層5a中を高速走行してドレイン電極7Dまで移動する。このとき、ゲート電極7Gに加える電圧を制御してゲート電極7G直下の空乏層の厚さを変化させることによって、ソース電極7Sからドレイン電極7Dへ移動する電子、すなわちドレイン電流を制御することができる。

[0029] ここで、HEMT1が備えるバッファ層4について説明する。バッファ層4は、内部に発生するリーク電流を低減するように高抵抗化して形成されている。このバッファ層4の形成にあたって、本発明者らは、まずバッファ層4内の、積層面に垂直な積層面垂直方向の結晶性を維持したまま、積層面に平行な積層面平行方向の結晶性を悪くすることによって、少なくとも積層面に沿った方向にバッファ層4を高抵抗化することが可能であるものと考察した。そして具体的に、バッファ層4を積層方向に貫通する貫通転位の量を制御することによって、かかる結晶性を得ることが可能であるという推測のもと、バッファ層4の貫通転位量と体積抵抗率との対応関係の導出を行った。

[0030] そこで第1に、本発明者らは、バッファ層4の貫通転位量を示す指標値として、バッファ層4内にあってバッファ層4の積層面に平行な所定面内の転位密度を用い、この転位密度と体積抵抗率との対応関係を実測して導出した。図2は、この導出結果を示すグラフである。

[0031] 図2に示す結果から、本発明者らは、バッファ層4の体積抵抗率が転位密度の変化に対して極大値を有するとともに、この転位密度を体積抵抗率の極大値近傍に対応

する密度値とすることによって、バッファ層4を高抵抗化できることを見出した。また、具体的には、バッファ層4の転位密度が、$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下であることが望ましいことを見出した。バッファ層4の転位密度がこの範囲内である場合、体積抵抗率は約$1.0\times10^{5}\Omega cm$以上の高抵抗となる。

[0032] バッファ層4の転位密度は、例えば、バッファ層4をPlan-View法によってTEM(Transmission Electron Microscope)観察した際に黒点として示される転位を計数して求めることができる。この場合、バッファ層4は、イオンミリング装置等によって厚さ0.1μm程度以下に薄厚化加工して成形される。この成形された厚さは、バッファ層4のもとの層厚に比して十分に薄く、TEM観察により得られる転位密度は、バッファ層4の所定面内における転位密度を示すものと考えて差し支えない。なお、この所定面は、バッファ層4と電子走行層5との境界面近傍にあることが好ましく、したがって、TEM観察に用いる試料は、バッファ層4と電子走行層5との境界面近傍部分を加工して成形したものであることが好ましい。

[0033] そして第2に、本発明者らは、バッファ層4の貫通転位量を示す指標値として、バッファ層4の(102)面に対するX線ロッキングカーブの半値幅を用い、この半値幅としての半値全幅と体積抵抗率との対応関係を実測して導出した。図3は、この導出結果を示すグラフである。

[0034] 図3に示す結果から、本発明者らは、バッファ層4の体積抵抗率が、(102)面に対するX線ロッキングカーブの半値全幅(以下、(102)半値全幅と称す。)の変化に対して極大値を有するとともに、この(102)半値全幅を体積抵抗率の極大値近傍に対応する幅値とすることによって、バッファ層4を高抵抗化できることを見出した。また、具体的には、バッファ層4の(102)半値全幅が、300秒(arcsec)以上、2700秒以下であることが望ましいことを見出した。バッファ層4の(102)半値全幅がこの範囲内である場合、体積抵抗率は約$1.0\times10^{5}\Omega cm$以上の高抵抗となる。

[0035] ここでバッファ層4の(102)面とは、バッファ層4を形成するGaNの単位格子である六方晶におけるミラー指数(102)の結晶面であって、図4－1に示す六方晶HXにおける結晶面M102に相当する。また、(102)面に対するX線ロッキングカーブとは、(102)面に対するX線回折によって得られるロッキングカーブを意味する。図3に示し

た(102)半値全幅の値は、CuのKα線(波長λ＝1．54Å)を用いたX線回折によるロッキングカーブの半値全幅を示している。なお、ロッキングカーブを取得する際に使用するX線は、CuのKα線に限定して解釈する必要はなく、MoのKα線等、他のX線であってもよい。

[0036] ところで、バッファ層4に形成される貫通転位は、大きく2種類に分類され、すなわち積層面垂直方向に形成される垂直貫通転位(もしくは、刃状転位と称す。)と、積層面垂直方向から傾斜して形成される傾斜貫通転位(もしくは、らせん転位と称す。)とに分類される。図5－1～5－3は、これらの貫通転位の構造を説明する模式図である。図5－1は、GaNからなるバッファ層4の結晶構造の一部を示す斜視図であり、図5－2は、図5－1に示す結晶構造の正面図であり、図5－3は、図5－1に示す結晶構造の平面図である。なお、図5－1～5－3では、実際には厚さ方向(図中z方向)に積層構造を有する六方晶系のうち1層のみを示している。

[0037] GaNからなるバッファ層4では、理想的には、単位格子としての各六方晶が互いに密接し規則的に配列されたハニカム構造が形成される。しかし一般には、結晶内の応力等によって歪みが発生して格子配列にずれが生じる。格子配列のずれは、六方晶の中軸であるc軸のタオレによるずれと、c軸まわりの回転によるずれの2種類に大別さる。c軸のタオレによるずれが生じた場合、積層面垂直方向に対して傾斜して結晶方位がずれ、c軸まわりの回転によるずれが生じた場合、積層面垂直方向を軸とした回転方向の結晶のずれが形成される。そして、これらのずれが六方晶系の積層方向、すなわちバッファ層4の層厚方向に引き継がれた形として、それぞれ傾斜貫通転位、垂直貫通転位が形成される。

[0038] 具体的には、例えば図5－1～5－3に示すように、c軸C2のc軸C3に対する－y方向へのタオレによって、六方晶H2と六方晶H1，H3との間には、積層面垂直方向であるz方向に対して傾斜したずれDtが形成される。また、c軸C4まわりの回転によって六方晶H4と六方晶H1，H3との間には、z方向に沿ったずれDrが形成される。そして、ずれDtが六方晶系の積層方向に引き継がれた形として傾斜貫通転位が形成され、ずれDrが積層方向に引き継がれた形として垂直貫通転位が形成される。

[0039] 本発明者らは、かかる垂直貫通転位と傾斜貫通転位とに着目し、垂直貫通転位量

を傾斜貫通転位量に比して大きくし、好ましくはバッファ層4における貫通転位の多くを垂直貫通転位で構成することによって、バッファ層4を積層面平行方向に、より高抵抗化することができるという推測のもと、垂直貫通転位量と体積抵抗率との対応関係を導出した。

[0040] まず、図6および図7は、バッファ層4の垂直貫通転位量を示す指標値として、バッファ層4の(002)面に対するX線ロッキングカーブの半値幅を基準とした、バッファ層4の(102)面に対するX線ロッキングカーブの半値幅比(以下、(102)／(002)半値幅比と称す。)を用い、この(102)／(002)半値幅比と体積抵抗率との対応関係を実測して導出した結果を示すグラフおよびその数値データを示す表である。これらの図に示す結果から、本発明者らは、(102)／(002)半値幅比を1．2以上とすることによって、バッファ層4の体積抵抗率を約1．0×10^5Ωcm以上の高抵抗にすることが可能であることを見出した。

[0041] ここでバッファ層4の(002)面とは、(102)面と同様に、GaNの六方晶におけるミラー指数(002)の結晶面であって、図4－2に示す六方晶HXにおける結晶面M002に相当する。そして、(002)面に対するX線ロッキングカーブの半値幅(以下、(002)半値幅と称す。)は、積層面に平行な(002)面に対するX線回折によって得られるロッキングカーブであって、積層面から傾斜した結晶面の量、すなわち傾斜貫通転位量を反映した指標値である。

[0042] また、積層面から傾斜した(102)面に対するX線ロッキングカーブの半値幅(以下、(102)半値幅と称す。)は、積層面から傾斜した結晶面と積層面に垂直な結晶面との量、すなわち傾斜貫通転位と垂直貫通転位との両方の貫通転位量を反映した指標値であると考えられる。これより、(102)半値幅を(002)半値幅で除算した(102)／(002)半値幅比は、垂直貫通転位量を示す指標値となり得るものと考えられる。

[0043] なお、図6および図7に示す各データは、いずれもバッファ層4の転位密度が、図1に示した結果から見出した2．0×$10^8$$cm^{-2}$以上、7．0×$10^{10}$$cm^{-2}$以下の範囲にあるとともに、(102)半値全幅が、図2に示した結果から見出した300秒以上、2700秒以下の範囲にある。バッファ層4の転位密度および(102)半値全幅がかかる範囲に含まれていない場合には、(102)／(002)半値幅比が1．2以上であっても、バッファ

層4の体積抵抗率を約1．0×10^5Ωcm以上の高抵抗とすることは困難である。

[0044] また逆に、バッファ層4の転位密度が、2．0×$10^8$$cm^{-2}$以上、7．0×$10^{10}$$cm^{-2}$以下であり、(102)半値全幅が、300秒以上、2700秒以下の範囲にあっても、(102)／(002)半値幅比が1．2以上でない場合には、バッファ層4の体積抵抗率を約1．0×10^5Ωcm以上の高抵抗とすることは困難である。例えば、本発明者らは、転位密度がともに1．0×$10^9$$cm^{-2}$であって、(102)／(002)半値幅比が2．304と1．067との場合に、それぞれ体積抵抗率が1．81×10^{10}Ωcmと4．53×10^2Ωcmとになる結果を得ている。

[0045] つぎに、バッファ層4の垂直貫通転位量を示す指標値として、全転位密度を基準とした、バッファ層4のらせん転位密度比を用い、らせん転位密度比と体積低効率との対応関係を実測して導出した。図8は、その導出結果を示すグラフである。これより、本発明者らは、らせん転位密度比を0．12以下にすることによって、バッファ層4の体積低効率を約1．0×10^5Ωcm以上の高抵抗にすることが可能であることを見出した。

[0046] ここで、全転位密度は、上述したPlan-View法でTEM観察して計測される転位密度であり、垂直貫通転位と傾斜貫通転位、つまり刃状転位とらせん転位とを合わせた全転位の転位密度を示す。また、らせん転位密度は、[0002]励起の暗視野法でTEM観察して計測される転位密度である。らせん転位密度比は、これら各転位密度の比を演算して求められるものであって、垂直貫通転位量を示す指標値となり得るものと考えられる。

[0047] 一方、刃状転位密度は、[11－20]励起の暗視野法でTEM観察して計測することができる。これにより、例えば、刃状転位密度と全転位密度との比を演算して得られる刃状転位密度比を、垂直貫通転位量を示す指標値として用いることもできる。また、らせん転位密度と刃状転位密度との比を演算して得られるらせん／刃状転位密度比を、同様に指標値として用いてもよい。本発明者らは、らせん／刃状転位密度比を0．20以下にすることによって、バッファ層4を高耐圧化できることを見出している。

[0048] なお、図8に示す各データは、いずれもバッファ層4の転位密度が、図1に示した結果から見出した2．0×$10^8$$cm^{-2}$以上、7．0×$10^{10}$$cm^{-2}$以下の範囲にあるとともに、(1

02）半値全幅が、図2に示した結果から見出した300秒以上、2700秒以下の範囲にある。また、（102）／（002）半値幅比が、図6および図7に示した結果から見出した1．2以上の範囲にある。

[0049] 以上のことから、本実施の形態1にかかるHEMT1が備えるバッファ層4は、転位密度と体積抵抗率との対応関係における体積抵抗率が極大値近傍となる転位密度を有するように形成され、具体的には、転位密度が$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下となるように形成されている。また、バッファ層4は、（102）面に対するX線ロッキングカーブの半値幅と体積抵抗率との対応関係における体積抵抗率が極大値近傍となる該半値幅を有するように形成され、具体的には、（102）半値全幅が300秒以上、2700秒以下となるように形成されている。さらに、バッファ層4は、（102）／（002）半値幅比が1．2以上となるように形成され、らせん転位密度比が0．12以下となるように形成されている。そして、この結果、バッファ層4の体積抵抗率は、約$1.0\times10^{5}\Omega cm$以上の高抵抗とされている。

[0050] このように形成されたバッファ層4は、高抵抗化とともに高耐圧化が実現できるという効果を奏する。図9および図10は、それぞれバッファ層4の転位密度と耐圧との対応関係、およびバッファ層4の（102）半値全幅と耐圧との対応関係を実測して導出した結果を示すグラフである。また、図11は、バッファ層4のらせん転位密度比と耐圧との対応関係を実測して導出した結果を示すグラフである。

[0051] 図9に示す結果から、バッファ層4の転位密度が上述した$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下である場合に、耐圧が約400V以上となることがわかる。また、図10に示す結果から、バッファ層4の（102）半値全幅が上述した300秒以上、2700秒以下である場合に、耐圧が約400V以上となることがわかる。さらに、図11に示す結果から、バッファ層4のらせん転位密度比が上述した0．12以下である場合に、耐圧が400V以上となることがわかる。なお、図9～図11に示す耐圧は、ピンチオフ状態でソース電極7Sとドレイン電極7Dとの間に電圧を印加し、HEMT1を破壊する電圧値として示している。

[0052] 一般に、耐圧とは、電源電圧に応じて要求される値であって、例えば100Vや120Vの交流電源では、電圧変動を1．1倍まで考慮して、それぞれ310V、375Vの耐圧

が要求される。これに対して、400V以上の耐圧を有するバッファ層4は、十分な耐圧特性を有するものといえる。

[0053] 一方、例えば230Vの電源電圧に対して750Vの耐圧が要求される場合がある。このように、より高耐圧性が要求される場合には、バッファ層4をより高耐圧化できるように、転位密度と耐圧との対応関係における耐圧が極大値近傍となる転位密度を有するようにバッファ層4を形成することが好ましく、具体的には、転位密度を$1.0\times10^{9}cm^{-2}$以上、$2.0\times10^{10}cm^{-2}$以下とすることが好ましい。また、(102)半値全幅と耐圧との対応関係における耐圧が極大値近傍となる(102)半値全幅を有するようにバッファ層4を形成することが好ましく、具体的には、(102)半値全幅を800秒以上、1800秒以下とすることが好ましい。さらに、らせん転位密度比が0.08以下となるようにバッファ層4を形成することが好ましい。このように形成することによって、バッファ層4は、約800V以上の高耐圧を有することができる。

[0054] ここで、HEMT1の製造工程について説明する。HEMT1は、基板2上に、MOCVD(Metal Organic Chemical Vapor Deposition)法によって窒化物系化合物半導体層を積層して形成される。具体的には、まず、サファイア基板等の基板2を設置したMOCVD装置内に、化合物半導体の原料となるトリメチルガリウム(TMGa)とアンモニア(NH_3)とを、それぞれ14μmol/min、12l/minの流量で導入し、成長温度580～620℃で、層厚40nmのGaNからなる低温バッファ層3を基板2上にエピタキシャル成長させる。つぎに、TMGaとNH_3とを、それぞれ58μmol/min、12l/minの流量で導入し、成長温度1050℃で、層厚3000nmのGaNからなるバッファ層4を低温バッファ層3上にエピタキシャル成長させる。

[0055] つづいて、TMGaとNH_3とを、それぞれ19μmol/min、12l/minの流量で導入し、成長温度1050℃で、層厚50nmのGaNからなる電子走行層5をバッファ層4上にエピタキシャル成長させる。さらに、トリメチルアルミニウム(TMAl)とTMGaとNH_3とを、それぞれ100μmol/min、19μmol/min、12l/minの流量で導入し、成長温度1050℃で、層厚30nmの$Al_{0.3}Ga_{0.7}N$からなる電子供給層6を電子走行層5上にエピタキシャル成長させる。なお、これら各層の形成工程におけるTMAl、TMGa、NH_3の導入では、100%水素がキャリアガスとして用いられる。

[0056] つぎに、フォトリソグラフィを利用したパターンニングによって、電子供給層6上にSiO_2膜からなるマスクを形成するとともに、ソース電極7Sおよびドレイン電極7Dを形成すべき領域に各電極形状に対応した開口部を形成する。そして、この開口部にTi、AlおよびAuをこの順に蒸着して、ソース電極7Sおよびドレイン電極7Dを形成する。その後、電子供給層6上のマスクを一旦除去し、再び電子供給層6上にSiO_2膜からなるマスクを形成するとともに、ゲート電極7Gを形成すべき領域にゲート電極形状に対応した開口部を形成する。そして、この開口部にPtおよびAuをこの順に蒸着して、ゲート電極7Gを形成する。

[0057] かかるHEMT1の製造工程におけるバッファ層4の形成工程では、転位密度と(102)半値全幅とがそれぞれ上述した所望の範囲内の値となるように、さらに成長時圧力が制御される。図12および図13は、それぞれ成長時圧力と転位密度との対応関係、および成長時圧力と(102)半値全幅との対応関係を実測して導出した結果を示すグラフである。図12および図13に示す結果から、バッファ層4の成長時圧力を低減することによって、転位密度および(102)半値全幅が増加することがわかる。バッファ層4の形成工程では、この特性を利用し、成長時圧力を制御することによって、バッファ層4の転位密度と(102)半値全幅とを制御するようにしている。なお、バッファ層4の成長時圧力は、100Torr以下とすることが好ましい。

[0058] また、本発明者らは、低温バッファ層3の形成工程における成長温度をより高くすることによって、バッファ層4の(002)半値幅を増加させることが可能であることを見出し、具体的には、低温バッファ層3の成長温度を550℃から600℃に変更して、(002)半値幅を283秒から564秒に増加した結果を得ている。すなわち、HEMT1の製造工程では、この特性を利用し、低温バッファ層3の成長温度を制御することによって、バッファ層4の(102)／(002)半値幅比を制御することができる。

[0059] さらに、本発明者らは、図14に示すように、低温バッファ層3の成長温度と、バッファ層4のらせん転位密度比との対応関係を実測して導出した結果を得ている。この図に示す結果から、低温バッファ層3の成長温度を制御し、約580℃以上、620℃以下の成長温度で低温バッファ層3を形成することによって、バッファ層4のらせん転位密度比を0．12以下にできることがわかる。

[0060] 以上説明したように、本実施の形態1にかかるHEMT1では、バッファ層4の転位密度を、転位密度に対する体積抵抗率が極大値近傍となる密度値とし、具体的には2.0×$10^{8}$$cm^{-2}$以上、7.0×$10^{10}$$cm^{-2}$以下としている。また、バッファ層4の(102)面に対するX線ロッキングカーブの半値幅を、この半値幅に対する体積抵抗率が極大値となる幅値とし、具体的には、(102)半値全幅を300秒以上、2700秒以下としている。さらに、バッファ層4の(102)／(002)半値幅比を1.2以上とし、らせん転位密度比を0.12以下としている。これによって、HEMT1では、電流コラプスを悪化させることなくバッファ層4を高抵抗化することができ、バッファ層4中に発生するリーク電流を低減することができる。また、高抵抗化とともに高耐圧化を実現することもできる。

[0061] なお、HEMT1では、そもそも電流コラプスの発生を防止するため、各化合物半導体層の不純物濃度を極力低減することが望ましく、例えば、SIMS(Secondary Ion Mass Spectroscopy)による検出限界値以下とすることが好ましい。

[0062] ところで、上述した実施の形態1では、本発明にかかる半導体素子として、FETの一種であるHEMTについて説明したが、HEMTに限定して解釈する必要はなく、MISFET(Metal Insulator Semiconductor FET)、MOSFET(Metal Oxide Semiconductor FET)、MESFET(Metal Semiconductor FET)等、種々のFETに対して本発明は適用可能である。

[0063] また、FET以外にも、ショットキーダイオード等、各種ダイオードに対して本発明は適用可能である。本発明を適用したダイオードとして、例えば、HEMT1が備えたソース電極7S、ドレイン電極7Dおよびゲート電極7Dに替えて、カソード電極およびアノード電極を形成したダイオードが実現できる。

[0064] なお、上述した実施の形態1では、本発明にかかる半導体素子が、窒化物系化合物半導体、特にGaN系化合物半導体を用いて形成された化合物半導体層を備えるものとして説明したが、窒化物系およびGaN系に限定して解釈する必要はなく、他の化合物半導体を用いて形成された化合物半導体層を備える半導体素子に対しても、本発明は適用可能である。

[0065] また、上述した実施の形態1では、バッファ層4がGaNを用いて形成されるものとして説明したが、この他、AlGaN、InGaN等を用いて形成することもできる。さらに、上

述した実施の形態1では、基板2としてサファイア基板等が用いられるものとして説明したが、より具体的には、サファイア基板の他、例えばSi基板またはSiC基板を用いることができる。

[0066] (実施の形態2)

図16は、本発明の実施の形態2にかかる半導体素子としての電界効果トランジスタ100の構成を示す断面図である。この図に示すように、電界効果トランジスタ100は、例えばSi、サファイア、SiCまたはZnOからなる基板21上に、窒化物系化合物半導体を用いて形成されたバッファ層22, 23および半導体動作層24が順次積層され、その上にソース電極25S、ドレイン電極25D、絶縁ゲート25Gが形成されている。

[0067] バッファ層22は、AlNによって形成され、層厚が40nmとされている。バッファ層23は、窒化物系化合物半導体を用いて形成された第1の層31と、この第1の層31よりもAl組成が高い窒化物形化合物半導体を用いて形成された第2の層32とが積層された複合層30を複数積層して形成されている。具体的には、第1の層31は、GaNによって形成され、第2の層32は、AlNによって形成されている。第1の層31および第2の層32の層厚は、それぞれ200nm、20nmとされている。複合層30は8層積層されている。

[0068] なお、バッファ層22、第1の層31および第2の層32を形成する半導体材料は、AlNまたはGaNに限定されるものではなく、他の元素を含んだ半導体材料とすることもできる。また、複合層30の積層数は、8層に限定されるものではなく、1層以上であれば任意の層数でよい。ただし、4層以上積層させることが好ましい。

[0069] 半導体動作層24は、p型半導体としてのp－GaNからなるp型半導体層24aと、n型半導体としてのn^-－GaNからなるリサーフ(resurf)層24bと、n^+－GaNからなるコンタクト層24c, 24dとを備える。p型半導体層24aは、p型不純物として例えばMgが添加され、その不純物濃度としてのMg濃度は$5\times10^{16}cm^{-3}$とされている。リサーフ層24bとコンタクト層24c, 24dとは、n型不純物として例えばSiが添加され、その不純物濃度としてのSi濃度は、それぞれ$5\times10^{17}cm^{-3}$および$5\times10^{20}cm^{-3}$とされている。

[0070] 絶縁ゲート25Gは、p型半導体層24a上にゲート絶縁膜25Gaとゲート電極25Gbとをこの順に積層して形成されている。ゲート絶縁膜25Gaは、SiO_2またはAl_2O_3等、十

分な絶縁破壊電界強度を有する酸化膜が用いられ、その層厚は、例えばSiO_2の場合、50～100nm程度とされる。また、ゲート絶縁膜25Gaは、ドレイン電流が流れる方向（図16における左右方向）において、両端部がそれぞれコンタクト層24cおよびリサーフ層24b上に張り出して形成されている。ゲート電極25Gbは、ポリシリコン、もしくはNi／AuやWSi等の金属膜を用いて形成される。ソース電極25Sおよびドレイン電極25Dは、それぞれコンタクト層24c，24d上に積層され、Ti／AlやTi／AlSi／Mo等、コンタクト層24c，24dに対してオーミック接触が可能な金属膜を用いて形成される。

[0071] このように構成された電界効果トランジスタ100では、ゲート電極25Gbに所定電位以上の正電圧を加えることで、p型半導体層24aの上端部におけるゲート絶縁膜25Gaとの境界近傍に反転層24eが生成される。そして、この反転層24eがチャネルとなり、コンタクト層24cと、リサーフ層24bおよびコンタクト層24dとが電気的に接続され、ソース電極25Sおよびドレイン電極25D間にドレイン電流が導通される。このとき、ゲート電極25Gbに加える電圧によって、ゲート絶縁膜25Gaの直下に形成される図示しない空乏層の厚さを変化させることで、ドレイン電流のON／OFF制御すなわち電界効果トランジスタ100のON／OFF制御を行うことができる。

[0072] つづいて、バッファ層23について詳細に説明する。バッファ層23は、内部に発生するリーク電流を低減するように、実施の形態1にかかるバッファ層4と同様に高抵抗化されている。すなわち、転位密度と体積抵抗率との対応関係における体積抵抗率が極大値近傍となる転位密度を有するように形成され、具体的には、転位密度が$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下となるように形成されている。また、バッファ層23は、（102）面に対するX線ロッキングカーブの半値幅と体積抵抗率との対応関係における体積抵抗率が極大値近傍となる該半値幅を有するように形成され、具体的には、（102）半値全幅が300秒以上、2700秒以下となるように形成されている。さらに、バッファ層23は、（102）／（002）半値幅比が1．2以上となるように形成され、らせん転位密度比が0．12以下となるように形成されている。これは、バッファ層23においてもバッファ層4と同様に、図2、図3、図6、図7および図8に示した結果と同等の特性が得られることによる。

[0073] 一方、図17は、バッファ層23の転位密度に対する電界効果トランジスタ100のしきい値電圧を実測した結果を示すグラフである。このグラフに示す結果から、電界効果トランジスタ100では、バッファ層23の転位密度を変化させても、しきい値電圧を一定に維持できることがわかる。また、上述のようにバッファ層23のMg濃度を$5\times10^{16}cm^{-3}$としたことで、約3Vのしきい値電圧を得られることがわかる。このため、バッファ層23のMg濃度は$5\times10^{16}cm^{-3}$とされている。

[0074] これによって、電界効果トランジスタ100では、しきい値電圧を増大させることなくバッファ層を高抵抗化することができ、具体的には、バッファ層23の体積抵抗率は、約$1.0\times10^{5}\Omega cm$以上の高抵抗とされている。また、一般に電界効果トランジスタ等の半導体素子を制御する上で好適とされている約3Vのしきい値電圧が得られている。

[0075] 従来技術にかかる電界効果トランジスタでは、例えば特許文献1に記載された電界効果トランジスタのように、高抵抗化のためにバッファ層にZnやMgを添加する場合、例えば図18に示す実測結果のように、ZnやMgの不純物濃度の増加にともなってしきい値電圧が増大する。特許文献1では、この不純物濃度が$1\times10^{18}cm^{-3}$以上であることが望ましいとされているが、その場合、しきい値電圧は少なくとも10V以上となり、好適値である3Vをはるかに上回ることが図10の結果から判断できる。すなわち、従来技術にかかる電界効果トランジスタでは、バッファ層の高抵抗化としきい値電圧の適正化とを同時に実現することが困難であったのに対し、電界効果トランジスタ100では、上述のようにバッファ層23に転位を設けることで、バッファ層の高抵抗化としきい値電圧の適正化とを両立できるという効果を奏する。

[0076] なお、電界効果トランジスタ100におけるしきい値電圧の好適値は、3Vに限定されるものではなく、素子の用途等に応じて3±1V程度の範囲内で設定されることが好ましい。このため、電界効果トランジスタ100では、図18の結果をもとに、バッファ層23のMg濃度は、$1\times10^{16}cm^{-3}$以上、$1\times10^{17}cm^{-3}$以下の範囲内で設定されることが好ましい。

[0077] また、以上のように形成された電界効果トランジスタ100では、実施の形態1にかかるHEMT1と同様に、バッファ層23の高抵抗化にともなって高耐圧化を実現できるという効果を奏する。すなわち、電界効果トランジスタ100でも、図9～図11と同等の特

性を得ることができる。

[0078] つづいて、電界効果トランジスタ100の製造工程について説明する。電界効果トランジスタ100は、例えばMOCVD(Metal Organic Chemical Vapor Deposition)法によって、基板21上に種々の窒化物系化合物半導体を順次積層して形成される。具体的には、まず、基板21をMOCVD装置内に導入し、化合物半導体の原料となるトリメチルアルミニウム(TMAl)とアンモニア(NH_3)とを、それぞれ19μmol/min、12リットル/minの流量で基板21上に導入し、AlNからなるバッファ層22を基板21上で40nmの厚さに成長させる。

[0079] つぎに、トリメチルガリウム(TMGa)とNH_3とを、それぞれ58μmol/min、12リットル/minの流量でバッファ層22上に導入し、GaNからなる第1の層31をバッファ層22上にエピタキシャル成長させる。つづけて、TMAlとNH_3とを、それぞれ19μmol/min、12リットル/minの流量で第1の層31上に導入し、AlNからなる第2の層32を第1の層31上にエピタキシャル成長させる。そして、この第1の層31および第2の層32の成長を例えば8回繰り返すことで、8層の複合層30からなるバッファ層23を形成する。ここで、第1の層31および第2の層32の層厚は、それぞれ200nm、20nmとする。

[0080] このバッファ層23の形成工程では、転位密度と(102)半値全幅とがそれぞれ上述した所望の範囲内の値となるように、さらに成長時圧力が制御される。これは、バッファ層23に対しても、図12および図13に示した結果と同等の特性が得られ、バッファ層23の成長時圧力を低減することによって、転位密度および(102)半値全幅が増加できることによる。なお、バッファ層23の成長時圧力は、100Torr以下とすることが好ましい。

[0081] つぎに、TMGaとNH_3とを、それぞれ58μmol/min、12リットル/minの流量でバッファ層23上に導入するとともに、Cp2Mg(bis-cyclopentadienyl Mg)を導入し、半導体動作層24となるp-GaN層をバッファ層23上にエピタキシャル成長させる。このとき、Cp2Mgの流量を調整してMg濃度を$5\times10^{16}cm^{-3}$とする。

[0082] なお、ここまでの各層の形成工程では、成長温度は1050℃とされる。また、TMAl、TMGaおよびNH_3の導入に用いるキャリアガスには100%の水素ガスが利用され

る。

[0083] つぎに、バッファ層23上に形成されたp－GaN層に対し、イオン注入(Ion Implantation)によってSiを添加する。その際、Siの打ち込み深さは、300±100nm程度とし、Si濃度は、リサーフ層24bに対応する領域では$1\times10^{17}cm^{-3}$、コンタクト層24c，24dに対応する領域では$1\times10^{20}cm^{-3}$とする。その後、温度1200℃で活性化アニールを1分間行う。これによって、バッファ層23上に、p型半導体層24a、リサーフ層24bおよびコンタクト層24c，24dを備えた半導体動作層24が形成される。

[0084] つぎに、PCVD(Plasma Chemical Vapor Deposition)法によって半導体動作層24上に、例えばSiO_2またはAl_2O_3からなる酸化膜を50～100nmの厚さに成膜し、フォトリソグラフィと、緩衝弗酸によるエッチングとによってゲート絶縁膜25Gaを形成する。その後、リフトオフ法によってコンタクト層24c，24d上に、例えばTi／AlまたはTi／AlSi／Moからなる金属膜を成膜し、600℃の熱処理を10分間行うことで、オーミック電極としてのソース電極25Sおよびドレイン電極25Dを形成する。さらに、リフトオフ法によってゲート絶縁膜25Ga上に、例えばNi／AuまたはWSiからなる金属膜を成膜してゲート電極25Gbを形成する。

[0085] 以上説明したように、本実施の形態2にかかる電界効果トランジスタ100では、バッファ層23の転位密度を、転位密度に対する体積抵抗率が極大値近傍となる密度値とし、具体的には$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下としている。また、バッファ層23の(102)面に対するX線ロッキングカーブの半値幅を、この半値幅に対する体積抵抗率が極大値となる幅値とし、具体的には、(102)半値全幅を300秒以上、2700秒以下としている。さらに、バッファ層23の(102)／(002)半値幅比を1．2以上とし、らせん転位密度比を0．12以下としている。また、バッファ層23の不純物濃度としてのMg濃度を$1\times10^{16}cm^{-3}$以上、$1\times10^{17}cm^{-3}$以下としている。これによって、電界効果トランジスタ100では、しきい値電圧を増大させることなくバッファ層23を高抵抗化して素子を高耐圧化することができ、具体的には、バッファ層23の体積抵抗率を約$1.0\times10^{5}\Omega cm$以上の高抵抗とすることができ、耐圧を400V以上の高耐圧にすることができる。また、一般に電界効果トランジスタ等の半導体素子を制御する上で好適な3±1V程度のしきい値電圧を得ることができる。

[0086] なお、実施の形態2では、バッファ層22，23および半導体動作層24は、窒化物系化合物半導体、特にGaN系化合物半導体を用いて形成されるものとして説明したが、窒化物系およびGaN系に限定して解釈する必要はなく、他の化合物半導体を用いて形成されたものであってもよい。

[0087] ここまで、本発明を実施する最良の形態を実施の形態1および2として説明したが、本発明は、上述した実施の形態1および2に限定されず、本発明の趣旨を逸脱しない範囲であれば、種々の変形が可能である。

産業上の利用可能性

[0088] 以上のように、本発明にかかる半導体素子は、基板上にバッファ層を介して積層された化合物半導体層を備える半導体素子に有用であり、特に、窒化物系化合物半導体を用いて形成する電界効果トランジスタに適している。

請求の範囲

[1] 基板上にバッファ層を介して積層された化合物半導体層を備える半導体素子において、

前記バッファ層内にあって該バッファ層の積層面に平行な所定面内の転位密度は、該転位密度に対する前記バッファ層の体積抵抗率が極大値近傍となる密度値であることを特徴とする半導体素子。

[2] 前記転位密度は、$2.0\times10^{8}cm^{-2}$以上、$7.0\times10^{10}cm^{-2}$以下であることを特徴とする請求項1に記載の半導体素子。

[3] 基板上にバッファ層を介して積層された化合物半導体層を備える半導体素子において、

前記バッファ層の(102)面に対するX線ロッキングカーブの半値幅は、該半値幅に対する前記バッファ層の体積抵抗率が極大値近傍となる幅値であることを特徴とする半導体素子。

[4] 前記半値幅は、300秒以上、2700秒以下であることを特徴とする請求項3に記載の半導体素子。

[5] 前記バッファ層の(002)面に対するX線ロッキングカーブの半値幅を基準とした、前記バッファ層の(102)面に対するX線ロッキングカーブの半値幅比は、1.2以上であることを特徴とする請求項1～4のいずれか一つに記載の半導体素子。

[6] 前記転位密度を基準とした前記バッファ層のらせん転位密度比は、0.12以下であることを特徴とする請求項1または2に記載の半導体素子。

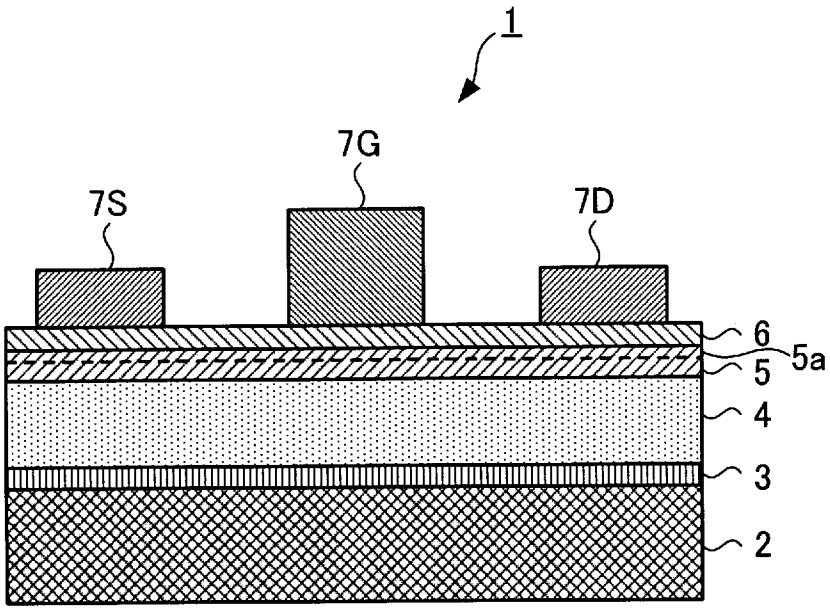
[7] 前記基板と前記バッファ層との間に、580℃以上、620℃以下の成長温度で形成された低温バッファ層を備えることを特徴とする請求項6に記載の半導体素子。

[8] 前記バッファ層は、窒化物系化合物半導体を用いて形成された第1の層と、該第1の層よりもAl組成が高い窒化物形化合物半導体を用いて形成された第2の層とが積層された複合層を含むことを特徴とする請求項1～7のいずれか一つに記載の半導体素子。

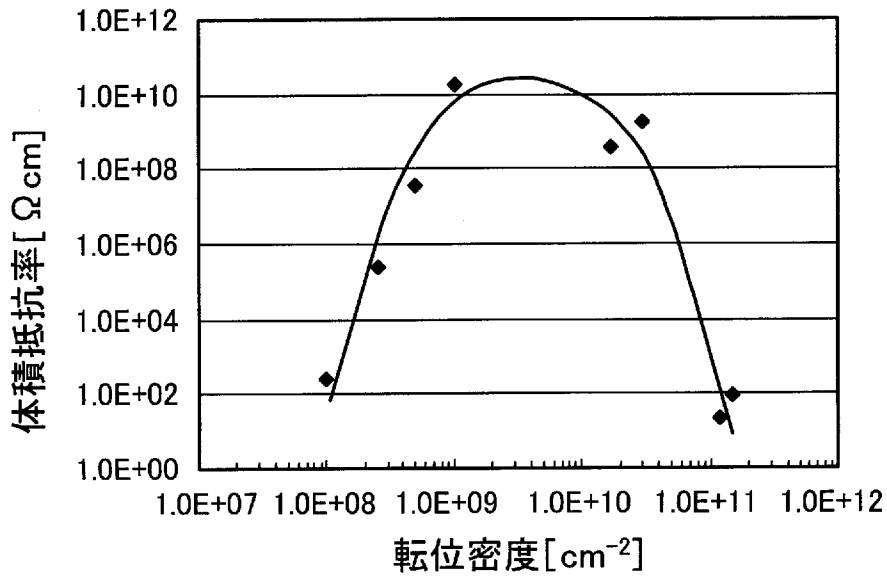
[9] 前記化合物半導体層は、窒化物系化合物半導体を用いて形成されることを特徴とする請求項1～8のいずれか一つに記載の半導体素子。

[10] 当該半導体素子は、ダイオードまたは電界効果トランジスタであることを特徴とする請求項1～9のいずれか一つに記載の半導体素子。

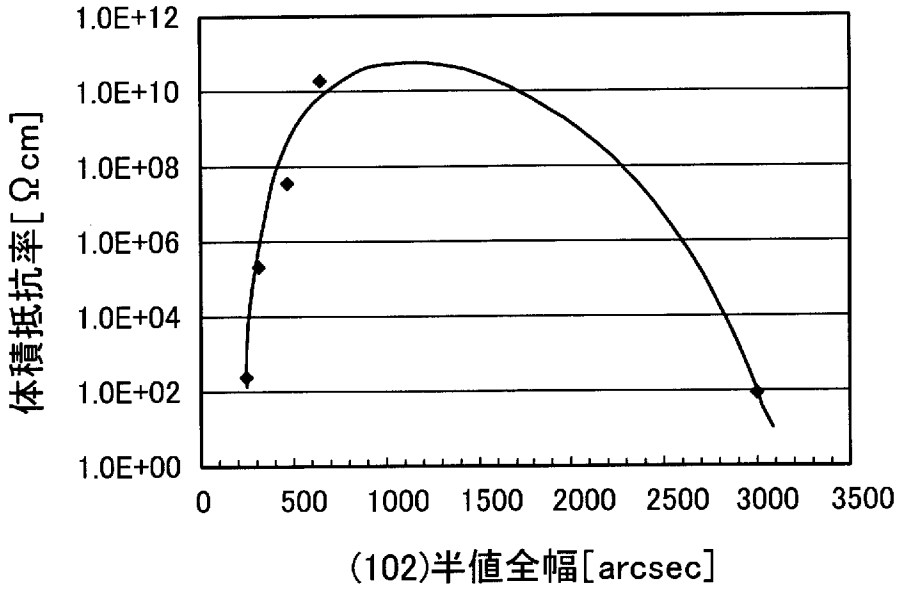
[図1]


1
7G
7S
7D
6
5a
5
4
3
2

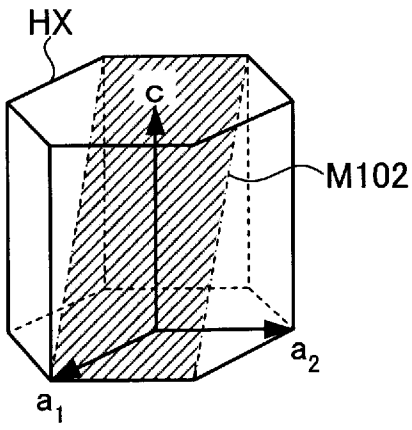
[図2]


1.0E+12
1.0E+10
1.0E+08
1.0E+06
1.0E+04
1.0E+02
1.0E+00
体積抵抗率[Ωcm]
1.0E+07 1.0E+08 1.0E+09 1.0E+10 1.0E+11 1.0E+12
転位密度[cm-2]

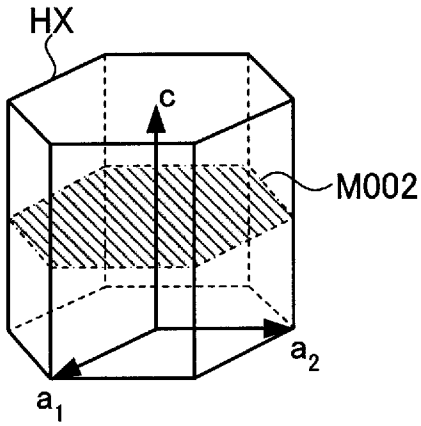
[図3]


1.0E+12
1.0E+10
1.0E+08
1.0E+06
1.0E+04
1.0E+02
1.0E+00
体積抵抗率[Ωcm]
0
500
1000
1500
2000
2500
3000
3500
(102)半値全幅[arcsec]

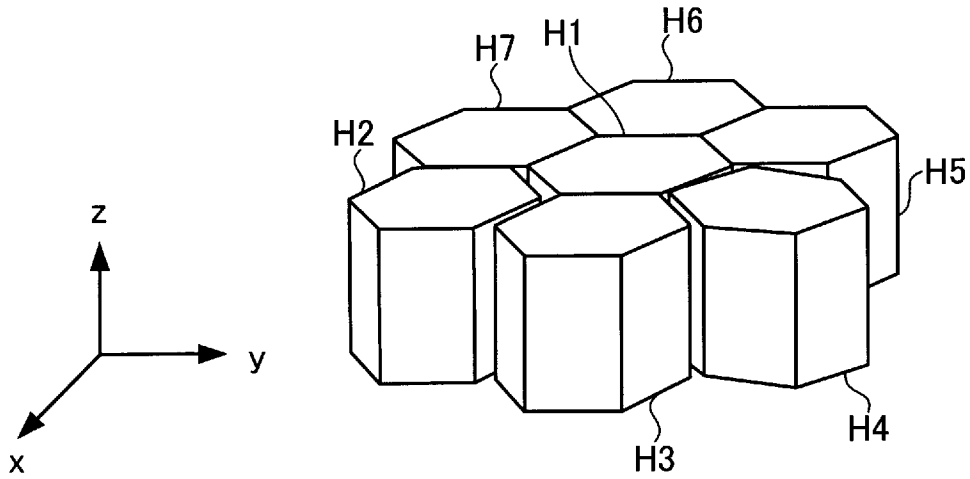
[図4-1]



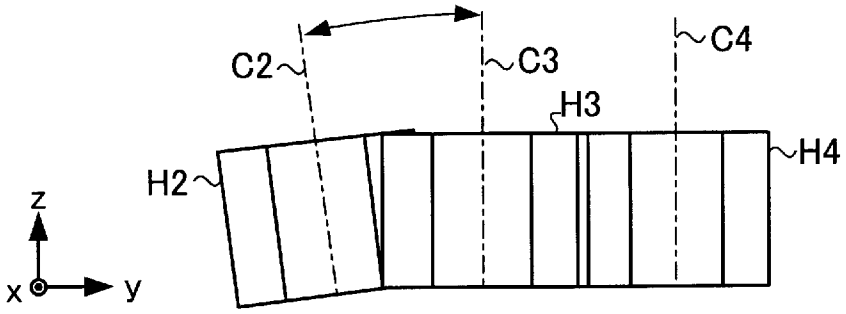
[図4-2]



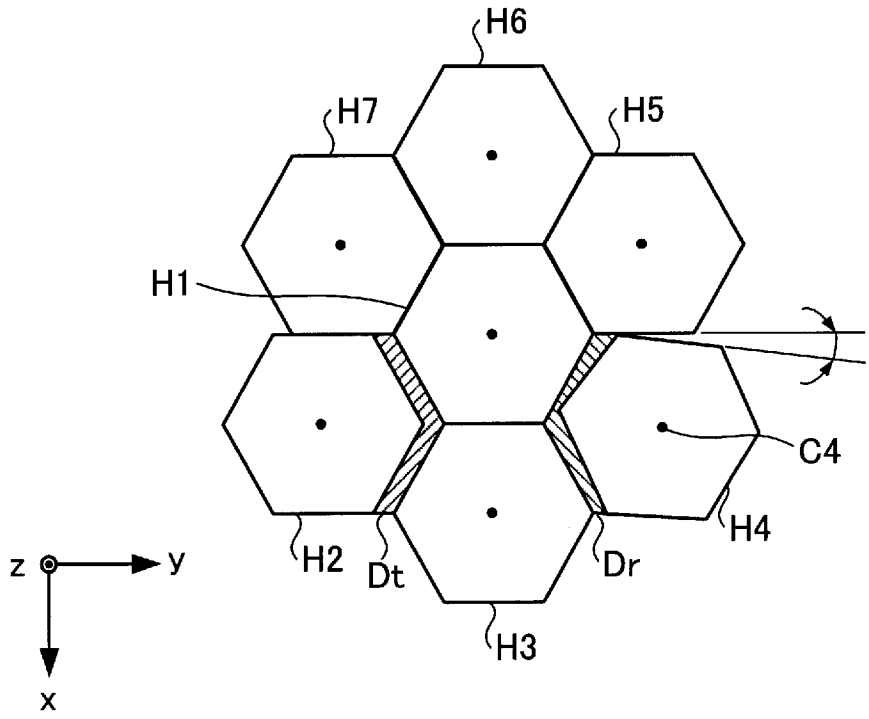
[図5-1]



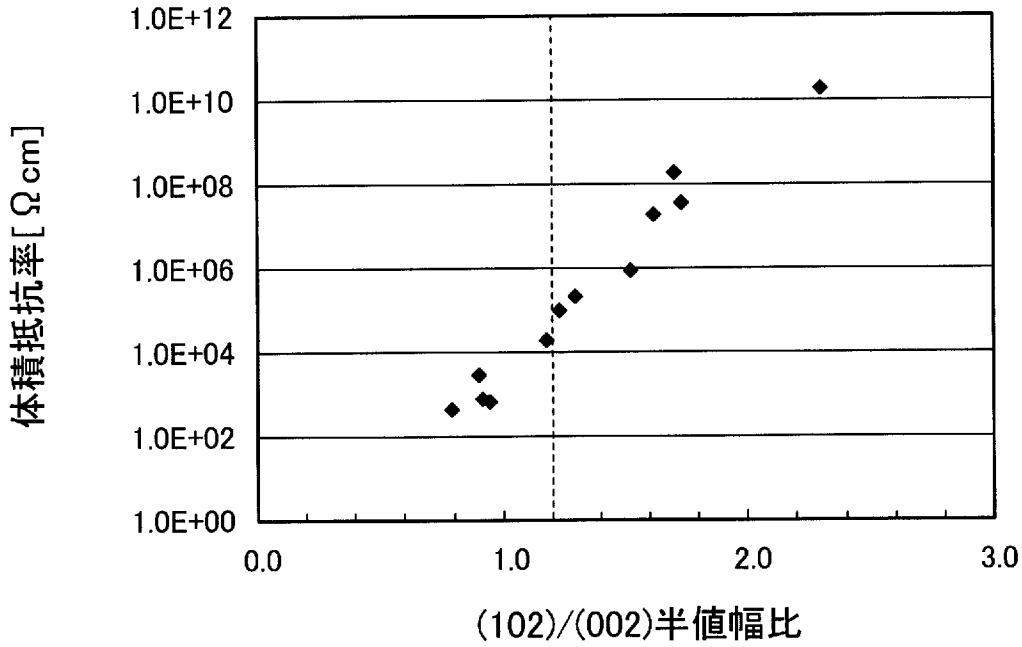
[図5-2]



[図5-3]



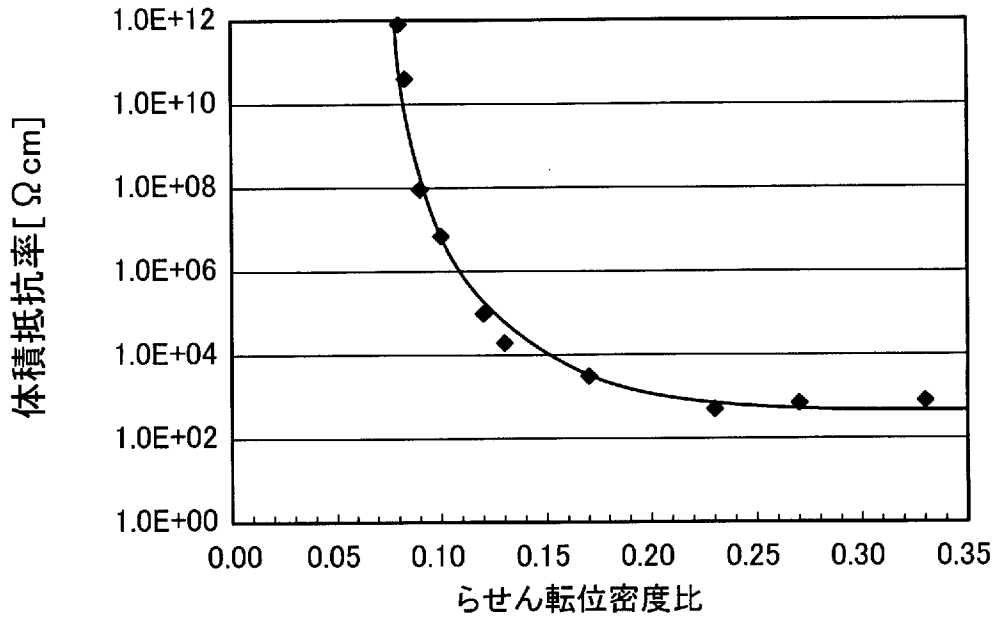
[図6]



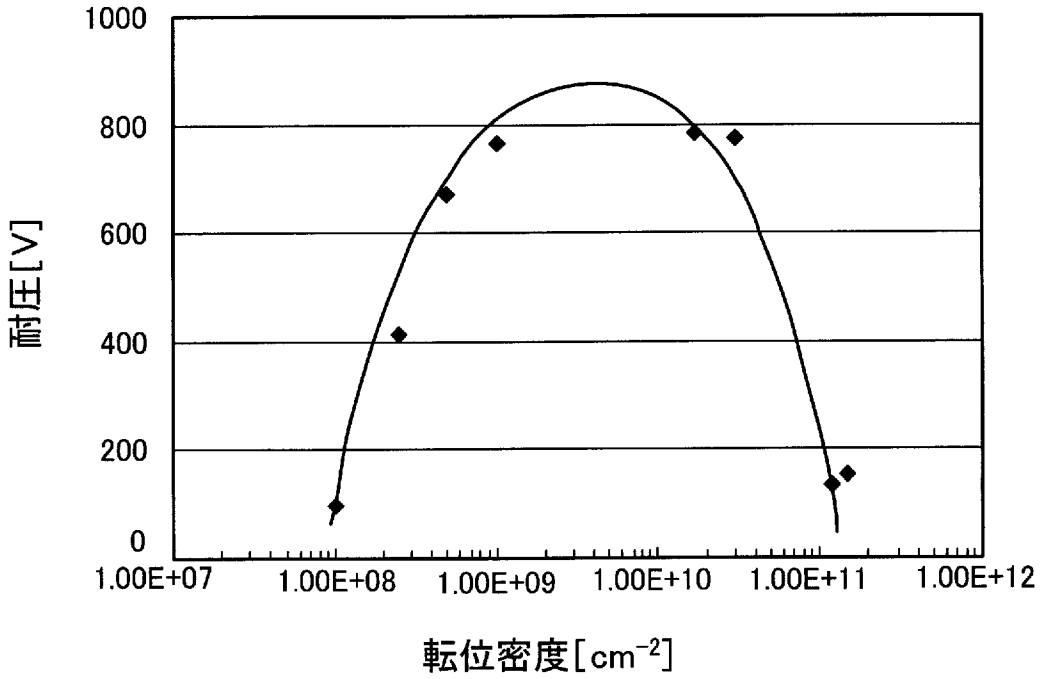
[図7]

(102)/(002)半値幅比	体積抵抗率[Ω・cm]
0.79	5.0E+02
0.91	3.0E+03
0.92	8.0E+02
0.94	7.0E+02
1.17	2.0E+04
1.22	1.0E+05
1.30	2.3E+05
1.52	9.1E+05
1.62	1.8E+07
1.71	1.8E+08
1.73	3.6E+07
2.30	1.8E+10

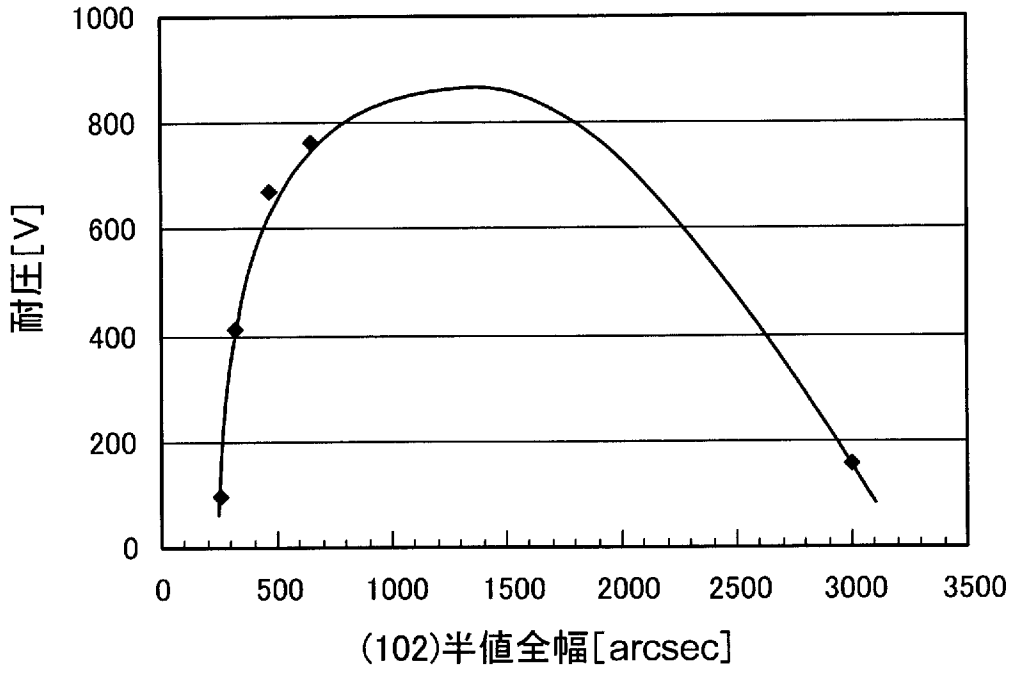
[図8]


1.0E+12
1.0E+10
1.0E+08
1.0E+06
1.0E+04
1.0E+02
1.0E+00
体積抵抗率[Ωcm]
0.00
0.05
0.10
0.15
0.20
0.25
0.30
0.35
らせん転位密度比

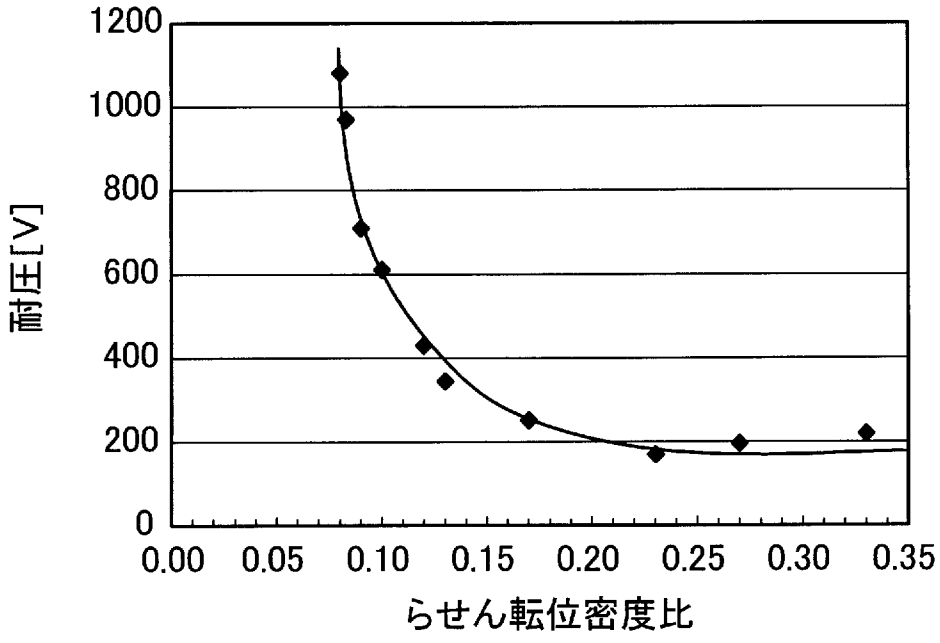
[図9]


1000
800
600
400
200
0
耐圧[V]
1.00E+07
1.00E+08
1.00E+09
1.00E+10
1.00E+11
1.00E+12
転位密度[cm-2]

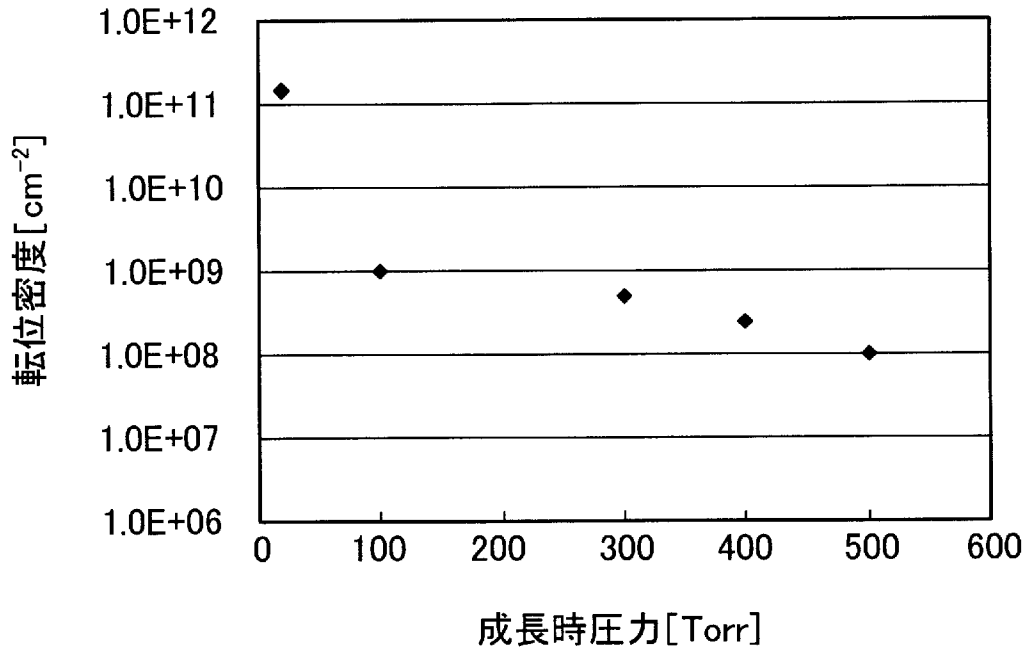
[図10]


1000
800
600
400
200
0
耐圧[V]
0
500
1000
1500
2000
2500
3000
3500
(102)半値全幅[arcsec]

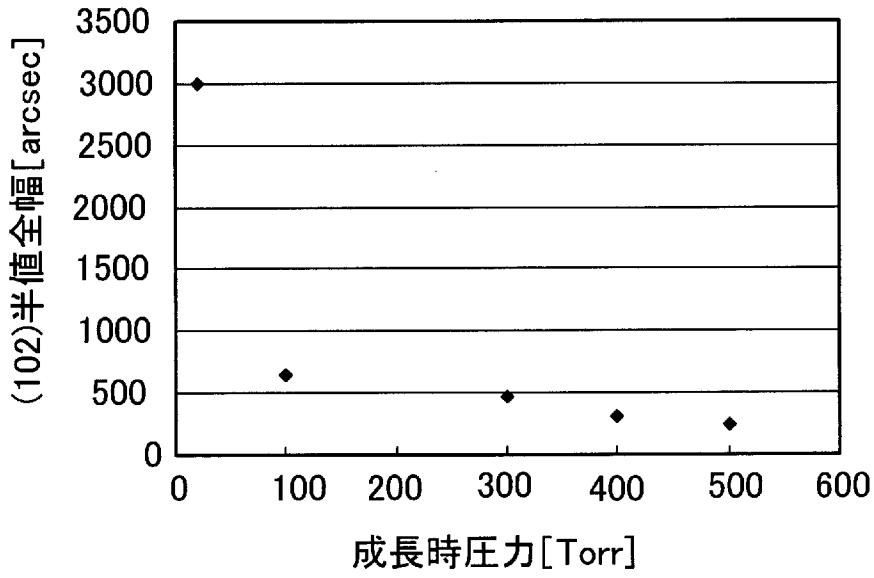
[図11]


1200
1000
800
600
400
200
0
耐圧[V]
0.00
0.05
0.10
0.15
0.20
0.25
0.30
0.35
らせん転位密度比

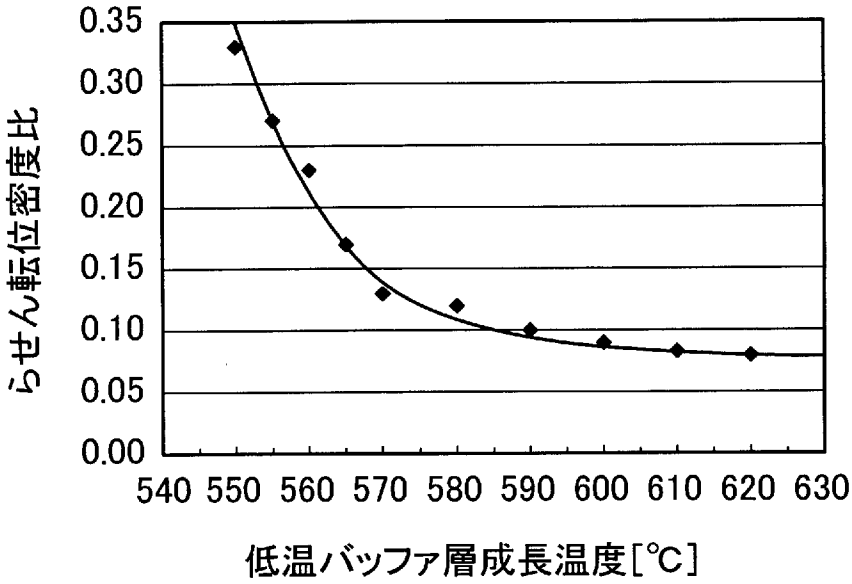
[図12]


1.0E+12
1.0E+11
1.0E+10
1.0E+09
1.0E+08
1.0E+07
1.0E+06
転位密度[cm-2]
0
100
200
300
400
500
600
成長時圧力[Torr]

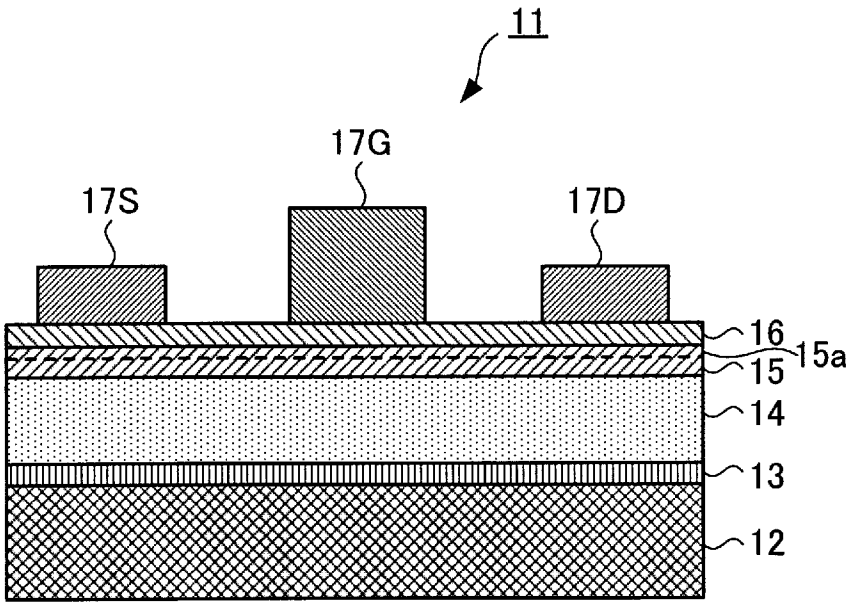
[図13]


3500
3000
2500
2000
1500
1000
500
0
(102)半値全幅[arcsec]
0
100
200
300
400
500
600
成長時圧力[Torr]

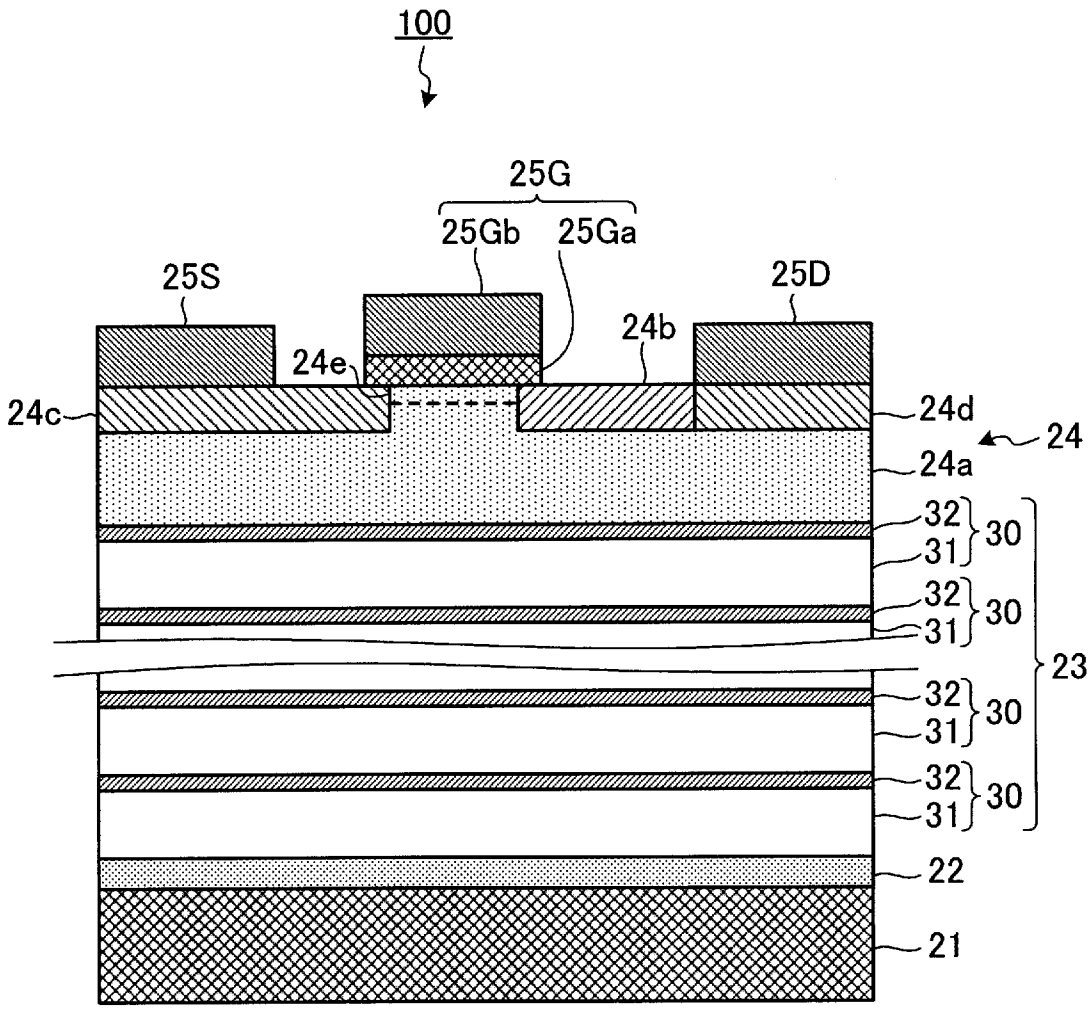
[図14]


0.35
0.30
0.25
0.20
0.15
0.10
0.05
0.00
らせん転位密度比
540 550 560 570 580 590 600 610 620 630
低温バッファ層成長温度[℃]

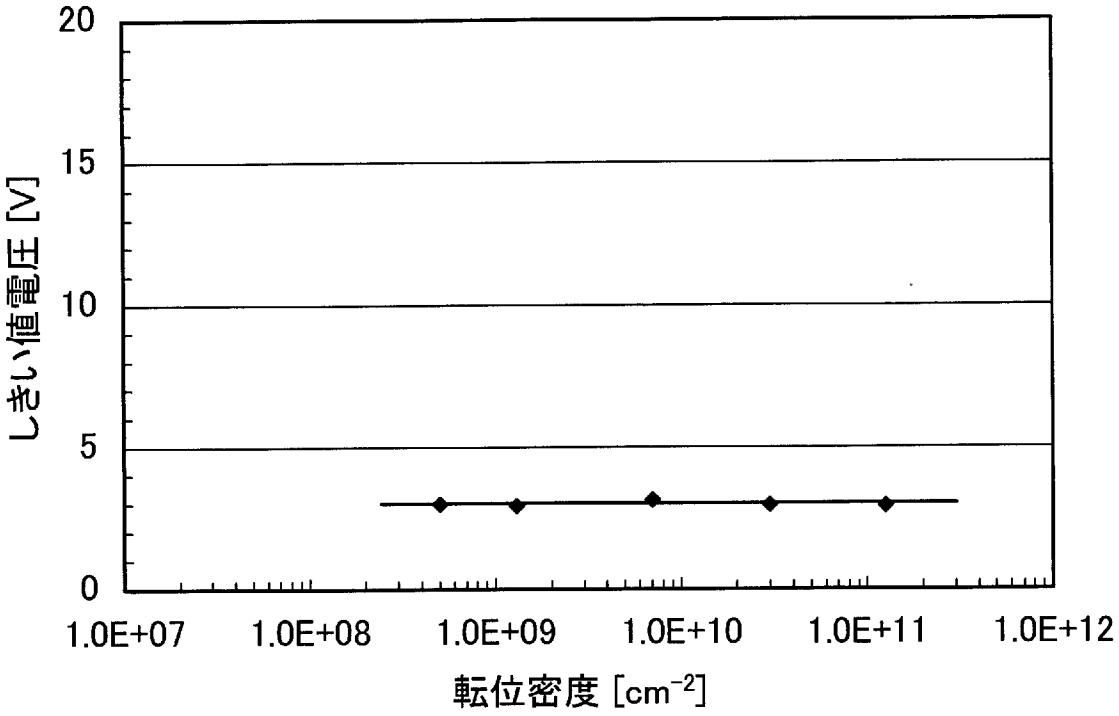
[図15]


11
17G
17S
17D
16
15a
15
14
13
12

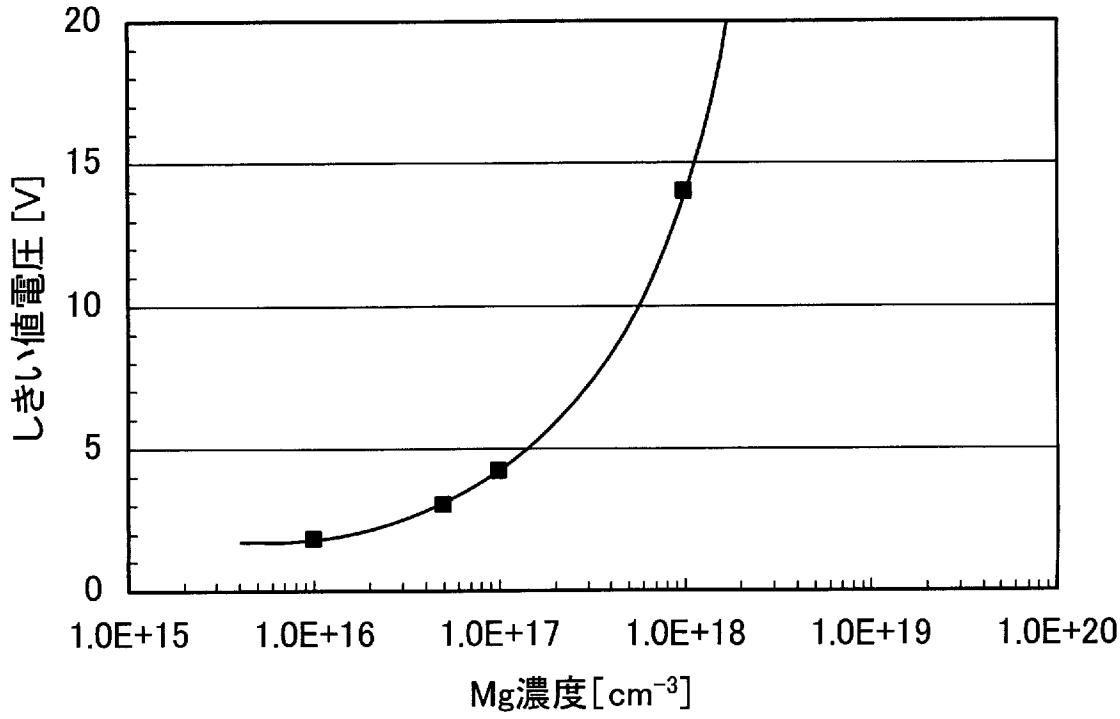
[図16]



[図17]


20
15
10
5
0
しきい値電圧 [V]
1.0E+07
1.0E+08
1.0E+09
1.0E+10
1.0E+11
1.0E+12
転位密度 [cm^{-2}]

[図18]


20
15
10
5
0
しきい値電圧 [V]
1.0E+15
1.0E+16
1.0E+17
1.0E+18
1.0E+19
1.0E+20
Mg濃度[cm^{-3}]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/053198

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/338(2006.01)i, *H01L29/778*(2006.01)i, *H01L29/78*(2006.01)i, *H01L29/812*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/338, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-032911 A (NGK Insulators, Ltd.), 02 February, 2006 (02.02.06), Par. Nos. [0072] to [0079] & US 2005/0274980 A1 & EP 1610392 A2	1-4,9,10 5-7
X Y	JP 2006-179861 A (Hitachi Cable, Ltd.), 06 July, 2006 (06.07.06), Par. Nos. [0038] to [0043] (Family: none)	1-4,8-10 5-7
X Y	JP 2004-289005 A (NGK Insulators, Ltd.), 14 October, 2004 (14.10.04), Par. Nos. [0015] to [0038] (Family: none)	1-4,8-10 5-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 May, 2007 (09.05.07)	22 May, 2007 (22.05.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/053198

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-188285 A (Sony Corp.), 04 July, 2000 (04.07.00), Par. No. [0029] (Family: none)	5-7
Y	JP 2006-324465 A (Matsushita Electric Industrial Co., Ltd.), 30 November, 2006 (30.11.06), Par. No. [0034] & US 2006/0261371 A1	7
E,A	JP 2007-073873 A (Showa Denko Kabushiki Kaisha), 22 March, 2007 (22.03.07), Par. Nos. [0035], [0050] to [0058] (Family: none)	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５３１９８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/338(2006.01)i，H01L29/778(2006.01)i，H01L29/78(2006.01)i，H01L29/812(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/338，H01L29/778，H01L29/78，H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ	ＪＰ　２００６-０３２９１１　Ａ（日本碍子株式会社） ２００６．０２．０２，【００７２】－【００７９】 ＆　ＵＳ　２００５／０２７４９８０　Ａ１ ＆　ＥＰ　１６１０３９２　Ａ２	１－４， ９，１０ ５－７
Ｘ Ｙ	ＪＰ　２００６－１７９８６１　Ａ（日立電線株式会社） ２００６．０７．０６，【００３８】－【００４３】 （ファミリーなし）	１－４， ８－１０ ５－７

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０９．０５．２００７	２２．０５．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｌ　３４４８
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ　２００４－２８９００５　Ａ（日本碍子株式会社） ２００４．１０．１４，【００１５】－【００３８】	１－４， ８－１０
Ｙ	（ファミリーなし）	５－７
Ｙ	ＪＰ　２０００－１８８２８５　Ａ（ソニー株式会社） ２０００．０７．０４，【００２９】（ファミリーなし）	５－７
Ｙ	ＪＰ　２００６－３２４４６５　Ａ（松下電器産業株式会社） ２００６．１１．３０，【００３４】 ＆　ＵＳ　２００６／０２６１３７１　Ａ１	７
Ｅ，Ａ	ＪＰ　２００７－０７３８７３　Ａ（昭和電工株式会社） ２００７．０３．２２，【００３５】，【００５０】－【００５８】 （ファミリーなし）	１－１０