

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月18日(18.10.2018)



(10) 国際公開番号

WO 2018/189999 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H01L 51/42 (2006.01)
H01L 27/30 (2006.01) H04N 5/374 (2011.01)
H01L 31/10 (2006.01)

(72) 発明者: 古閑 史彦(KOGA Fumihiko); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2018/005955

(22) 国際出願日: 2018年2月20日(20.02.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-078236 2017年4月11日(11.04.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: IMAGE PICKUP ELEMENT, LAMINATED IMAGE PICKUP ELEMENT, AND SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 撮像素子、積層型撮像素子及び固体撮像装置

[図1]

図1 A

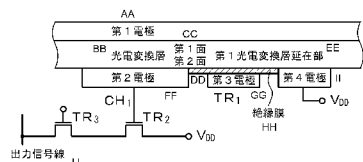
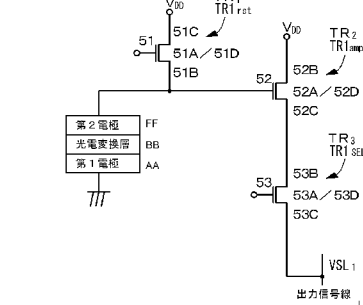


図1 B



AA First electrode
BB Photoelectric conversion layer
CC First surface
DD Second surface
EE First photoelectric conversion layer extending section
FF Second electrode
GG Third electrode
HH Insulating film
II Fourth electrode
JJ Output signal line

(57) Abstract: This image pickup element is provided with at least a photoelectric conversion section, a first transistor TR_1 , and a second transistor TR_2 . The photoelectric conversion section comprises a photoelectric conversion layer 13, a first electrode 11, and a second electrode 12, and furthermore, the photoelectric conversion section is provided with a first photoelectric conversion layer extending section 13A, a third electrode 51, and a fourth electrode 51C. The first transistor TR_1 comprises: the second electrode 12 that functions as one source/drain section; the third electrode that functions as a gate section 51; and the first photoelectric conversion layer extending section 13A that functions as the other source/drain section. The first transistor TR_1 (TR_{rst}) is provided adjacent to the photoelectric conversion section.

(57) 要約: 撮像素子は、少なくとも、光電変換部、第1トランジスタ TR_1 及び第2トランジスタ TR_2 を備えており、光電変換部は、光電変換層13、第1電極11及び第2電極12から成り、更に、第1光電変換層延在部13A、第3電極51及び第4電極51Cを備えており、第1トランジスタ TR_1 は、一方のソース/ドレイン部として機能する第2電極12、ゲート部51として機能する第3電極、他方のソース/ドレイン部として機能する第1光電変換層延在部13Aから成り、第1トランジスタ TR_1 (TR_{rst}) は光電変換部に隣接して設けられている。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：撮像素子、積層型撮像素子及び固体撮像装置

技術分野

[0001] 本開示は、撮像素子、積層型撮像素子及び固体撮像装置に関する。

背景技術

[0002] 光電変換層に有機半導体材料を用いる撮像素子は、特定の色（波長帯）を光電変換することが可能である。そして、このような特徴を有するが故に、固体撮像装置における撮像素子として用いる場合、オンチップカラーフィルター（OCCF）と撮像素子との組合せから副画素が成り、副画素が2次元配列されている、従来の固体撮像装置では不可能な、副画素を積層した構造（積層型撮像素子）を得ることが可能である（例えば、特開2011-138927号公報参照）。また、デモザイク処理を必要としないことから、偽色が発生しないといった利点がある。尚、以下の説明において、半導体層（例えば、半導体基板）の上あるいは上方に設けられた光電変換部を備えた撮像素子を、便宜上、『第1タイプの撮像素子』と呼び、第1タイプの撮像素子を構成する光電変換部を、便宜上、『第1タイプの光電変換部』と呼び、半導体層（例えば、半導体基板）内に設けられた撮像素子を、便宜上、『第2タイプの撮像素子』と呼び、第2タイプの撮像素子を構成する光電変換部を、便宜上、『第2タイプの光電変換部』と呼ぶ場合がある。

[0003] 図67に従来の積層型撮像素子（積層型固体撮像装置）の構造例を示す。図67に示す例では、半導体層（具体的には、半導体基板）370内に、第2タイプの撮像素子である第3撮像素子330及び第2撮像素子320を構成する第2タイプの光電変換部である第3光電変換部331及び第2光電変換部321が積層され、形成されている。また、半導体基板370の上方（具体的には、第2撮像素子320の上方）には、第1タイプの光電変換部である第1光電変換部310'が配置されている。ここで、第1光電変換部310'は、第2電極312、有機材料から成る光電変換層313、第1電極

311を備えており、第1タイプの撮像素子である第1撮像素子310を構成する。第2光電変換部321及び第3光電変換部331においては、吸収係数の違いにより、それぞれ、例えば、青色光及び赤色光が光電変換される。また、第1光電変換部310'においては、例えば、緑色光が光電変換される。

[0004] 第2光電変換部321及び第3光電変換部331において光電変換によって生成した電荷は、これらの第2光電変換部321及び第3光電変換部331に一旦蓄積された後、それぞれ、縦型トランジスタ（ゲート部322を図示する）と転送トランジスタ（ゲート部332を図示する）によって第2浮遊拡散層（Floating Diffusion）FD₂及び第3浮遊拡散層FD₃に転送され、更に、外部の読み出し回路（図示せず）に出力される。これらのトランジスタ及び浮遊拡散層FD₂、FD₃も半導体基板370に形成されている。

[0005] 第1光電変換部310'において光電変換によって生成した電荷は、コンタクトホール部361、配線層362を介して、半導体基板370に形成された第1浮遊拡散層FD₁に蓄積される。また、第1光電変換部310'は、コンタクトホール部361、配線層362を介して、電荷量を電圧に変換する増幅トランジスタのゲート部318にも接続されている。そして、第1浮遊拡散層FD₁は、リセット・トランジスタ（ゲート部317を図示する）の一部を構成している。尚、参照番号371は素子分離領域であり、参照番号372は半導体基板370の表面に形成された酸化膜であり、参照番号376、381は層間絶縁層であり、参照番号383は保護層であり、参照番号390はオンチップ・マイクロ・レンズである。

[0006] また、半導体基板の上方に設けられたフォトダイオード（光電変換部）に隣接して読み出しトランジスタが設けられた構造を有する固体撮像装置が、特開2011-049240号公報から周知である。この読み出しトランジスタは、ゲート、フォトダイオードを構成するn型拡散層、及び、浮遊拡散層を構成するn型拡散層から構成されている。また、半導体基板には、増幅トランジスタ、選択トランジスタ及びリセット・トランジスタが設けられて

いる。そして、浮遊拡散層を構成する n 型拡散層を半導体基板の上方に設けることで、k T C 雑音を抑制することができるとされている。

先行技術文献

特許文献

[0007] 特許文献1：特開 2 0 1 1 - 1 3 8 9 2 7 号公報

特許文献2：特開 2 0 1 1 - 0 4 9 2 4 0 号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、特開 2 0 1 1 - 0 4 9 2 4 0 号公報に開示された固体撮像装置にあっては、信号走査回路を構成する増幅トランジスタや選択トランジスタ、リセット・トランジスタは、光電変換部とは別に配置された半導体基板部に配置している。そのため、読み出し信号を信号走査回路に接続する構造が複雑であるといった問題がある。また、半導体基板部のトランジスタ数が多く、トランジスタの微細化が困難となる。

[0009] 従って、本開示の目的は、簡素化された構成、構造を有する撮像素子、斯かる撮像素子から構成された積層型撮像素子、斯かる撮像素子あるいは積層型撮像素子を備えた固体撮像装置を提供することにある。

課題を解決するための手段

[0010] 上記の目的を達成するための本開示の第 1 の態様に係る撮像素子は、
少なくとも、光電変換部、第 1 トランジスタ及び第 2 トランジスタを備えた撮像素子であって、
光電変換部は、
第 1 面、及び、第 1 面と対向する第 2 面を有し、第 1 面側から光が入射する光電変換層、
光電変換層の第 1 面に接して設けられた第 1 電極、及び、
光電変換層の第 2 面に接して設けられた第 2 電極、
から成り、

更に、

光電変換層から延在する第1光電変換層延在部、

光電変換層の第2面と同じ側の第1光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第3電極、及び、

第1光電変換層延在部の第2面に接して設けられた第4電極、
を備えており、

第1トランジスタは、一方のソース／ドレイン部として機能する第2電極、ゲート部として機能する第3電極、他方のソース／ドレイン部として機能し、電源部に接続された第4電極、及び、チャネル形成領域として機能する第1光電変換層延在部から成り、

第2トランジスタのゲート部は、第2電極に接続されており、

第2トランジスタの一方のソース／ドレイン部は、電源部に接続されている。

[0011] 尚、本開示の第1の態様に係る撮像素子は、更に、第3トランジスタを備えており、

第3トランジスタの一方のソース／ドレイン部は、第2トランジスタの他方のソース／ドレイン部に接続されており、

第3トランジスタの他方のソース／ドレイン部は、信号線に接続されている形態とすることができる。

[0012] 上記の目的を達成するための本開示の第2の態様に係る撮像素子は、

少なくとも、光電変換部、第2トランジスタ及び第3トランジスタを備えた撮像素子であって、

光電変換部は、

第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層、

光電変換層の第1面に接して設けられた第1電極、及び、

光電変換層の第2面に接して設けられた第2電極、
から成り、

更に、

光電変換層から延在する第1光電変換層延在部、

光電変換層の第2面と同じ側の第1光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第2電極延在部、並びに、

第1光電変換層延在部の第2面に接して設けられた第3電極及び第4電極、
を備えており、

第2トランジスタは、一方のソース／ドレイン部として機能し、電源部に接続された第3電極、ゲート部として機能する第2電極延在部、他方のソース／ドレイン部として機能する第4電極、及び、チャネル形成領域として機能する第1光電変換層延在部から成り、

第3トランジスタの一方のソース／ドレイン部は、第4電極に接続されており、

第3トランジスタの他方のソース／ドレイン部は、信号線に接続されている。

[0013] 尚、本開示の第2の態様に係る撮像素子は、更に、第1トランジスタを備えており、

第1トランジスタの一方のソース／ドレイン部は、第2電極に接続されており、

第1トランジスタの他方のソース／ドレイン部は、電源部に接続されている形態とすることができる。

[0014] 上記の目的を達成するための本開示の第3の態様に係る撮像素子は、

少なくとも、光電変換部、第2トランジスタ及び第3トランジスタを備えた撮像素子であって、

光電変換部は、

第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層、

光電変換層の第1面に接して設けられた第1電極、及び、

光電変換層の第2面に接して設けられた第2電極、
から成り、

更に、

光電変換層と同じ材料から構成され、光電変換層と離間して設けられたチャネル形成領域、

光電変換層の第2面と同じ側のチャネル形成領域の面に、絶縁膜を介して対向して形成された第4電極、並びに、

光電変換層の第2面と同じ側のチャネル形成領域延在部の面に接して設けられた第3電極及び第5電極、

を備えており、

第2トランジスタのゲート部は、第2電極に接続されており、

第2トランジスタの一方のソース／ドレイン部は、電源部に接続されており、

第2トランジスタの他方のソース／ドレイン部は、第3トランジスタの一方のソース／ドレイン部を構成する第3電極に接続されており、

第3トランジスタのゲート部は、第4電極から構成されており、

第3トランジスタの他方のソース／ドレイン部を構成する第5電極は、信号線に接続されている。

[0015] 尚、本開示の第3の態様に係る撮像素子は、更に、第1トランジスタを備えており、

第1トランジスタの一方のソース／ドレイン部は、第2電極に接続されており、

第1トランジスタの他方のソース／ドレイン部は、電源部に接続されている形態とすることができる。

[0016] 上記の目的を達成するための本開示の積層型撮像素子は、上記の好ましい形態を含む本開示の第1の態様～第3の態様に係る撮像素子を少なくとも1つ有する。

[0017] 上記の目的を達成するための本開示の第1の態様に係る固体撮像装置は、

上記の好ましい形態を含む本開示の第1の態様～第3の態様に係る撮像素子を、複数、備えている。また、上記の目的を達成するための本開示の第2の態様に係る固体撮像装置は、本開示の積層型撮像素子を、複数、備えている。

発明の効果

[0018] 本開示の第1の態様～第3の態様に係る撮像素子、本開示の積層型撮像素子を構成する本開示の第1の態様～第3の態様に係る撮像素子、あるいは又、本開示の第1の態様～第2の態様に係る固体撮像装置を構成する本開示の第1の態様～第3の態様に係る撮像素子は、第1トランジスタ、第2トランジスタ及び第3トランジスタの3つのトランジスタの内の少なくとも2つのトランジスタを備えた構成、構造を有するので、撮像素子の構成、構造の簡素化を図ることができるし、少なくとも1つのトランジスタが、光電変換層に隣接して設けられているので、撮像素子の面積縮小化や高解像度化、撮像素子の構成、構造の一層の簡素化を図ることができる。また、撮像素子内の配線の短縮化や簡素化を図ることができるので、画素の電荷電圧変換効率の向上を図ることができ、撮像素子のS/N比の改善を図ることができる。尚、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また、付加的な効果があってもよい。

図面の簡単な説明

[0019] [図1]図1A及び図1Bは、実施例1の撮像素子の概念図、及び、本開示の第1の態様～第3の態様に係る撮像素子の等価回路図である。

[図2]図2A及び図2Bは、それぞれ、実施例2及び実施例3の撮像素子の概念図である。

[図3]図3A及び図3Bは、それぞれ、実施例4及び実施例5の撮像素子の概念図である。

[図4]図4は、実施例6の撮像素子の概念図である。

[図5]図5は、実施例1の撮像素子、積層型撮像素子の、図6の矢印X-Xに沿った模式的な一部断面図である。

[図6]図6は、実施例1の撮像素子、積層型撮像素子における第2電極等の模式的な平面図である。

[図7]図7A、図7B、図7C、図7D及び図7Eは、実施例1の撮像素子、積層型撮像素子の、図6の矢印A-A、矢印B-B、矢印C-C、矢印D-D及び矢印E-E（あるいは矢印F-F）に沿った模式的な一部断面図である。

[図8]図8は、実施例1の撮像素子、積層型撮像素子の等価回路図である。

[図9]図9は、実施例1の撮像素子、積層型撮像素子の等価回路図である。

[図10]図10は、実施例1の撮像素子の動作時の各部位における電位の状態を模式的に示す図である。

[図11]図11は、実施例1の固体撮像装置の概念図である。

[図12]図12は、実施例1の撮像素子、積層型撮像素子の變形例の、図6の矢印X-Xに沿った模式的な一部断面図である。

[図13]図13A及び図13Bは、実施例1の撮像素子の別の變形例の概念図である。

[図14]図14は、実施例1の撮像素子の更に別の變形例（本開示の第1の態様に係る固体撮像装置を構成する撮像素子）の、図6の矢印X-Xに沿った模式的な一部断面図である。

[図15]図15は、実施例2の撮像素子、積層型撮像素子の、図16の矢印X-Xに沿った模式的な一部断面図である。

[図16]図16は、実施例2の撮像素子、積層型撮像素子における第2電極等の模式的な平面図である。

[図17]図17A、図17B、図17C及び図17Dは、実施例2の撮像素子、積層型撮像素子の、図16の矢印A-A、矢印B-B、矢印C-C及び矢印D-Dに沿った模式的な一部断面図である。

[図18]図18は、実施例2の撮像素子の動作時の各部位における電位の状態を模式的に示す図である。

[図19]図19は、実施例3の撮像素子、積層型撮像素子の、図20の矢印X

－Xに沿った模式的な一部断面図である。

[図20]図20は、実施例3の撮像素子、積層型撮像素子における第2電極等の模式的な平面図である。

[図21]図21A、図21B、図21C及び図21Dは、実施例3の撮像素子、積層型撮像素子の、図20の矢印A－A、矢印B－B、矢印C－C及び矢印D－Dに沿った模式的な一部断面図である。

[図22]図22は、実施例3の撮像素子の動作時の各部位における電位の状態を模式的に示す図である。

[図23]図23は、実施例4の撮像素子、積層型撮像素子の、図24の矢印X－Xに沿った模式的な一部断面図である。

[図24]図24は、実施例4の撮像素子、積層型撮像素子における第2電極等の模式的な平面図である。

[図25]図25は、実施例5の撮像素子、積層型撮像素子の、図26の矢印X－Xに沿った模式的な一部断面図である。

[図26]図26は、実施例5の撮像素子、積層型撮像素子における第2電極等の模式的な平面図である。

[図27]図27は、実施例6の撮像素子、積層型撮像素子の、図28の矢印X－Xに沿った模式的な一部断面図である。

[図28]図28は、実施例6の撮像素子、積層型撮像素子における第2電極等の模式的な平面図である。

[図29]図29は、実施例7の撮像素子、積層型撮像素子の模式的な一部断面図である。

[図30]図30は、実施例7の撮像素子、積層型撮像素子の等価回路図である。

[図31]図31は、実施例7の撮像素子、積層型撮像素子の等価回路図である。

[図32]図32A、図32B及び図32Cは、それぞれ、実施例7、実施例10及び実施例12の撮像素子を構成する第2電極及び電荷蓄積用電極等の模

式的な配置図である。

[図33]図33は、実施例7の撮像素子の動作時の各部位における電位の状態を模式的に示す図である。

[図34]図34は、実施例7の撮像素子、積層型撮像素子の変形例の等価回路図である。

[図35]図35は、実施例8の撮像素子、積層型撮像素子の模式的な一部断面図である。

[図36]図36は、実施例9の撮像素子、積層型撮像素子の模式的な一部断面図である。

[図37]図37は、実施例9の撮像素子、積層型撮像素子の変形例の模式的な一部断面図である。

[図38]図38は、実施例9の撮像素子の別の変形例の模式的な一部断面図である。

[図39]図39は、実施例9の撮像素子の更に別の変形例の模式的な一部断面図である。

[図40]図40は、実施例10の撮像素子、積層型撮像素子の一部分の模式的な一部断面図である。

[図41]図41は、実施例10の撮像素子、積層型撮像素子の等価回路図である。

[図42]図42は、実施例10の撮像素子、積層型撮像素子の等価回路図である。

[図43]図43は、実施例10の撮像素子の動作時の各部位における電位の状態を模式的に示す図である。

[図44]図44は、実施例10の撮像素子の別の動作時の各部位における電位の状態を模式的に示す図である。

[図45]図45は、実施例11の撮像素子、積層型撮像素子の一部分の模式的な一部断面図である。

[図46]図46は、実施例12の撮像素子、積層型撮像素子の一部分の模式的

な一部断面図である。

[図47]図47は、実施例12の撮像素子、積層型撮像素子の等価回路図である。

[図48]図48は、実施例12の撮像素子、積層型撮像素子の等価回路図である。

[図49]図49は、実施例12の撮像素子の動作時の各部位における電位の状態を模式的に示す図である。

[図50]図50は、実施例12の撮像素子の別の動作時（転送時）の各部位における電位の状態を模式的に示す図である。

[図51]図51は、実施例7の撮像素子、積層型撮像素子の別の変形例の模式的な一部断面図である。

[図52]図52は、実施例7の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図53]図53A、図53B及び図53Cは、実施例7の撮像素子、積層型撮像素子の更に別の変形例の第2電極の部分等の拡大された模式的な一部断面図である。

[図54]図54は、実施例11の撮像素子、積層型撮像素子の別の変形例の電荷排出電極の部分等の拡大された模式的な一部断面図である。

[図55]図55は、実施例7の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図56]図56は、実施例7の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図57]図57は、実施例7の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図58]図58は、実施例10の撮像素子、積層型撮像素子の別の変形例の模式的な一部断面図である。

[図59]図59は、実施例7の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図60]図60は、実施例7の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図61]図61は、実施例10の撮像素子、積層型撮像素子の更に別の変形例の模式的な一部断面図である。

[図62]図62は、変換効率切り替えトランジスタを備えた本開示の撮像素子の等価回路図である。

[図63]図63は、変換効率切り替えトランジスタを備えた本開示の撮像素子の等価回路図である。

[図64]図64は、本開示の撮像素子、積層型撮像素子から構成された固体撮像装置を電子機器（カメラ）を用いた例の概念図である。

[図65]図65A、図65B、図65C、図65D及び図65Eは、図5に示したリセット・トランジスタ TR_{rst} （第1トランジスタ TR_1 ）の製造工程を説明するための層間絶縁層等の模式的な一部端面図である。

[図66]図66A、図66B、図66C及び図66Dは、図12に示したリセット・トランジスタ TR_{rst} （第1トランジスタ TR_1 ）の製造工程を説明するための層間絶縁層等の模式的な一部端面図である。

[図67]図67は、従来の積層型撮像素子（積層型固体撮像装置）の概念図である。

発明を実施するための形態

[0020] 以下、図面を参照して、実施例に基づき本開示を説明するが、本開示は実施例に限定されるものではなく、実施例における種々の数値や材料は例示である。尚、説明は、以下の順序で行う。

1. 本開示の第1の態様～第3の態様に係る撮像素子、並びに、本開示の積層型撮像素子及び本開示の第1の態様～第2の態様に係る固体撮像装置、全般に関する説明

2. 実施例1（本開示の第1の態様に係る撮像素子〔本開示の第1-Aの態様に係る撮像素子〕、本開示の積層型撮像素子及び本開示の第1の態様～第2の態様に係る固体撮像装置）

3. 実施例 2（実施例 1 の変形 [本開示の第 1 - B の態様に係る撮像素子]
）
4. 実施例 3（実施例 2 の変形 [本開示の第 1 - C の態様に係る撮像素子]
）
5. 実施例 4（本開示の第 2 の態様に係る撮像素子 [本開示の第 2 - A の態
様に係る撮像素子]）
6. 実施例 5（実施例 4 の変形 [本開示の第 2 - B の態様に係る撮像素子]
）
7. 実施例 6（本開示の第 3 の態様に係る撮像素子 [本開示の第 3 - A の態
様に係る撮像素子]）
8. 実施例 7（実施例 1 ～実施例 6 の変形、電荷蓄積用電極を備えた撮像素
子）
9. 実施例 8（実施例 7 の変形）
10. 実施例 9（実施例 7 ～実施例 8 の変形）
11. 実施例 10（実施例 7 ～実施例 9 の変形、転送制御用電極を備えた撮
像素子）
12. 実施例 11（実施例 7 ～実施例 10 の変形、電荷排出電極を備えた撮
像素子）
13. 実施例 12（実施例 7 ～実施例 11 の変形、複数の電荷蓄積用電極セ
グメントを備えた撮像素子）
14. その他

[0021] <本開示の第 1 の態様～第 3 の態様に係る撮像素子、並びに、本開示の積層
型撮像素子及び本開示の第 1 の態様～第 2 の態様に係る固体撮像装置、全般
に関する説明>

本開示の第 1 の態様～第 3 の態様に係る撮像素子、本開示の積層型撮像素
子を構成する本開示の第 1 の態様～第 3 の態様に係る撮像素子、あるいは又
、本開示の第 1 の態様～第 2 の態様に係る固体撮像装置を構成する本開示の
第 1 の態様～第 3 の態様に係る撮像素子における半導体層の上方に形成され

たトランジスタにあっては、以下に説明するように、ソース／ドレイン部は、ソース／ドレイン領域又はソース／ドレイン電極から構成されている。ソース／ドレイン部が電極から構成される場合、ソース／ドレイン部はソース／ドレイン電極に該当し、それ以外の場合、ソース／ドレイン部はソース／ドレイン領域に該当する。

[0022] 上記の好ましい形態を含む本開示の第1の態様に係る撮像素子において、光電変換層は、有機光電変換材料から成る形態とすることができる。

[0023] あるいは又、上記の好ましい形態を含む本開示の第1の態様に係る撮像素子において、少なくとも第1光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。そして、この場合、光電変換層及び第1光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。更には、これらの形態にあっては、下層半導体層に可視光を吸収させないといった観点から、下層半導体層を構成する半導体材料は、3.0 eV以上のバンドギャップエネルギーを有する形態とすることが好ましい。

[0024] 更には、以上に説明した各種の好ましい形態を含む本開示の第1の態様に係る撮像素子において、第1光電変換層延在部の一部の厚さは、光電変換層の厚さよりも薄い形態とすることが好ましい。

[0025] 更には、以上に説明した各種の好ましい形態を含む第3トランジスタを備えた本開示の第1の態様に係る撮像素子は、半導体層を更に備えており、第2トランジスタ及び第3トランジスタは、半導体層に形成されており、光電変換部及び第1トランジスタは、半導体層の上方に形成されており、第2トランジスタのゲート部は、第1コンタクトホール部を介して、第2電極に接続されている構成とすることができる。尚、このような構成の撮像素子を、便宜上、『本開示の第1-Aの態様に係る撮像素子』と呼ぶ場合がある。

[0026] そして、本開示の第1-Aの態様に係る撮像素子は、光電変換層から延在する第2光電変換層延在部、

光電変換層の第2面と同じ側の第2光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第2電極延在部、及び、

第2光電変換層延在部の第2面に接して設けられた第5電極及び第6電極、
を更に備えており、

第2トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、

第2トランジスタのゲート部は、第2電極に接続される代わりに、第2電極延在部から構成されており、

第2トランジスタの一方のソース／ドレイン部（ソース／ドレイン電極）は、第5電極から構成されており、

第2トランジスタの他方のソース／ドレイン部（ソース／ドレイン電極）は、第6電極から構成されており、且つ、第2コンタクトホール部を介して、第3トランジスタの一方のソース／ドレイン部に接続されている構成とすることができる。尚、このような構成の撮像素子を、便宜上、『本開示の第1-Bの態様に係る撮像素子』と呼ぶ場合がある。

[0027] 本開示の第1-Bの態様に係る撮像素子において、第2光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。そして／あるいは又、第2光電変換層延在部の一部の厚さは、光電変換層の厚さよりも薄い構成とすることができる。

[0028] そして、本開示の第1-Bの態様に係る撮像素子は、

光電変換層から延在する第3光電変換層延在部、

光電変換層の第2面と同じ側の第3光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第7電極、及び、

第3光電変換層延在部の第2面に接して設けられた第8電極、
を更に備えており、

第3トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、

第3トランジスタの一方のソース／ドレイン部（ソース／ドレイン電極）は、第2コンタクトホール部を介して第6電極に接続される代わりに、第6電極と共通であり、

第3トランジスタのゲート部は、第7電極から構成されており、

第3トランジスタの他方のソース／ドレイン部（ソース／ドレイン電極）は、第8電極から構成されており、且つ、第3コンタクトホール部を介して信号線に接続されている構成とすることができる。尚、このような構成の撮像素子を、便宜上、『本開示の第1-Cの態様に係る撮像素子』と呼ぶ場合がある。

[0029] 本開示の第1-Cの態様に係る撮像素子において、第3光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。そして／あるいは又、第3光電変換層延在部の一部の厚さは、光電変換層の厚さよりも薄い構成とすることができる。

[0030] 上記の好ましい形態を含む本開示の第2の態様に係る撮像素子においても、少なくとも第1光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。そして、この場合、光電変換層及び第1光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。更には、これらの形態にあっては、下層半導体層に可視光を吸収させないといった観点から、下層半導体層を構成する半導体材料は、3.0 eV以上のバンドギャップエネルギーを有する形態とすることが好ましい。

[0031] 更には、以上に説明した各種の好ましい形態を含む本開示の第2の態様に係る撮像素子において、第1光電変換層延在部の一部の厚さは、光電変換層の厚さよりも薄い形態とすることが好ましい。

[0032] 第1トランジスタを備えた本開示の第2の態様に係る撮像素子は、半導体層を更に備えており、

第1トランジスタ及び第3トランジスタは、半導体層に形成されており、光電変換部及び第2トランジスタは、半導体層の上方に形成されており、

第1トランジスタの一方のソース／ドレイン部は、第1コンタクトホール部を介して、第2電極に接続されており、

第3トランジスタの一方のソース／ドレイン部は、第2コンタクトホール部を介して、第4電極に接続されている構成とすることができる。尚、このような構成の撮像素子を、便宜上、『本開示の第2－Aの態様に係る撮像素子』と呼ぶ場合がある。

[0033] そして、本開示の第2－Aの態様に係る撮像素子は、

光電変換層から延在する第2光電変換層延在部、

光電変換層の第2面と同じ側の第2光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第5電極、及び、

第2光電変換層延在部の第2面に接して設けられた第6電極、
を更に備えており、

第3トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、

第3トランジスタの一方のソース／ドレイン部（ソース／ドレイン電極）は、第2コンタクトホール部を介して第4電極に接続される代わりに、第4電極と共通であり、

第3トランジスタのゲート部は、第5電極から構成されており、

第3トランジスタの他方のソース／ドレイン部（ソース／ドレイン電極）は、第6電極から構成されており、且つ、第3コンタクトホール部を介して信号線に接続されている構成とすることができる。尚、このような構成の撮像素子を、便宜上、『本開示の第2－Bの態様に係る撮像素子』と呼ぶ場合がある。

[0034] 本開示の第2－Bの態様に係る撮像素子において、第2光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。そして／あるいは又、第2光電変換層延在部の一部の厚さは、光電変換層の厚さよりも薄い構成とすることができる。

[0035] 上記の好ましい形態を含む本開示の第3の態様に係る撮像素子においても

、光電変換層並びにチャネル形成領域及びチャネル形成領域延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。更には、このような形態にあつては、下層半導体層に可視光を吸収させないといった観点から、下層半導体層を構成する半導体材料は、
3. 0 eV以上のバンドギャップエネルギーを有する形態とすることが好ましい。

[0036] 第1トランジスタを備えた本開示の第3の態様に係る撮像素子は、半導体層を更に備えており、

第1トランジスタ及び第2トランジスタは、半導体層に形成されており、
光電変換部及び第3トランジスタは、半導体層の上方に形成されており、
第1トランジスタの一方のソース／ドレイン部、及び、第2トランジスタのゲート部は、第1コンタクトホール部を介して、第2電極に接続されており、

第2トランジスタの他方のソース／ドレイン部（ソース／ドレイン領域）は、第2コンタクトホール部を介して、第3電極に接続されており、

第3トランジスタの他方のソース／ドレイン部（ソース／ドレイン電極）は、第3コンタクトホール部を介して、信号線に接続されている構成とすることができる。尚、このような構成の撮像素子を、便宜上、『本開示の第3-Aの態様に係る撮像素子』と呼ぶ場合がある。

[0037] 以上に説明した各種の好ましい形態、構成を含む本開示の第1の態様～第3の態様に係る撮像素子を、本開示の積層型撮像素子を構成する撮像素子、本開示の第1の態様～第2の態様に係る固体撮像装置を構成する撮像素子に適用することができる。尚、これらの撮像素子を総称して、以下、『本開示の撮像素子等』と呼ぶ場合がある。

[0038] 本開示の撮像素子等において、光入射側に位置する第1電極は、複数の撮像素子において共通化されていてもよい。即ち、第1電極を所謂ベタ電極とすることができる。光電変換層は、複数の撮像素子において共通化されていてもよいし、即ち、複数の撮像素子において1層の光電変換層が形成されて

いてもよいし、撮像素子毎に設けられていてもよい。

[0039] 本開示の撮像素子等において、第1電極側から光が入射するが、半導体層の上方に形成された各種トランジスタ（特に、各種トランジスタのチャネル形成領域）に光が入射しないように、遮光層が形成されていることが好ましい。あるいは又、第1電極の上方にはオンチップ・マイクロ・レンズが設けられており、オンチップ・マイクロ・レンズに入射する光は、半導体層の上方に形成された各種トランジスタ（特に、各種トランジスタのチャネル形成領域）には入射しないような構成とすることが好ましい。ここで、遮光層は、第1電極の光入射側の面よりも上方に配設されてもよいし、第1電極の光入射側の面の上に配設されてもよい。場合によっては、第1電極に遮光層が形成されていてもよい。遮光層を構成する材料として、クロム（Cr）や銅（Cu）、アルミニウム（Al）、タングステン（W）、光を通さない樹脂（例えば、ポリイミド樹脂）を例示することができる。

[0040] 本開示の撮像素子等として、具体的には、青色光（425nm乃至495nmの光）を吸収する光電変換層（便宜上、『第1タイプの青色光電変換層』と呼ぶ）を備えた青色光に感度を有する撮像素子（便宜上、『第1タイプの青色光用撮像素子』と呼ぶ）、緑色光（495nm乃至570nmの光）を吸収する光電変換層（便宜上、『第1タイプの緑色光電変換層』と呼ぶ）を備えた緑色光に感度を有する撮像素子（便宜上、『第1タイプの緑色光用撮像素子』と呼ぶ）、赤色光（620nm乃至750nmの光）を吸収する光電変換層（便宜上、『第1タイプの赤色光電変換層』と呼ぶ）を備えた赤色光に感度を有する撮像素子（便宜上、『第1タイプの赤色光用撮像素子』と呼ぶ）を挙げることができる。また、従来の撮像素子であって、青色光に感度を有する撮像素子を、便宜上、『第2タイプの青色光用撮像素子』と呼び、緑色光に感度を有する撮像素子を、便宜上、『第2タイプの緑色光用撮像素子』と呼び、赤色光に感度を有する撮像素子を、便宜上、『第2タイプの赤色光用撮像素子』と呼び、第2タイプの青色光用撮像素子を構成する光電変換層を、便宜上、『第2タイプの青色光電変換層』と呼び、第2タイプ

の緑色光用撮像素子を構成する光電変換層を、便宜上、『第2タイプの緑色光電変換層』と呼び、第2タイプの赤色光用撮像素子を構成する光電変換層を、便宜上、『第2タイプの赤色光電変換層』と呼ぶ。

[0041] 本開示の積層型撮像素子は、少なくとも本開示の第1の態様～第3の態様に係る撮像素子（光電変換素子）を1つ有するが、具体的には、例えば、

[A] 第1タイプの青色光用光電変換部、第1タイプの緑色光用光電変換部及び第1タイプの赤色光用光電変換部が、垂直方向に積層され、

第1タイプの青色光用撮像素子、第1タイプの緑色光用撮像素子及び第1タイプの赤色光用撮像素子の制御部のそれぞれが、例えば、半導体層に設けられた構成、構造

[B] 第1タイプの青色光用光電変換部及び第1タイプの緑色光用光電変換部が、垂直方向に積層され、

これらの2層の第1タイプの光電変換部の下方に、第2タイプの赤色光用光電変換層が配置され、

第1タイプの青色光用撮像素子、第1タイプの緑色光用撮像素子及び第2タイプの赤色光用撮像素子の制御部のそれぞれが、例えば、半導体層に設けられた構成、構造

[C] 第1タイプの緑色光用光電変換部の下方に、第2タイプの青色光用光電変換部及び第2タイプの赤色光用光電変換部が配置され、

第1タイプの緑色光用撮像素子、第2タイプの青色光用撮像素子及び第2タイプの赤色光用撮像素子の制御部のそれぞれが、例えば、半導体層に設けられた構成、構造

[D] 第1タイプの青色光用光電変換部の下方に、第2タイプの緑色光用光電変換部及び第2タイプの赤色光用光電変換部が配置され、

第1タイプの青色光用撮像素子、第2タイプの緑色光用撮像素子及び第2タイプの赤色光用撮像素子の制御部のそれぞれが、例えば、半導体層に設けられた構成、構造

を挙げることができる。尚、これらの撮像素子の光電変換部の垂直方向にお

ける配置順は、光入射方向から青色光用光電変換部、緑色光用光電変換部、赤色光用光電変換部の順、あるいは、光入射方向から緑色光用光電変換部、青色光用光電変換部、赤色光用光電変換部の順であることが好ましい。これは、より短い波長の光がより入射表面側において効率良く吸収されるからである。赤色は3色の中では最も長い波長であるので、光入射面から見て赤色光用光電変換部を最下層に位置させることが好ましい。これらの撮像素子の積層構造によって、1つの画素が構成される。また、第1タイプの赤外線用光電変換部を備えていてもよい。ここで、第1タイプの赤外線用光電変換部の光電変換層は、例えば、有機系材料から構成され、第1タイプの撮像素子の積層構造の最下層であって、第2タイプの撮像素子よりも上に配置することが好ましい。あるいは又、第1タイプの光電変換部の下方に、第2タイプの赤外線用光電変換部を備えていてもよい。

[0042] 第1タイプの撮像素子にあっては、例えば、第2電極が、半導体層の上に設けられた層間絶縁層上に形成されている。半導体層に形成された撮像素子（第2タイプの撮像素子）は、従来の撮像素子と同じ構成、構造を有し、裏面照射型とすることもできるし、表面照射型とすることもできる。半導体層として、シリコン半導体基板を挙げることができるし、SOI基板におけるシリコン層を挙げることができる。

[0043] 光電変換層を有機系材料から構成する場合、光電変換層を、

- (1) p型有機半導体から構成する。
- (2) n型有機半導体から構成する。
- (3) p型有機半導体膜／n型有機半導体膜の積層構造から構成する。p型有機半導体膜／p型有機半導体とn型有機半導体との混合層（バルクヘテロ構造）／n型有機半導体膜の積層構造から構成する。p型有機半導体膜／p型有機半導体とn型有機半導体との混合層（バルクヘテロ構造）の積層構造から構成する。n型有機半導体膜／p型有機半導体とn型有機半導体との混合層（バルクヘテロ構造）の積層構造から構成する。
- (4) p型有機半導体とn型有機半導体の混合（バルクヘテロ構造）から構

成する。

の4態様のいずれかとすることができる。但し、積層順は任意に入れ替えた構成とすることができる。

[0044] p型有機半導体として、ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、ピレン誘導体、ペリレン誘導体、テトラセン誘導体、ペンタセン誘導体、キナクリドン誘導体、チオフェン誘導体、チエノチオフェン誘導体、ベンゾチオフェン誘導体、ベンゾチエノベンゾチオフェン誘導体、トリアリルアミン誘導体、カルバゾール誘導体、ペリレン誘導体、ピセン誘導体、クリセン誘導体、フルオランテン誘導体、フタロシアニン誘導体、サブフタロシアニン誘導体、サブポルフィラジン誘導体、複素環化合物を配位子とする金属錯体、ポリチオフェン誘導体、ポリベンゾチアジアゾール誘導体、ポリフルオレン誘導体等を挙げることができる。n型有機半導体として、フラーレン及びフラーレン誘導体（例えば、C₆₀や、C₇₀、C₇₄等のフラーレン（高次フラーレン）、内包フラーレン等）又はフラーレン誘導体（例えば、フラーレンフッ化物やPCBMフラーレン化合物、フラーレン多量体等）、p型有機半導体よりもHOMO及びLUMOが大きい（深い）有機半導体、透明な無機金属酸化物を挙げることができる。n型有機半導体として、具体的には、窒素原子、酸素原子、硫黄原子を含有する複素環化合物、例えば、ピリジン誘導体、ピラジン誘導体、ピリミジン誘導体、トリアジン誘導体、キノリン誘導体、キノキサリン誘導体、イソキノリン誘導体、アクリジン誘導体、フェナジン誘導体、フェナントロリン誘導体、テトラゾール誘導体、ピラゾール誘導体、イミダゾール誘導体、チアゾール誘導体、オキサゾール誘導体、イミダゾール誘導体、ベンゾイミダゾール誘導体、ベンゾトリアゾール誘導体、ベンゾオキサゾール誘導体、ベンゾオキサゾール誘導体、カルバゾール誘導体、ベンゾフラン誘導体、ジベンゾフラン誘導体、サブポルフィラジン誘導体、ポリフェニレンビニレン誘導体、ポリベンゾチアジアゾール誘導体、ポリフルオレン誘導体等を分子骨格の一部に有する有機分子、有機金属錯体やサブフタロシアニン誘導体を挙げることができ

る。フラーレン誘導体に含まれる基等として、ハロゲン原子；直鎖、分岐若しくは環状のアルキル基若しくはフェニル基；直鎖若しくは縮環した芳香族化合物を有する基；ハロゲン化物を有する基；パーシャルフルオロアルキル基；パーフルオロアルキル基；シリルアルキル基；シリルアルコキシ基；アリールシリル基；アリールスルファニル基；アルキルスルファニル基；アリールスルホニル基；アルキルスルホニル基；アリールスルフィド基；アルキルスルフィド基；アミノ基；アルキルアミノ基；アリールアミノ基；ヒドロキシ基；アルコキシ基；アシルアミノ基；アシルオキシ基；カルボニル基；カルボキシ基；カルボキソアミド基；カルボアルコキシ基；アシル基；スルホニル基；シアノ基；ニトロ基；カルコゲン化物を有する基；ホスフィン基；ホスホン基；これらの誘導体を挙げることができる。有機系材料から構成された光電変換層（『有機光電変換層』と呼ぶ場合がある）の厚さは、限定するものではないが、例えば、 $1 \times 10^{-8} \text{m}$ 乃至 $5 \times 10^{-7} \text{m}$ 、好ましくは $2.5 \times 10^{-8} \text{m}$ 乃至 $3 \times 10^{-7} \text{m}$ 、より好ましくは $2.5 \times 10^{-8} \text{m}$ 乃至 $2 \times 10^{-7} \text{m}$ 、一層好ましくは $1 \times 10^{-7} \text{m}$ 乃至 $1.8 \times 10^{-7} \text{m}$ を例示することができる。尚、有機半導体は、p型、n型と分類されることが多いが、p型とは正孔を輸送し易いという意味であり、n型とは電子を輸送し易いという意味であり、無機半導体のように熱励起の多数キャリアとして正孔又は電子を有しているという解釈に限定されない。

[0045] あるいは又、緑色光を光電変換する有機光電変換層を構成する材料として、例えば、ローダミン系色素、メラシアニン系色素、キナクリドン誘導体、サブフタロシアニン系色素（サブフタロシアニン誘導体）等を挙げることができるし、青色光を光電変換する有機光電変換層を構成する材料として、例えば、クマリン酸色素、トリスー8ーヒドリキシキノリアルミニウム（Alq3）、メラシアニン系色素等を挙げることができるし、赤色光を光電変換する有機光電変換層を構成する材料として、例えば、フタロシアニン系色素、サブフタロシアニン系色素（サブフタロシアニン誘導体）を挙げることができる。

[0046] あるいは又、光電変換層を構成する無機系材料として、結晶シリコン、アモルファスシリコン、微結晶シリコン、結晶セレン、アモルファスセレン、及び、カルコパライト系化合物であるCIGS (CuInGaSe)、CIS (CuInSe_2)、 CuInS_2 、 CuAlS_2 、 CuAlSe_2 、 CuGaS_2 、 CuGaSe_2 、 AgAlS_2 、 AgAlSe_2 、 AgInS_2 、 AgInSe_2 、あるいは又、III-V族化合物であるGaAs、InP、AlGaAs、InGaP、AlGaInP、InGaAsP、更には、CdSe、CdS、 In_2Se_3 、 In_2S_3 、 Bi_2Se_3 、 Bi_2S_3 、ZnSe、ZnS、PbSe、PbS等の化合物半導体を挙げることができる。加えて、これらの材料から成る量子ドットを光電変換層に使用することも可能である。

[0047] 前述したとおり、光電変換層を、下層半導体層及び上層光電変換層の積層構造とすることができる。このように下層半導体層を設けることで、電荷蓄積時の再結合を防止することができ、光電変換層に蓄積した電荷の第2電極への転送効率を増加させることができるし、暗電流の生成を抑制することができる。また、半導体層の上方に形成されたトランジスタのチャネル形成領域の最適化を図ることができる。上層光電変換層を構成する材料は、上記の光電変換層を構成する各種材料から、適宜、選択すればよい。一方、下層半導体層を構成する半導体材料として、バンドギャップの値が大きく（例えば、3.0 eV以上のバンドギャップの値）、しかも、光電変換層を構成する材料よりも高い移動度を有する材料を用いることが好ましい。具体的には、IGZO等の酸化物半導体材料；遷移金属ダイカルコゲナイド；シリコンカーバイド；ダイヤモンド；グラフェン；カーボンナノチューブ；SiやGe、GaAsといった半導体材料；縮合多環炭化水素化合物や縮合複素環化合物等の有機半導体材料を挙げることができる。あるいは又、下層半導体層を構成する半導体材料として、蓄積すべき電荷が正孔である場合、光電変換層を構成する材料のイオン化ポテンシャルよりも小さなイオン化ポテンシャルを有する材料を挙げることができるし、蓄積すべき電荷が電子である場合、光電変換層を構成する材料の電子親和力よりも大きな電子親和力を有する材

料を挙げることができる。あるいは又、下層半導体層を構成する半導体材料における不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましい。下層半導体層は、単層構成であってもよいし、多層構成であってもよい。また、半導体層の上方に形成された各種のトランジスタのチャネル形成領域を構成する下層半導体層の部分の材料と、第2電極の上に位置する下層半導体層の部分の材料とを、異ならせてもよい。

[0048] 本開示の撮像素子等において、光電変換部は、更に、第2電極と離間して配置され、且つ、絶縁層を介して光電変換層と対向して配置された電荷蓄積用電極を備えている形態とすることができる。尚、このような形態の本開示の撮像素子等を、便宜上、『電荷蓄積用電極を備えた撮像素子』と呼ぶ。

[0049] このように第2電極と離間して配置され、且つ、絶縁層を介して光電変換層と対向して配置された電荷蓄積用電極を備えることで、光電変換部に光が照射され、光電変換部において光電変換されるとき、光電変換層に蓄えられる電荷の量を蓄積用電極で制御することができる。それ故、露光開始時、電荷蓄積部を完全空乏化し、電荷を消去することを、一層、確実に達成することができる。その結果、kTCノイズが大きくなり、ランダムノイズが悪化し、撮像画質の低下をもたらすといった現象の発生を一層確実に抑制することができる。

[0050] 電荷蓄積用電極を備えた撮像素子において、第2電極は、絶縁層に設けられた開口部内を延在し、光電変換層と接続されている形態とすることができる。あるいは又、光電変換層は、絶縁層に設けられた開口部内を延在し、第2電極と接続されている形態とすることができ、この場合、

第2電極の頂面の縁部は絶縁層で覆われており、

開口部の底面には第2電極が露出しており、

第2電極の頂面と接する絶縁層の面を第1面、電荷蓄積用電極と対向する光電変換層の部分と接する絶縁層の面を第2面としたとき、開口部の側面は、第1面から第2面に向かって広がる傾斜を有する形態とすることができ、更には、第1面から第2面に向かって広がる傾斜を有する開口部の側面は、

電荷蓄積用電極側に位置する形態とすることができる。尚、光電変換層と第2電極との間に他の層が形成されている形態（例えば、光電変換層と第2電極との間に電荷蓄積に適した材料層が形成されている形態）を包含する。

[0051] 電荷蓄積用電極を備えた撮像素子は、駆動回路を有する制御部を更に備えており、

第2電極及び電荷蓄積用電極は、駆動回路に接続されており、

電荷蓄積期間において、駆動回路から、第2電極に電位 V_{11} が印加され、電荷蓄積用電極に電位 V_{12} が印加され、光電変換層に電荷が蓄積され、

電荷転送期間において、駆動回路から、第2電極に電位 V_{21} が印加され、電荷蓄積用電極に電位 V_{22} が印加され、光電変換層に蓄積された電荷が第2電極を経由して制御部に読み出される構成とすることができる。但し、第2電極の電位が第1電極の電位よりも高い場合、

$$V_{12} \geq V_{11}、\text{且つ、} V_{22} < V_{21}$$

であり、第2電極の電位が第1電極の電位よりも低い場合、

$$V_{12} \leq V_{11}、\text{且つ、} V_{22} > V_{21}$$

である。

[0052] 更には、以上に説明した各種の好ましい形態、構成を含む電荷蓄積用電極を備えた撮像素子にあっては、第2電極と電荷蓄積用電極との間に、第2電極及び電荷蓄積用電極と離間して配置され、且つ、絶縁層を介して光電変換層と対向して配置された転送制御用電極（電荷転送電極）を更に備えている形態とすることができる。尚、このような形態の本開示の撮像素子等を、便宜上、『転送制御用電極を備えた撮像素子』と呼ぶ。

[0053] 転送制御用電極を備えた撮像素子は、駆動回路を有する制御部を更に備えており、

第2電極、転送制御用電極は、駆動回路に接続されており、

電荷蓄積期間において、駆動回路から、第2電極に電位 V_{11} が印加され、電荷蓄積用電極に電位 V_{12} が印加され、転送制御用電極に電位 V_{13} が印加され、光電変換層に電荷が蓄積され、

電荷転送期間において、駆動回路から、第2電極に電位 V_{21} が印加され、電荷蓄積用電極に電位 V_{22} が印加され、転送制御用電極に電位 V_{23} が印加され、光電変換層に蓄積された電荷が第2電極を介して制御部に読み出される構成とすることができる。但し、第2電極の電位が第1電極の電位よりも高い場合、

$$V_{12} > V_{13}、\text{且つ、} V_{22} \leq V_{23} \leq V_{21}$$

であり、第2電極の電位が第1電極の電位よりも低い場合、

$$V_{12} < V_{13}、\text{且つ、} V_{22} \geq V_{23} \geq V_{21}$$

である。

[0054] 更には、以上に説明した各種の好ましい形態、構成を含む電荷蓄積用電極を備えた撮像素子にあっては、光電変換層に接続され、第2電極及び電荷蓄積用電極と離間して配置された電荷排出電極を更に備えている形態とすることができる。尚、このような形態の電荷蓄積用電極を備えた撮像素子を、便宜上、『電荷排出電極を備えた撮像素子』と呼ぶ。そして、電荷排出電極を備えた撮像素子において、電荷排出電極は、半導体層の上方に形成されたトランジスタの全体を取り囲むように（即ち、額縁状に）配置されている形態とすることができる。電荷排出電極は、複数の撮像素子において共有化（共通化）することができる。そして、この場合、

光電変換層は、絶縁層に設けられた第2開口部内を延在し、電荷排出電極と接続されており、

電荷排出電極の頂面の縁部は絶縁層で覆われており、

第2開口部の底面には電荷排出電極が露出しており、

電荷排出電極の頂面と接する絶縁層の面を第3面、電荷蓄積用電極と対向する光電変換層の部分と接する絶縁層の面を第2面としたとき、第2開口部の側面は、第3面から第2面に向かって広がる傾斜を有する形態とすることができる。

[0055] 更には、電荷排出電極を備えた撮像素子は、駆動回路を有する制御部を更に備えており、

第2電極、電荷蓄積用電極及び電荷排出電極は、駆動回路に接続されており、

電荷蓄積期間において、駆動回路から、第2電極に電位 V_{11} が印加され、電荷蓄積用電極に電位 V_{12} が印加され、電荷排出電極に電位 V_{14} が印加され、光電変換層に電荷が蓄積され、

電荷転送期間において、駆動回路から、第2電極に電位 V_{21} が印加され、電荷蓄積用電極に電位 V_{22} が印加され、電荷排出電極に電位 V_{24} が印加され、光電変換層に蓄積された電荷が第2電極を介して制御部に読み出される構成とすることができる。但し、第2電極の電位が第1電極の電位よりも高い場合、

$$V_{14} > V_{11}、\text{且つ、} V_{24} < V_{21}$$

であり、第2電極の電位が第1電極の電位よりも低い場合、

$$V_{14} < V_{11}、\text{且つ、} V_{24} > V_{21}$$

である。

[0056] 更には、電荷蓄積用電極を備えた撮像素子における以上に説明した各種の好ましい形態、構成において、電荷蓄積用電極は、複数の電荷蓄積用電極セグメントから構成されている形態とすることができる。尚、このような形態の電荷蓄積用電極を備えた撮像素子を、便宜上、『複数の電荷蓄積用電極セグメントを備えた撮像素子』と呼ぶ。電荷蓄積用電極セグメントの数は、2以上であればよい。そして、複数の電荷蓄積用電極セグメントを備えた撮像素子にあっては、

第2電極の電位が第1電極の電位よりも高い場合、電荷転送期間において、第2電極に最も近い所に位置する電荷蓄積用電極セグメントに印加される電位は、第2電極に最も遠い所に位置する電荷蓄積用電極セグメントに印加される電位よりも高く、

第2電極の電位が第1電極の電位よりも低い場合、電荷転送期間において、第2電極に最も近い所に位置する電荷蓄積用電極セグメントに印加される電位は、第2電極に最も遠い所に位置する電荷蓄積用電極セグメントに印加

される電位よりも低い形態とすることができる。

- [0057] 更には、以上に説明した各種の好ましい形態、構成を含む電荷蓄積用電極を備えた撮像素子において、電荷蓄積用電極の大きさは第2電極よりも大きい形態とすることができる。電荷蓄積用電極の面積を S_1' 、第2電極の面積を S_1 としたとき、限定するものではないが、 $4 \leq S_1' / S_1$ を満足することが好ましい。

- [0058] 更には、以上に説明した各種の好ましい形態、構成を含む電荷蓄積用電極を備えた撮像素子において、第1電極側から光が入射し、第2電極（場合によっては、第2電極及び転送制御用電極）には光が入射しない形態とすることができ、この場合、第1電極よりの光入射側であって、第2電極（場合によっては、第2電極及び転送制御用電極）の上方には遮光層が形成されている構成とすることができ、あるいは又、電荷蓄積用電極及び第1電極の上方にはオンチップ・マイクロ・レンズが設けられており、オンチップ・マイクロ・レンズに入射する光は、電荷蓄積用電極に集光される構成とすることができる。ここで、遮光層は、第1電極の光入射側の面よりも上方に配設されてもよいし、第1電極の光入射側の面の上に配設されてもよい。場合によっては、第1電極に遮光層が形成されていてもよい。

- [0059] 本開示の第1の態様～第2の態様に係る固体撮像装置によって、単板式カラー固体撮像装置を構成することができる。

- [0060] 積層型撮像素子を備えた本開示の第2の態様に係る固体撮像装置にあっては、ベイア配列の撮像素子を備えた固体撮像装置と異なり（即ち、カラーフィルタを用いて青色、緑色、赤色の分光を行うのではなく）、同一画素内で光の入射方向において、複数種の波長の光に対して感度を有する撮像素子を積層して1つの画素を構成するので、感度の向上及び単位体積当たりの画素密度の向上を図ることができる。また、有機系材料は吸収係数が高いため、有機光電変換層の膜厚を従来のSi系光電変換層と比較して薄くすることができ、隣接画素からの光漏れや、光の入射角の制限が緩和される。更には、

従来のSi系撮像素子では3色の画素間で補間処理を行って色信号を作成するために偽色が生じるが、積層型撮像素子を備えた本開示の第2の態様に係る固体撮像装置にあっては、偽色の発生が抑えられる。有機光電変換層それ自体がカラーフィルタとしても機能するので、カラーフィルタを配設しなくとも色分離が可能である。

[0061] 一方、本開示の第1の態様に係る固体撮像装置にあっては、カラーフィルタを用いることで、青色、緑色、赤色の分光特性への要求を緩和することができるし、また、高い量産性を有する。本開示の第1の態様に係る固体撮像装置における撮像素子の配列として、ベイア配列の他、インターライン配列、GストライプRB市松配列、GストライプRB完全市松配列、市松補色配列、ストライプ配列、斜めストライプ配列、原色色差配列、フィールド色差順次配列、フレーム色差順次配列、MOS型配列、改良MOS型配列、フレームインターリーブ配列、フィールドインターリーブ配列を挙げることができる。ここで、1つの撮像素子によって1つの画素（あるいは副画素）が構成される。

[0062] 本開示の撮像素子あるいは本開示の積層型撮像素子が複数配列された画素領域は、2次元アレイ状に規則的に複数配列された画素から構成される。画素領域は、通常、実際に光を受光し光電変換によって生成された信号電荷を増幅して駆動回路に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域とから構成されている。黒基準画素領域は、通常は、有効画素領域の外周部に配置されている。

[0063] 以上に説明した各種の好ましい形態、構成を含む本開示の撮像素子等において、光が照射され、光電変換層で光電変換が生じ、正孔（ホール）と電子がキャリア分離される。そして、正孔が取り出される電極を陽極、電子が取り出される電極を陰極とする。第2電極が陽極を構成し、第1電極が陰極を構成する形態もあるし、逆に、第2電極が陰極を構成し、第1電極が陽極を構成する形態もある。

[0064] 積層型撮像素子を構成する場合、第1電極、第2電極、第3電極、第4電

極、第5電極、第6電極、第7電極、第8電極、電荷蓄積用電極、転送制御用電極及び電荷排出電極は透明導電材料から成る構成とすることができる。尚、第1電極を除く各種電極を総称して、『第2電極等』と呼ぶ場合がある。あるいは又、撮像素子が、例えばベイヤ配列のように平面に配される場合には、第1電極は透明導電材料から成り、第2電極等は金属材料から成る構成とすることができ、この場合、具体的には、光入射側に位置する第1電極は透明導電材料から成り、第2電極等は、例えば、Al-Nd（アルミニウム及びネオジウムの合金）又はAl-Si（アルミニウム、サマリウム及び銅の合金）から成る構成とすることができる。尚、透明導電材料から成る電極を『透明電極』と呼ぶ場合がある。ここで、ここで、透明導電材料のバンドギャップエネルギーは、2.5 eV以上、好ましくは3.1 eV以上であることが望ましい。透明電極を構成する透明導電材料として、導電性のある金属酸化物を挙げることができ、具体的には、酸化インジウム、インジウム-錫酸化物（ITO, Indium Tin Oxide, Snドープの In_2O_3 、結晶性ITO及びアモルファスITOを含む）、酸化亜鉛にドーパントとしてインジウムを添加したインジウム-亜鉛酸化物（IZO, Indium Zinc Oxide）、酸化ガリウムにドーパントとしてインジウムを添加したインジウム-ガリウム酸化物（IGO）、酸化亜鉛にドーパントとしてインジウムとガリウムを添加したインジウム-ガリウム-亜鉛酸化物（IGZO, In-Ga-ZnO_4 ）、酸化亜鉛にドーパントとしてインジウムと錫を添加したインジウム-錫-亜鉛酸化物（ITZO）、FZO（Fドープの In_2O_3 ）、酸化錫（ SnO_2 ）、ATO（Sbドープの SnO_2 ）、FTO（Fドープの SnO_2 ）、酸化亜鉛（他元素をドープした ZnO を含む）、酸化亜鉛にドーパントとしてアルミニウムを添加したアルミニウム-亜鉛酸化物（AZO）、酸化亜鉛にドーパントとしてガリウムを添加したガリウム-亜鉛酸化物（GZO）、酸化チタン（ TiO_2 ）、酸化チタンにドーパントとしてニオブを添加したニオブ-チタン酸化物（TNO）、酸化アンチモン、スピネル型酸化物、 YbFe_2O_4 構造を有する酸化物を例示することができる。あるいは又、ガリウム酸化物、チタン酸

化物、ニオブ酸化物、ニッケル酸化物等を母層とする透明電極を挙げることができる。透明電極の厚さとして、 $2 \times 10^{-8} \text{m}$ 乃至 $2 \times 10^{-7} \text{m}$ 、好ましくは $3 \times 10^{-8} \text{m}$ 乃至 $1 \times 10^{-7} \text{m}$ を挙げることができる。

[0065] あるいは又、透明性が不要である場合、正孔を取り出す電極としての機能を有する陽極を構成する導電材料として、高仕事関数（例えば、 $\phi = 4.5 \text{ eV} \sim 5.5 \text{ eV}$ ）を有する導電材料から構成することが好ましく、具体的には、金（Au）、銀（Ag）、クロム（Cr）、ニッケル（Ni）、パラジウム（Pd）、白金（Pt）、鉄（Fe）、イリジウム（Ir）、ゲルマニウム（Ge）、オスミウム（Os）、レニウム（Re）、テルル（Te）を例示することができる。一方、電子を取り出す電極としての機能を有する陰極を構成する導電材料として、低仕事関数（例えば、 $\phi = 3.5 \text{ eV} \sim 4.5 \text{ eV}$ ）を有する導電材料から構成することが好ましく、具体的には、アルカリ金属（例えばLi、Na、K等）及びそのフッ化物又は酸化物、アルカリ土類金属（例えばMg、Ca等）及びそのフッ化物又は酸化物、アルミニウム（Al）、亜鉛（Zn）、錫（Sn）、タリウム（Tl）、ナトリウム－カリウム合金、アルミニウム－リチウム合金、マグネシウム－銀合金、インジウム、イッテリビウム等の希土類金属、あるいは、これらの合金を挙げることができる。あるいは又、陽極や陰極を構成する材料として、白金（Pt）、金（Au）、パラジウム（Pd）、クロム（Cr）、ニッケル（Ni）、アルミニウム（Al）、銀（Ag）、タンタル（Ta）、タングステン（W）、銅（Cu）、チタン（Ti）、インジウム（In）、錫（Sn）、鉄（Fe）、コバルト（Co）、モリブデン（Mo）等の金属、あるいは、これらの金属元素を含む合金、これらの金属から成る導電性粒子、これらの金属を含む合金の導電性粒子、不純物を含有したポリシリコン、炭素系材料、酸化物半導体、カーボン・ナノ・チューブ、グラフェン等の導電性材料を挙げることができるし、これらの元素を含む層の積層構造とすることもできる。更には、陽極や陰極を構成する材料として、ポリ（3，4－エチレンジオキシチオフェン）／ポリスチレンスルホン酸〔PEDOT／PSS〕と

いった有機材料（導電性高分子）を挙げることでもある。また、これらの導電性材料をバインダー（高分子）に混合してペースト又はインクとしたものを硬化させ、電極として用いてもよい。

[0066] 第2電極等や第1電極（陽極や陰極）の成膜方法として、乾式法あるいは湿式法を用いることが可能である。乾式法として、物理的気相成長法（PVD法）及び化学的気相成長法（CVD法）を挙げることができる。PVD法の原理を用いた成膜方法として、抵抗加熱あるいは高周波加熱を用いた真空蒸着法、EB（電子ビーム）蒸着法、各種スパッタリング法（マグネトロンスパッタリング法、RF-DC結合形バイアスパッタリング法、ECRスパッタリング法、対向ターゲットスパッタリング法、高周波スパッタリング法）、イオンプレーティング法、レーザーアブレーション法、分子線エピタキシー法、レーザー転写法を挙げることができる。また、CVD法として、プラズマCVD法、熱CVD法、有機金属（MO）CVD法、光CVD法を挙げることができる。一方、湿式法として、電解メッキ法や無電解メッキ法、スピンコート法、インクジェット法、スプレーコート法、スタンプ法、マイクロコンタクトプリント法、フレキソ印刷法、オフセット印刷法、グラビア印刷法、ディップ法等の方法を挙げることができる。パターニング法として、シャドーマスク、レーザー転写、フォトリソグラフィ等の化学的エッチング、紫外線やレーザー等による物理的エッチング等を挙げることができる。第2電極等や第1電極の平坦化技術として、レーザー平坦化法、リフロー法、CMP（Chemical Mechanical Polishing）法等を用いることができる。

[0067] 絶縁膜や絶縁層を構成する材料として、酸化ケイ素系材料；窒化ケイ素（ Si_3N_4 ）；酸化アルミニウム（ Al_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化ジルコニウム（ ZrO_2 等の金属酸化物高誘電絶縁材料に例示される無機系絶縁材料だけでなく、ポリメチルメタクリレート（PMMA）；ポリビニルフェノール（PVP）；ポリビニルアルコール（PVA）；ポリイミド；ポリカーボネート（PC）；ポリエチレンテレフタレート（PET）；ポリスチレン；N-2（アミノエチル）3-アミノプロピルトリメトキシシラン（

A E A P T M S)、3-メルカプトプロピルトリメトキシシラン(M P T M S)、オクタデシルトリクロロシラン(O T S)等のシラノール誘導体(シランカップリング剤);ノボラック型フェノール樹脂;フッ素系樹脂;オクタデカンチオール、ドデシルイソシアネイト等の一端に電極と結合可能な官能基を有する直鎖炭化水素類にて例示される有機系絶縁材料(有機ポリマー)を挙げることができるし、これらの組み合わせを用いることもできる。尚、酸化ケイ素系材料として、酸化シリコン(SiO_x)、B P S G、P S G、B S G、A s S G、P b S G、酸化窒化シリコン(SiON)、S O G(スピコンガラス)、低誘電率材料(例えば、ポリアリールエーテル、シクロパーフルオロカーボンポリマー及びベンゾシクロブテン、環状フッ素樹脂、ポリテトラフルオロエチレン、フッ化アリールエーテル、フッ化ポリイミド、アモルファスカーボン、有機S O G)を例示することができる。各種層間絶縁層を構成する材料も、これらの材料から適宜選択すればよい。

[0068] 各種トランジスタは、必要に応じて、制御部に接続されている。半導体層に形成された各種トランジスタの構成、構造は、従来のトランジスタの構成、構造と同様とすることができる。制御部を構成する駆動回路も周知の構成、構造とすることができる。

[0069] コンタクトホール部を構成する材料として、不純物がドーピングされたポリシリコンや、タングステン、T i、P t、P d、C u、T i W、T i N、T i N W、W S i₂、M o S i₂等の高融点金属や金属シリサイド、これらの材料から成る層の積層構造(例えば、T i / T i N / W)を例示することができる。

[0070] 有機光電変換層と第1電極との間に、第1キャリアブロッキング層を設けてもよいし、有機光電変換層と第2電極との間に、第2キャリアブロッキング層を設けてもよい。また、第1キャリアブロッキング層と第1電極との間に第1電荷注入層を設けてもよいし、第2キャリアブロッキング層と第2電極との間に第2電荷注入層を設けてもよい。例えば、電子注入層を構成する材料として、例えば、リチウム(L i)、ナトリウム(N a)、カリウム(

K) といったアルカリ金属及びそのフッ化物や酸化物、マグネシウム (Mg)、カルシウム (Ca) といったアルカリ土類金属及びそのフッ化物や酸化物を挙げることができる。

[0071] 各種有機層の成膜方法として、乾式成膜法及び湿式成膜法を挙げることができる。乾式成膜法として、抵抗加熱あるいは高周波加熱、電子ビーム加熱を用いた真空蒸着法、フラッシュ蒸着法、プラズマ蒸着法、EB蒸着法、各種スパッタリング法（2極スパッタリング法、直流スパッタリング法、直流マグネトロンスパッタリング法、高周波スパッタリング法、マグネトロンスパッタリング法、RF-DC結合形バイアスパッタリング法、ECRスパッタリング法、対向ターゲットスパッタリング法、高周波スパッタリング法、イオンビームスパッタリング法）、DC (Direct Current) 法、RF法、多陰極法、活性化反応法、電界蒸着法、高周波イオンプレーティング法や反応性イオンプレーティング法等の各種イオンプレーティング法、レーザーアブレーション法、分子線エピタキシー法、レーザー転写法、分子線エピタキシー法 (MBE法) を挙げることができる。また、CVD法として、プラズマCVD法、熱CVD法、MOCVD法、光CVD法を挙げることができる。一方、湿式法として、具体的には、スピコート法；浸漬法；キャスト法；マイクロコンタクトプリント法；ドロップキャスト法；スクリーン印刷法やインクジェット印刷法、オフセット印刷法、グラビア印刷法、フレキソ印刷法といった各種印刷法；スタンプ法；スプレー法；エアドクタコーター法、ブレードコーター法、ロッドコーター法、ナイフコーター法、スクイズコーター法、リバーロールコーター法、トランスファーロールコーター法、グラビアコーター法、キスコーター法、キャストコーター法、スプレーコーター法、スリットオリフィスコーター法、カレンダーコーター法といった各種コーティング法を例示することができる。尚、塗布法においては、溶媒として、トルエン、クロロホルム、ヘキサン、エタノールといった無極性又は極性の低い有機溶媒を例示することができる。パターニング法として、シャドーマスク、レーザー転写、フォトリソグラフィ等の化学的エッチング、紫

外線やレーザー等による物理的エッチング等を挙げることができる。各種有機層の平坦化技術として、レーザー平坦化法、リフロー法等を用いることができる。

[0072] 撮像素子あるいは固体撮像装置には、前述したとおり、必要に応じて、オンチップ・マイクロ・レンズや遮光層を設けてもよいし、撮像素子を駆動するための駆動回路や配線が設けられている。必要に応じて、撮像素子への光の入射を制御するためのシャッターを配設してもよいし、固体撮像装置の目的に応じて光学カットフィルタを具備してもよい。

[0073] 例えば、固体撮像装置を讀出し用集積回路（R O I C）と積層する場合、讀出し用集積回路及び銅（C u）から成る接続部が形成された駆動用基板と、接続部が形成された撮像素子とを、接続部同士が接するように重ね合わせ、接続部同士を接合することで、積層することができるし、接続部同士をハンダバンプ等を用いて接合することもできる。あるいは又、半導体層の周辺領域に駆動回路チップを配置し、半導体層に設けられた各種トランジスタを駆動する駆動線及び信号線を、駆動回路チップに設けられた駆動回路と電氣的に接続する構成とすることもできる。尚、電氣的な接続として、半田バンプを用いる方法（チップ・オン・チップ方式に基づく方法）を挙げることができるし、あるいは又、スルーチップビヤ（T C V）やスルーシリコンビヤ（T S V）を用いる方法を採用すればよい。

実施例 1

[0074] 実施例 1 は、本開示の第 1 の態様に係る撮像素子、具体的には、本開示の第 1 - A の態様に係る撮像素子に関し、また、本開示の積層型撮像素子、本開示の第 1 の態様～第 2 の態様に係る固体撮像装置に関する。実施例 1 の撮像素子の概念図を図 1 A に示し、本開示の第 1 の態様～第 3 の態様に係る撮像素子の等価回路図を図 1 B に示す。また、実施例 1 の撮像素子、積層型撮像素子における第 2 電極等の模式的な平面図を図 6 に示し、実施例 1 の撮像素子、積層型撮像素子の、図 6 の矢印 X - X に沿った模式的な一部断面図を図 5 に示し、実施例 1 の撮像素子、積層型撮像素子の、図 6 の矢印 A - A、

矢印B－B、矢印C－C、矢印D－D及び矢印E－E（あるいは矢印F－F）に沿った模式的な一部断面図を、図7A、図7B、図7C、図7D及び図7Eに示す。また、実施例1の撮像素子、積層型撮像素子の等価回路図を図8及び図9に示す。

[0075] 実施例1の撮像素子（例えば、後述する緑色光用撮像素子）は、少なくとも、光電変換部、第1トランジスタ TR_1 及び第2トランジスタ TR_2 を備えている。そして、光電変換部は、

第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層13、

光電変換層13の第1面に接して設けられた第1電極11、及び、

光電変換層13の第2面に接して設けられた第2電極12、

から成る。撮像素子は、更に、

光電変換層13から延在する第1光電変換層延在部13A、

光電変換層13の第2面と同じ側の第1光電変換層延在部13Aの第2面に、絶縁膜82を介して対向して形成された第3電極51、及び、

第1光電変換層延在部13Aの第2面に接して設けられた第4電極51C

、
を備えている。

[0076] そして、第1トランジスタ TR_1 は、一方のソース／ドレイン部（ソース／ドレイン電極）として機能する第2電極12A（51B）、ゲート部として機能する第3電極51、他方のソース／ドレイン部（ソース／ドレイン電極）として機能し、電源部 V_{DD} に接続された第4電極51C、及び、チャネル形成領域51Aとして機能する第1光電変換層延在部13Aから成り、

第2トランジスタ TR_2 のゲート部52は、第2電極12に接続されており、

第2トランジスタ TR_2 の一方のソース／ドレイン部52Bは、電源部 V_{DD} に接続されている。

[0077] また、実施例1の撮像素子は、更に、第3トランジスタ TR_3 を備えており

、

第3トランジスタ TR_3 の一方のソース／ドレイン部53Bは、第2トランジスタ TR_2 の他方のソース／ドレイン部52Cに接続されており、

第3トランジスタ TR_3 の他方のソース／ドレイン部53Cは、信号線（出力信号線） $VS L_1$ に接続されている。

[0078] ここで、第1トランジスタ TR_1 はリセット・トランジスタ（ TR_{1rst} ）とも呼ばれ、第2トランジスタ TR_2 は増幅トランジスタ（ TR_{1amp} ）とも呼ばれ、第3トランジスタ TR_3 は選択トランジスタ（ TR_{1sel} ）とも呼ばれる。以下の説明においても同様である。また、図1～図4を除き、図面においては、第1トランジスタ TR_1 を「 TR_{1rst} 」と表示し、第2トランジスタ TR_2 を「 TR_{1amp} 」と表示し、第3トランジスタ TR_3 を「 TR_{1sel} 」と表示する。

[0079] また、実施例1の積層型撮像素子は、実施例1の撮像素子を少なくとも1つ、実施例1にあっては実施例1の撮像素子を1つ、有する。

[0080] 更には、実施例1の固体撮像装置は、実施例1の積層型撮像素子を、複数、備えている。

[0081] そして、光電変換層13は、後述するように、有機光電変換材料から成る。

[0082] また、実施例1の撮像素子は、本開示の第1-Aの態様に係る撮像素子であり、半導体層70を更に備えており、

第2トランジスタ TR_2 （ TR_{1amp} ）及び第3トランジスタ TR_3 （ TR_{1sel} ）は、半導体層70に形成されており、

光電変換部及び第1トランジスタ TR_1 （ TR_{1rst} ）は、半導体層70の上方に形成されており、

第2トランジスタ TR_2 （ TR_{1amp} ）のゲート部52は、第1コンタクトホール部61を介して、第2電極12に接続されている。

[0083] 上述したとおり、実施例1の撮像素子は、半導体層、具体的には半導体基板（より具体的には、シリコン半導体層）70を更に備えており、光電変換

部は、半導体基板 70 の上方に配置されている。また、半導体基板 70 に設けられ、第 2 電極 12 が接続された駆動回路を有する制御部を更に備えている。ここで、半導体基板 70 における光入射面を上方とし、半導体基板 70 の反対側を下方とする。半導体基板 70 の下方には複数の配線から成る配線層 62 が設けられている。また、半導体基板 70 には、制御部を構成する少なくとも第 2 トランジスタ $T R_2$ (増幅トランジスタ $T R 1_{amp}$) 及び第 3 トランジスタ $T R_2$ (選択トランジスタ $T R 1_{sel}$) が設けられており、第 2 電極 12 は、増幅トランジスタ $T R 1_{amp}$ のゲート部 52 に接続されている。また、増幅トランジスタ $T R 1_{amp}$ の他方のソース／ドレイン部 (ソース／ドレイン領域) 52 C は、選択トランジスタ $T R 1_{sel}$ の一方のソース／ドレイン部 (ソース／ドレイン領域) 53 B に接続されており、選択トランジスタ $T R 1_{sel}$ の他方のソース／ドレイン部 53 C は信号線 $V S L_1$ に接続されている。具体的には、増幅トランジスタ $T R 1_{amp}$ の他方のソース／ドレイン部 (ソース／ドレイン領域) 52 C と、選択トランジスタ $T R 1_{sel}$ の一方のソース／ドレイン部 (ソース／ドレイン領域) 53 B とは共有化 (共通化) されている。

[0084] 具体的には、実施例 1 の撮像素子、積層型撮像素子は、裏面照射型の撮像素子、積層型撮像素子であり、緑色光を吸収する第 1 タイプの緑色光電変換層を備えた緑色光に感度を有する第 1 タイプの実施例 1 の緑色光用撮像素子 (以下、『第 1 撮像素子』と呼ぶ)、青色光を吸収する第 2 タイプの青色光電変換層を備えた青色光に感度を有する第 2 タイプの従来の青色光用撮像素子 (以下、『第 2 撮像素子』と呼ぶ)、赤色光を吸収する第 2 タイプの赤色光電変換層を備えた赤色光に感度を有する第 2 タイプの従来の赤色光用撮像素子 (以下、『第 3 撮像素子』と呼ぶ) の 3 つの撮像素子が積層された構造を有する。ここで赤色光用撮像素子 (第 3 撮像素子) 及び青色光用撮像素子 (第 2 撮像素子) は、半導体基板 70 内に設けられており、第 2 撮像素子の方が、第 3 撮像素子よりも光入射側に位置する。また、緑色光用撮像素子 (第 1 撮像素子) は、青色光用撮像素子 (第 2 撮像素子) の上方に設けられている。第 1 撮像素子、第 2 撮像素子及び第 3 撮像素子の積層構造によって、

1画素が構成される。カラーフィルタは設けられていない。

[0085] 第1撮像素子にあっては、層間絶縁層81上に、第2電極12が形成されている。第2電極12上には光電変換層13が形成され、光電変換層13上には第1電極11が形成されている。第1電極11を含む全面には、保護層83が形成されており、保護層83上にオンチップ・マイクロ・レンズ90が設けられている。第2電極12及び第1電極11は、例えば、ITOから成る透明電極から構成されている。光電変換層13は、少なくとも緑色光に感度を有する周知の有機光電変換材料（例えば、ローダミン系色素、メラニン系色素、キナクリドン等の有機系材料）を含む層から構成されている。また、光電変換層13は、更に、電荷蓄積に適した材料層を含む構成であってもよい。即ち、光電変換層13と第2電極12との間に、更に、電荷蓄積に適した材料層が形成されていてもよい。層間絶縁層81や絶縁膜82、保護層83は、周知の絶縁材料（例えば、SiO₂やSiN）から構成されている。

[0086] 半導体基板70の第1面（おもて面）70Aの側には素子分離領域71が形成され、また、半導体基板70の第1面70Aには酸化膜72が形成されている。更には、半導体基板70の第1面側には、第1撮像素子の制御部を構成する増幅トランジスタTR1_{amp}（TR₂）及び選択トランジスタTR1_{sel}（TR₃）が設けられている。

[0087] リセット・トランジスタTR1_{rst}（第1トランジスタTR₁）は、ゲート部51、チャネル形成領域51A、ソース／ドレイン部51B、51C、及び、絶縁膜（ゲート絶縁膜）51D（82）から構成されている。リセット・トランジスタTR1_{rst}のゲート部51はリセット線RST₁に接続され、リセット・トランジスタTR1_{rst}の一方のソース／ドレイン部51Bは、第1浮遊拡散領域としても機能し、他方のソース／ドレイン部51Cは、電源V_{DD}に接続されている。また、第2電極12及び第1コンタクトホール部61から増幅トランジスタTR1_{amp}（TR₂）のゲート部52までの配線部分も、第1浮遊拡散領域としても機能する。

- [0088] 増幅トランジスタ TR_{1_amp} (第2トランジスタ TR_2) は、ゲート部 5 2、チャネル形成領域 5 2 A、ソース／ドレイン部 5 2 B、5 2 C、及び、ゲート絶縁膜 7 2 から構成されている。第2電極 1 2 は、半導体基板 7 0 等及び層間絶縁層 7 6 に形成された第1コンタクトホール部 6 1、層間絶縁層 7 6 に形成された配線層 6 2 を介して、ゲート部 5 2 に接続されている。また、一方のソース／ドレイン部 5 2 B は、電源 V_{DD} に接続されている。
- [0089] 選択トランジスタ TR_{1_sel} (第3トランジスタ TR_3) は、ゲート部 5 3、チャネル形成領域 5 3 A、ソース／ドレイン部 5 3 B、5 3 C、及び、ゲート絶縁膜 7 2 から構成されている。ゲート部 5 3 は、選択線 SEL_1 に接続されている。また、一方のソース／ドレイン部 5 3 B は、増幅トランジスタ TR_{1_amp} を構成する他方のソース／ドレイン部 5 2 C と、領域を共有しており、他方のソース／ドレイン部 5 3 C は、信号線 (データ出力線) $VS L_1$ (1 1 7) に接続されている。
- [0090] 第2撮像素子は、半導体基板 7 0 に設けられた n 型半導体領域 4 1 を光電変換層として備えている。縦型トランジスタから成る転送トランジスタ TR_{2_trs} のゲート部 4 5 が、n 型半導体領域 4 1 まで延びており、且つ、転送ゲート線 TG_2 に接続されている。また、転送トランジスタ TR_{2_trs} のゲート部 4 5 の近傍の半導体基板 7 0 の領域 4 5 C には、第2浮遊拡散層 FD_2 が設けられている。n 型半導体領域 4 1 に蓄積された電荷は、ゲート部 4 5 に沿って形成される転送チャネルを介して第2浮遊拡散層 FD_2 に読み出される。
- [0091] 第2撮像素子にあっては、更に、半導体基板 7 0 の第1面側に、第2撮像素子の制御部を構成するリセット・トランジスタ TR_{2_rst} 、増幅トランジスタ TR_{2_amp} 及び選択トランジスタ TR_{2_sel} が設けられている。
- [0092] リセット・トランジスタ TR_{2_rst} は、ゲート部、チャネル形成領域、及び、ソース／ドレイン部から構成されている。リセット・トランジスタ TR_{2_rst} のゲート部はリセット線 RST_2 に接続され、リセット・トランジスタ TR_{2_rst} の一方のソース／ドレイン部は電源 V_{DD} に接続され、他方のソース／ドレイン部は、第2浮遊拡散層 FD_2 を兼ねている。

- [0093] 増幅トランジスタ $T R 2_{amp}$ は、ゲート部、チャネル形成領域、及び、ソース／ドレイン部から構成されている。ゲート部は、リセット・トランジスタ $T R 2_{rst}$ の他方のソース／ドレイン部（第2浮遊拡散層 $F D_2$ ）に接続されている。また、一方のソース／ドレイン部は、電源 V_{DD} に接続されている。
- [0094] 選択トランジスタ $T R 2_{sel}$ は、ゲート部、チャネル形成領域、及び、ソース／ドレイン部から構成されている。ゲート部は、選択線 $S E L_2$ に接続されている。また、一方のソース／ドレイン部は、増幅トランジスタ $T R 2_{amp}$ を構成する他方のソース／ドレイン部と、領域を共有しており、他方のソース／ドレイン部は、信号線（データ出力線） $V S L_2$ に接続されている。
- [0095] 第3撮像素子は、半導体基板 70 に設けられた n 型半導体領域 43 を光電変換層として備えている。転送トランジスタ $T R 3_{trs}$ のゲート部 46 は転送ゲート線 $T G_3$ に接続されている。また、転送トランジスタ $T R 3_{trs}$ のゲート部 46 の近傍の半導体基板 70 の領域 46C には、第3浮遊拡散層 $F D_3$ が設けられている。 n 型半導体領域 43 に蓄積された電荷は、ゲート部 46 に沿って形成される転送チャネル 46A を介して第3浮遊拡散層 $F D_3$ に読み出される。
- [0096] 第3撮像素子にあっては、更に、半導体基板 70 の第1面側に、第3撮像素子の制御部を構成するリセット・トランジスタ $T R 3_{rst}$ 、増幅トランジスタ $T R 3_{amp}$ 及び選択トランジスタ $T R 3_{sel}$ が設けられている。
- [0097] リセット・トランジスタ $T R 3_{rst}$ は、ゲート部、チャネル形成領域、及び、ソース／ドレイン部から構成されている。リセット・トランジスタ $T R 3_{rst}$ のゲート部はリセット線 $R S T_3$ に接続され、リセット・トランジスタ $T R 3_{rst}$ の一方のソース／ドレイン部は電源 V_{DD} に接続され、他方のソース／ドレイン部は、第3浮遊拡散層 $F D_3$ を兼ねている。
- [0098] 増幅トランジスタ $T R 3_{amp}$ は、ゲート部、チャネル形成領域、及び、ソース／ドレイン部から構成されている。ゲート部は、リセット・トランジスタ $T R 3_{rst}$ の他方のソース／ドレイン部（第3浮遊拡散層 $F D_3$ ）に接続されている。また、一方のソース／ドレイン部は、電源 V_{DD} に接続されている。

- [0099] 選択トランジスタ $TR_{3_{sel}}$ は、ゲート部、チャネル形成領域、及び、ソース／ドレイン部から構成されている。ゲート部は、選択線 SEL_3 に接続されている。また、一方のソース／ドレイン部は、増幅トランジスタ $TR_{3_{amp}}$ を構成する他方のソース／ドレイン部と、領域を共有しており、他方のソース／ドレイン部は、信号線（データ出力線） VSL_3 に接続されている。
- [0100] リセット線 RST_1 , RST_2 , RST_3 、選択線 SEL_1 , SEL_2 , SEL_3 、転送ゲート線 TG_2 , TG_3 は、駆動回路を構成する垂直駆動回路 112 に接続され、信号線（データ出力線） VSL_1 , VSL_2 , VSL_3 は、駆動回路を構成するカラム信号処理回路 113 に接続されている。
- [0101] n型半導体領域 43 と半導体基板 70 の表面 70A との間には p^+ 層 44 が設けられており、暗電流発生を抑制している。n型半導体領域 41 と n型半導体領域 43 との間には、 p^+ 層 42 が形成されており、更には、n型半導体領域 43 の側面の一部は p^+ 層 42 によって囲まれている。半導体基板 70 の裏面 70B の側には、 p^+ 層 73 が形成されており、 p^+ 層 73 から半導体基板 70 の内部の第1コンタクトホール部 61 を形成すべき部分には、 HfO_2 膜 74 及び下層絶縁膜 75 が形成されている。層間絶縁層 76 には、複数の層に互配線が形成されているが、図示は省略した。
- [0102] HfO_2 膜 74 は、負の固定電荷を有する膜であり、このような膜を設けることによって、暗電流の発生を抑制することができる。尚、 HfO_2 膜の代わりに、酸化アルミニウム (Al_2O_3) 膜、酸化ジルコニウム (ZrO_2) 膜、酸化タンタル (Ta_2O_5) 膜、酸化チタン (TiO_2) 膜、酸化ランタン (La_2O_3) 膜、酸化プラセオジム (Pr_2O_3) 膜、酸化セリウム (CeO_2) 膜、酸化ネオジム (Nd_2O_3) 膜、酸化プロメチウム (Pm_2O_3) 膜、酸化サマリウム (Sm_2O_3) 膜、酸化ユウロピウム (Eu_2O_3) 膜、酸化ガドリニウム (Gd_2O_3) 膜、酸化テルビウム (Tb_2O_3) 膜、酸化ジスプロシウム (Dy_2O_3) 膜、酸化ホルミウム (Ho_2O_3) 膜、酸化ツリウム (Tm_2O_3) 膜、酸化イットルビウム (Yb_2O_3) 膜、酸化ルテチウム (Lu_2O_3) 膜、酸化イットリウム (Y_2O_3) 膜、窒化ハフニウム膜、窒化アルミニウム膜、酸窒化ハフニウ

ム膜、酸窒化アルミニウム膜を用いることもできる。これらの膜の成膜方法として、例えば、CVD法、PVD法、ALD法が挙げることができる。

[0103] 以下、実施例1の撮像素子の動作時の各部位における電位の状態を模式的に示す図である図10、及び、実施例1の撮像素子、積層型撮像素子の等価回路図である図9を参照して、実施例1の撮像素子（第1撮像素子）の動作を説明する。即ち、リセット時、増幅トランジスタ TR_{1_amp} 及び選択トランジスタ TR_{1_sel} をオフ状態としておき、第1電極11を接地状態とする。そして、リセット線 RS_{T1} を「H」状態としてゲート部51に高電位を印加することで、リセット・トランジスタ TR_{1_rst} （第1トランジスタ TR_1 ）をオン状態とする。第1トランジスタ TR_1 の他方のソース／ドレイン部51Cは、電源部 V_{DD} に接続されているので、第1トランジスタ TR_1 のチャネル形成領域51Aの電位、第1トランジスタ TR_1 の一方のソース／ドレイン部51Bの電位、更には、第2電極12の電位、第2電極12に隣接した光電変換層13の部分の電位は V_{DD} となり、撮像素子のリセットが行われる。リセット動作が完了し、電荷の蓄積を開始する時点で、リセット線 RS_{T1} を「L」状態としてゲート部51に低電位を印加することで、リセット・トランジスタ TR_{1_rst} （第1トランジスタ TR_1 ）をオフ状態とする。光電変換層13で光電変換された電荷（具体的には、電子）が第2電極12に蓄積されると、第2電極12の電位が低下する。そして、信号の読出し時、選択線 SEL_1 を「H」状態として選択トランジスタ TR_{1_sel} のゲート部53に高電位を印加することで、選択トランジスタ TR_{1_sel} （第3トランジスタ TR_3 ）をオン状態とする。すると、第2電極12の電位（即ち、増幅トランジスタ TR_{1_amp} のゲート部52の電位）に基づく電流が増幅トランジスタ TR_{1_amp} （第2トランジスタ TR_2 ）の一方のソース／ドレイン部52Bから他方のソース／ドレイン部52Cを流れ、更に、選択トランジスタ TR_{1_sel} （第3トランジスタ TR_3 ）の一方のソース／ドレイン部53Bから他方のソース／ドレイン部53Cを流れ、信号線（データ出力線） VS_{L1} に信号（画像信号）として出力される。また、第2撮像素子、第3撮像素子の電荷蓄積、リセット動作、電荷転送といっ

た一連の動作は、従来の電荷蓄積、リセット動作、電荷転送といった一連の動作と同様である。

[0104] 図 1 1 に、実施例 1 の固体撮像装置の概念図を示す。実施例 1 の固体撮像装置 1 0 0 は、積層型撮像素子 1 0 1 が 2 次元アレイ状に配列された撮像領域 1 1 1、並びに、その駆動回路（周辺回路）としての垂直駆動回路 1 1 2、カラム信号処理回路 1 1 3、水平駆動回路 1 1 4、出力回路 1 1 5 及び駆動制御回路 1 1 6 等から構成されている。尚、これらの回路は周知の回路から構成することができるし、また、他の回路構成（例えば、従来の C C D 撮像装置や C M O S 撮像装置にて用いられる各種の回路）を用いて構成することができることは云うまでもない。尚、図 1 1 において、積層型撮像素子 1 0 1 における参照番号「1 0 1」の表示は、1 行のみとした。

[0105] 駆動制御回路 1 1 6 は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路 1 1 2、カラム信号処理回路 1 1 3 及び水平駆動回路 1 1 4 の動作の基準となるクロック信号や制御信号を生成する。そして、生成されたクロック信号や制御信号は、垂直駆動回路 1 1 2、カラム信号処理回路 1 1 3 及び水平駆動回路 1 1 4 に入力される。

[0106] 垂直駆動回路 1 1 2 は、例えば、シフトレジスタによって構成され、撮像領域 1 1 1 の各積層型撮像素子 1 0 1 を行単位で順次垂直方向に選択走査する。そして、各積層型撮像素子 1 0 1 における受光量に応じて生成した電流（信号）に基づく画素信号（画像信号）は、信号線（データ出力線） 1 1 7、V S L を介してカラム信号処理回路 1 1 3 に送られる。

[0107] カラム信号処理回路 1 1 3 は、例えば、積層型撮像素子 1 0 1 の列毎に配置されており、1 行分の積層型撮像素子 1 0 1 から出力される画像信号を撮像素子毎に黒基準画素（図示しないが、有効画素領域の周囲に形成される）からの信号によって、ノイズ除去や信号増幅の信号処理を行う。カラム信号処理回路 1 1 3 の出力段には、水平選択スイッチ（図示せず）が水平信号線 1 1 8 との間に接続されて設けられる。

[0108] 水平駆動回路 1 1 4 は、例えばシフトレジスタによって構成され、水平走

査パルスを順次出力することによって、カラム信号処理回路 113 の各々を順次選択し、カラム信号処理回路 113 の各々から信号を水平信号線 118 に出力する。

[0109] 出力回路 115 は、カラム信号処理回路 113 の各々から水平信号線 118 を介して順次供給される信号に対して、信号処理を行って出力する。

[0110] 実施例 1 の撮像素子、積層型撮像素子は、例えば、以下の方法で作製することができる。即ち、先ず、SOI 基板を準備する。そして、SOI 基板の表面に第 1 シリコン層をエピタキシャル成長法に基づき形成し、この第 1 シリコン層に、 p^+ 層 73、 n 型半導体領域 41 を形成する。次いで、第 1 シリコン層上に第 2 シリコン層をエピタキシャル成長法に基づき形成し、この第 2 シリコン層に、素子分離領域 71、酸化膜 72、 p^+ 層 42、 n 型半導体領域 43、 p^+ 層 44 を形成する。また、第 2 シリコン層に、撮像素子の制御部を構成する各種トランジスタ等を形成し、更にその上に、配線層 62 や層間絶縁層 76、各種配線を形成した後、層間絶縁層 76 と支持基板（図示せず）とを貼り合わせる。その後、SOI 基板を除去して第 1 シリコン層を露出させる。尚、第 2 シリコン層の表面が半導体基板 70 の表面 70A に該当し、第 1 シリコン層の表面が半導体基板 70 の裏面 70B に該当する。また、第 1 シリコン層と第 2 シリコン層を纏めて半導体基板（半導体層）70 と表現している。次いで、半導体基板 70 の裏面 70B の側に、第 1 コンタクトホール部 61 を形成するための開口部を形成し、 HfO_2 膜 74、下層絶縁膜 75 及び第 1 コンタクトホール部 61 を形成し、更に、層間絶縁層 81、第 2 電極 12、第 3 電極 51、第 4 電極 51C、絶縁膜 82、光電変換層 13、第 1 電極 11、保護層 83 及びオンチップ・マイクロ・レンズ 90 を形成する。以上によって、実施例 1 の撮像素子、積層型撮像素子を得ることができる。

[0111] 図 5 に示したリセット・トランジスタ TR_{1rst} （第 1 トランジスタ TR_1 ）の具体的な作製工程を、層間絶縁層 81 等の模式的な一部端面図である以下、図 65A、図 65B、図 65C、図 65D 及び図 65E に基づき説明する

。尚、これらの図においては、層間絶縁層 8 1 より下方に位置する種々の構成要素の図示を省略している。

[0112] まず、層間絶縁層 8 1 の上に、第 2 電極 1 2 の一部、ゲート部 5 1 等を形成するための ITO 層 1 2' を形成する（図 6 5 A 参照）。その後、フォトリソグラフィ技術及びエッチング技術に基づき、第 2 電極 1 2、第 2 電極延在部 1 2 A、ゲート部 5 1、ソース／ドレイン部（第 4 電極）5 1 C を形成すべき部分の ITO 層 1 2' を残す。こうして、図 6 5 B に示す構造を得ることができる。その後、全面に絶縁膜 8 2 を形成する（図 6 5 C 参照）。次いで、フォトリソグラフィ技術及びエッチング技術に基づき、第 2 電極 1 2、第 2 電極延在部 1 2 A、ソース／ドレイン部（第 4 電極）5 1 C を形成すべき部分の上方の絶縁膜 8 2 を除去する。こうして、図 6 5 D に示す構造を得ることができる。その後、全面に ITO 層を形成し、エッチバック法に基づき不要な ITO 層の部分を除去することで、図 6 5 E に示す構造を得ることができる。次いで、全面に、光電変換層 1 3、第 1 電極 1 1 を形成する。こうして、第 1 トランジスタ TR_1 （リセット・トランジスタ TR_{1rst} ）を得ることができる。

[0113] 図 1 2 に実施例 1 の撮像素子の変形例を示すように、第 1 光電変換層延在部 1 3 A の一部 1 3 A' の厚さは、光電変換層 1 3 の厚さよりも薄い形態とすることができる。即ち、ゲート部 5 1 と絶縁膜（ゲート絶縁膜）5 1 D の厚さの合計は、光電変換層 1 3 の厚さと等しい。

[0114] 図 1 2 に示したリセット・トランジスタ TR_{1rst} （第 1 トランジスタ TR_1 ）の具体的な作製工程を、層間絶縁層 8 1 等の模式的な一部端面図である以下、図 6 6 A、図 6 6 B、図 6 6 C 及び図 6 6 D に基づき説明する。尚、これらの図においては、層間絶縁層 8 1 より下方に位置する種々の構成要素の図示を省略している。

[0115] まず、層間絶縁層 8 1 の上に、第 2 電極 1 2 の一部、ゲート部 5 1 等を形成するための ITO 層 1 2'' を形成する（図 6 6 A 参照）。その後、フォトリソグラフィ技術及びエッチング技術に基づき、第 2 電極 1 2、第 2 電極延

在部 1 2 A、ゲート部 5 1、ソース／ドレイン部（第 4 電極）5 1 C を形成する。こうして、図 6 6 B に示す構造を得ることができる。その後、全面に絶縁膜 8 2 を形成し、絶縁膜 8 2 に平坦化処理を施す。こうして、図 6 6 C に示す構造を得ることができる。次いで、フォトリソグラフィ技術及びエッチング技術に基づき、ゲート部 5 1 の上の絶縁膜 8 2 を残し、第 2 電極 1 2、第 2 電極延在部 1 2 A、ソース／ドレイン部（第 4 電極）5 1 C の上などの絶縁膜 8 2 を除去する。こうして、図 6 6 D に示す構造を得ることができる。その後、全面に、光電変換層 1 3、第 1 電極 1 1 を形成する。こうして、第 1 トランジスタ TR_1 （リセット・トランジスタ TR_{1rst} ）を得ることができる。

[0116] あるいは又、概念図を図 1 3 A 及び図 1 3 B に示すように、実施例 1 の撮像素子において、少なくとも第 1 光電変換層延在部 1 3 A は、第 2 面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。そして、この場合、光電変換層 1 3 及び第 1 光電変換層延在部 1 3 A は、第 2 面側から、下層半導体層及び上層光電変換層の積層構造を有する形態とすることができる。更には、これらの形態にあつては、下層半導体層に可視光を吸収させないといった観点から、下層半導体層を構成する半導体材料は、3.0 eV 以上のバンドギャップエネルギーを有する形態とすることが好ましい。具体的には、例えば、下層半導体層を透明酸化物半導体材料から構成し、上層光電変換層を、光電変換層 1 3 を構成する材料と同じ材料から構成すればよい。透明酸化物半導体材料として、例えば IGO 等を用いることができる。

[0117] 実施例 1 の撮像素子を、複数、備えた固体撮像装置とすることもできる。図 1 4 に模式的な一部断面図を示す実施例 1 の撮像素子の變形例は、裏面照射型の撮像素子であり、第 1 タイプの実施例 1 の第 1 撮像素子から構成されている。ここで、第 1 撮像素子は、赤色光を吸収する撮像素子、緑色光を吸収する撮像素子、青色光を吸収する撮像素子の 3 種類の撮像素子から構成されている。更には、これらの撮像素子の複数から、本開示の第 1 の態様に係

る固体撮像装置が構成される。複数のこれらの撮像素子の配置として、ベイ
ヤ配列を挙げることができる。各撮像素子の光入射側には、必要に応じて、
青色、緑色、赤色の分光を行うためのカラーフィルタが配設されている。尚
、固体撮像装置は、後述する実施例 2～実施例 6 の撮像素子を、複数、備え
ていてもよい。

[0118] 尚、第 1 タイプの実施例 1 の撮像素子を 1 つ、設ける代わりに、2 つ、積
層する形態（即ち、光電変換部を 2 つ、積層し、半導体基板に 2 つの撮像素
子の制御部を設ける形態）、あるいは又、3 つ、積層する形態（即ち、光電
変換部を 3 つ、積層し、半導体基板に 3 つの撮像素子の制御部を設ける形態
）とすることもできる。第 1 タイプの撮像素子と第 2 タイプの撮像素子の積
層構造例を、以下の表に例示する。

[0119]

	第 1 タイプ	第 2 タイプ
裏面照射型 及び 表面照射型	1 緑色	2 青色＋赤色
	1 原色	1 補色
	1 白色	1 赤外線
	1 青色又は緑色又は赤色	0
	2 緑色＋赤外光	2 青色＋赤色
	2 緑色＋青色	1 赤色
	2 白色＋赤外光	0
	3 緑色＋青色＋赤色	2 青緑色（エメラルド色） ＋赤外光
	3 緑色＋青色＋赤色	1 赤外光
	3 青色＋緑色＋赤色	0

[0120] 以上のとおり、実施例 1 の撮像素子は、第 1 トランジスタ、第 2 トランジスタ及び第 3 トランジスタの 3 つのトランジスタを備えた構成、構造を有するので、撮像素子の構成、構造の簡素化を図ることができるし、第 1 トランジスタが光電変換層に隣接して設けられているので、撮像素子の面積縮小化や高解像度化、撮像素子の構成、構造の一層の簡素化を図ることができる。また、第 1 トランジスタが光電変換層に隣接して設けられているので、撮像素子内の配線の短縮化、簡素化、配線の省略（例えば、第 2 電極とリセット・トランジスタの一方のソース／ドレイン部を結ぶ配線の省略）を図ることができる。その結果、配線容量の低減を図ることができ、画素の電荷電圧変換効率の向上を達成することができるので、撮像素子の S/N 比の改善、出力信号の増大を図ることができ、得られる画像の品質向上を図ることができる。

実施例 2

[0121] 実施例 2 は、実施例 1 の変形であり、本開示の第 1 - B の態様に係る撮像素子に関する。実施例 2 の撮像素子の概念図を図 2 A に示し、実施例 2 の撮像素子、積層型撮像素子における第 2 電極等の模式的な平面図を図 1 6 に示し、実施例 2 の撮像素子、積層型撮像素子の、図 1 6 の矢印 X - X に沿った模式的な一部断面図を図 1 5 に示し、実施例 2 の撮像素子、積層型撮像素子の、図 1 6 の矢印 A - A、矢印 B - B、矢印 C - C 及び矢印 D - D に沿った模式的な一部断面図を図 1 7 A、図 1 7 B、図 1 7 C 及び図 1 7 D に示す。また実施例 2 の撮像素子の動作時の各部位における電位の状態を図 1 8 に模式的に示す。

[0122] 実施例 2 の撮像素子は、
光電変換層 1 3 から延在する第 2 光電変換層延在部 1 3 B、
光電変換層 1 3 の第 2 面と同じ側の第 2 光電変換層延在部 1 3 B の第 2 面に、絶縁膜 8 2 を介して対向して形成された第 2 電極延在部 1 2 B、及び、
第 2 光電変換層延在部 1 3 B の第 2 面に接して設けられた第 5 電極及び第 6 電極、

を更に備えており、

第2トランジスタ TR_2 は、半導体層70に形成される代わりに、半導体層70の上方に形成されており、

第2トランジスタ TR_2 のゲート部52は、第2電極12に接続される代わりに、第2電極延在部12Bから構成されており、

第2トランジスタ TR_2 の一方のソース／ドレイン部（ソース／ドレイン電極52B）は、第5電極から構成されており、

第2トランジスタ TR_2 の他方のソース／ドレイン部（ソース／ドレイン電極52C）は、第6電極から構成されており、且つ、第2コンタクトホール部 CH_2 （図2A参照）を介して、第3トランジスタ TR_3 の一方のソース／ドレイン部53Bに接続されている。尚、参照番号52Dはゲート絶縁膜であり、絶縁膜82から構成されている。

[0123] また、第2光電変換層延在部13Bの一部13B'の厚さは、光電変換層13の厚さよりも薄い。言い換えれば、第2光電変換層延在部13Bの一部13B'では、絶縁膜の厚さは、ゲート絶縁膜52Dの厚さよりも厚い。このような構成にすることで、第2光電変換層延在部13Bの一部13B'の部位にチャネル領域が形成されることを抑制することができ、増幅トランジスタ TR_{1amp} （第2トランジスタ TR_2 ）のチャネル形成領域52Aを流れる電流が光電変換部に侵入することを防止することができる。

[0124] 以上の点を除き、実施例2の撮像素子の構成、構造は、実施例1において説明した撮像素子の構成、構造と同様とすることができるので、詳細な説明は省略する。

[0125] 尚、実施例1と同様に、実施例2の撮像素子においても、第2光電変換層延在部13Bは、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。

[0126] 以下、実施例2の撮像素子の動作時の各部位における電位の状態を模式的に示す図である図18を参照して、実施例2の撮像素子（第1撮像素子）の動作を説明する。即ち、リセット時、増幅トランジスタ TR_{1amp} 及び選択トラ

ンジスタ $TR_{1_{sel}}$ をオフ状態としておき、第1電極11を接地状態とする。そして、リセット線 RST_1 を「H」状態としてゲート部51に高電位を印加することで、リセット・トランジスタ $TR_{1_{rst}}$ (第1トランジスタ TR_1) をオン状態とする。第1トランジスタ TR_1 の他方のソース／ドレイン部51Cは、電源部 V_{DD} に接続されているので、第1トランジスタ TR_1 のチャネル形成領域51Aの電位、第1トランジスタ TR_1 の一方のソース／ドレイン部51Bの電位、更には、第2電極12の電位、第2電極12に隣接した光電変換層13の部分の電位、増幅トランジスタ $TR_{1_{amp}}$ (第2トランジスタ TR_2) のゲート部52Dの電位は V_{DD} となり、撮像素子のリセットが行われる。リセット動作が完了し、電荷の蓄積を開始する時点で、リセット線 RST_1 を「L」状態としてゲート部51に低電位を印加することで、リセット・トランジスタ $TR_{1_{rst}}$ (第1トランジスタ TR_1) をオフ状態とする。光電変換層13で光電変換した電荷(具体的には、電子)が第2電極12に蓄積されると、第2電極12の電位が低下し、増幅トランジスタ $TR_{1_{amp}}$ (第2トランジスタ TR_2) のゲート部52D、チャネル形成領域52A及び他方のソース／ドレイン部(ソース／ドレイン電極52C)の電位も低下する。そして、信号の読出し時、選択線 SEL_1 を「H」状態として選択トランジスタ $TR_{1_{sel}}$ のゲート部53に高電位を印加することで、選択トランジスタ $TR_{1_{sel}}$ (第3トランジスタ TR_3) をオン状態とする。すると、増幅トランジスタ $TR_{1_{amp}}$ (第2トランジスタ TR_2) のチャネル形成領域52Aの電位に基づく電流が増幅トランジスタ $TR_{1_{amp}}$ (第2トランジスタ TR_2) の一方のソース／ドレイン部52Bから他方のソース／ドレイン部52Cを流れ、更に、選択トランジスタ $TR_{1_{sel}}$ (第3トランジスタ TR_3) の一方のソース／ドレイン部53Bから他方のソース／ドレイン部53Cを流れ、信号線(データ出力線) VSL_1 に信号(画像信号)として出力される。

実施例 3

[0127] 実施例3は、実施例2の変形であり、本開示の第1-Cの態様に係る撮像素子に関する。実施例3の撮像素子の概念図を図2Bに示し、実施例3の撮

像素子、積層型撮像素子における第2電極等の模式的な平面図を図20に示し、実施例3の撮像素子、積層型撮像素子の、図20の矢印X-Xに沿った模式的な一部断面図を図19に示し、実施例3の撮像素子、積層型撮像素子の、図20の矢印A-A、矢印B-B、矢印C-C及び矢印D-Dに沿った模式的な一部断面図を図21A、図21B、図21C及び図21Dに示す。また、実施例3の撮像素子の動作時の各部位における電位の状態を模式的に図22に示す。尚、図20の矢印Y-Yに沿った模式的な一部断面図は、図15に示したと同様である。

[0128] 実施例3の撮像素子は、

光電変換層13から延在する第3光電変換層延在部13C、

光電変換層13の第2面と同じ側の第3光電変換層延在部13Cの第2面に、絶縁膜82を介して対向して形成された第7電極、及び、

第3光電変換層延在部13Cの第2面に接して設けられた第8電極、を更に備えており、

第3トランジスタ TR_3 は、半導体層70に形成される代わりに、半導体層70の上方に形成されており、

第3トランジスタ TR_3 の一方のソース／ドレイン部（ソース／ドレイン電極）53Bは、第2コンタクトホール部を介して第6電極に接続される代わりに、第6電極（具体的には、第2トランジスタ TR_2 の他方のソース／ドレイン部（ソース／ドレイン電極52C））と共通であり、

第3トランジスタ TR_3 のゲート部53は、第7電極から構成されており、

第3トランジスタ TR_3 の他方のソース／ドレイン部（ソース／ドレイン電極）53Cは、第8電極から構成されており、且つ、第3コンタクトホール部 CH_3 （図2B参照）を介して信号線（出力信号線） $VS L_1$ に接続されている（図2B参照）。尚、参照番号53Dはゲート絶縁膜であり、絶縁膜82から構成されている。

[0129] また、第3光電変換層延在部13Cの一部の厚さ13C'は、光電変換層13の厚さよりも薄い。云い換えれば、第2光電変換層延在部13Cの一部

13C'では、絶縁膜の厚さは、ゲート絶縁膜53Dの厚さよりも厚い。このような構成にすることで、第2光電変換層延在部13Cの一部13C'の部位にチャネル領域が形成されることを抑制することができ、選択トランジスタ $TR_{1\text{sel}}$ （第3トランジスタ TR_3 ）のチャネル形成領域53Aを流れる電流が光電変換部に侵入することを防止することができる。

[0130] また、実施例3の撮像素子において、実施例1と同様に、第3光電変換層延在部13Cは、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。

[0131] 実施例3の撮像素子（第1撮像素子）の動作は、実質的に実施例2の撮像素子（第1撮像素子）の動作と同様であるので、説明は省略する。また、以上の点を除き、実施例3の撮像素子の構成、構造は、実施例1において説明した撮像素子の構成、構造と同様とすることができるので、詳細な説明は省略する。実施例3の撮像素子においては、光電変換部にコンタクトホール部を設ける必要がなくなり、製造歩留りの向上を図ることができるし、積層型撮像素子における下方に位置する第2タイプの撮像素子の光電変換部の面積拡大を図ることができ、固体撮像装置の感度向上を達成することができる。

実施例 4

[0132] 実施例4は、本開示の第2の態様に係る撮像素子に関する。実施例4の撮像素子の概念図を図3Aに示し、実施例4の撮像素子、積層型撮像素子における第2電極等の模式的な平面図を図24に示し、実施例4の撮像素子、積層型撮像素子の、図24の矢印X-Xに沿った模式的な一部断面図を図23に示す。

[0133] 実施例4の撮像素子は、少なくとも、光電変換部、第2トランジスタ TR_2 及び第3トランジスタ TR_3 を備えた撮像素子であって、

光電変換部は、

第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層13、

光電変換層13の第1面に接して設けられた第1電極11、及び、

光電変換層 1 3 の第 2 面に接して設けられた第 2 電極 1 2、
から成り、

更に、

光電変換層 1 3 から延在する第 1 光電変換層延在部 1 3 A、

光電変換層 1 3 の第 2 面と同じ側の第 1 光電変換層延在部 1 3 A の第 2 面に、絶縁膜 8 2 を介して対向して形成された第 2 電極延在部 1 2 A、並びに、

第 1 光電変換層延在部 1 3 A の第 2 面に接して設けられた第 3 電極及び第 4 電極、

を備えており、

第 2 トランジスタ $T R_2$ は、一方のソース／ドレイン部（ソース／ドレイン電極）5 2 B として機能し、電源部 V_{DD} に接続された第 3 電極、ゲート部 5 2 として機能する第 2 電極延在部 1 2 A、他方のソース／ドレイン部（ソース／ドレイン電極）5 2 C として機能する第 4 電極、及び、チャネル形成領域 5 2 A として機能する第 1 光電変換層延在部 1 3 A から成り、

第 3 トランジスタ $T R_3$ の一方のソース／ドレイン部 5 3 B は、他方のソース／ドレイン部（第 4 電極）5 3 C に接続されており、

第 3 トランジスタ $T R_3$ の他方のソース／ドレイン部 5 3 C は、信号線（出力信号線） $V S L_1$ に接続されている。

[0134] また、実施例 2 の撮像素子は、更に、第 1 トランジスタ $T R_1$ を備えており、

第 1 トランジスタ $T R_1$ の一方のソース／ドレイン部 5 1 B は、第 2 電極 1 2 に接続されており、

第 1 トランジスタ $T R_1$ の他方のソース／ドレイン部 5 1 C は、電源部 V_{DD} に接続されている。

[0135] そして、実施例 4 の撮像素子は、半導体層 7 0 を更に備えており、

第 1 トランジスタ $T R_1$ 及び第 3 トランジスタ $T R_3$ は、半導体層 7 0 に形成されており、

光電変換部及び第2トランジスタ TR_2 は、半導体層70の上方に形成されており、

第1トランジスタ TR_1 の一方のソース／ドレイン部51Bは、第1コンタクトホール部61を介して、第2電極12に接続されており、

第3トランジスタ TR_3 の一方のソース／ドレイン部53Bは、第2コンタクトホール部CH₂（図3A参照）を介して、第2トランジスタ TR_2 の他方のソース／ドレイン部（第4電極）53Cに接続されている。

[0136] また、実施例4の積層型撮像素子は、実施例4の撮像素子を少なくとも1つ、実施例4にあっては実施例1の撮像素子を1つ、有する。

[0137] 更には、実施例4の固体撮像装置は、実施例4の積層型撮像素子を、複数、備えている。

[0138] また、第1光電変換層延在部13Aの一部13A'の厚さは、光電変換層13の厚さよりも薄い。言い換えれば、第1光電変換層延在部13Aの一部13A'では、絶縁膜の厚さは、ゲート絶縁膜52Dの厚さよりも厚い。このような構成にすることで、第1光電変換層延在部13Aの一部13A'の部位にチャネル領域が形成されることを抑制することができ、増幅トランジスタ TR_{1amp} （第2トランジスタ TR_2 ）のチャネル形成領域52Aを流れる電流が光電変換部に侵入することを防止することができる。

[0139] また、実施例4の撮像素子において、実施例1と同様に、光電変換層13や第1光電変換層延在部13Aは、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。

[0140] 実施例4の撮像素子（第1撮像素子）の動作は、実質的に実施例1の撮像素子（第1撮像素子）の動作と同様であるので、説明は省略する。また、以上の点を除き、実施例4の撮像素子の構成、構造は、実施例1において説明した撮像素子の構成、構造と同様とすることができるので、詳細な説明は省略する。

実施例 5

[0141] 実施例5は、実施例4の変形であり、本開示の第2-Bの態様に係る撮像

素子に関する。実施例5の撮像素子の概念図を図3Bに示し、実施例5の撮像素子、積層型撮像素子における第2電極等の模式的な平面図を図26に示し、実施例5の撮像素子、積層型撮像素子の、図26の矢印X-Xに沿った模式的な一部断面図を図25に示す。尚、図26の矢印Y-Yに沿った模式的な一部断面図は、図23に示したと同様である。

[0142] 実施例5の撮像素子は、

光電変換層13から延在する第2光電変換層延在部13B、

光電変換層13の第2面と同じ側の第2光電変換層延在部13Bの第2面に、絶縁膜82を介して対向して形成された第5電極、及び、

第2光電変換層延在部13Bの第2面に接して設けられた第6電極、
を更に備えており、

第3トランジスタ $T R_3$ は、半導体層70に形成される代わりに、半導体層70の上方に形成されており、

第3トランジスタ $T R_3$ の一方のソース／ドレイン部（ソース／ドレイン電極）53Bは、第2コンタクトホール部を介して第4電極に接続される代わりに、第2トランジスタ $T R_2$ の他方のソース／ドレイン部（ソース／ドレイン電極、第4電極）52Cと共通であり、

第3トランジスタ $T R_3$ のゲート部53は、第5電極から構成されており、

第3トランジスタ $T R_3$ の他方のソース／ドレイン部（ソース／ドレイン電極）53Cは、第6電極から構成されており、且つ、第3コンタクトホール部 $C H_3$ （図3B参照）を介して信号線（出力信号線） $V S L_1$ に接続されている。

[0143] また、第2光電変換層延在部13Bの一部13Bの厚さは、光電変換層13の厚さよりも薄い。云い換えれば、第2光電変換層延在部13Bの一部13B'では、絶縁膜の厚さは、ゲート絶縁膜53Dの厚さよりも厚い。このような構成にすることで、第2光電変換層延在部13Bの一部13B'の部位にチャネル領域が形成されることを抑制することができ、選択トランジスタ $T R_{1_{sel}}$ （第3トランジスタ $T R_3$ ）のチャネル形成領域53Aを流れる電

流が光電変換部に侵入することを防止することができる。

[0144] また、実施例 5 の撮像素子において、実施例 1 と同様に、光電変換層 1 3 や第 1 光電変換層延在部 1 3 A、第 2 光電変換層延在部 1 3 B は、第 2 面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。

[0145] 実施例 5 の撮像素子（第 1 撮像素子）の動作は、実質的に実施例 1 の撮像素子（第 1 撮像素子）の動作と同様であるので、説明は省略する。また、以上の点を除き、実施例 5 の撮像素子の構成、構造は、実施例 1 において説明した撮像素子の構成、構造と同様とすることができるので、詳細な説明は省略する。

実施例 6

[0146] 実施例 6 は、本開示の第 3 の態様に係る撮像素子に関する。実施例 6 の撮像素子の概念図を図 4 に示し、実施例 6 の撮像素子、積層型撮像素子における第 2 電極等の模式的な平面図を図 2 8 に示し、実施例 6 の撮像素子、積層型撮像素子の、図 2 8 の矢印 X-X に沿った模式的な一部断面図を図 2 7 に示す。

[0147] 実施例 6 の撮像素子は、少なくとも、光電変換部、第 2 トランジスタ TR_2 及び第 3 トランジスタ TR_3 を備えた撮像素子であって、

光電変換部は、

第 1 面、及び、第 1 面と対向する第 2 面を有し、第 1 面側から光が入射する光電変換層 1 3、

光電変換層 1 3 の第 1 面に接して設けられた第 1 電極 1 1、及び、

光電変換層 1 3 の第 2 面に接して設けられた第 2 電極 1 2、

から成り、

更に、

光電変換層 1 3 と同じ材料から構成され、光電変換層 1 3 と離間して設けられたチャネル形成領域 5 3 A、

光電変換層 1 3 の第 2 面と同じ側のチャネル形成領域の面に、絶縁膜 8 2

を介して対向して形成された第4電極、並びに、

光電変換層13の第2面と同じ側のチャネル形成領域延在部の面に接して設けられた第3電極及び第5電極、

を備えており、

第2トランジスタ TR_2 のゲート部52は、第2電極12に接続されており、

第2トランジスタ TR_2 の一方のソース／ドレイン部52Bは、電源部 V_{DD} に接続されており、

第2トランジスタ TR_2 の他方のソース／ドレイン部52Cは、第3トランジスタ TR_3 の一方のソース／ドレイン部（ソース／ドレイン電極）53Bを構成する第3電極に接続されており、

第3トランジスタ TR_3 のゲート部53は、第4電極から構成されており、

第3トランジスタ TR_3 の他方のソース／ドレイン部（ソース／ドレイン電極）53Cを構成する第5電極は、信号線（出力信号線） VS_L1 に接続されている。

[0148] また、実施例6の撮像素子は、更に、第1トランジスタ TR_1 を備えており、

第1トランジスタ TR_1 の一方のソース／ドレイン部51Bは、第2電極12に接続されており、

第1トランジスタ TR_1 の他方のソース／ドレイン部51Cは、電源部 V_{DD} に接続されている。

[0149] そして、実施例6の撮像素子は、半導体層70を更に備えており、

第1トランジスタ TR_1 及び第2トランジスタ TR_2 は、半導体層70に形成されており、

光電変換部及び第3トランジスタ TR_3 は、半導体層70の上方に形成されており、

第1トランジスタ TR_1 の一方のソース／ドレイン部51B、及び、第2トランジスタ TR_2 のゲート部52は、第1コンタクトホール部 CH_1 （図4参照

)を介して、第2電極12に接続されており、

第2トランジスタ TR_2 の他方のソース／ドレイン部52Cは、第2コンタクトホール部 CH_2 (図4参照)を介して、第3トランジスタ TR_3 の一方のソース／ドレイン部(ソース／ドレイン電極、第3電極)53Bに接続されており、

第3トランジスタ TR_3 の他方のソース／ドレイン部(ソース／ドレイン電極)53Cは、第3コンタクトホール部 CH_3 (図4参照)を介して、信号線(出力信号線) $VS L_1$ に接続されている。

[0150] また、実施例6の積層型撮像素子は、実施例6の撮像素子を少なくとも1つ、実施例6にあっては実施例1の撮像素子を1つ、有する。

[0151] 更には、実施例6の固体撮像装置は、実施例6の積層型撮像素子を、複数、備えている。

[0152] また、実施例6の撮像素子において、実施例1と同様に、光電変換層13やチャネル形成領域53A、チャネル形成領域延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する構成とすることができる。

[0153] 実施例6の撮像素子(第1撮像素子)の動作は、実質的に実施例1の撮像素子(第1撮像素子)の動作と同様であるので、説明は省略する。また、以上の点を除き、実施例6の撮像素子の構成、構造は、実施例1において説明した撮像素子の構成、構造と同様とすることができるので、詳細な説明は省略する。

実施例 7

[0154] 実施例7は、実施例1～実施例6の変形であり、電荷蓄積用電極を備えた撮像素子に関する。

[0155] 実施例7の撮像素子、積層型撮像素子の模式的な一部断面図を図29に示し、実施例7の撮像素子、積層型撮像素子の等価回路図を図30及び図31に示し、実施例7の撮像素子を構成する第2電極及び電荷蓄積用電極等の模式的な配置図を図32Aに示し、実施例7の撮像素子の動作時の各部位にお

ける電位の状態を模式的に図33に示す。尚、以下に説明する図面においては、第1トランジスタ TR_1 、第2トランジスタ TR_2 及び第3トランジスタ TR_3 の図示を省略している。また、以下、基本的に、実施例1の撮像素子の構成、構造に基づき説明を行うが、撮像素子の構成、構造はこれに限定するものではない。

[0156] 実施例7の撮像素子は、第2電極12、光電変換層13及び第1電極11が積層されて成る光電変換部を備えており、光電変換部は、更に、第2電極12と離間して配置され、且つ、絶縁膜82を介して光電変換層13と対向して配置された電荷蓄積用電極14を備えている。

[0157] 電荷蓄積用電極14は駆動回路に接続されている。具体的には、電荷蓄積用電極14は、層間絶縁層81内に設けられた接続孔66、パッド部64及び配線 V_{OA} （図30、図32A参照）を介して、駆動回路を構成する垂直駆動回路112（図11参照）に接続されている。また、第2電極12は、層間絶縁層81内に設けられた接続孔65、パッド部63を介して、半導体基板70及び層間絶縁層76に形成されたコンタクトホール部61に接続されている。光電変換層13と第2電極12とは、絶縁膜82に設けられた接続部67によって接続されている。接続部67内には、光電変換層13が延在している。即ち、光電変換層13は、絶縁膜82に設けられた開口部84内を延在し、第2電極12と接続されている。

[0158] 電荷蓄積用電極14の大きさは第2電極12よりも大きい。電荷蓄積用電極14の面積を S_1' 、第2電極12の面積を S_1 としたとき、限定するものではないが、

$$4 \leq S_1' / S_1$$

を満足することが好ましく、実施例7にあっては、限定するものではないが、例えば、

$$S_1' / S_1 = 8$$

とした。

[0159] 以上のように、電荷蓄積用電極14が設けられている点を除き、実施例7

の撮像素子は、実施例 1 ～実施例 6 の撮像素子と実質的に同様の構成、構造を有する。

[0160] 以下、図 33 を参照して、実施例 7 の撮像素子（第 1 撮像素子）の動作を説明する。ここで、第 2 電極 12 の電位を第 1 電極の電位よりも高くした。即ち、例えば、第 2 電極 12 を正の電位とし、第 1 電極を負の電位とし、光電変換層 13 において光電変換され、電子が信号として読み出される。他の実施例においても同様とする。尚、第 2 電極 12 を負の電位とし、第 1 電極を正の電位とし、光電変換層 13 において光電変換に基づき生成した正孔が信号として読み出される形態にあっては、以下の述べる電位の高低を逆にすればよい。

[0161] 図 33、後述する実施例 10 における図 43、図 44、実施例 12 における図 49、図 50 中で使用している符号は、以下のとおりである。

P A 電荷蓄積用電極 14 と対向した光電変換層 13 の領域の点 P A における電位、あるいは、電荷蓄積用電極セグメント 14 C と対向した光電変換層 13 の領域の点 P A における電位

P B 電荷蓄積用電極 14 と第 2 電極 12 の中間に位置する領域と対向した光電変換層 13 の領域の点 P B における電位、又は、転送制御用電極（電荷転送電極）15 と対向した光電変換層 13 の領域の点 P B における電位、あるいは、電荷蓄積用電極セグメント 14 B と対向した光電変換層 13 の領域の点 P B における電位

P C 第 2 電極 12 と対向した光電変換層 13 の領域の点 P C における電位、あるいは、電荷蓄積用電極セグメント 14 A と対向した光電変換層 13 の領域の点 P C における電位

P D 電荷蓄積用電極セグメント 14 C と第 2 電極 12 の中間に位置する領域と対向した光電変換層 13 の領域の点 P D における電位

F D 第 1 浮遊拡散領域 F D₁ における電位

V O A 電荷蓄積用電極 14 における電位

V O A - A 電荷蓄積用電極セグメント 14 A における電位

V_{OA-B} 電荷蓄積用電極セグメント 14 B における電位
 V_{OA-C} 電荷蓄積用電極セグメント 14 C における電位
 V_{OT} 転送制御用電極（電荷転送電極）15 における電位
 RST リセット・トランジスタ $TR1_{rst}$ のゲート部 51 における電位
 VDD 電源の電位
 VSL_1 信号線（データ出力線） VSL_1
 $TR1_rst$ リセット・トランジスタ $TR1_{rst}$
 $TR1_amp$ 増幅トランジスタ $TR1_{amp}$
 $TR1_sel$ 選択トランジスタ $TR1_{sel}$

[0162] 電荷蓄積期間においては、駆動回路から、第2電極12に電位 V_{11} が印加され、電荷蓄積用電極14に電位 V_{12} が印加される。光電変換層13に入射された光によって光電変換層13において光電変換が生じる。光電変換によって生成した正孔は、第1電極11から配線 V_{0U} を介して駆動回路へと送出される。一方、第2電極12の電位を第1電極11の電位よりも高くしたので、即ち、例えば、第2電極12に正の電位が印加され、第1電極11に負の電位が印加されるとしたので、 $V_{12} \geq V_{11}$ 、好ましくは、 $V_{12} > V_{11}$ とする。これによって、光電変換によって生成した電子は、電荷蓄積用電極14に引き付けられ、電荷蓄積用電極14と対向した光電変換層13の領域に止まる。即ち、光電変換層13に電荷が蓄積される。 $V_{12} > V_{11}$ であるが故に、光電変換層13の内部に生成した電子が、第2電極12に向かって移動することはない。光電変換の時間経過に伴い、電荷蓄積用電極14と対向した光電変換層13の領域における電位は、より負側の値となる。

[0163] 電荷蓄積期間の後期において、リセット動作がなされる。これによって、第1浮遊拡散領域 FD_1 の電位がリセットされ、第1浮遊拡散領域 FD_1 の電位は電源の電位 V_{DD} となる。

[0164] リセット動作の完了後、電荷の読み出しを行う。即ち、電荷転送期間において、駆動回路から、第2電極12に電位 V_{21} が印加され、電荷蓄積用電極1

4に電位 V_{22} が印加される。ここで、 $V_{22} < V_{21}$ とする。これによって、電荷蓄積用電極14と対向した光電変換層13の領域に止まっていた電子は、第2電極12、更には、第1浮遊拡散領域 FD_1 へと読み出される。即ち、光電変換層13に蓄積された電荷が制御部に読み出される。

[0165] 以上で、電荷蓄積、リセット動作、電荷転送といった一連の動作が完了する。

[0166] 第1浮遊拡散領域 FD_1 へ電子が読み出された後の増幅トランジスタ TR_{1am} 、選択トランジスタ TR_{1sel} の動作は、従来のこれらのトランジスタの動作と同じである。また、第2撮像素子、第3撮像素子の電荷蓄積、リセット動作、電荷転送といった一連の動作は、従来の電荷蓄積、リセット動作、電荷転送といった一連の動作と同様である。また、第1浮遊拡散領域 FD_1 のリセットノイズは、従来と同様に、相関2重サンプリング(CDS, Correlated Double Sampling)処理によって除去することができる。

[0167] 以上のとおり、実施例7にあっては、第2電極と離間して配置され、且つ、絶縁膜を介して光電変換層と対向して配置された電荷蓄積用電極が備えられているので、光電変換部に光が照射され、光電変換部において光電変換されるとき、光電変換層と絶縁膜と電荷蓄積用電極とによって一種のキャパシタが形成され、光電変換層の電荷を蓄えることができる。それ故、露光開始時、電荷蓄積部を完全空乏化し、電荷を消去することが可能となる。その結果、 kTC ノイズが大きくなり、ランダムノイズが悪化し、撮像画質の低下をもたらすといった現象の発生を抑制することができる。また、全画素を一斉にリセットすることができるので、所謂グローバルシャッター機能を実現することができる。

[0168] 実施例7の撮像素子、積層型撮像素子の変形例の等価回路図を図34に示すように、リセット・トランジスタ TR_{1rst} の他方のソース／ドレイン領域51Cを、電源 V_{DD} に接続する代わりに、接地してもよい。

実施例 8

[0169] 実施例8は、実施例7の変形である。図35に模式的な一部断面図を示す

実施例 8 の撮像素子、積層型撮像素子は、表面照射型の撮像素子、積層型撮像素子であり、緑色光を吸収する第 1 タイプの緑色光電変換層を備えた緑色光に感度を有する第 1 タイプの実施例 7（実施例 1～実施例 6）の緑色光用撮像素子（第 1 撮像素子）、青色光を吸収する第 2 タイプの青色光電変換層を備えた青色光に感度を有する第 2 タイプの従来の青色光用撮像素子（第 2 撮像素子）、赤色光を吸収する第 2 タイプの赤色光電変換層を備えた赤色光に感度を有する第 2 タイプの従来の赤色光用撮像素子（第 3 撮像素子）の 3 つの撮像素子が積層された構造を有する。ここで赤色光用撮像素子（第 3 撮像素子）及び青色光用撮像素子（第 2 撮像素子）は、半導体基板 70 内に設けられており、第 2 撮像素子の方が、第 3 撮像素子よりも光入射側に位置する。また、緑色光用撮像素子（第 1 撮像素子）は、青色光用撮像素子（第 2 撮像素子）の上方に設けられている。

[0170] 半導体基板 70 の表面 70A 側には、実施例 7 と同様に制御部を構成する各種トランジスタが設けられている。これらのトランジスタは、実質的に実施例 7 において説明したトランジスタと同様の構成、構造とすることができる。また、半導体基板 70 には、第 2 撮像素子、第 3 撮像素子が設けられているが、これらの撮像素子も、実質的に実施例 7 において説明した第 2 撮像素子、第 3 撮像素子と同様の構成、構造とすることができる。

[0171] 半導体基板 70 の表面 70A の上には、層間絶縁層 77、78 が形成されており、層間絶縁層 78 の上に、実施例 7 の撮像素子を構成する光電変換部（第 2 電極 12 等、光電変換層 13 及び第 1 電極 11）、並びに、電荷蓄積用電極 14 等が設けられている。

[0172] このように、表面照射型である点を除き、実施例 8 の撮像素子、積層型撮像素子の構成、構造は、実施例 7 の撮像素子、積層型撮像素子の構成、構造と同様とすることができるので、詳細な説明は省略する。また、実施例 8 の撮像素子の構成、構造を、実施例 1～実施例 6 において説明した撮像素子に適用することができる。

実施例 9

[0173] 実施例 9 は、実施例 7 及び実施例 8 の変形である。

[0174] 図 3 6 に模式的な一部断面図を示す実施例 9 の撮像素子、積層型撮像素子は、裏面照射型の撮像素子、積層型撮像素子であり、第 1 タイプの実施例 7（実施例 1 ～実施例 6）の第 1 撮像素子、及び、第 2 タイプの第 2 撮像素子の 2 つの撮像素子が積層された構造を有する。また、図 3 7 に模式的な一部断面図を示す実施例 9 の撮像素子、積層型撮像素子の変形例は、表面照射型の撮像素子、積層型撮像素子であり、第 1 タイプの実施例 7（実施例 1 ～実施例 6）の第 1 撮像素子、及び、第 2 タイプの第 2 撮像素子の 2 つの撮像素子が積層された構造を有する。ここで、第 1 撮像素子は原色の光を吸収し、第 2 撮像素子は補色の光を吸収する。あるいは又、第 1 撮像素子は白色の光を吸収し、第 2 撮像素子は赤外線を吸収する。

[0175] 図 3 8 に模式的な一部断面図を示す実施例 9 の撮像素子の変形例は、裏面照射型の撮像素子であり、第 1 タイプの実施例 7（実施例 1 ～実施例 6）の第 1 撮像素子から構成されている。また、図 3 9 に模式的な一部断面図を示す実施例 9 の撮像素子の変形例は、表面照射型の撮像素子であり、第 1 タイプの実施例 7（実施例 1 ～実施例 6）の第 1 撮像素子から構成されている。ここで、第 1 撮像素子は、赤色光を吸収する撮像素子、緑色光を吸収する撮像素子、青色光を吸収する撮像素子の 3 種類の撮像素子から構成されている。更には、これらの撮像素子の複数から、本開示の第 1 の態様に係る固体撮像装置が構成される。複数のこれらの撮像素子の配置として、ベイヤ配列を挙げることができる。各撮像素子の光入射側には、必要に応じて、青色、緑色、赤色の分光を行うためのカラーフィルタが配設されている。

[0176] 実施例 9 の撮像素子の構成、構造を、実施例 1 ～実施例 6 において説明した撮像素子に適用することができる。

実施例 10

[0177] 実施例 10 は、実施例 7 ～実施例 9 の変形であり、転送制御用電極（電荷転送電極）を備えた撮像素子に関する。実施例 10 の撮像素子、積層型撮像素子の一部分の模式的な一部断面図を図 4 0 に示し、実施例 10 の撮像素子

、積層型撮像素子の等価回路図を図4 1 及び図4 2 に示し、実施例1 0 の撮像素子の動作時の各部位における電位の状態を模式的に図4 3 及び図4 4 に示す。また、実施例1 0 の撮像素子を構成する第2 電極及び電荷蓄積用電極等の模式的な配置図を図3 2 B に示す。

[0178] 実施例1 0 の撮像素子、積層型撮像素子にあっては、第2 電極1 2 と電荷蓄積用電極1 4 との間に、第2 電極1 2 及び電荷蓄積用電極1 4 と離間して配置され、且つ、絶縁膜8 2 を介して光電変換層1 3 と対向して配置された転送制御用電極（電荷転送電極）1 5 を更に備えている。転送制御用電極1 5 は、層間絶縁層8 1 内に設けられた接続孔6 8 B、パッド部6 8 A 及び配線 V_{OT} を介して、駆動回路を構成する画素駆動回路に接続されている。尚、層間絶縁層8 1 より下方に位置する各種の撮像素子構成要素を、図面を簡素化するために、便宜上、纏めて、参照番号9 1 で示す。

[0179] 以下、図4 3、図4 4 を参照して、実施例1 0 の撮像素子（第1 撮像素子）の動作を説明する。尚、図4 3 と図4 4 とでは、特に、電荷蓄積用電極1 4 に印加される電位及び点P Bにおける電位の値が相違している。

[0180] 電荷蓄積期間において、駆動回路から、第2 電極1 2 に電位 V_{11} が印加され、電荷蓄積用電極1 4 に電位 V_{12} が印加され、転送制御用電極1 5 に電位 V_{13} が印加される。光電変換層1 3 に入射された光によって光電変換層1 3 において光電変換が生じる。光電変換によって生成した正孔は、第1 電極1 1 から配線 V_{00} を介して駆動回路へと送出される。一方、第2 電極1 2 の電位を第1 電極1 1 の電位よりも高くしたので、即ち、例えば、第2 電極1 2 に正の電位が印加され、第1 電極1 1 に負の電位が印加されるとしたので、 $V_{12} > V_{11}$ （例えば、 $V_{12} > V_{11} > V_{13}$ 、又は、 $V_{11} > V_{12} > V_{13}$ ）とする。これによって、光電変換によって生成した電子は、電荷蓄積用電極1 4 に引き付けられ、電荷蓄積用電極1 4 と対向した光電変換層1 3 の領域に止まる。即ち、光電変換層1 3 に電荷が蓄積される。 $V_{12} > V_{13}$ であるが故に、光電変換層1 3 の内部に生成した電子が、第2 電極1 2 に向かって移動することを確実に防止することができる。光電変換の時間経過に伴い、電荷蓄積用電極1 4 と対向し

た光電変換層 1 3 の領域における電位は、より負側の値となる。

[0181] 電荷蓄積期間の後期において、リセット動作がなされる。これによって、第 1 浮遊拡散領域 FD_1 の電位がリセットされ、第 1 浮遊拡散領域 FD_1 の電位は電源の電位 V_{DD} となる。

[0182] リセット動作の完了後、電荷の読み出しを行う。即ち、電荷転送期間において、駆動回路から、第 2 電極 1 2 に電位 V_{21} が印加され、電荷蓄積用電極 1 4 に電位 V_{22} が印加され、転送制御用電極 1 5 に電位 V_{23} が印加される。ここで、 $V_{22} \leq V_{23} \leq V_{21}$ とする。これによって、電荷蓄積用電極 1 4 と対向した光電変換層 1 3 の領域に止まっていた電子は、第 2 電極 1 2、更には、第 1 浮遊拡散領域 FD_1 へと確実に読み出される。即ち、光電変換層 1 3 に蓄積された電荷が制御部に読み出される。

[0183] 以上で、電荷蓄積、リセット動作、電荷転送といった一連の動作が完了する。

[0184] 第 1 浮遊拡散領域 FD_1 へ電子が読み出された後の増幅トランジスタ TR_{1am} 、選択トランジスタ TR_{1sel} の動作は、従来のこれらのトランジスタの動作と同じである。また、例えば、第 2 撮像素子、第 3 撮像素子の電荷蓄積、リセット動作、電荷転送といった一連の動作は、従来の電荷蓄積、リセット動作、電荷転送といった一連の動作と同様である。

[0185] 実施例 10 の撮像素子の構成、構造を、実施例 1 ～実施例 6 において説明した撮像素子に適用することができる。

実施例 11

[0186] 実施例 11 は、実施例 7 ～実施例 10 の変形であり、電荷排出電極を備えた撮像素子に関する。実施例 11 の撮像素子、積層型撮像素子の一部分の模式的な一部断面図を図 45 に示す。

[0187] 実施例 11 の撮像素子、積層型撮像素子にあっては、接続部 69 を介して光電変換層 1 3 に接続され、第 2 電極 1 2 及び電荷蓄積用電極 1 4 と離間して配置された電荷排出電極 1 6 を更に備えている。ここで、電荷排出電極 1 6 は、第 2 電極 1 2 及び電荷蓄積用電極 1 4、更には、半導体層 70 の上方

に設けられた各種トランジスタを取り囲むように（即ち、額縁状に）配置されている。電荷排出電極 16 は、駆動回路を構成する画素駆動回路に接続されている。接続部 69 内には、光電変換層 13 が延在している。即ち、光電変換層 13 は、絶縁膜 82 に設けられた第 2 開口部 84 A 内を延在し、電荷排出電極 16 と接続されている。電荷排出電極 16 は、複数の撮像素子において共有化（共通化）されている。

[0188] 実施例 11 にあっては、電荷蓄積期間において、駆動回路から、第 2 電極 12 に電位 V_{11} が印加され、電荷蓄積用電極 14 に電位 V_{12} が印加され、電荷排出電極 16 に電位 V_{14} が印加され、光電変換層 13 に電荷が蓄積される。光電変換層 13 に入射された光によって光電変換層 13 において光電変換が生じる。光電変換によって生成した正孔は、第 1 電極 11 から配線 V_{00} を介して駆動回路へと送出される。一方、第 2 電極 12 の電位を第 1 電極 11 の電位よりも高くしたので、即ち、例えば、第 2 電極 12 に正の電位が印加され、第 1 電極 11 に負の電位が印加されるとしたので、 $V_{14} > V_{11}$ （例えば、 $V_{12} > V_{14} > V_{11}$ ）とする。これによって、光電変換によって生成した電子は、電荷蓄積用電極 14 に引き付けられ、電荷蓄積用電極 14 と対向した光電変換層 13 の領域に止まり、第 2 電極 12 に向かって移動することを確実に防止することができる。但し、電荷蓄積用電極 14 による引き付けが充分ではなく、あるいは又、光電変換層 13 に蓄積しきれなかった電子（所謂オーバーフローした電子）は、電荷排出電極 16 を経由して、駆動回路に送出される。

[0189] 電荷蓄積期間の後期において、リセット動作がなされる。これによって、第 1 浮遊拡散領域 FD_1 の電位がリセットされ、第 1 浮遊拡散領域 FD_1 の電位は電源の電位 V_{DD} となる。

[0190] リセット動作の完了後、電荷の読み出しを行う。即ち、電荷転送期間において、駆動回路から、第 2 電極 12 に電位 V_{21} が印加され、電荷蓄積用電極 14 に電位 V_{22} が印加され、電荷排出電極 16 に電位 V_{24} が印加される。ここで、 $V_{24} < V_{21}$ （例えば、 $V_{24} < V_{22} < V_{21}$ ）とする。これによって、電荷蓄積用電極 14 と対向した光電変換層 13 の領域に止まっていた電子は、第 2 電極 1

2、更には、第1浮遊拡散領域 FD_1 へと確実に読み出される。即ち、光電変換層13に蓄積された電荷が制御部に読み出される。

[0191] 以上で、電荷蓄積、リセット動作、電荷転送といった一連の動作が完了する。

[0192] 第1浮遊拡散領域 FD_1 へ電子が読み出された後の増幅トランジスタ TR_{1am} 、選択トランジスタ TR_{1sel} の動作は、従来のこれらのトランジスタの動作と同じである。また、例えば、第2撮像素子、第3撮像素子の電荷蓄積、リセット動作、電荷転送といった一連の動作は、従来の電荷蓄積、リセット動作、電荷転送といった一連の動作と同様である。

[0193] 実施例11にあっては、所謂オーバーフローした電子は電荷排出電極16を経由して駆動回路に送出されるので、隣接画素の電荷蓄積部への漏れ込みを抑制することができ、ブルーミングの発生を抑えることができる。そして、これにより、撮像素子の撮像性能を向上させることができる。また、実施例11の撮像素子の構成、構造を、実施例1～実施例6において説明した撮像素子に適用することができる。

実施例 12

[0194] 実施例12は、実施例7～実施例11の変形であり、複数の電荷蓄積用電極セグメントを備えた撮像素子に関する。

[0195] 実施例12の撮像素子の一部分の模式的な一部断面図を図46に示し、実施例12の撮像素子、積層型撮像素子の等価回路図を図47及び図48に示し、実施例12の撮像素子の動作時の各部位における電位の状態を模式的に図49、図50に示す。また、実施例12の撮像素子を構成する第2電極及び電荷蓄積用電極等の模式的な配置図を図32Cに示す。

[0196] 実施例12において、電荷蓄積用電極14は、複数の電荷蓄積用電極セグメント14A、14B、14Cから構成されている。電荷蓄積用電極セグメントの数は、2以上であればよく、実施例12においては「3」とした。そして、実施例12の撮像素子、積層型撮像素子にあっては、第2電極12の電位が第1電極11の電位よりも高いので、即ち、例えば、第2電極12に

正の電位が印加され、第1電極11に負の電位が印加されるので、電荷転送期間において、第2電極12に最も近い所に位置する電荷蓄積用電極セグメント14Aに印加される電位は、第2電極12に最も遠い所に位置する電荷蓄積用電極セグメント14Cに印加される電位よりも高い。このように、電荷蓄積用電極14に電位勾配を付与することで、電荷蓄積用電極14と対向した光電変換層13の領域に止まっていた電子は、第2電極12、更には、第1浮遊拡散領域FD₁へと一層確実に読み出される。即ち、光電変換層13に蓄積された電荷が制御部に読み出される。

[0197] 図49に示す例では、電荷転送期間において、電荷蓄積用電極セグメント14Cの電位<電荷蓄積用電極セグメント14Bの電位<電荷蓄積用電極セグメント14Aの電位とすることで、光電変換層13の領域に止まっていた電子を、一斉に、第1浮遊拡散領域FD₁へと読み出す。一方、図50に示す例では、電荷転送期間において、電荷蓄積用電極セグメント14Cの電位、電荷蓄積用電極セグメント14Bの電位、電荷蓄積用電極セグメント14Aの電位を段々と変化させることで（即ち、階段状あるいはスロープ状に変化させることで）、電荷蓄積用電極セグメント14Cと対向する光電変換層13の領域に止まっていた電子を、電荷蓄積用電極セグメント14Bと対向する光電変換層13の領域に移動させ、次いで、電荷蓄積用電極セグメント14Bと対向する光電変換層13の領域に止まっていた電子を、電荷蓄積用電極セグメント14Aと対向する光電変換層13の領域に移動させ、次いで、電荷蓄積用電極セグメント14Aと対向する光電変換層13の領域に止まっていた電子を、第1浮遊拡散領域FD₁へと確実に読み出す。

[0198] 実施例12の撮像素子の構成、構造を、実施例1～実施例6において説明した撮像素子に適用することができる。

[0199] 以上、本開示を好ましい実施例に基づき説明したが、本開示はこれらの実施例に限定されるものではない。実施例にて説明した撮像素子、積層型撮像素子、固体撮像装置の構造や構成、製造条件、製造方法、使用した材料は例示であり、適宜変更することができる。1つの撮像素子に1つの浮遊拡散領

域を設ける形態だけでなく、複数の撮像素子に対して1つの浮遊拡散領域を設ける形態とすることもできる。即ち、電荷転送期間のタイミングを適切に制御することで、複数の撮像素子が1つの浮遊拡散領域を共有することが可能となる。そして、この場合、複数の撮像素子が1つのコンタクトホール部を共有することも可能となる。場合によっては、半導体層の上方の形成されるトランジスタのチャネル形成領域を構成する材料を、光電変換層を構成する材料と異ならせてもよい。

[0200] 図5 1に、例えば、実施例7において説明した撮像素子、積層型撮像素子の変形例を示すように、第2電極12は、絶縁膜82に設けられた開口部84 A内を延在し、光電変換層13と接続されている構成とすることもできる。

[0201] あるいは又、図5 2に、例えば、実施例7において説明した撮像素子、積層型撮像素子の変形例を示し、図5 3 Aに第2電極の部分等の拡大された模式的な一部断面図を示すように、第2電極12の頂面の縁部は絶縁膜82で覆われており、開口部84 Bの底面には第2電極12が露出しており、第2電極12の頂面と接する絶縁膜82の面を第1面82 a、電荷蓄積用電極14と対向する光電変換層13の部分と接する絶縁膜82の面を第2面82 bとしたとき、開口部84 Bの側面は、第1面82 aから第2面82 bに向かって広がる傾斜を有する。このように、開口部84 Bの側面に傾斜を付けることで、光電変換層13から第2電極12への電荷の移動がより滑らかとなる。尚、図5 3 Aに示した例では、開口部84 Bの軸線を中心として、開口部84 Bの側面は回転対称であるが、図5 3 Bに示すように、第1面82 aから第2面82 bに向かって広がる傾斜を有する開口部84 Cの側面が電荷蓄積用電極14側に位置するように、開口部84 Cを設けてもよい。これによって、開口部84 Cを挟んで電荷蓄積用電極14とは反対側の光電変換層13の部分からの電荷の移動が行われ難くなる。また、開口部84 Bの側面は、第1面82 aから第2面82 bに向かって広がる傾斜を有するが、第2面82 bにおける開口部84 Bの側面の縁部は、図5 3 Aに示したように、

第2電極12の縁部よりも外側に位置してもよいし、図53Cに示すように、第2電極12の縁部よりも内側に位置してもよい。前者の構成を採用することで、電荷の転送が一層容易になるし、後者の構成を採用することで、開口部の形成時の形状バラツキを小さくすることができる。

[0202] これらの開口部84B, 84Cは、絶縁膜に開口部をエッチング法に基づき形成するときに形成するレジスト材料から成るエッチング用マスクをリフローすることで、エッチング用マスクの開口側面に傾斜を付け、このエッチング用マスクを用いて絶縁膜82をエッチングすることで、形成することができる。

[0203] あるいは又、実施例11において説明した電荷排出電極16に関して、図54に示すように、光電変換層13は、絶縁膜82に設けられた第2開口部85A内を延在し、電荷排出電極16と接続されており、電荷排出電極16の頂面の縁部は絶縁膜82で覆われており、第2開口部85Aの底面には電荷排出電極16が露出しており、電荷排出電極16の頂面と接する絶縁膜82の面を第3面82c、電荷蓄積用電極14と対向する光電変換層13の部分と接する絶縁膜82の面を第2面82bとしたとき、第2開口部85Aの側面は、第3面82cから第2面82bに向かって広がる傾斜を有する形態とすることができる。

[0204] また、図55に、例えば、実施例7において説明した撮像素子、積層型撮像素子の変形例を示すように、第1電極11の側から光が入射し、第1電極11よりの光入射側には遮光層92が形成されている構成とすることもできる。尚、光電変換層よりも光入射側に設けられた各種配線を遮光層として機能させることもできる。

[0205] 尚、図55に示した例では、遮光層92は、第1電極11の上方に形成されているが、即ち、第1電極11よりの光入射側であって、第2電極12の上方に遮光層92が形成されているが、図56に示すように、第1電極11の光入射側の面の上に配設されてもよい。また、場合によっては、図57に示すように、第1電極11に遮光層92が形成されていてもよい。

[0206] あるいは又、第1電極11側から光が入射し、第2電極12には光が入射しない構造とすることもできる。具体的には、図55に示したように、第1電極11よりの光入射側であって、第2電極12の上方には遮光層92が形成されている。あるいは又、図59に示すように、電荷蓄積用電極14及び第1電極11の上方にはオンチップ・マイクロ・レンズ90が設けられており、オンチップ・マイクロ・レンズ90に入射する光は、電荷蓄積用電極14に集光され、第2電極12には到達しない構造とすることもできる。尚、実施例10において説明したように、転送制御用電極15が設けられている場合、第2電極12及び転送制御用電極15には光が入射しない形態とすることができ、具体的には、図58に図示するように、第2電極12及び転送制御用電極15の上方には遮光層92が形成されている構造とすることもできる。あるいは又、オンチップ・マイクロ・レンズ90に入射する光は、第2電極12及び転送制御用電極15には到達しない構造とすることもできる。

[0207] これらの構成、構造を採用することで、あるいは又、電荷蓄積用電極14の上方に位置する光電変換層13の部分のみに光が入射するように遮光層92を設け、あるいは又、オンチップ・マイクロ・レンズ90を設計することで、第2電極12の上方（あるいは、第2電極12及び転送制御用電極15の上方）に位置する光電変換層13の部分は光電変換に寄与しなくなるので、全画素をより確実に一斉にリセットすることができ、グローバルシャッター機能を一層容易に実現することができる。即ち、これらの構成、構造を有する撮像素子を、複数、備えた固体撮像装置の駆動方法にあっては、

全ての撮像素子において、一斉に、光電変換層13に電荷を蓄積しながら、第2電極12における電荷を系外に排出し、その後、

全ての撮像素子において、一斉に、光電変換層13に蓄積された電荷を第2電極12に転送し、転送完了後、順次、各撮像素子において第2電極12に転送された電荷を読み出す、

各工程を繰り返す。

[0208] また、このような遮光層 92 によって、半導体層の上方に形成された各種トランジスタ（特に、チャネル形成領域）に光が入射しない構造とすることができるし、あるいは又、オンチップ・マイクロ・レンズ 90 に入射する光が、半導体層の上方に形成された各種トランジスタ（特に、チャネル形成領域）には到達しない構造とすることもできる。そして、これによって、半導体層の上方に形成された各種のトランジスタの動作の安定化を図ることができる。

[0209] 光電変換層は 1 層からの構成に限定されない。例えば、実施例 7 において説明した撮像素子、積層型撮像素子の変形例を図 60 に示すように、光電変換層 13 を、例えば、IGZO から成る下層半導体層 13a と、実施例 7 において説明した光電変換層 13 を構成する材料から成る上層光電変換層 13b の積層構造とすることもできる。このように下層半導体層 13a を設けることで、電荷蓄積時の再結合を防止することができ、光電変換層 13 に蓄積した電荷の第 2 電極 12 への転送効率を増加させることができるし、暗電流の生成を抑制することができる。また、実施例 10 の変形例として、図 61 に示すように、第 2 電極 12 に最も近い位置から電荷蓄積用電極 14 に向けて、複数の転送制御用電極を設けてもよい。尚、図 61 には、2 つの転送制御用電極 15A, 15B を設けた例を示した。

[0210] 図 62 及び図 63 に等価回路図を示すように、本開示の撮像素子は、変換効率切り替えトランジスタを備えていてもよい。

[0211] 以上に説明した各種の変形例は、実施例 7 以外の実施例に対しても適用することができることは云うまでもない。

[0212] 実施例においては、電子を信号電荷としており、半導体基板に形成された光電変換層の導電型を n 型としたが、正孔を信号電荷とする固体撮像装置にも適用できる。この場合には、各半導体領域を逆の導電型の半導体領域で構成すればよく、半導体基板に形成された光電変換層の導電型は p 型とすればよい。

[0213] また、実施例にあつては、入射光量に応じた信号電荷を物理量として検知

する単位画素が行列状に配置されて成るCMOS型固体撮像装置に適用した場合を例に挙げて説明したが、CMOS型固体撮像装置への適用に限られるものではなく、CCD型固体撮像装置に適用することもできる。後者の場合、信号電荷は、CCD型構造の垂直転送レジスタによって垂直方向に転送され、水平転送レジスタによって水平方向に転送され、増幅されることにより画素信号（画像信号）が出力される。また、画素が2次元マトリックス状に形成され、画素列毎にカラム信号処理回路を配置して成るカラム方式の固体撮像装置全般に限定するものでもない。更には、場合によっては、選択トランジスタを省略することもできる。

[0214] 更には、本開示の撮像素子、積層型撮像素子は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは、粒子等の入射量の分布を画像として撮像する固体撮像装置にも適用可能である。また、広義には、圧力や静電容量等、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0215] 更には、撮像領域の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限られるものではない。画素単位で任意の画素を選択して、選択画素から画素単位で画素信号を読み出すX-Yアドレス型の固体撮像装置に対しても適用可能である。固体撮像装置はワンチップとして形成された形態であってもよいし、撮像領域と、駆動回路又は光学系とを纏めてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0216] また、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやビデオカメラ等のカメラシステムや、携帯電話機等の撮像機能を有する電子機器を指す。電子機器に搭載されるモジュール状の形態、即ち、カメラモジュールを撮像装置とする場合もある。

[0217] 本開示の撮像素子、積層型撮像素子から構成された固体撮像装置201を

電子機器（カメラ）２００に用いた例を、図６４に概念図として示す。電子機器２００は、固体撮像装置２０１、光学レンズ２１０、シャッタ装置２１１、駆動回路２１２、及び、信号処理回路２１３を有する。光学レンズ２１０は、被写体からの像光（入射光）を固体撮像装置２０１の撮像面上に結像させる。これにより固体撮像装置２０１内に、一定期間、信号電荷が蓄積される。シャッタ装置２１１は、固体撮像装置２０１への光照射期間及び遮光期間を制御する。駆動回路２１２は、固体撮像装置２０１の転送動作等及びシャッタ装置２１１のシャッタ動作を制御する駆動信号を供給する。駆動回路２１２から供給される駆動信号（タイミング信号）により、固体撮像装置２０１の信号転送を行う。信号処理回路２１３は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、あるいは、モニタに出力される。このような電子機器２００では、固体撮像装置２０１において画素サイズの微細化及び転送効率の向上を達成することができるので、画素特性の向上が図られた電子機器２００を得ることができる。固体撮像装置２０１を適用できる電子機器２００としては、カメラに限られるものではなく、デジタルスチルカメラ、携帯電話機等のモバイル機器向けカメラモジュール等の撮像装置に適用可能である。

[0218] 尚、本開示は、以下のような構成を取ることもできる。

[A 0 1] 《撮像素子・・・第１の態様》

少なくとも、光電変換部、第１トランジスタ及び第２トランジスタを備えた撮像素子であって、

光電変換部は、

第１面、及び、第１面と対向する第２面を有し、第１面側から光が入射する光電変換層、

光電変換層の第１面に接して設けられた第１電極、及び、

光電変換層の第２面に接して設けられた第２電極、

から成り、

更に、

光電変換層から延在する第1光電変換層延在部、

光電変換層の第2面と同じ側の第1光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第3電極、及び、

第1光電変換層延在部の第2面に接して設けられた第4電極、を備えており、

第1トランジスタは、一方のソース／ドレイン部として機能する第2電極、ゲート部として機能する第3電極、他方のソース／ドレイン部として機能し、電源部に接続された第4電極、及び、チャンネル形成領域として機能する第1光電変換層延在部から成り、

第2トランジスタのゲート部は、第2電極に接続されており、

第2トランジスタの一方のソース／ドレイン部は、電源部に接続されている撮像素子。

[A02] 更に、第3トランジスタを備えており、

第3トランジスタの一方のソース／ドレイン部は、第2トランジスタの他方のソース／ドレイン部に接続されており、

第3トランジスタの他方のソース／ドレイン部は、信号線に接続されている[A01]に記載の撮像素子。

[A03] 光電変換層は、有機光電変換材料から成る[A01]又は[A02]に記載の撮像素子。

[A04] 少なくとも第1光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する[A01]又は[A02]に記載の撮像素子。

[A05] 光電変換層及び第1光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する[A04]に記載の撮像素子。

[A06] 下層半導体層を構成する半導体材料は、3.0 eV以上のバンドギャップエネルギーを有する[A04]又は[A05]に記載の撮像素子。

[A07] 第1光電変換層延在部の一部の厚さは、光電変換層の厚さよりも

薄い〔A01〕乃至〔A06〕のいずれか1項に記載の撮像素子。

〔A08〕半導体層を更に備えており、

第2トランジスタ及び第3トランジスタは、半導体層に形成されており、
光電変換部及び第1トランジスタは、半導体層の上方に形成されており、
第2トランジスタのゲート部は、第1コンタクトホール部を介して、第2電極に接続されている〔A02〕、及び、〔A02〕を引用する〔A03〕
乃至〔A07〕のいずれか1項に記載の撮像素子。

〔A09〕光電変換層から延在する第2光電変換層延在部、

光電変換層の第2面と同じ側の第2光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第2電極延在部、及び、

第2光電変換層延在部の第2面に接して設けられた第5電極及び第6電極、
を更に備えており、

第2トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、

第2トランジスタのゲート部は、第2電極に接続される代わりに、第2電極延在部から構成されており、

第2トランジスタの一方のソース／ドレイン部は、第5電極から構成されており、

第2トランジスタの他方のソース／ドレイン部は、第6電極から構成されており、且つ、第2コンタクトホール部を介して、第3トランジスタの一方のソース／ドレイン部に接続されている〔A08〕に記載の撮像素子。

〔A10〕第2光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する〔A09〕に記載の撮像素子。

〔A11〕光電変換層から延在する第3光電変換層延在部、

光電変換層の第2面と同じ側の第3光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第7電極、及び、

第3光電変換層延在部の第2面に接して設けられた第8電極、

を更に備えており、

第3トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、

第3トランジスタの一方のソース／ドレイン部は、第2コンタクトホール部を介して第6電極に接続される代わりに、第6電極と共通であり、

第3トランジスタのゲート部は、第7電極から構成されており、

第3トランジスタの他方のソース／ドレイン部は、第8電極から構成されており、且つ、第3コンタクトホール部を介して信号線に接続されている [A 0 9] 又は [A 1 0] に記載の撮像素子。

[A 1 2] 第3光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する [A 1 1] に記載の撮像素子。

[A 1 3] 《撮像素子・・・第2の態様》

少なくとも、光電変換部、第2トランジスタ及び第3トランジスタを備えた撮像素子であって、

光電変換部は、

第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層、

光電変換層の第1面に接して設けられた第1電極、及び、

光電変換層の第2面に接して設けられた第2電極、

から成り、

更に、

光電変換層から延在する第1光電変換層延在部、

光電変換層の第2面と同じ側の第1光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第2電極延在部、並びに、

第1光電変換層延在部の第2面に接して設けられた第3電極及び第4電極、

を備えており、

第2トランジスタは、一方のソース／ドレイン部として機能し、電源部に

接続された第3電極、ゲート部として機能する第2電極延在部、他方のソース／ドレイン部として機能する第4電極、及び、チャネル形成領域として機能する第1光電変換層延在部から成り、

第3トランジスタの一方のソース／ドレイン部は、第4電極に接続されており、

第3トランジスタの他方のソース／ドレイン部は、信号線に接続されている撮像素子。

[A 1 4] 更に、第1トランジスタを備えており、

第1トランジスタの一方のソース／ドレイン部は、第2電極に接続されており、

第1トランジスタの他方のソース／ドレイン部は、電源部に接続されている[A 1 3]に記載の撮像素子。

[A 1 5] 半導体層を更に備えており、

第1トランジスタ及び第3トランジスタは、半導体層に形成されており、
光電変換部及び第2トランジスタは、半導体層の上方に形成されており、

第1トランジスタの一方のソース／ドレイン部は、第1コンタクトホール部を介して、第2電極に接続されており、

第3トランジスタの一方のソース／ドレイン部は、第2コンタクトホール部を介して、第4電極に接続されている[A 1 4]に記載の撮像素子。

[A 1 6] 光電変換層から延在する第2光電変換層延在部、

光電変換層の第2面と同じ側の第2光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第5電極、及び、

第2光電変換層延在部の第2面に接して設けられた第6電極、
を更に備えており、

第3トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、

第3トランジスタの一方のソース／ドレイン部は、第2コンタクトホール部を介して第4電極に接続される代わりに、第4電極と共通であり、

第3トランジスタのゲート部は、第5電極から構成されており、

第3トランジスタの他方のソース／ドレイン部は、第6電極から構成されており、且つ、第3コンタクトホール部を介して信号線に接続されている〔A15〕に記載の撮像素子。

〔A17〕《撮像素子・・・第3の態様》

少なくとも、光電変換部、第2トランジスタ及び第3トランジスタを備えた撮像素子であって、

光電変換部は、

第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層、

光電変換層の第1面に接して設けられた第1電極、及び、

光電変換層の第2面に接して設けられた第2電極、

から成り、

更に、

光電変換層と同じ材料から構成され、光電変換層と離間して設けられたチャネル形成領域、

光電変換層の第2面と同じ側のチャネル形成領域の面に、絶縁膜を介して対向して形成された第4電極、並びに、

光電変換層の第2面と同じ側のチャネル形成領域延在部の面に接して設けられた第3電極及び第5電極、

を備えており、

第2トランジスタのゲート部は、第2電極に接続されており、

第2トランジスタの一方のソース／ドレイン部は、電源部に接続されており、

第2トランジスタの他方のソース／ドレイン部は、第3トランジスタの一方のソース／ドレイン部を構成する第3電極に接続されており、

第3トランジスタのゲート部は、第4電極から構成されており、

第3トランジスタの他方のソース／ドレイン部を構成する第5電極は、信

号線に接続されている撮像素子。

〔A 1 8〕更に、第 1 トランジスタを備えており、

第 1 トランジスタの一方のソース／ドレイン部は、第 2 電極に接続されており、

第 1 トランジスタの他方のソース／ドレイン部は、電源部に接続されている〔A 1 7〕に記載の撮像素子。

〔A 1 9〕半導体層を更に備えており、

第 1 トランジスタ及び第 2 トランジスタは、半導体層に形成されており、

光電変換部及び第 3 トランジスタは、半導体層の上方に形成されており、

第 1 トランジスタの一方のソース／ドレイン部、及び、第 2 トランジスタのゲート部は、第 1 コンタクトホール部を介して、第 2 電極に接続されており、

第 2 トランジスタの他方のソース／ドレイン部は、第 2 コンタクトホール部を介して、第 3 電極に接続されており、

第 3 トランジスタの他方のソース／ドレイン部は、第 3 コンタクトホール部を介して、信号線に接続されている〔A 1 8〕に記載の撮像素子。

〔A 2 0〕第 1 電極側から光が入射し、第 1 電極よりの光入射側には遮光層が形成されている〔A 0 1〕乃至〔A 1 9〕のいずれか 1 項に記載の撮像素子。

〔A 2 1〕第 1 電極側から光が入射し、少なくとも、半導体層の上方に形成されたトランジスタのチャネル形成領域には光が入射しない〔A 2 0〕に記載の撮像素子。

〔A 2 2〕第 1 電極よりの光入射側であって、少なくとも、半導体層の上方に形成されたトランジスタのチャネル形成領域の上方には遮光層が形成されている〔A 2 1〕に記載の撮像素子。

〔A 2 3〕第 2 電極の上方にはオンチップ・マイクロ・レンズが設けられており、

オンチップ・マイクロ・レンズに入射する光は、少なくとも、半導体層の

上方に形成されたトランジスタのチャネル形成領域には入射しない〔A 0 1〕乃至〔A 1 9〕のいずれか 1 項に記載の撮像素子。

〔B 0 1〕光電変換部は、更に、第 2 電極と離間して配置され、且つ、絶縁膜を介して光電変換層と対向して配置された電荷蓄積用電極を備えている〔A 0 1〕乃至〔A 2 3〕のいずれか 1 項に記載の撮像素子。

〔B 0 2〕第 2 電極は、絶縁膜に設けられた開口部内を延在し、光電変換層と接続されている〔B 0 1〕に記載の撮像素子。

〔B 0 3〕光電変換層は、絶縁膜に設けられた開口部内を延在し、第 2 電極と接続されている〔B 0 1〕に記載の撮像素子。

〔B 0 4〕第 2 電極の頂面の縁部は絶縁膜で覆われており、

開口部の底面には第 2 電極が露出しており、

第 2 電極の頂面と接する絶縁膜の面を第 1 面、電荷蓄積用電極と対向する光電変換層の部分と接する絶縁膜の面を第 2 面としたとき、開口部の側面は、第 1 面から第 2 面に向かって広がる傾斜を有する〔B 0 3〕に記載の撮像素子。

〔B 0 5〕第 1 面から第 2 面に向かって広がる傾斜を有する開口部の側面は、電荷蓄積用電極側に位置する〔B 0 4〕に記載の撮像素子。

〔B 0 6〕半導体層に設けられ、駆動回路を有する制御部を更に備えており、

第 2 電極及び電荷蓄積用電極は、駆動回路に接続されており、

電荷蓄積期間において、駆動回路から、第 2 電極に電位 V_{11} が印加され、電荷蓄積用電極に電位 V_{12} が印加され、光電変換層に電荷が蓄積され、

電荷転送期間において、駆動回路から、第 2 電極に電位 V_{21} が印加され、電荷蓄積用電極に電位 V_{22} が印加され、光電変換層に蓄積された電荷が第 2 電極を経由して制御部に読み出される〔B 0 1〕乃至〔B 0 5〕のいずれか 1 項に記載の撮像素子。

但し、第 2 電極の電位が第 1 電極より高い場合、

$$V_{12} \geq V_{11}、\text{且つ、} V_{22} < V_{21}$$

であり、第2電極の電位が第1電極より低い場合、

$$V_{12} \leq V_{11}、\text{且つ、} V_{22} > V_{21}$$

である。

〔B07〕第2電極と電荷蓄積用電極との間に、第2電極及び電荷蓄積用電極と離間して配置され、且つ、絶縁膜を介して光電変換層と対向して配置された転送制御用電極を更に備えている〔B01〕乃至〔B06〕に記載の撮像素子。

〔B08〕半導体層に設けられ、駆動回路を有する制御部を更に備えており、

第2電極、電荷蓄積用電極及び転送制御用電極は、駆動回路に接続されており、

電荷蓄積期間において、駆動回路から、第2電極に電位 V_{11} が印加され、電荷蓄積用電極に電位 V_{12} が印加され、転送制御用電極に電位 V_{13} が印加され、光電変換層に電荷が蓄積され、

電荷転送期間において、駆動回路から、第2電極に電位 V_{21} が印加され、電荷蓄積用電極に電位 V_{22} が印加され、転送制御用電極に電位 V_{23} が印加され、光電変換層に蓄積された電荷が第2電極を介して制御部に読み出される〔B07〕に記載の撮像素子。

但し、第2電極の電位が第1電極より高い場合、

$$V_{12} > V_{13}、\text{且つ、} V_{22} \leq V_{23} \leq V_{21}$$

であり、第2電極の電位が第1電極より低い場合、

$$V_{12} < V_{13}、\text{且つ、} V_{22} \geq V_{23} \geq V_{21}$$

である。

〔B09〕光電変換層に接続され、第2電極及び電荷蓄積用電極と離間して配置された電荷排出電極を更に備えている〔B01〕乃至〔B08〕のいずれか1項に記載の撮像素子。

〔B10〕電荷排出電極は、少なくとも第2電極及び電荷蓄積用電極を取り囲むように配置されている〔B09〕に記載の撮像素子。

〔B 1 1〕光電変換層は、絶縁膜に設けられた第 2 開口部内を延在し、電荷排出電極と接続されており、

電荷排出電極の頂面の縁部は絶縁膜で覆われており、

第 2 開口部の底面には電荷排出電極が露出しており、

電荷排出電極の頂面と接する絶縁膜の面を第 3 面、電荷蓄積用電極と対向する光電変換層の部分と接する絶縁膜の面を第 2 面としたとき、第 2 開口部の側面は、第 3 面から第 2 面に向かって広がる傾斜を有する〔B 0 9〕又は〔B 1 0〕に記載の撮像素子。

〔B 1 2〕半導体層に設けられ、駆動回路を有する制御部を更に備えており、

第 2 電極、電荷蓄積用電極及び電荷排出電極は、駆動回路に接続されており、

電荷蓄積期間において、駆動回路から、第 2 電極に電位 V_{11} が印加され、電荷蓄積用電極に電位 V_{12} が印加され、電荷排出電極に電位 V_{14} が印加され、光電変換層に電荷が蓄積され、

電荷転送期間において、駆動回路から、第 2 電極に電位 V_{21} が印加され、電荷蓄積用電極に電位 V_{22} が印加され、電荷排出電極に電位 V_{24} が印加され、光電変換層に蓄積された電荷が第 2 電極を介して制御部に読み出される〔B 0 9〕乃至〔B 1 1〕のいずれか 1 項に記載の撮像素子。

但し、第 2 電極の電位が第 1 電極より高い場合、

$$V_{14} > V_{11}、且つ、V_{24} < V_{21}$$

であり、第 2 電極の電位が第 1 電極より低い場合、

$$V_{14} < V_{11}、且つ、V_{24} > V_{21}$$

である。

〔B 1 3〕電荷蓄積用電極は、複数の電荷蓄積用電極セグメントから構成されている〔B 0 1〕乃至〔B 1 2〕のいずれか 1 項に記載の撮像素子。

〔B 1 4〕第 2 電極の電位が第 1 電極より高い場合、電荷転送期間において、第 2 電極に最も近い所に位置する電荷蓄積用電極セグメントに印加される

電位は、第2電極に最も遠い所に位置する電荷蓄積用電極セグメントに印加される電位よりも高く、

第2電極の電位が第1電極より低い場合、電荷転送期間において、第2電極に最も近い所に位置する電荷蓄積用電極セグメントに印加される電位は、第2電極に最も遠い所に位置する電荷蓄積用電極セグメントに印加される電位よりも低い[B13]に記載の撮像素子。

[B15] 電荷蓄積用電極の大きさは第2電極よりも大きい[B01]乃至[B14]のいずれか1項に記載の撮像素子。

[B16] 第1電極側から光が入射し、第1電極よりの光入射側には遮光層が形成されている[B01]乃至[B15]のいずれか1項に記載の撮像素子。

[B17] 第1電極側から光が入射し、第2電極には光が入射しない[B01]乃至[B15]のいずれか1項に記載の撮像素子。

[B18] 第1電極よりの光入射側であって、第2電極の上方には遮光層が形成されている[B17]に記載の撮像素子。

[B19] 電荷蓄積用電極及び第1電極の上方にはオンチップ・マイクロ・レンズが設けられており、

オンチップ・マイクロ・レンズに入射する光は、電荷蓄積用電極に集光される[B17]に記載の撮像素子。

[C01] 《積層型撮像素子》

[A01]乃至[B19]のいずれか1項に記載の撮像素子を少なくとも1つ有する積層型撮像素子。

[D01] 《固体撮像装置・・・第1の態様》

[A01]乃至[B19]のいずれか1項に記載の撮像素子を、複数、備えた固体撮像装置。

[D02] 《固体撮像装置・・・第2の態様》

[C01]に記載の積層型撮像素子を、複数、備えた固体撮像装置。

[E01] 《固体撮像装置の駆動方法》

第2電極、光電変換層及び第1電極が積層されて成る光電変換部を備えており、

光電変換部は、更に、第2電極と離間して配置され、且つ、絶縁膜を介して光電変換層と対向して配置された電荷蓄積用電極を備えており、

第1電極側から光が入射し、第2電極には光が入射しない構造を有する撮像素子を、複数、備えた固体撮像装置の駆動方法であって、

全ての撮像素子において、一斉に、光電変換層に電荷を蓄積しながら、第2電極における電荷を系外に排出し、その後、

全ての撮像素子において、一斉に、光電変換層に蓄積された電荷を第2電極に転送し、転送完了後、順次、各撮像素子において第2電極に転送された電荷を読み出す、

各工程を繰り返す固体撮像装置の駆動方法。

符号の説明

[0219] 11・・・第1電極、12・・・第2電極、12'，12''・・・ITO層、13・・・光電変換層、13a・・・下層半導体層、13b・・・上層光電変換層、14・・・電荷蓄積用電極、14A，14B，14C・・・電荷蓄積用電極セグメント、15，15A，15B・・・転送制御用電極（電荷転送電極）、16・・・電荷排出電極、41・・・第2撮像素子を構成するn型半導体領域、43・・・第3撮像素子を構成するn型半導体領域、42，44，73・・・p⁺層、FD₁，FD₂₁，FD₃，45C，46C・・・浮遊拡散領域（浮遊拡散層）、TR₁・・・第1トランジスタ（増幅トランジスタ）、TR₂・・・第2トランジスタ（リセット・トランジスタ）、TR₃・・・第3トランジスタ（選択トランジスタ）、TR1_{amp}・・・増幅トランジスタ、TR1_{rst}・・・リセット・トランジスタ、TR1_{sel}・・・選択トランジスタ、51・・・リセット・トランジスタTR1_{rst}のゲート部（第3電極）、51A・・・リセット・トランジスタTR1_{rst}のチャネル形成領域、51B・・・リセット・トランジスタTR1_{rst}のソース／ドレイン部（ソース／ドレイン領域、ソース／ドレイン電極、第2電極）、51C・・・リセット・トランジスタ

タ $TR1_{rst}$ のソース／ドレイン部（ソース／ドレイン領域、ソース／ドレイン電極、第4電極）、51D・・・リセット・トランジスタ $TR1_{rst}$ のゲート絶縁膜、52・・・増幅トランジスタ $TR1_{amp}$ のゲート部、52A・・・増幅トランジスタ $TR1_{amp}$ チャンネル形成領域、52B・・・増幅トランジスタ $TR1_{amp}$ のソース／ドレイン部（ソース／ドレイン領域、ソース／ドレイン電極、第5電極）、52C・・・増幅トランジスタ $TR1_{amp}$ のソース／ドレイン部（ソース／ドレイン領域、ソース／ドレイン電極、第6電極）、52D・・・増幅トランジスタ $TR1_{amp}$ のゲート絶縁膜、53・・・選択トランジスタ $TR1_{sel}$ のゲート部、53A・・・選択トランジスタ $TR1_{sel}$ のチャンネル形成領域、53B, 53C・・・選択トランジスタ $TR1_{sel}$ のソース／ドレイン領域（ソース／53D・・・選択トランジスタ $TR1_{sel}$ のゲート絶縁膜、ドレイン領域、ソース／ドレイン電極）、 $TR2_{trs}$ ・・・転送トランジスタ、45・・・転送トランジスタのゲート部、 $TR2_{rst}$ ・・・リセット・トランジスタ、 $TR2_{amp}$ ・・・増幅トランジスタ、 $TR2_{sel}$ ・・・選択トランジスタ、 $TR3_{trs}$ ・・・転送トランジスタ、46・・・転送トランジスタのゲート部、 $TR3_{rst}$ ・・・リセット・トランジスタ、 $TR3_{amp}$ ・・・増幅トランジスタ、 $TR3_{sel}$ ・・・選択トランジスタ、 V_{DD} ・・・電源、 RST_1 , RST_2 , RST_3 ・・・リセット線、 SEL_1 , SEL_2 , SEL_3 ・・・選択線、117, VSL_1 , VSL_2 , VSL_3 ・・・信号線、 TG_2 , TG_3 ・・・転送ゲート線、 V_{OA} , V_{OT} , V_{OU} ・・・配線、61・・・コンタクトホール部、62・・・配線層、63, 64, 68A・・・パッド部、65, 68B・・・接続孔、66, 67, 69・・・接続部、70・・・半導体層（半導体基板）、70A・・・半導体基板の第1面（おもて面）、70B・・・半導体基板の第2面（裏面）、71・・・素子分離領域、72・・・酸化膜、74・・・ HfO_2 膜、75・・・下層絶縁膜、76・・・層間絶縁層、77, 78, 81・・・層間絶縁層、82・・・絶縁膜、82a・・・絶縁膜の第1面、82b・・・絶縁膜の第2面、82c・・・絶縁膜の第3面、83・・・保護層、84, 84A, 84B, 84C・・・開口部、85, 85A・・・第2開口部、90・・・オン

チップ・マイクロ・レンズ、９１・・・層間絶縁層８１より下方に位置する各種の撮像素子構成要素、９２・・・遮光層、１００・・・固体撮像装置、１０１・・・積層型撮像素子、１１１・・・撮像領域、１１２・・・垂直駆動回路、１１３・・・カラム信号処理回路、１１４・・・水平駆動回路、１１５・・・出力回路、１１６・・・駆動制御回路、１１８・・・水平信号線、２００・・・電子機器（カメラ）、２０１・・・固体撮像装置、２１０・・・光学レンズ、２１１・・・シャッタ装置、２１２・・・駆動回路、２１３・・・信号処理回路

請求の範囲

- [請求項1] 少なくとも、光電変換部、第1トランジスタ及び第2トランジスタを備えた撮像素子であって、
- 光電変換部は、
- 第1面、及び、第1面と対向する第2面を有し、第1面側から光が入射する光電変換層、
- 光電変換層の第1面に接して設けられた第1電極、及び、
- 光電変換層の第2面に接して設けられた第2電極、
- から成り、
- 更に、
- 光電変換層から延在する第1光電変換層延在部、
- 光電変換層の第2面と同じ側の第1光電変換層延在部の第2面に、絶縁膜を介して対向して形成された第3電極、及び、
- 第1光電変換層延在部の第2面に接して設けられた第4電極、
- を備えており、
- 第1トランジスタは、一方のソース／ドレイン部として機能する第2電極、ゲート部として機能する第3電極、他方のソース／ドレイン部として機能し、電源部に接続された第4電極、及び、チャンネル形成領域として機能する第1光電変換層延在部から成り、
- 第2トランジスタのゲート部は、第2電極に接続されており、
- 第2トランジスタの一方のソース／ドレイン部は、電源部に接続されている撮像素子。
- [請求項2] 更に、第3トランジスタを備えており、
- 第3トランジスタの一方のソース／ドレイン部は、第2トランジスタの他方のソース／ドレイン部に接続されており、
- 第3トランジスタの他方のソース／ドレイン部は、信号線に接続されている請求項1に記載の撮像素子。
- [請求項3] 少なくとも第1光電変換層延在部は、第2面側から、下層半導体層

及び上層光電変換層の積層構造を有する請求項 1 に記載の撮像素子。

[請求項4] 光電変換層及び第 1 光電変換層延在部は、第 2 面側から、下層半導体層及び上層光電変換層の積層構造を有する請求項 3 に記載の撮像素子。

[請求項5] 第 1 光電変換層延在部の一部の厚さは、光電変換層の厚さよりも薄い請求項 1 に記載の撮像素子。

[請求項6] 半導体層を更に備えており、
第 2 トランジスタ及び第 3 トランジスタは、半導体層に形成されており、
光電変換部及び第 1 トランジスタは、半導体層の上方に形成されており、
第 2 トランジスタのゲート部は、第 1 コンタクトホール部を介して、第 2 電極に接続されている請求項 2 に記載の撮像素子。

[請求項7] 光電変換層から延在する第 2 光電変換層延在部、
光電変換層の第 2 面と同じ側の第 2 光電変換層延在部の第 2 面に、絶縁膜を介して対向して形成された第 2 電極延在部、及び、
第 2 光電変換層延在部の第 2 面に接して設けられた第 5 電極及び第 6 電極、
を更に備えており、
第 2 トランジスタは、半導体層に形成される代わりに、半導体層の上方に形成されており、
第 2 トランジスタのゲート部は、第 2 電極に接続される代わりに、第 2 電極延在部から構成されており、
第 2 トランジスタの一方のソース／ドレイン部は、第 5 電極から構成されており、
第 2 トランジスタの他方のソース／ドレイン部は、第 6 電極から構成されており、且つ、第 2 コンタクトホール部を介して、第 3 トランジスタの一方のソース／ドレイン部に接続されている請求項 6 に記載

の撮像素子。

[請求項8] 第2光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する請求項7に記載の撮像素子。

[請求項9] 光電変換層から延在する第3光電変換層延在部、
光電変換層の第2面と同じ側の第3光電変換層延在部の第2面に、
絶縁膜を介して対向して形成された第7電極、及び、
第3光電変換層延在部の第2面に接して設けられた第8電極、
を更に備えており、
第3トランジスタは、半導体層に形成される代わりに、半導体層の
上方に形成されており、
第3トランジスタの一方のソース／ドレイン部は、第2コンタクト
ホール部を介して第6電極に接続される代わりに、第6電極と共通で
あり、
第3トランジスタのゲート部は、第7電極から構成されており、
第3トランジスタの他方のソース／ドレイン部は、第8電極から構
成されており、且つ、第3コンタクトホール部を介して信号線に接続
されている請求項7に記載の撮像素子。

[請求項10] 第3光電変換層延在部は、第2面側から、下層半導体層及び上層光電変換層の積層構造を有する請求項9に記載の撮像素子。

[請求項11] 少なくとも、光電変換部、第2トランジスタ及び第3トランジスタ
を備えた撮像素子であって、
光電変換部は、
第1面、及び、第1面と対向する第2面を有し、第1面側から光が
入射する光電変換層、
光電変換層の第1面に接して設けられた第1電極、及び、
光電変換層の第2面に接して設けられた第2電極、
から成り、
更に、

光電変換層から延在する第1光電変換層延在部、
光電変換層の第2面と同じ側の第1光電変換層延在部の第2面に、
絶縁膜を介して対向して形成された第2電極延在部、並びに、
第1光電変換層延在部の第2面に接して設けられた第3電極及び第
4電極、
を備えており、
第2トランジスタは、一方のソース／ドレイン部として機能し、電
源部に接続された第3電極、ゲート部として機能する第2電極延在部
、他方のソース／ドレイン部として機能する第4電極、及び、チャネ
ル形成領域として機能する第1光電変換層延在部から成り、
第3トランジスタの一方のソース／ドレイン部は、第4電極に接続
されており、
第3トランジスタの他方のソース／ドレイン部は、信号線に接続さ
れている撮像素子。

[請求項12] 更に、第1トランジスタを備えており、
第1トランジスタの一方のソース／ドレイン部は、第2電極に接続
されており、
第1トランジスタの他方のソース／ドレイン部は、電源部に接続さ
れている請求項11に記載の撮像素子。

[請求項13] 半導体層を更に備えており、
第1トランジスタ及び第3トランジスタは、半導体層に形成されて
おり、
光電変換部及び第2トランジスタは、半導体層の上方に形成されて
おり、
第1トランジスタの一方のソース／ドレイン部は、第1コンタクト
ホール部を介して、第2電極に接続されており、
第3トランジスタの一方のソース／ドレイン部は、第2コンタクト
ホール部を介して、第4電極に接続されている請求項12に記載の撮

像素子。

[請求項14]

光電変換層から延在する第2光電変換層延在部、
光電変換層の第2面と同じ側の第2光電変換層延在部の第2面に、
絶縁膜を介して対向して形成された第5電極、及び、
第2光電変換層延在部の第2面に接して設けられた第6電極、
を更に備えており、
第3トランジスタは、半導体層に形成される代わりに、半導体層の
上方に形成されており、
第3トランジスタの一方のソース／ドレイン部は、第2コンタクト
ホール部を介して第4電極に接続される代わりに、第4電極と共通で
あり、
第3トランジスタのゲート部は、第5電極から構成されており、
第3トランジスタの他方のソース／ドレイン部は、第6電極から構
成されており、且つ、第3コンタクトホール部を介して信号線に接続
されている請求項13に記載の撮像素子。

[請求項15]

少なくとも、光電変換部、第2トランジスタ及び第3トランジスタ
を備えた撮像素子であって、
光電変換部は、
第1面、及び、第1面と対向する第2面を有し、第1面側から光が
入射する光電変換層、
光電変換層の第1面に接して設けられた第1電極、及び、
光電変換層の第2面に接して設けられた第2電極、
から成り、
更に、
光電変換層と同じ材料から構成され、光電変換層と離間して設けら
れたチャネル形成領域、
光電変換層の第2面と同じ側のチャネル形成領域の面に、絶縁膜を
介して対向して形成された第4電極、並びに、

光電変換層の第2面と同じ側のチャネル形成領域延在部の面に接して設けられた第3電極及び第5電極、

を備えており、

第2トランジスタのゲート部は、第2電極に接続されており、

第2トランジスタの一方のソース／ドレイン部は、電源部に接続されており、

第2トランジスタの他方のソース／ドレイン部は、第3トランジスタの一方のソース／ドレイン部を構成する第3電極に接続されており、

第3トランジスタのゲート部は、第4電極から構成されており、

第3トランジスタの他方のソース／ドレイン部を構成する第5電極は、信号線に接続されている撮像素子。

[請求項16]

更に、第1トランジスタを備えており、

第1トランジスタの一方のソース／ドレイン部は、第2電極に接続されており、

第1トランジスタの他方のソース／ドレイン部は、電源部に接続されている請求項15に記載の撮像素子。

[請求項17]

半導体層を更に備えており、

第1トランジスタ及び第2トランジスタは、半導体層に形成されており、

光電変換部及び第3トランジスタは、半導体層の上方に形成されており、

第1トランジスタの一方のソース／ドレイン部、及び、第2トランジスタのゲート部は、第1コンタクトホール部を介して、第2電極に接続されており、

第2トランジスタの他方のソース／ドレイン部は、第2コンタクトホール部を介して、第3電極に接続されており、

第3トランジスタの他方のソース／ドレイン部は、第3コンタクト

ホール部を介して、信号線に接続されている請求項 1 6 に記載の撮像素子。

[請求項18] 請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の撮像素子を少なくとも 1 つ有する積層型撮像素子。

[請求項19] 請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の撮像素子を、複数、備えた固体撮像装置。

[請求項20] 請求項 1 8 に記載の積層型撮像素子を、複数、備えた固体撮像装置
。

[図1]

図 1 A

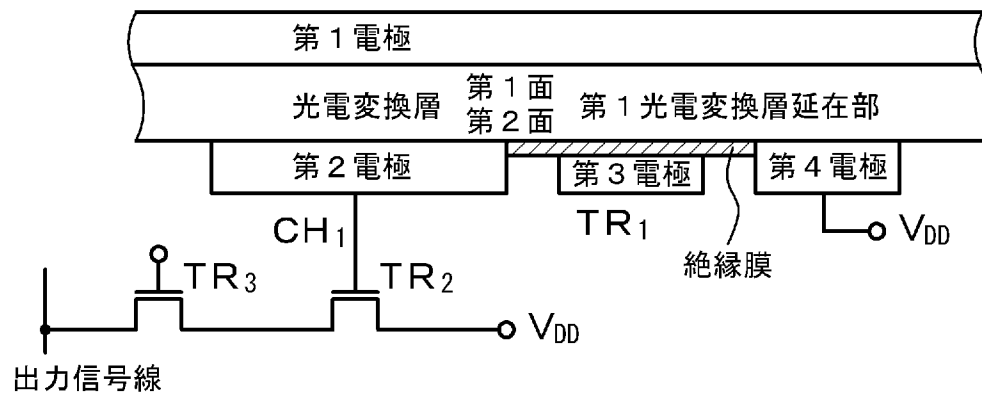
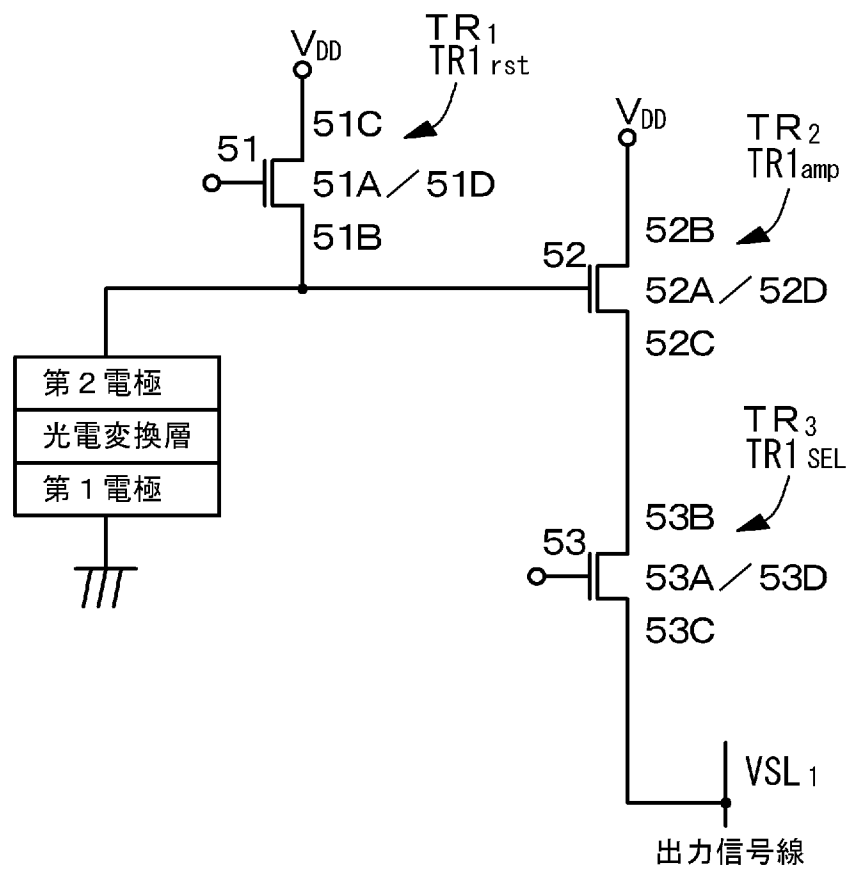


図 1 B



[図2]

図 2 A

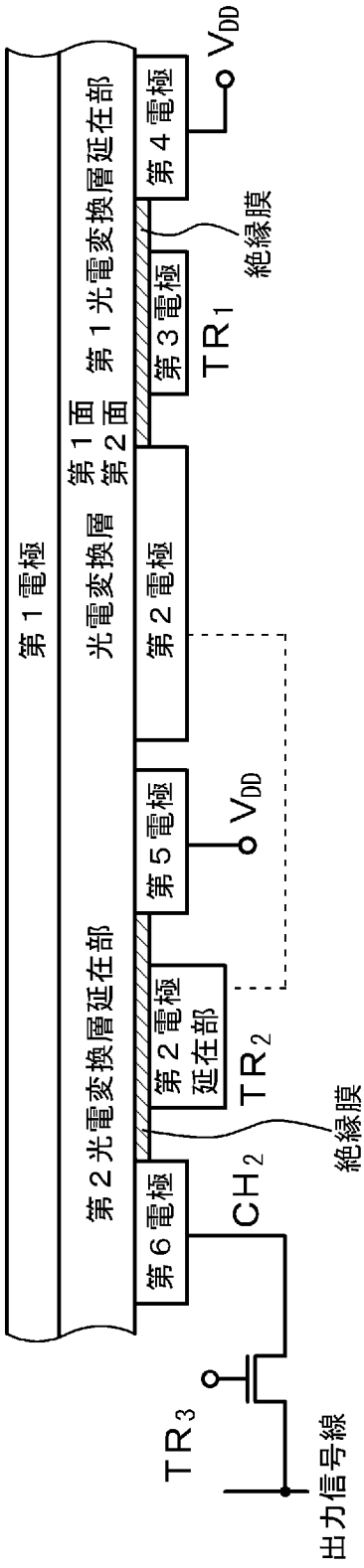
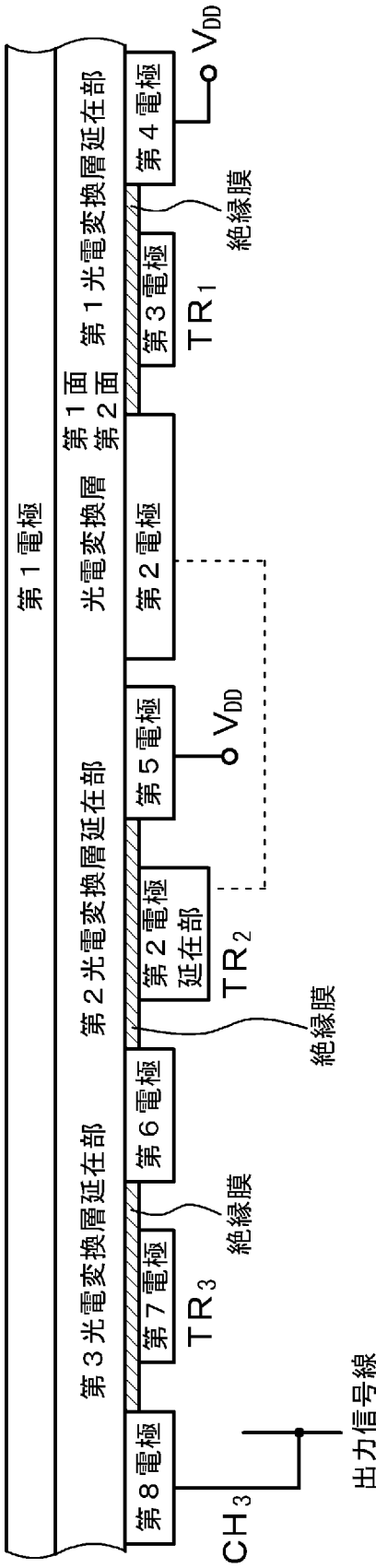


図 2 B



[図3]

図 3 A

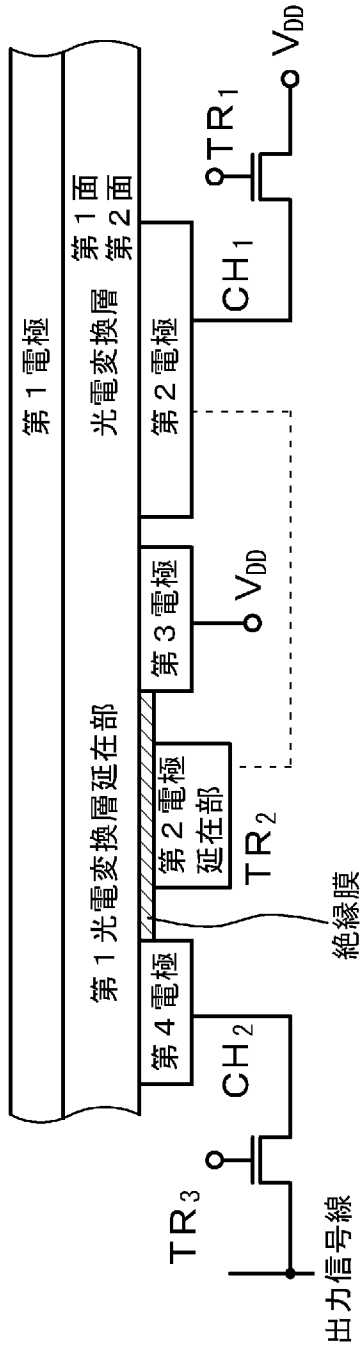
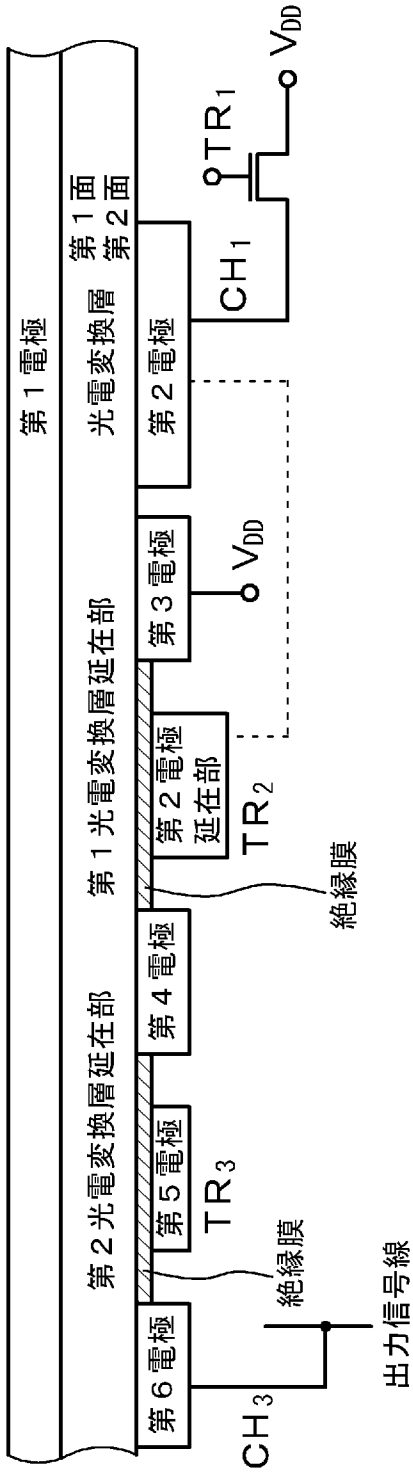
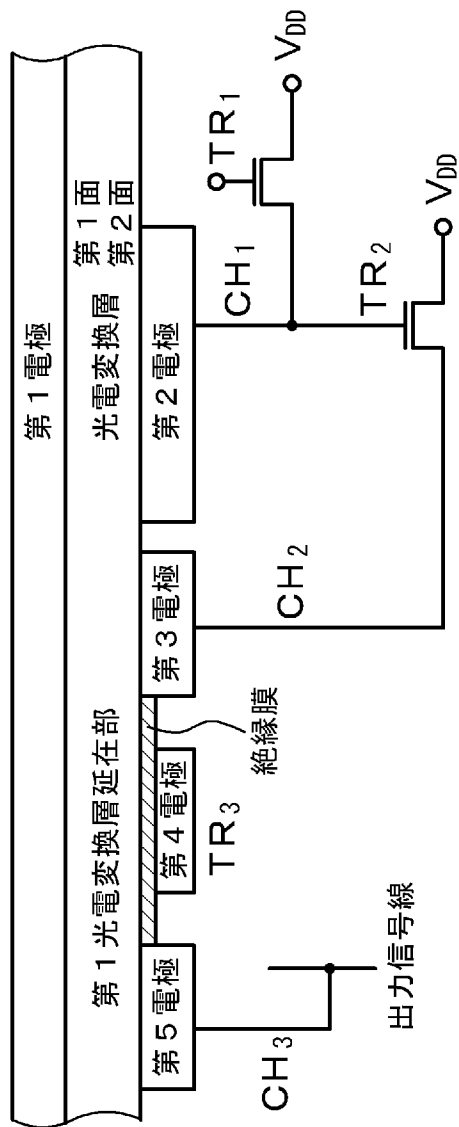


図 3 B



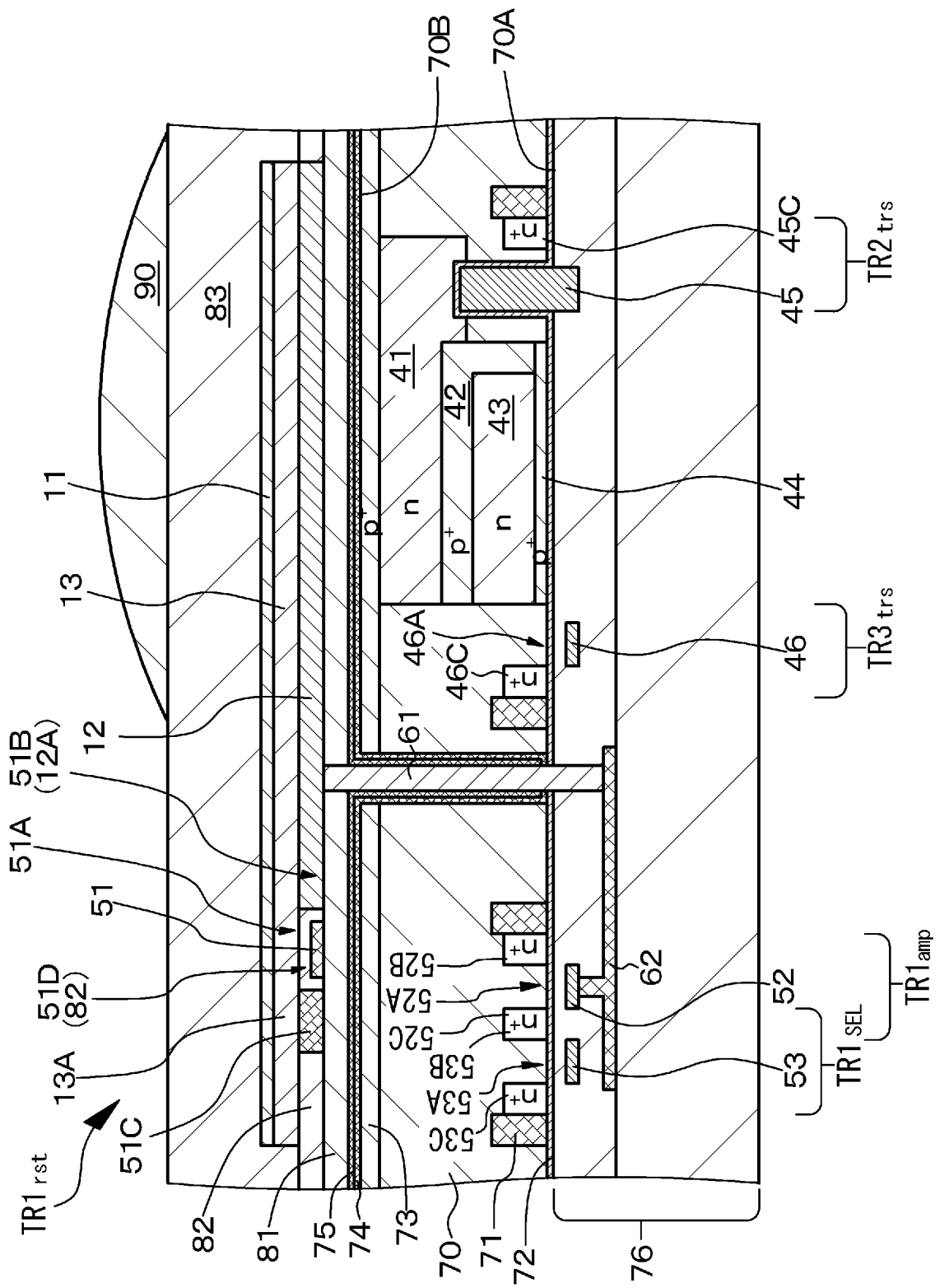
[図4]

図 4



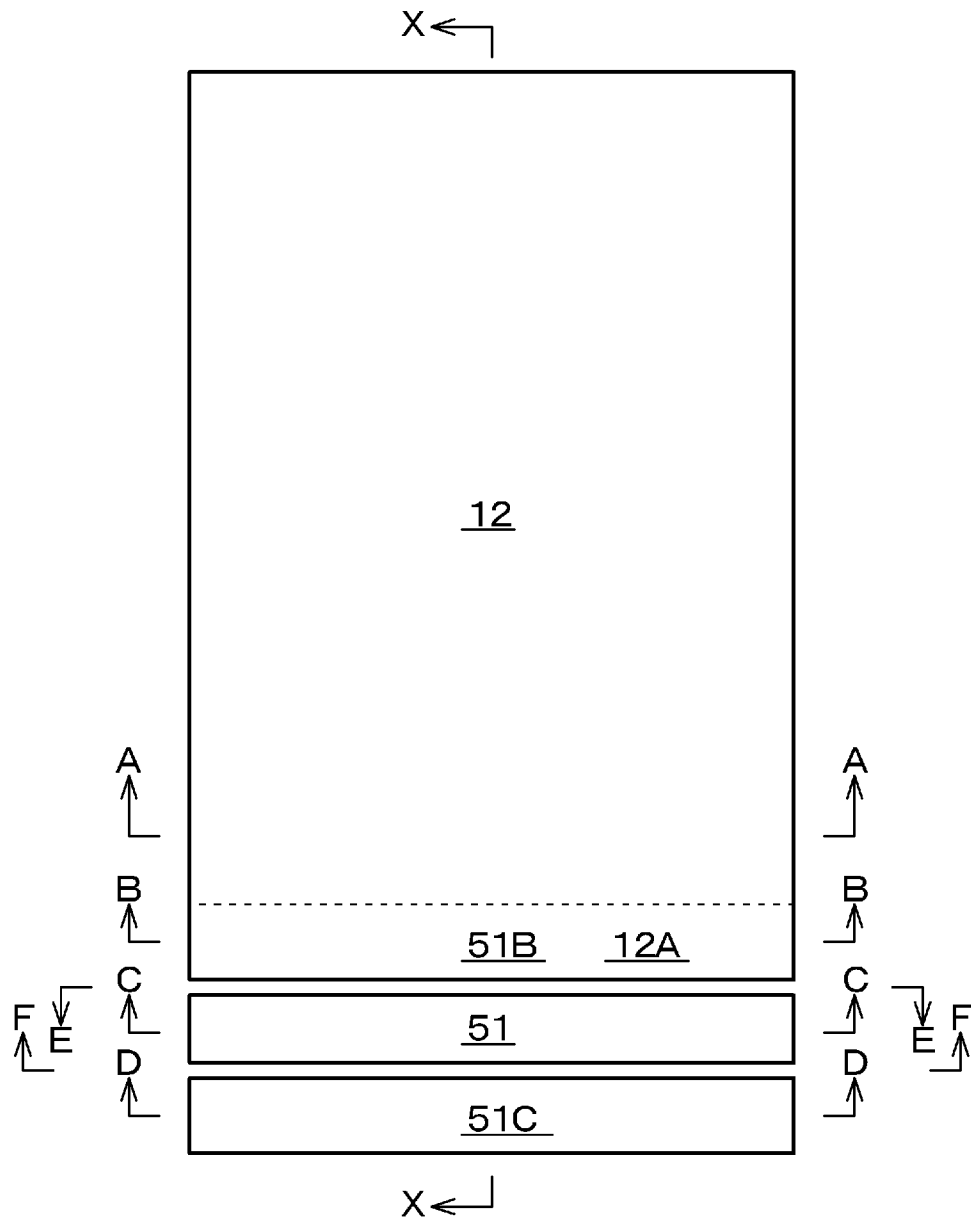
[図5]

図 5



[図6]

図 6



[図7]

図 7 A

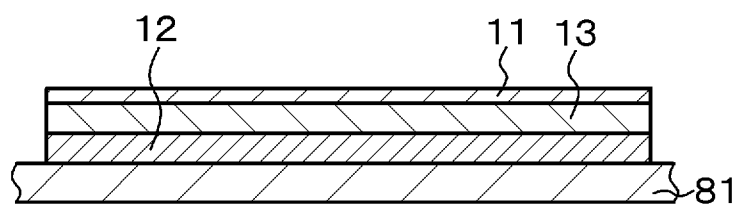


図 7 B

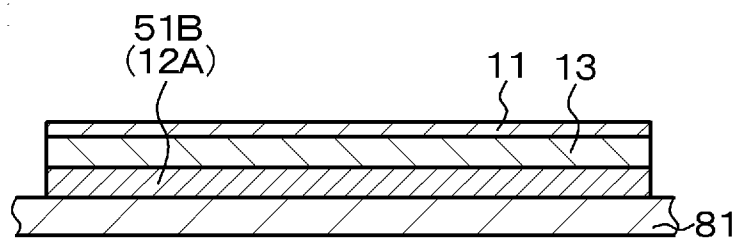


図 7 C

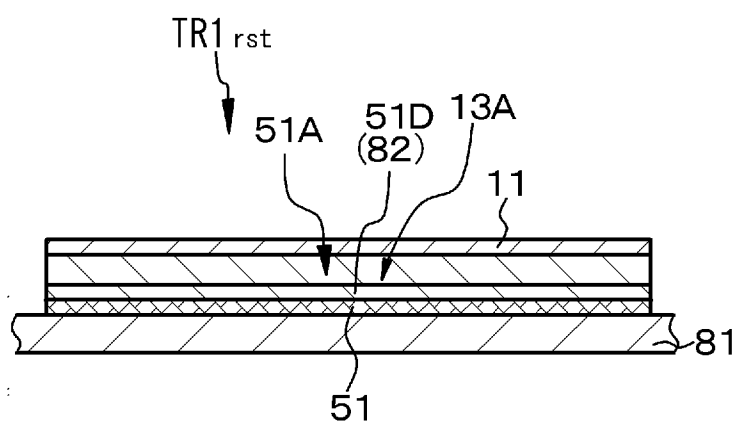


図 7 D

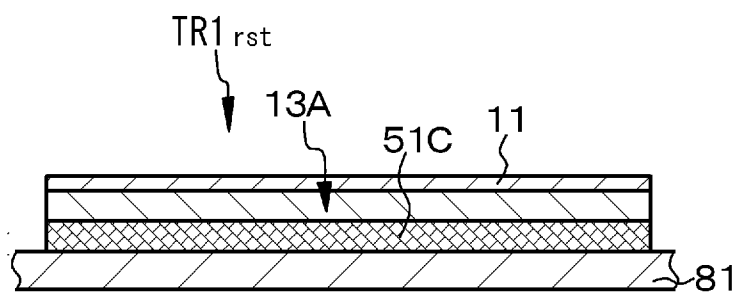
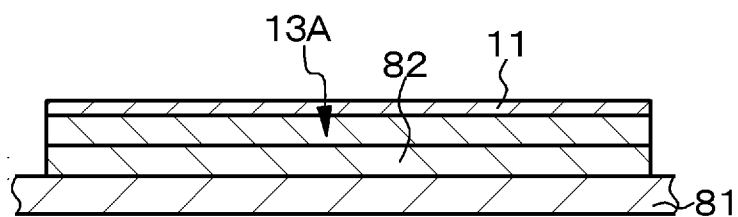
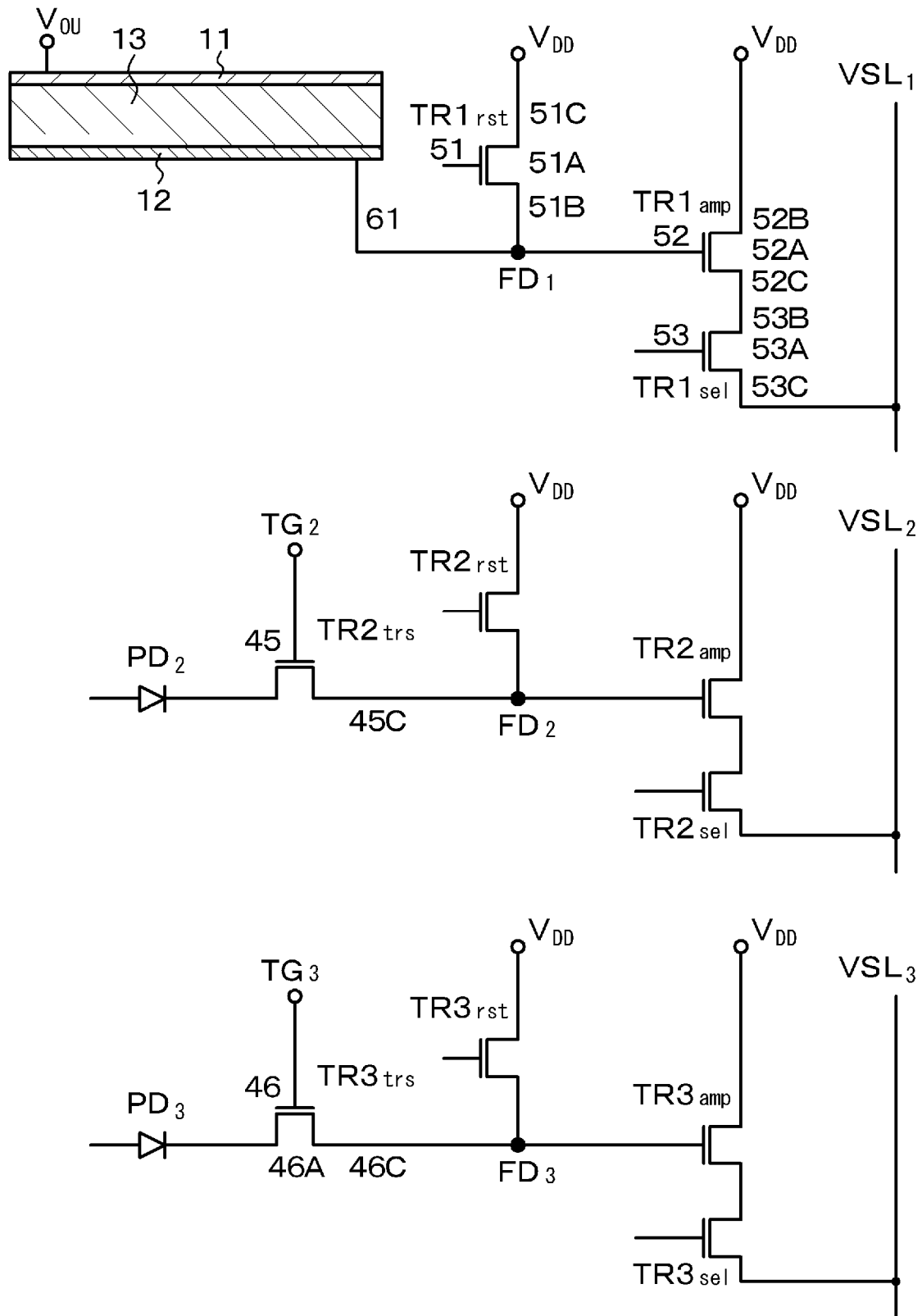


図 7 E



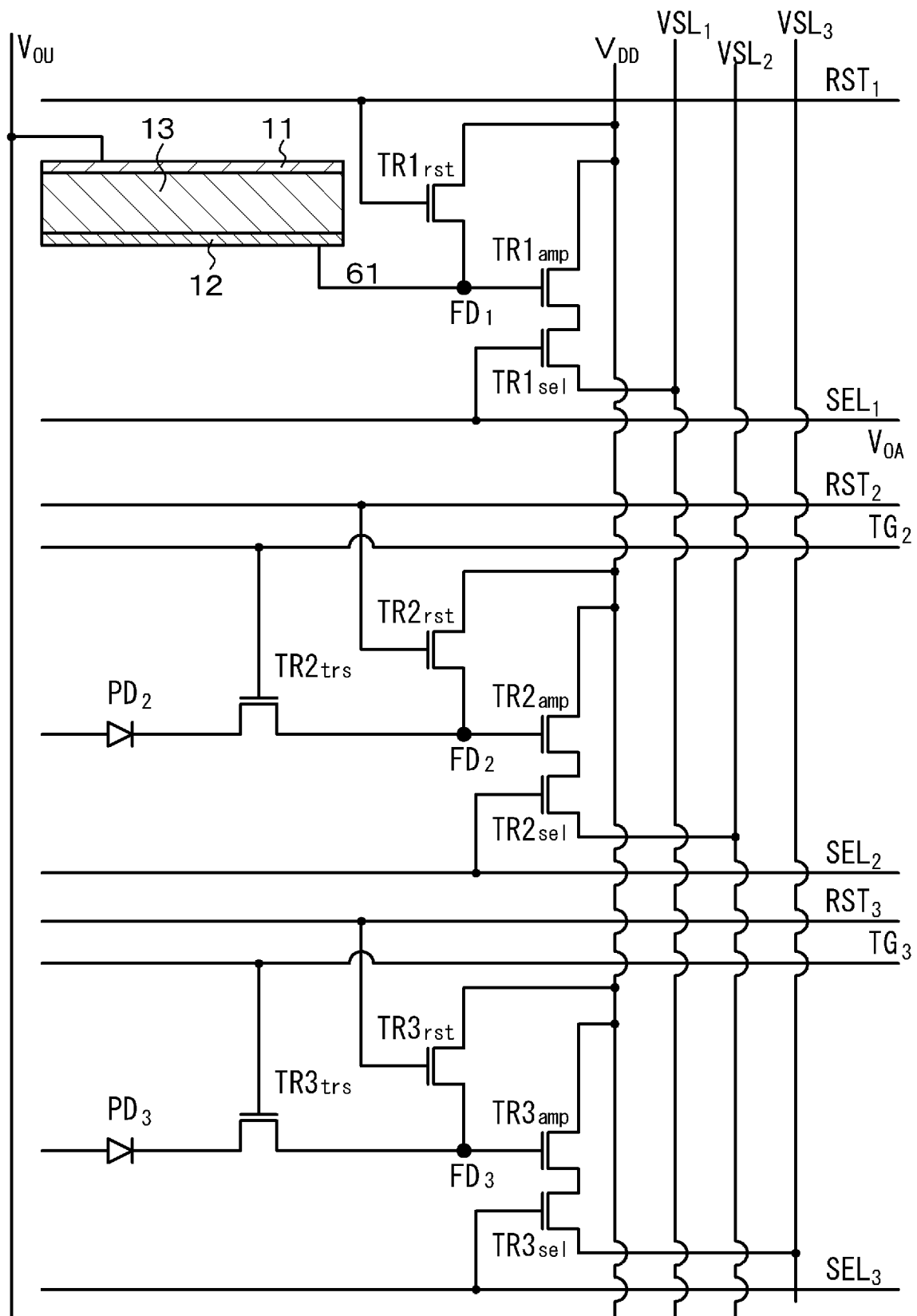
[図8]

図 8



[図9]

図 9



[図10]

図 1 0

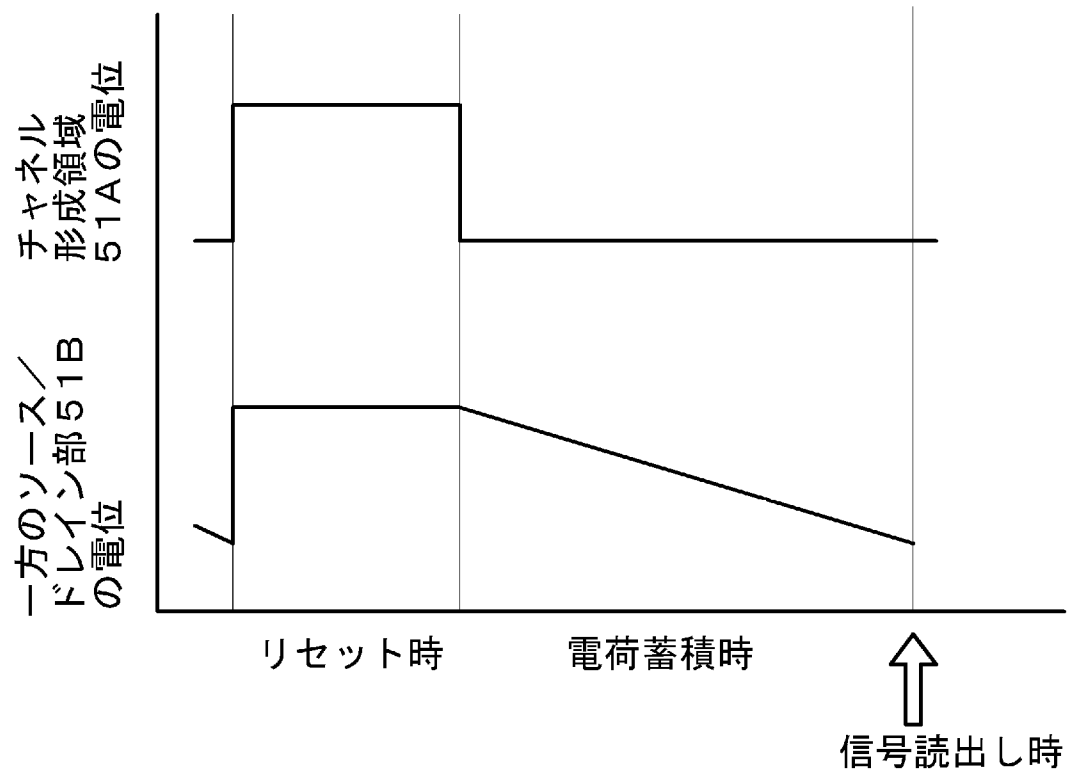
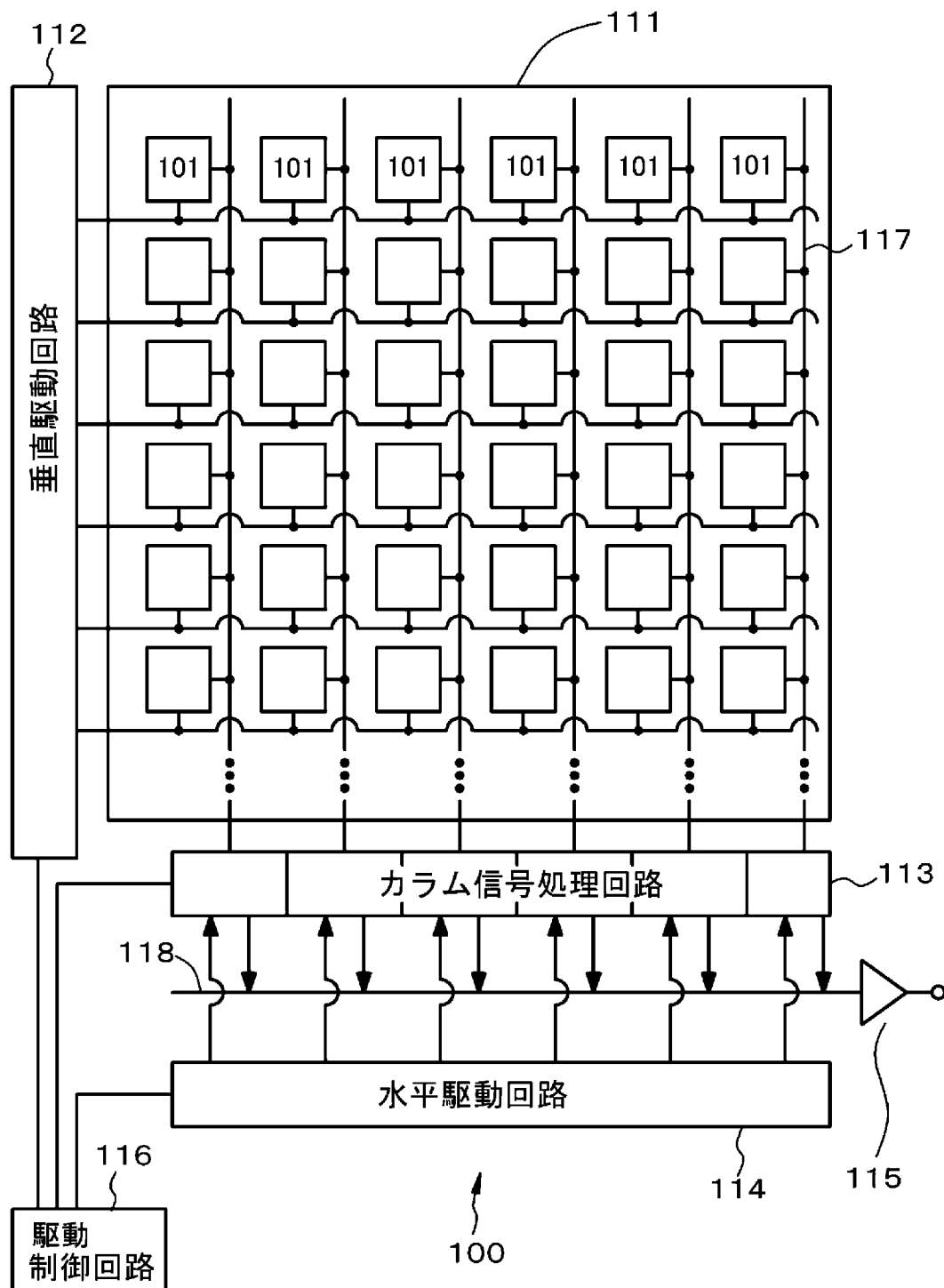
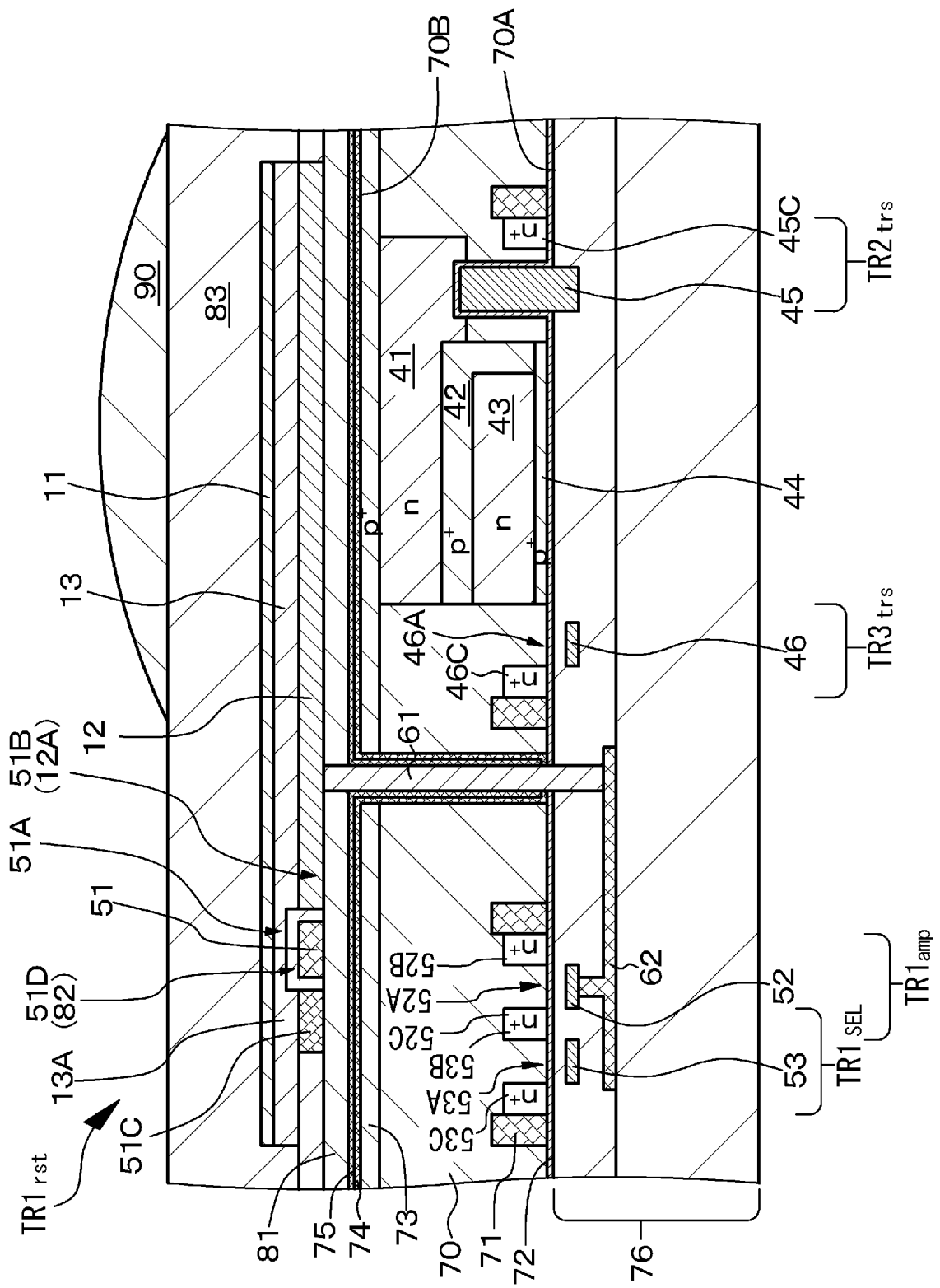


图 11



[図12]

図 1 2



[図13]

図 1 3 A

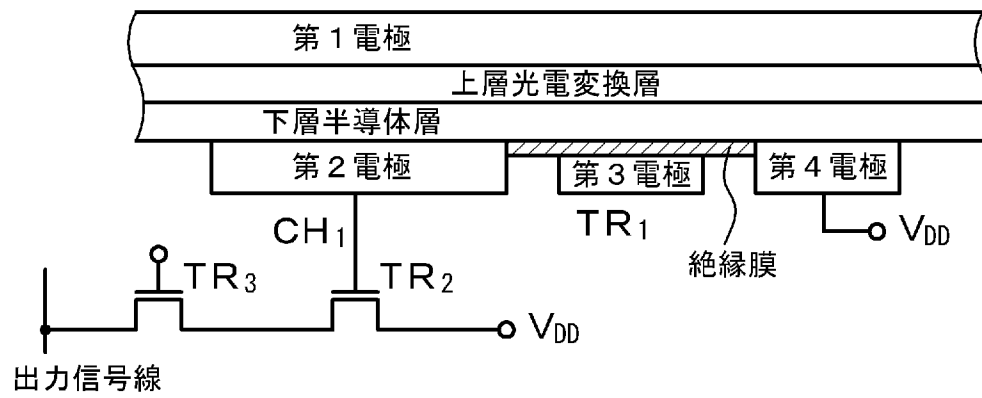
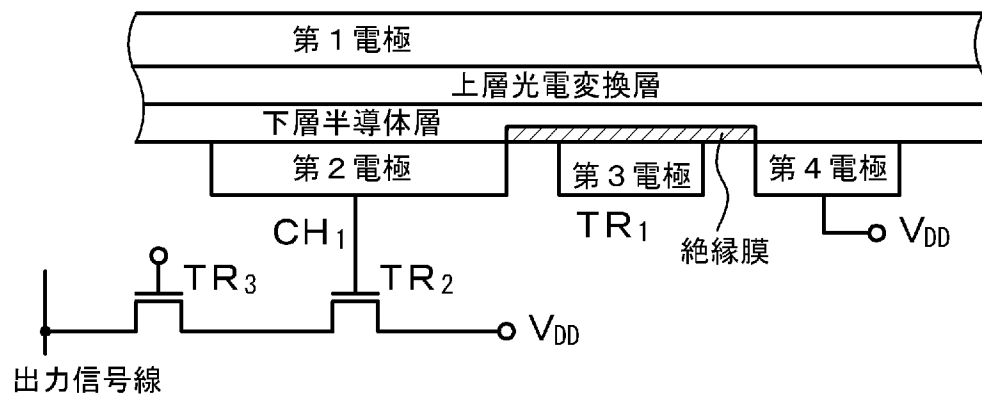
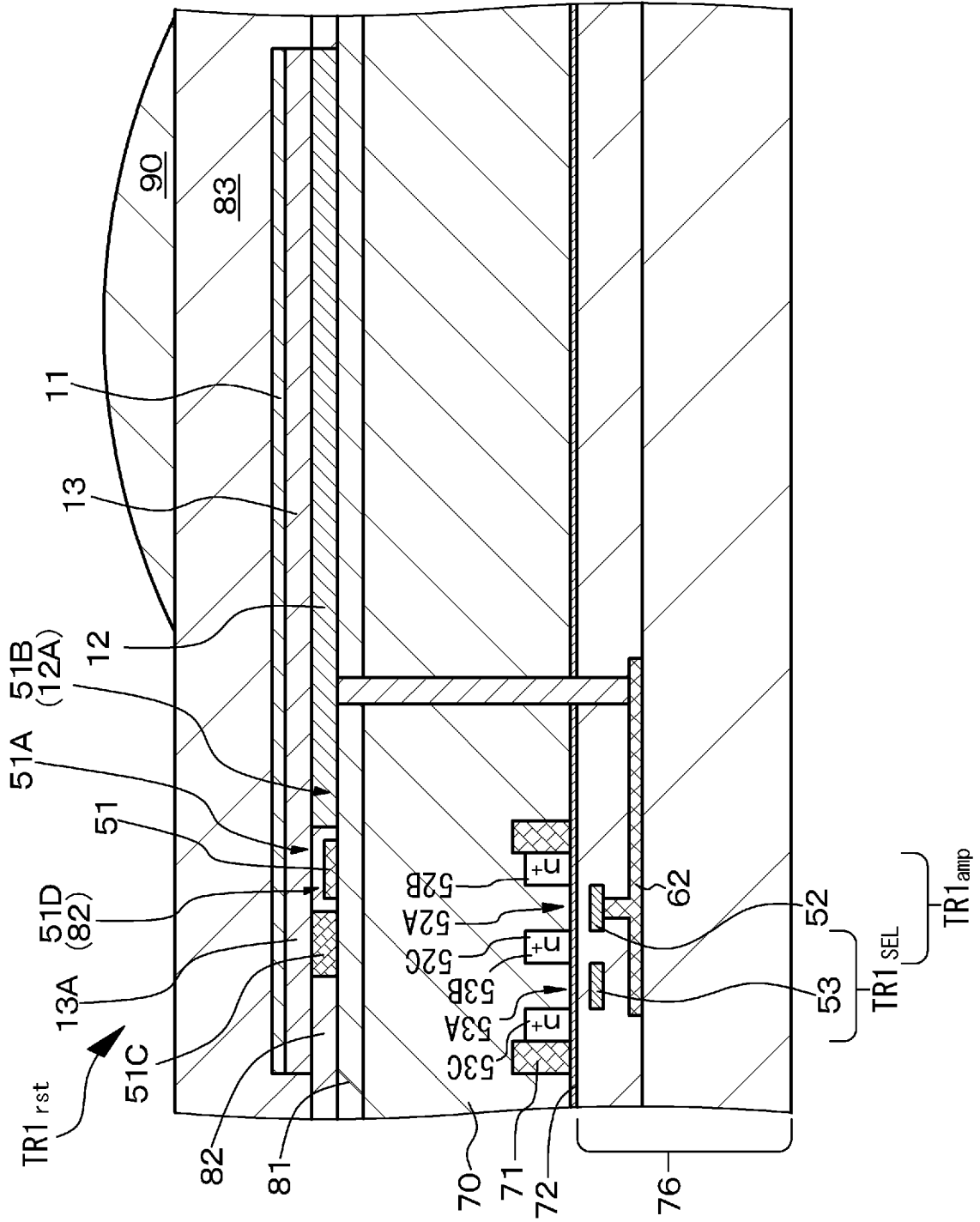


図 1 3 B



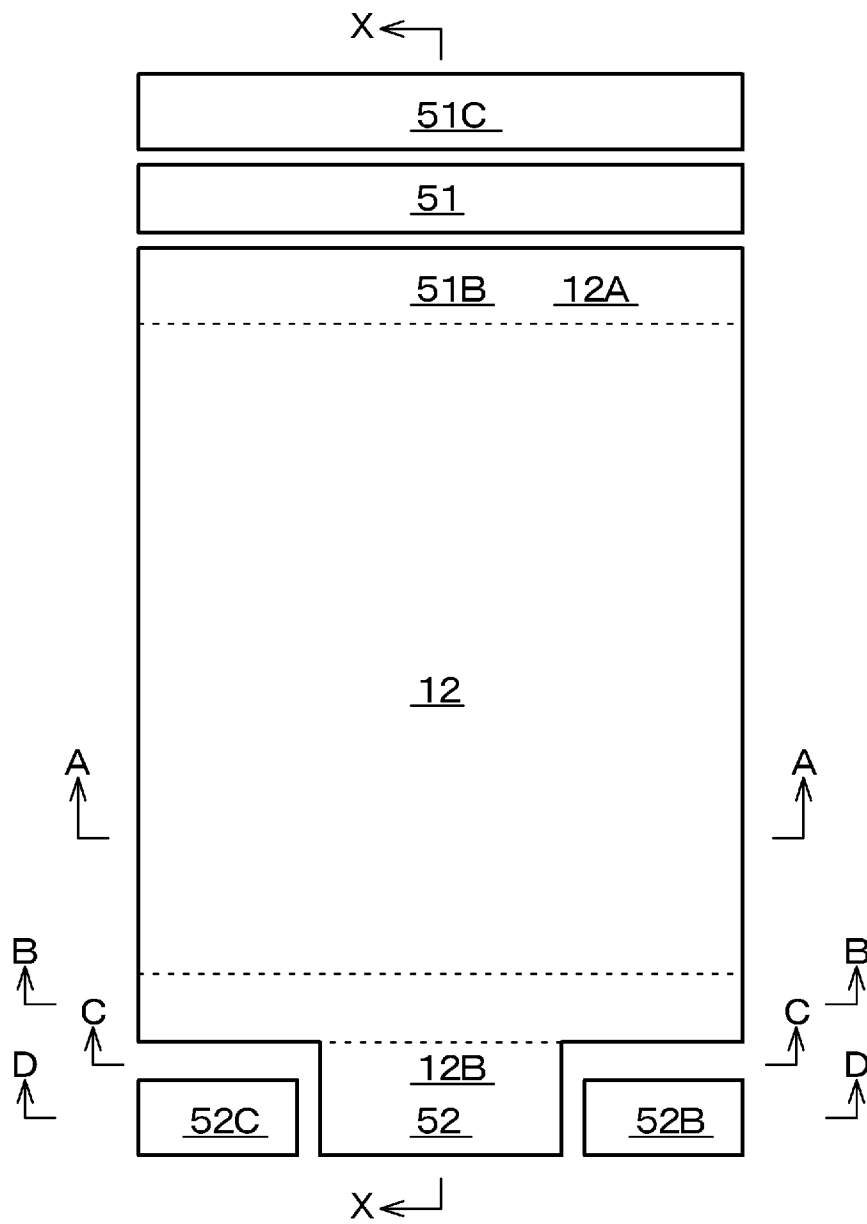
[図14]

図 1 4



[図16]

図 16



[図17]

図 1 7 A

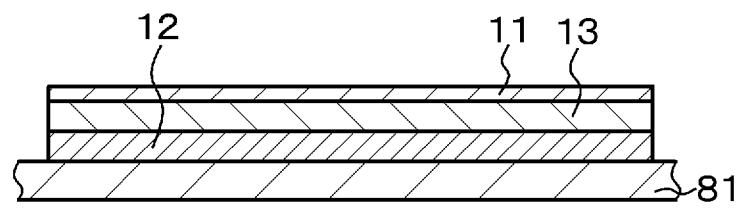


図 1 7 B

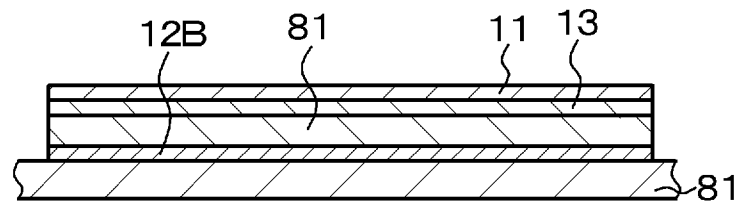


図 1 7 C

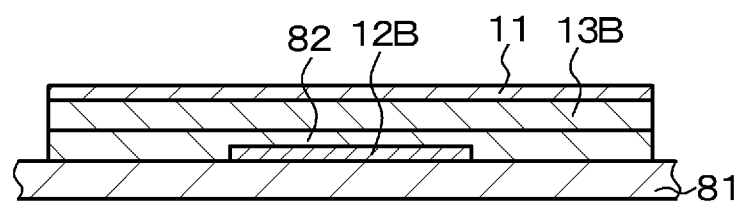
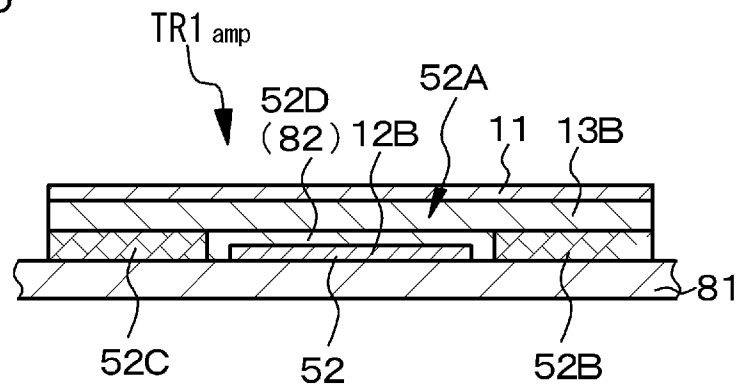
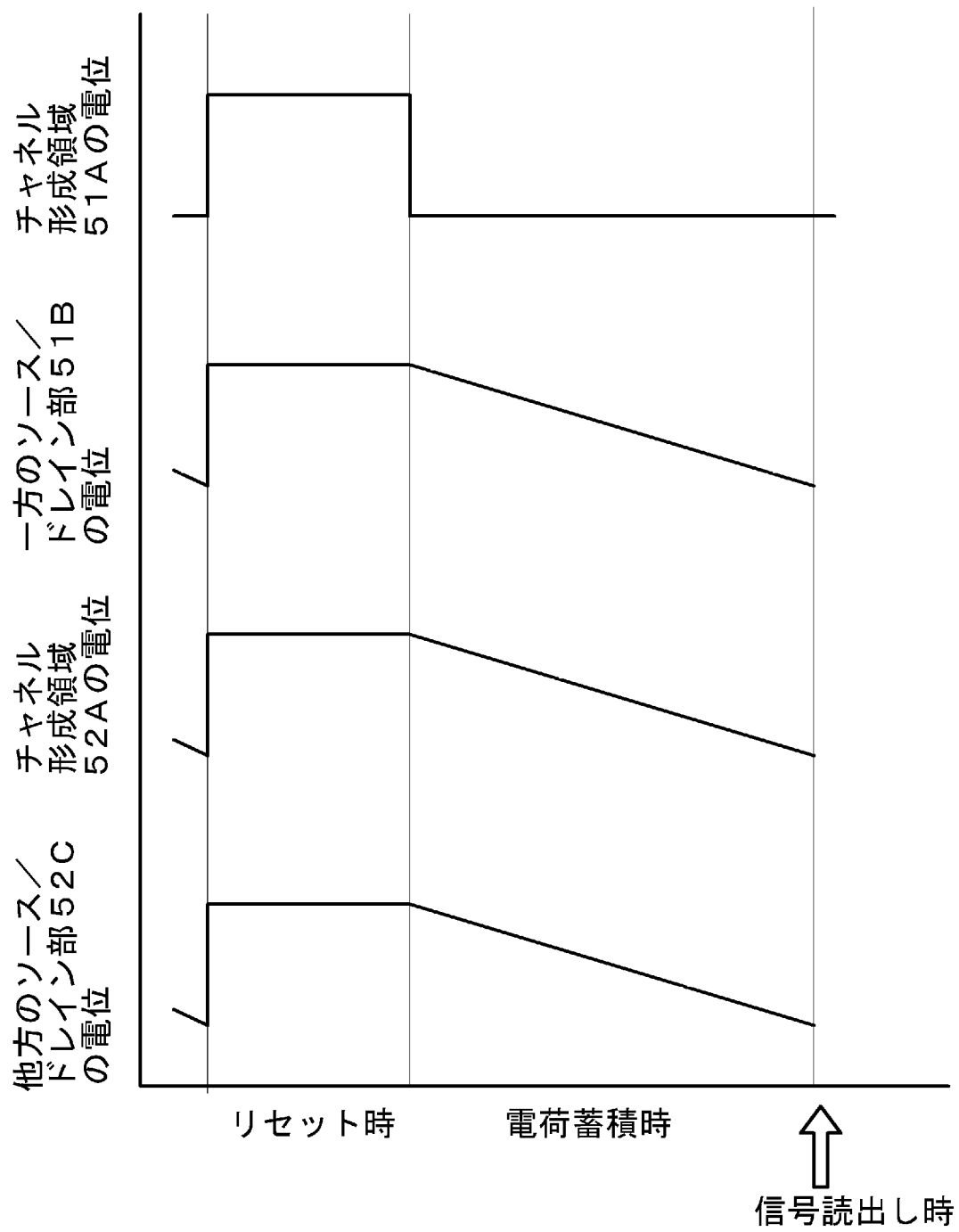


図 1 7 D



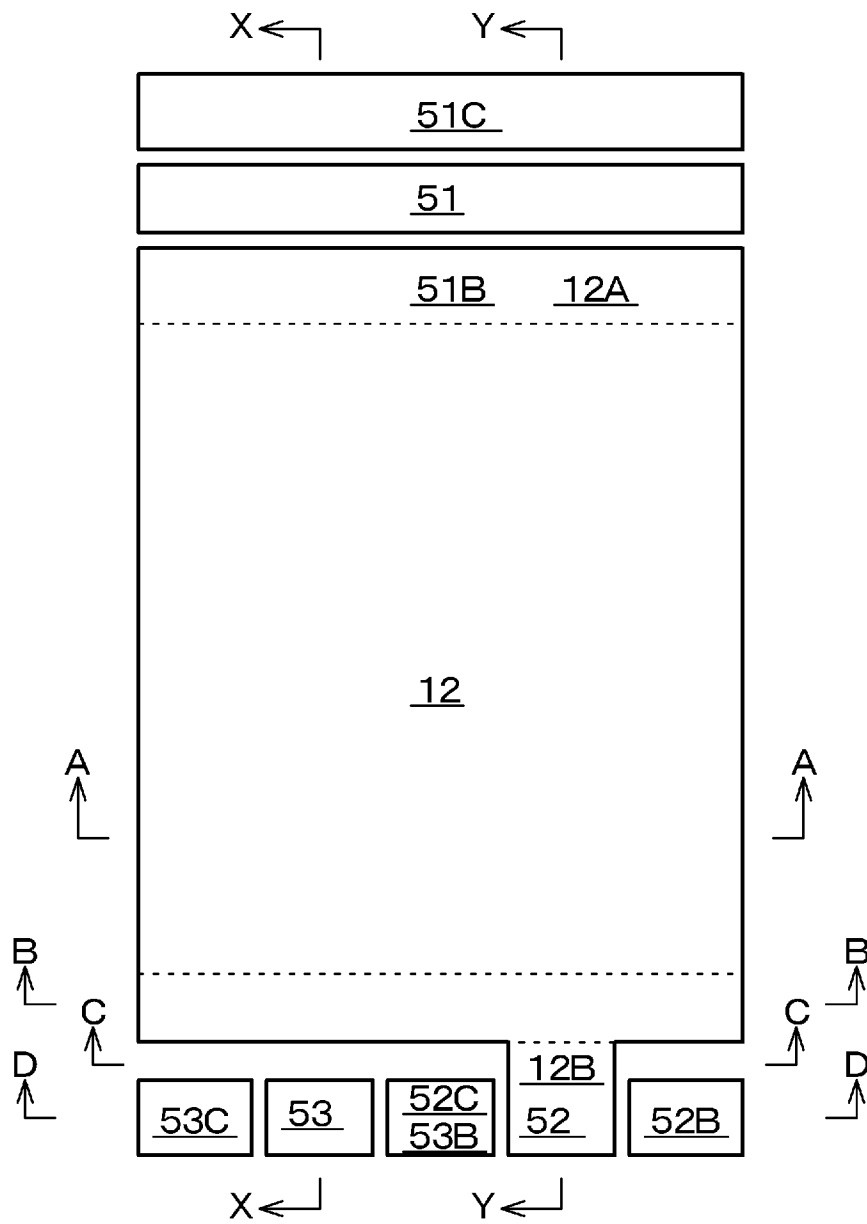
[図18]

図 1 8



[図20]

図 20



[図21]

図 2 1 A

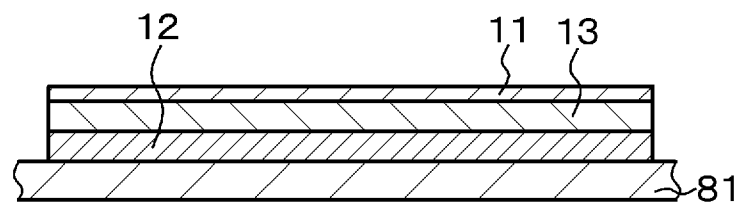


図 2 1 B

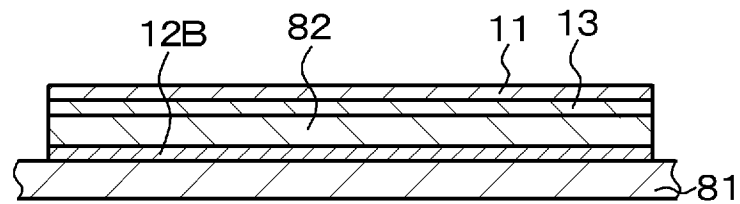


図 2 1 C

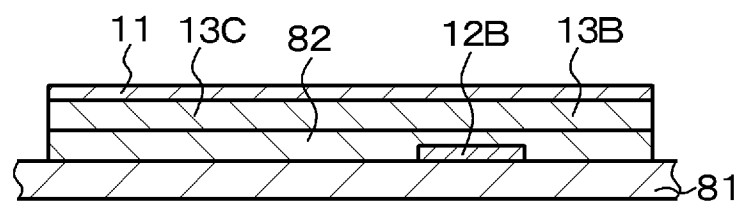
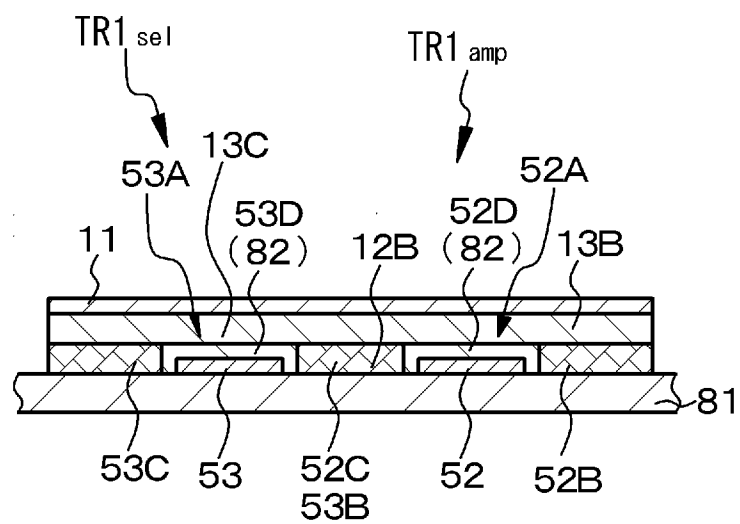
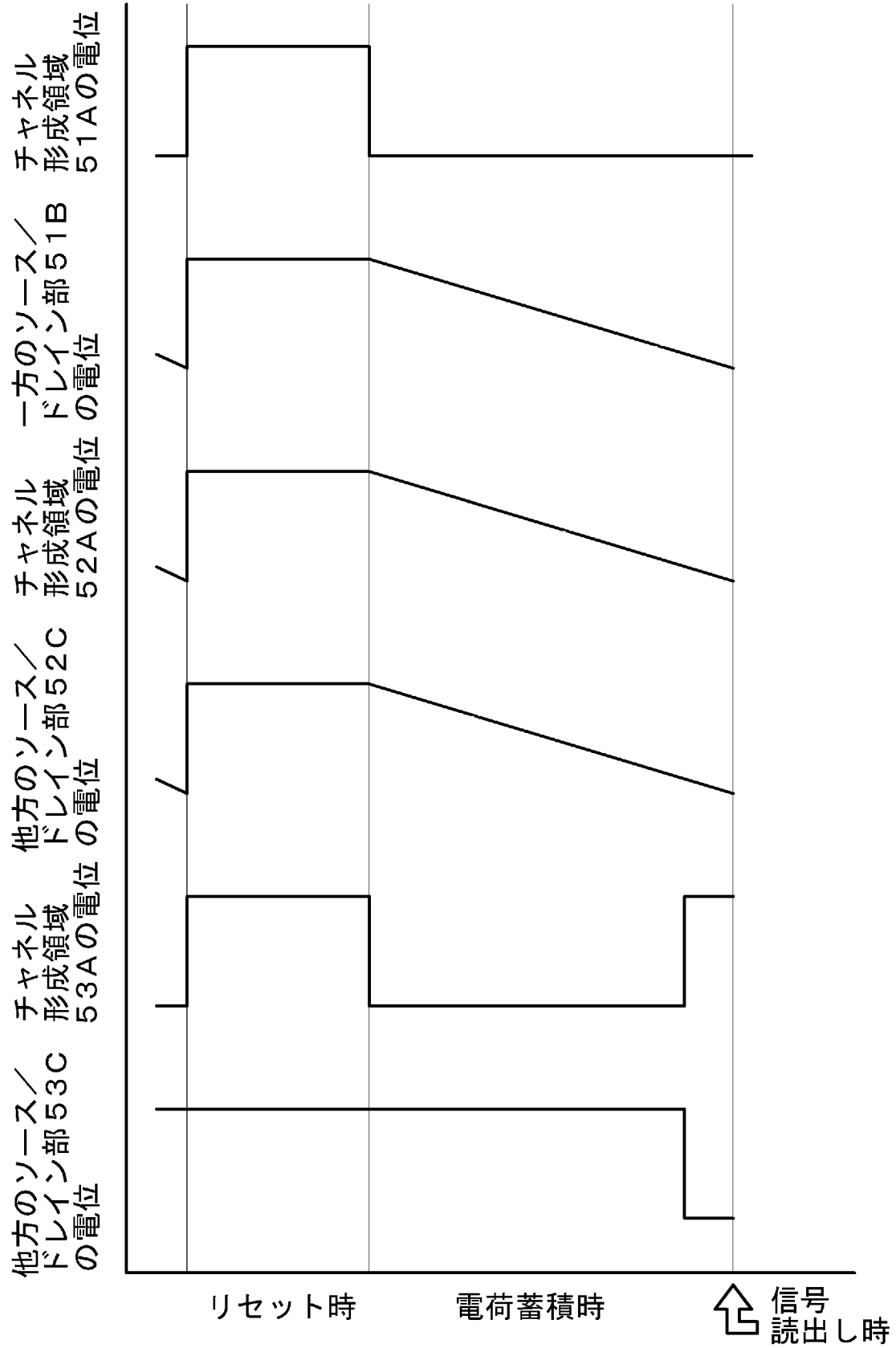


図 2 1 D



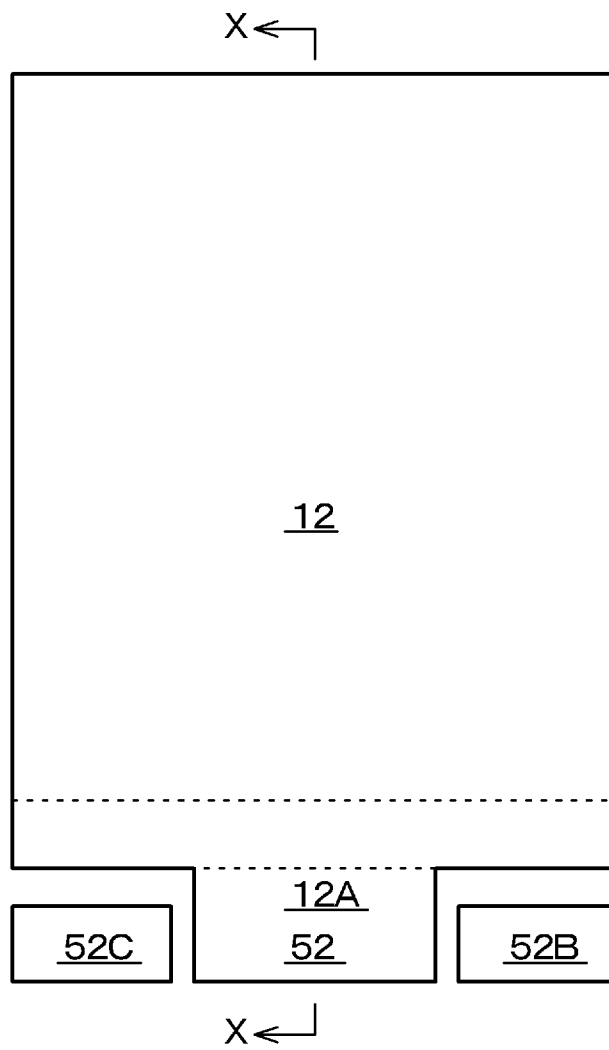
[図22]

図 2 2



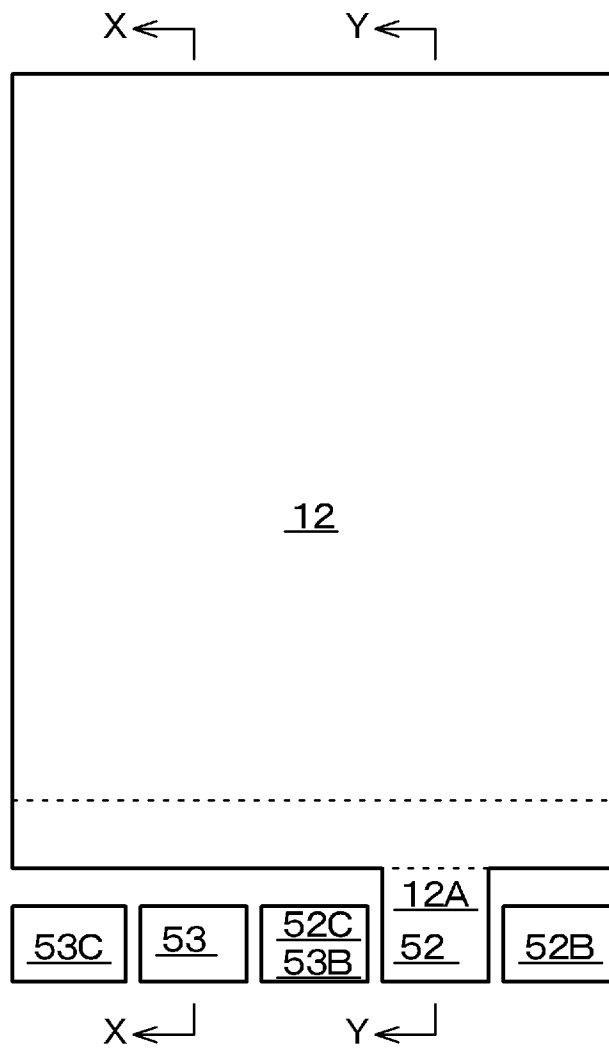
[図24]

図 2 4



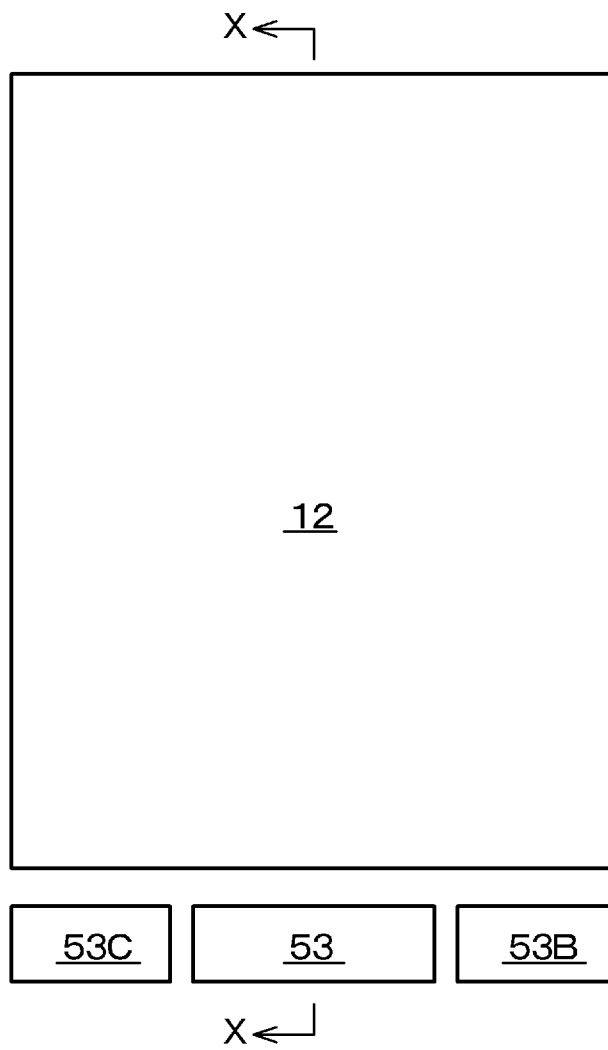
[図26]

図 26



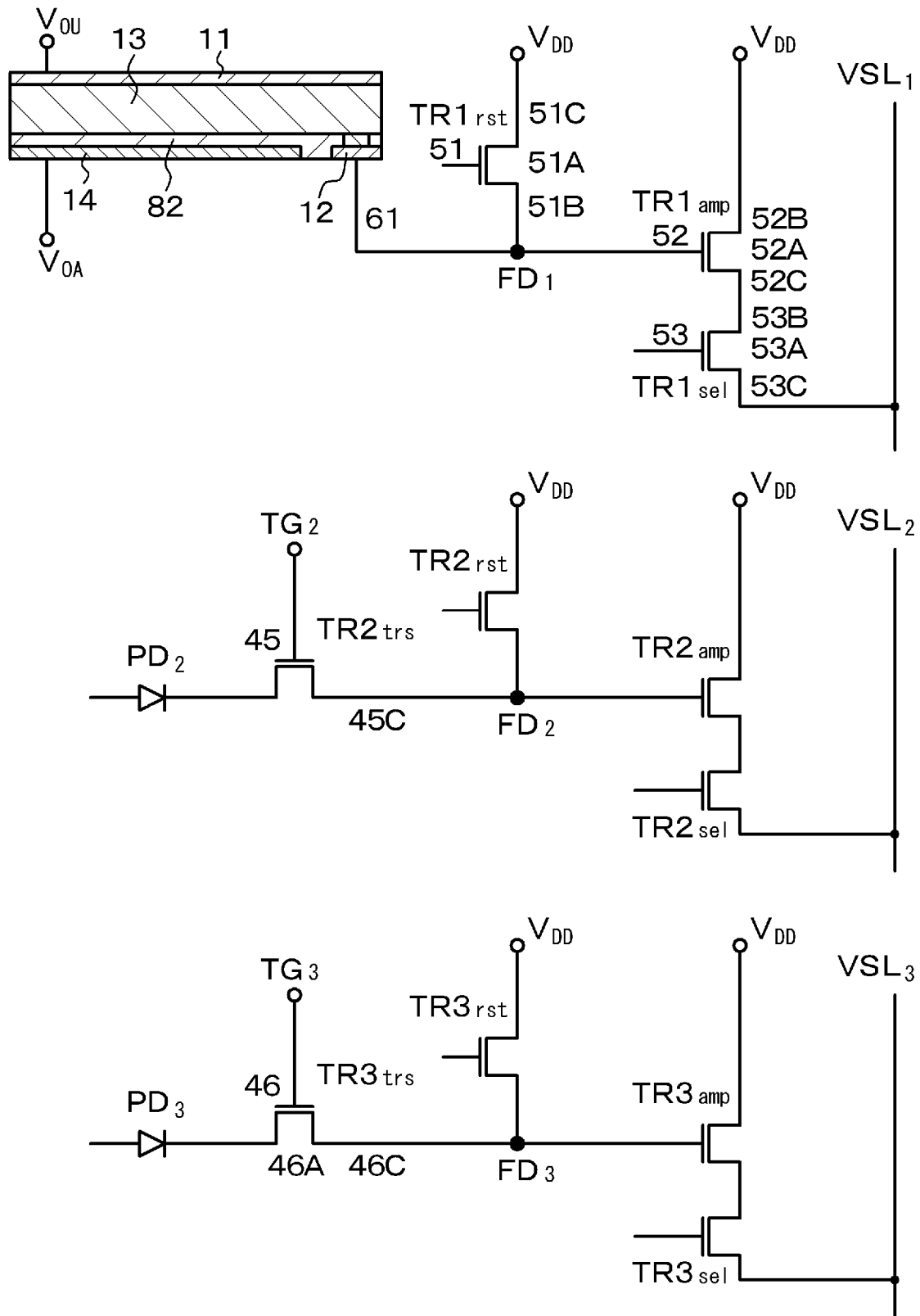
[図28]

図 28



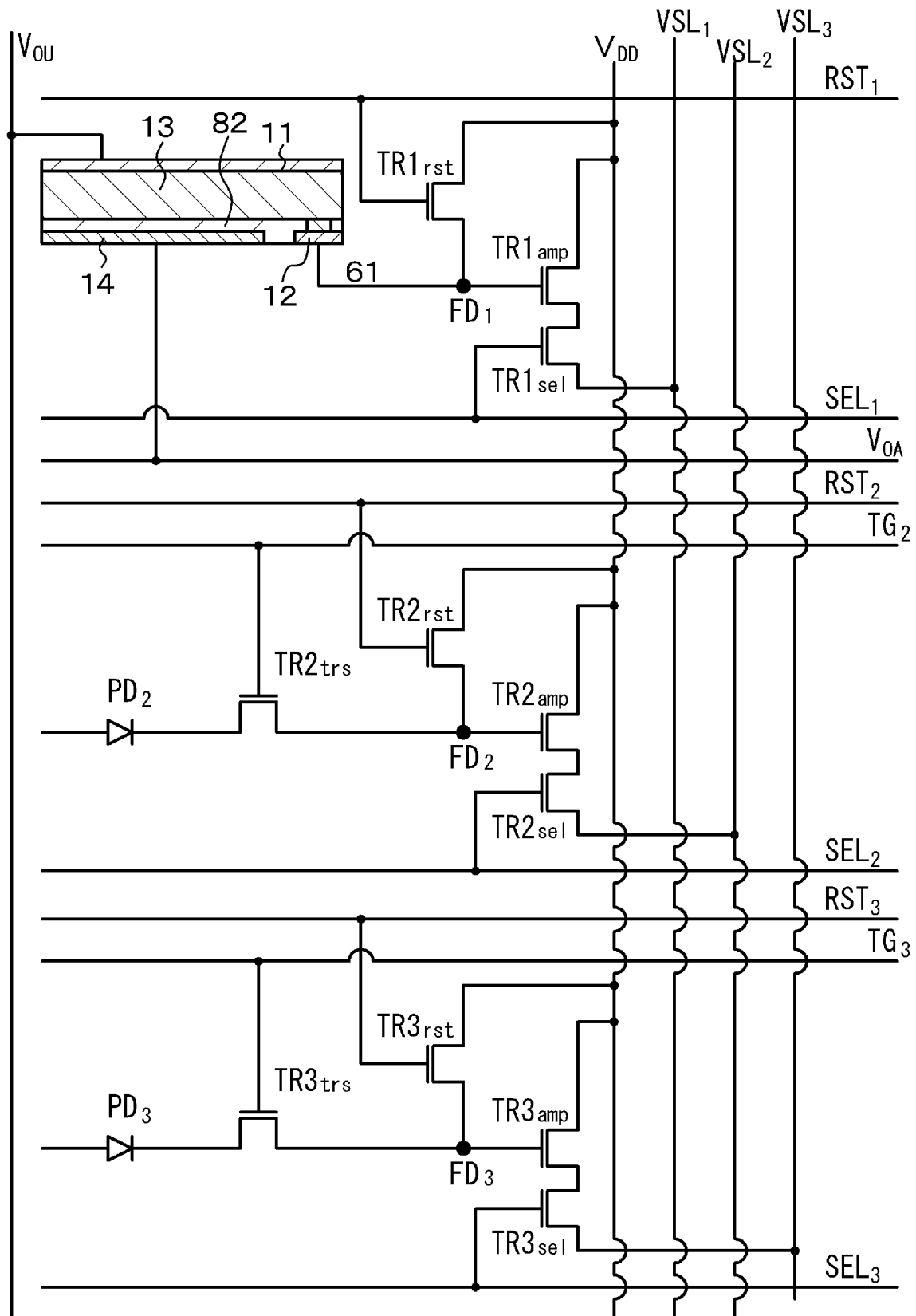
[図30]

図 30



[図31]

図 3 1



[図32]

図 3 2 A

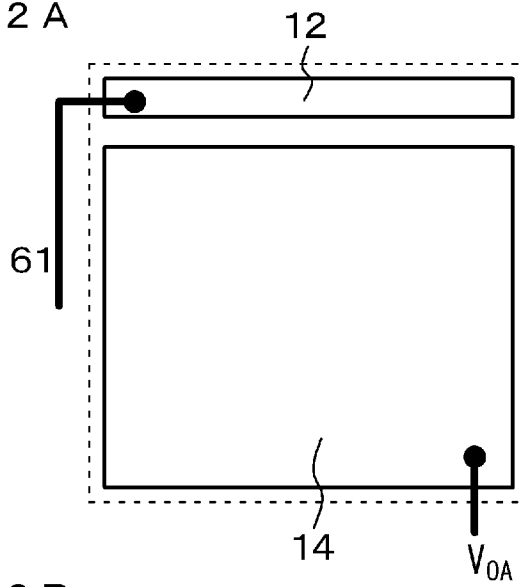


図 3 2 B

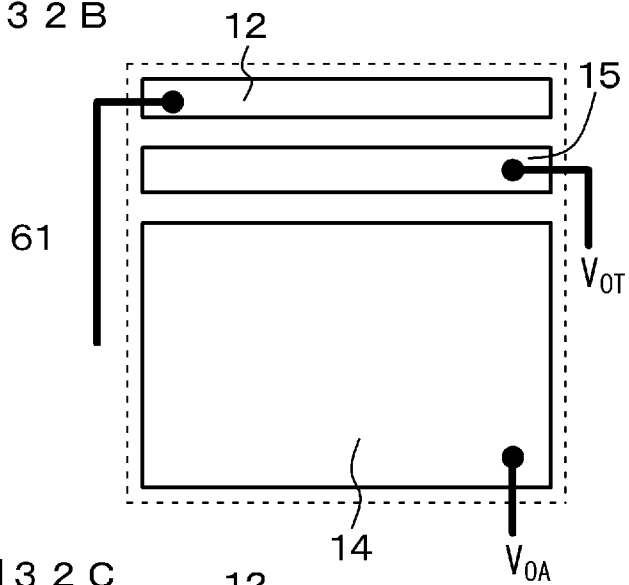
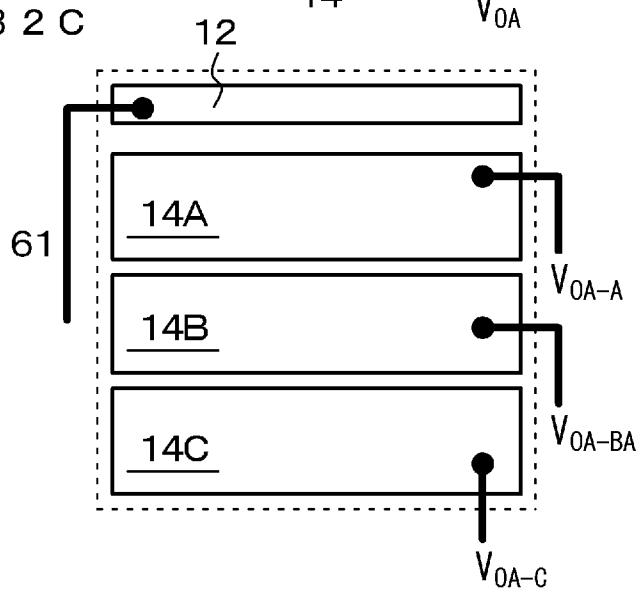
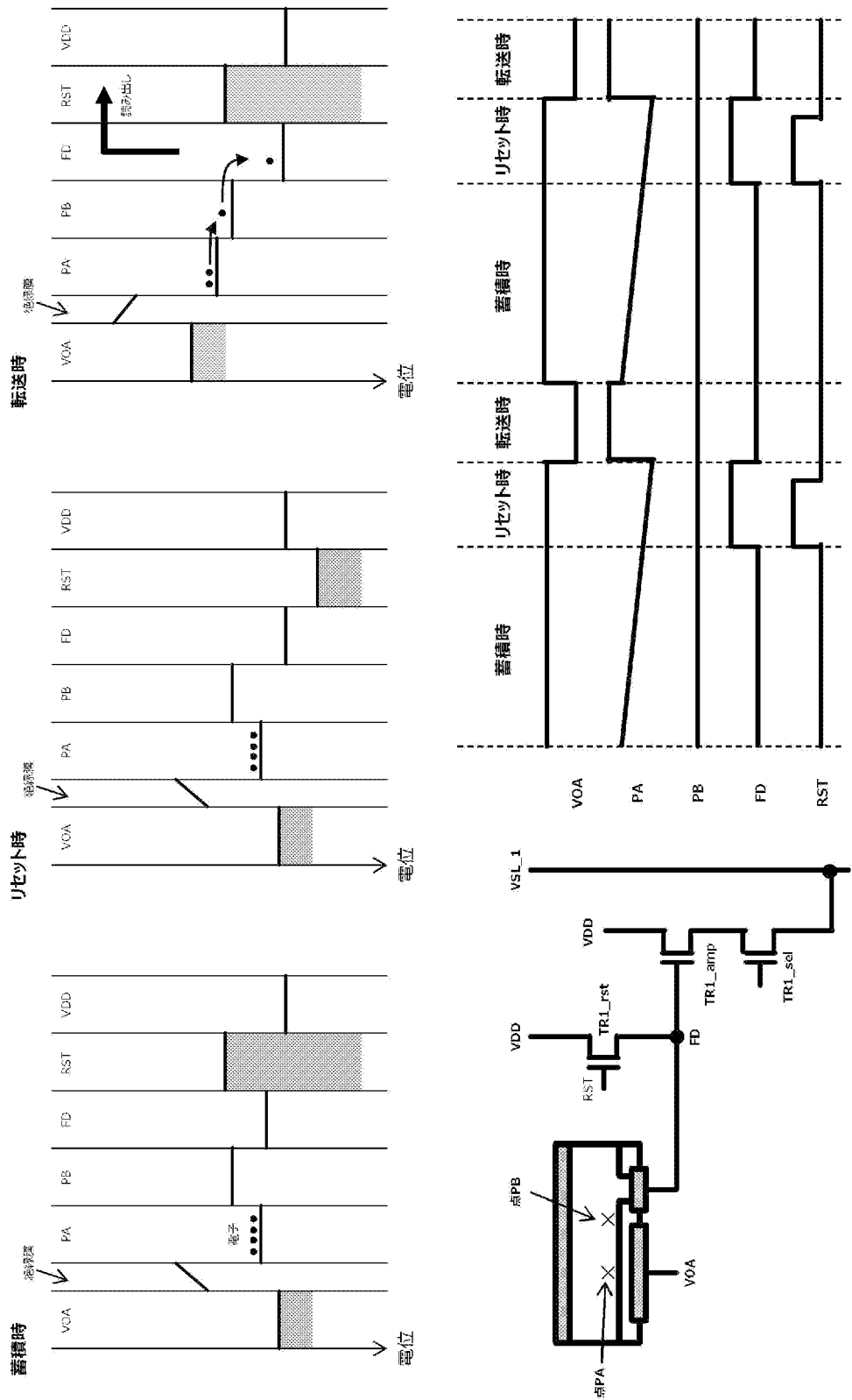


図 3 2 C



[図33]

図33



[図34]

図 3 4

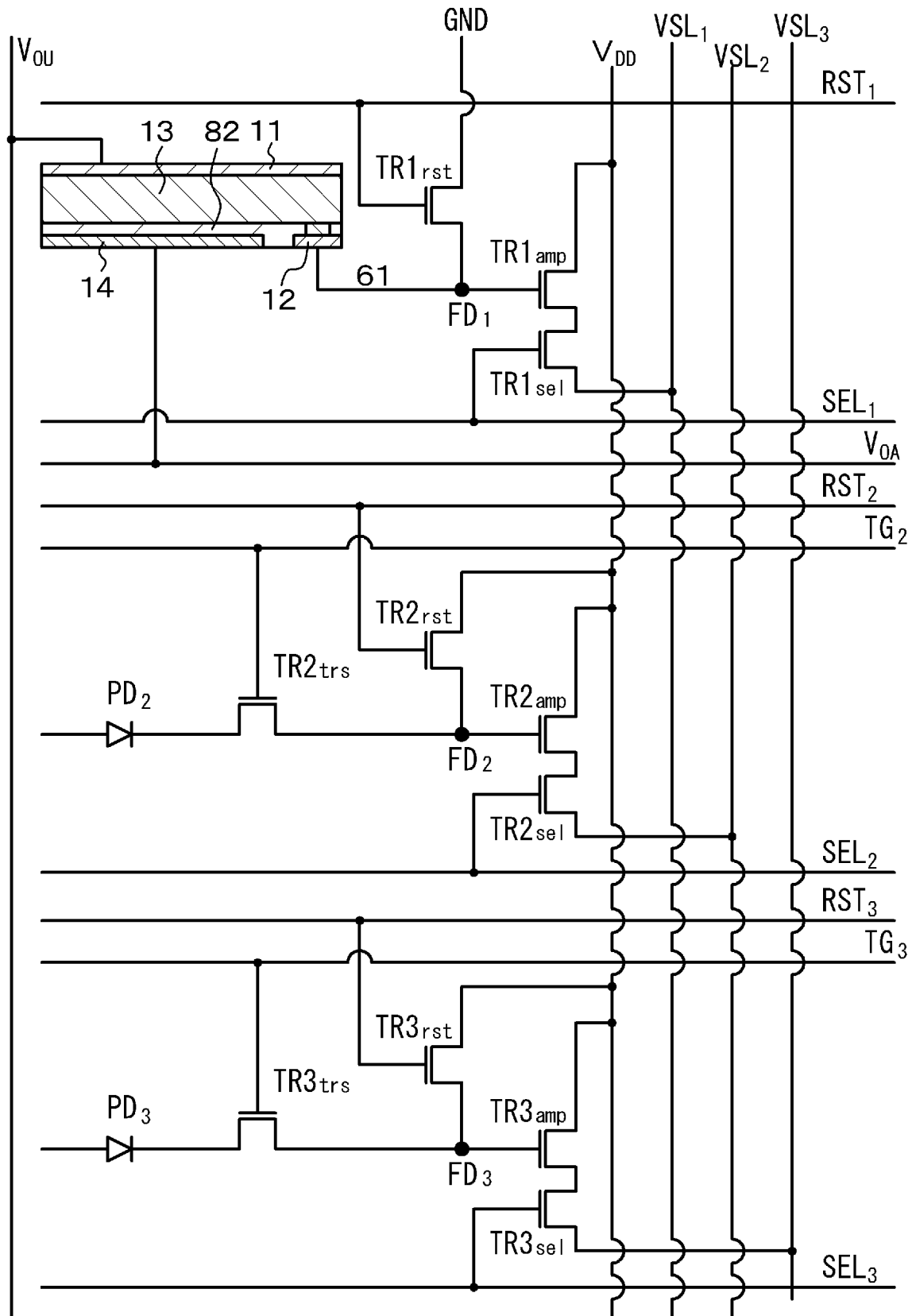
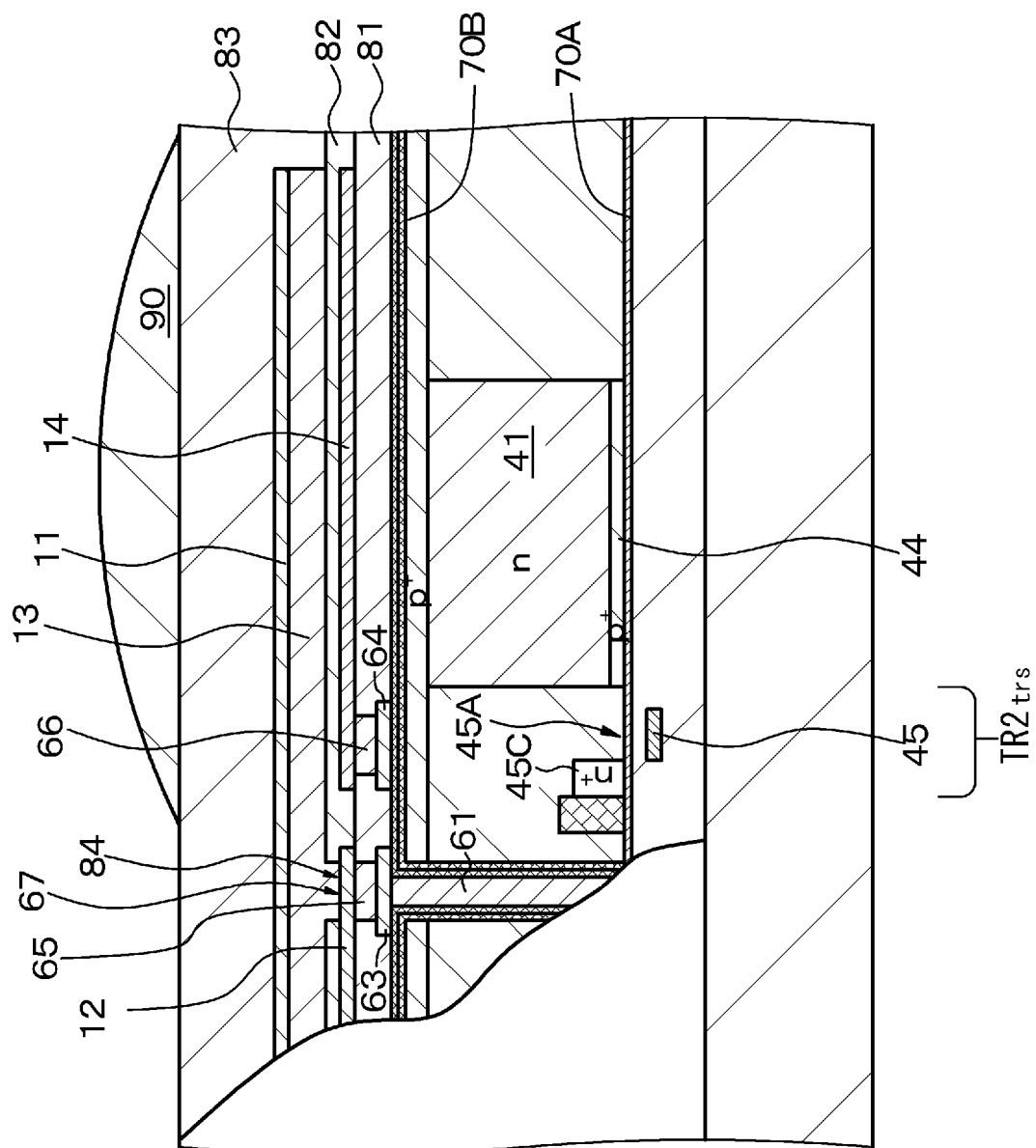
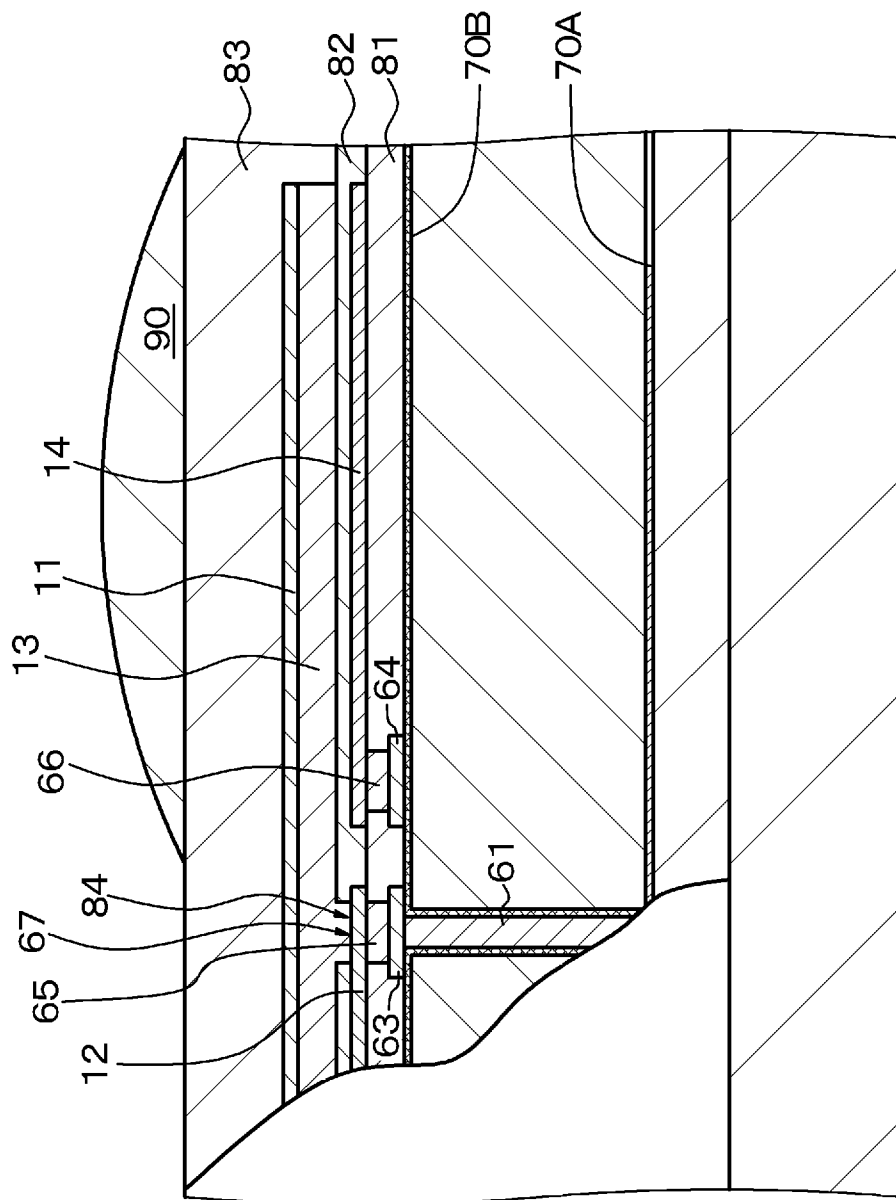


图 3 6



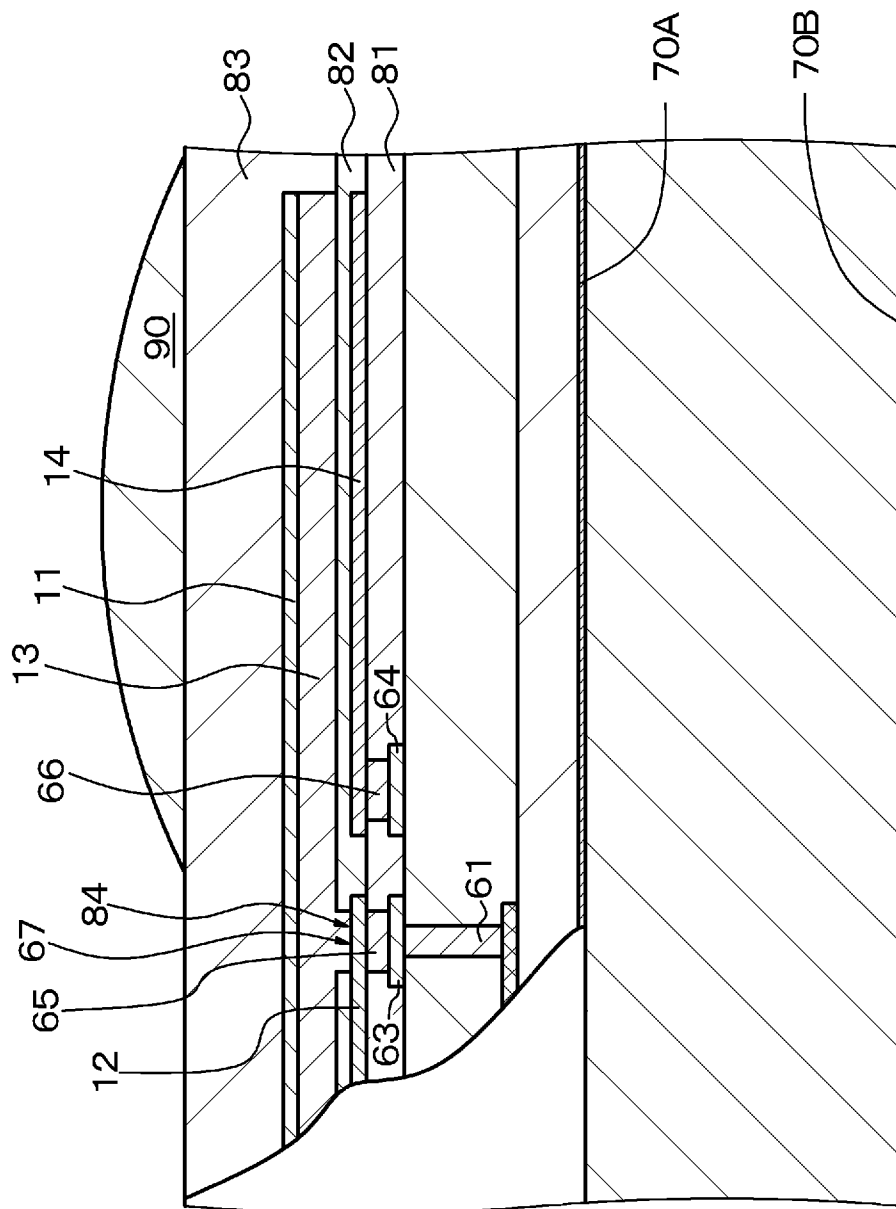
[図38]

图 3 8



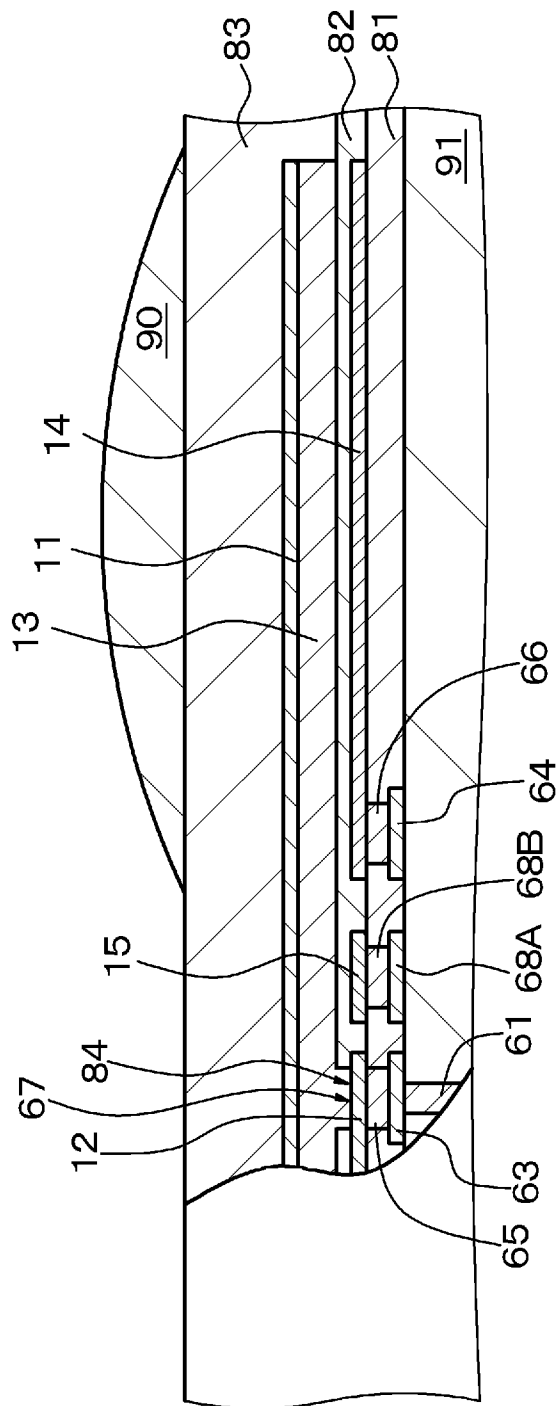
[図39]

図 39



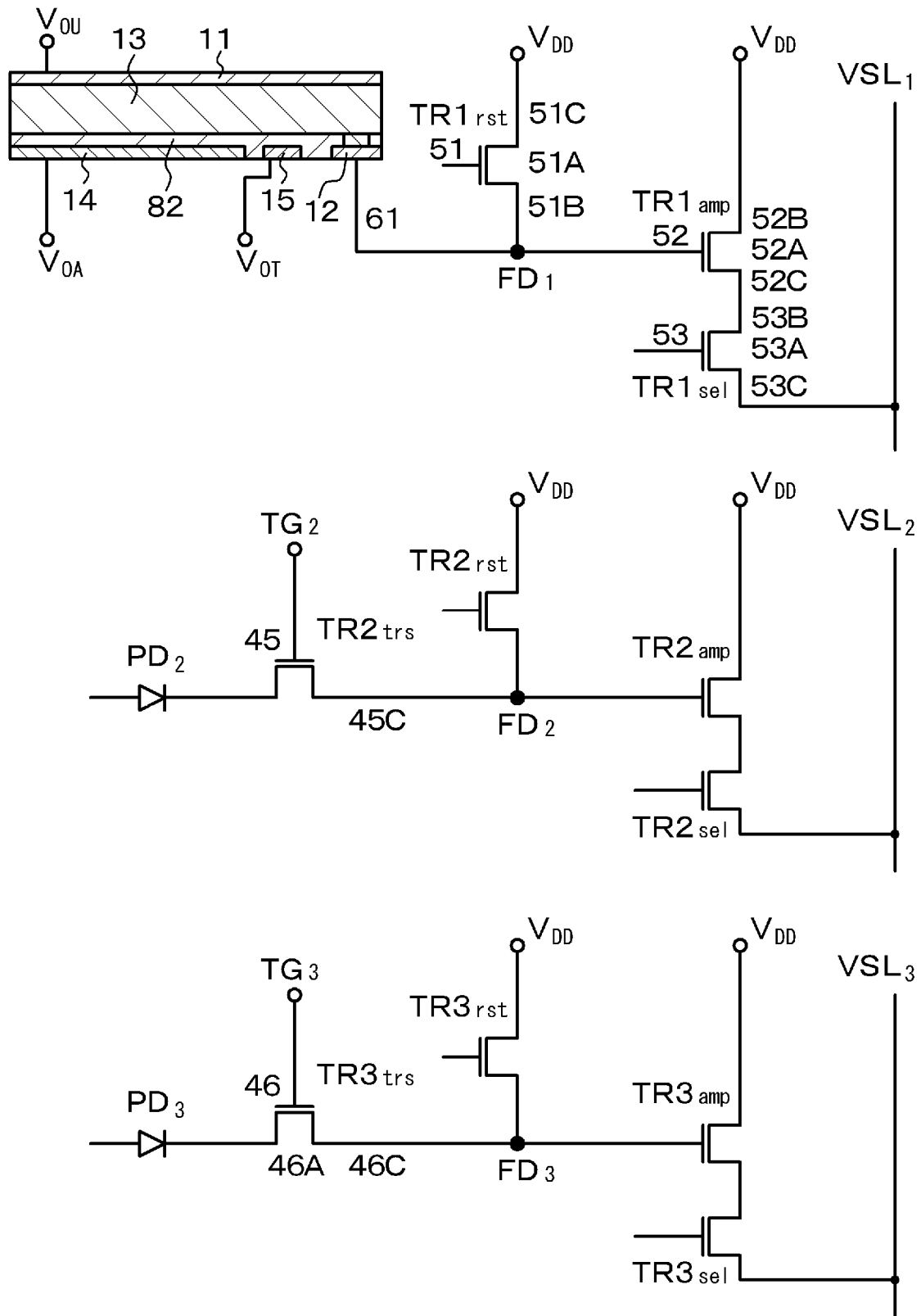
[図40]

図 40



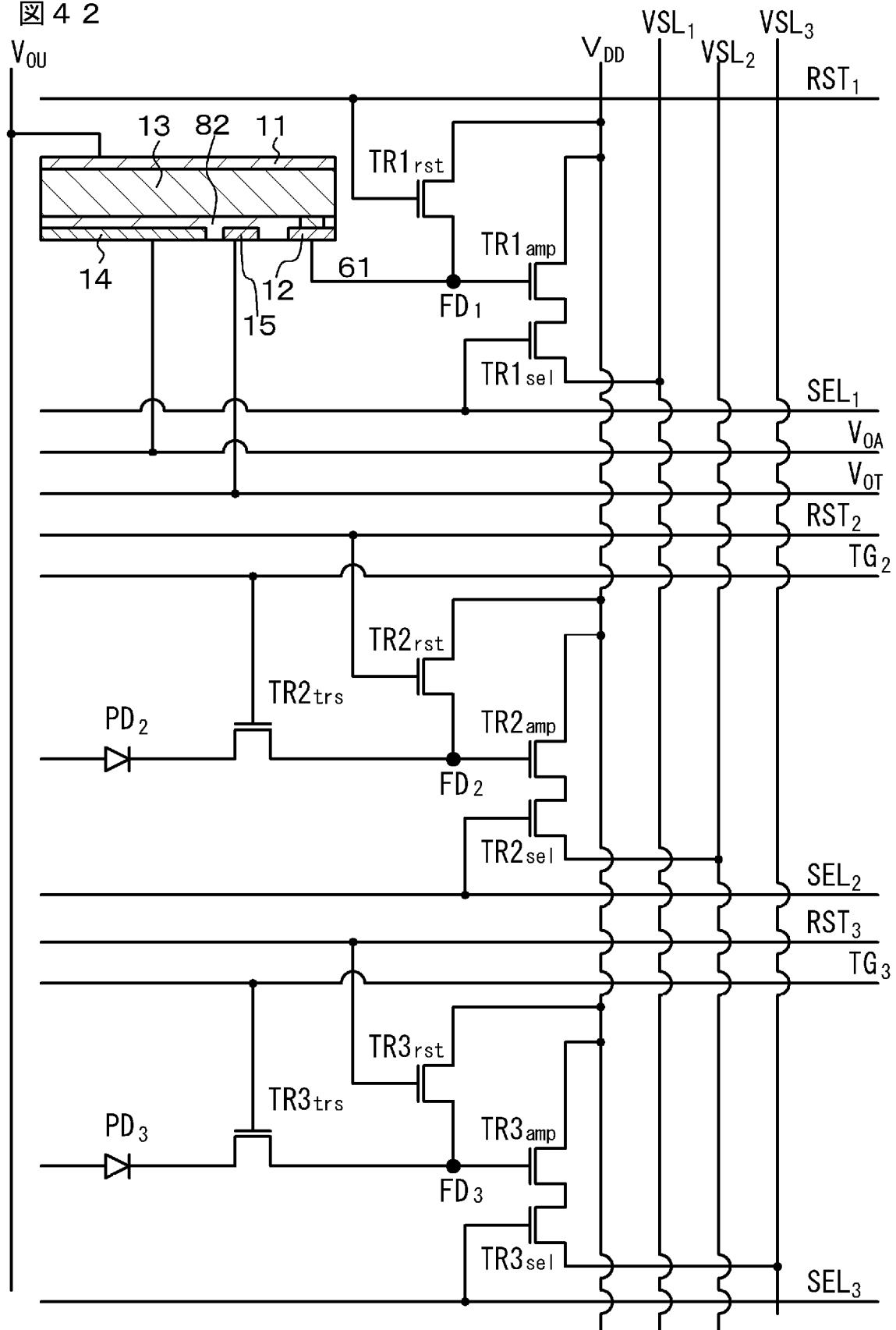
[図41]

図 4 1



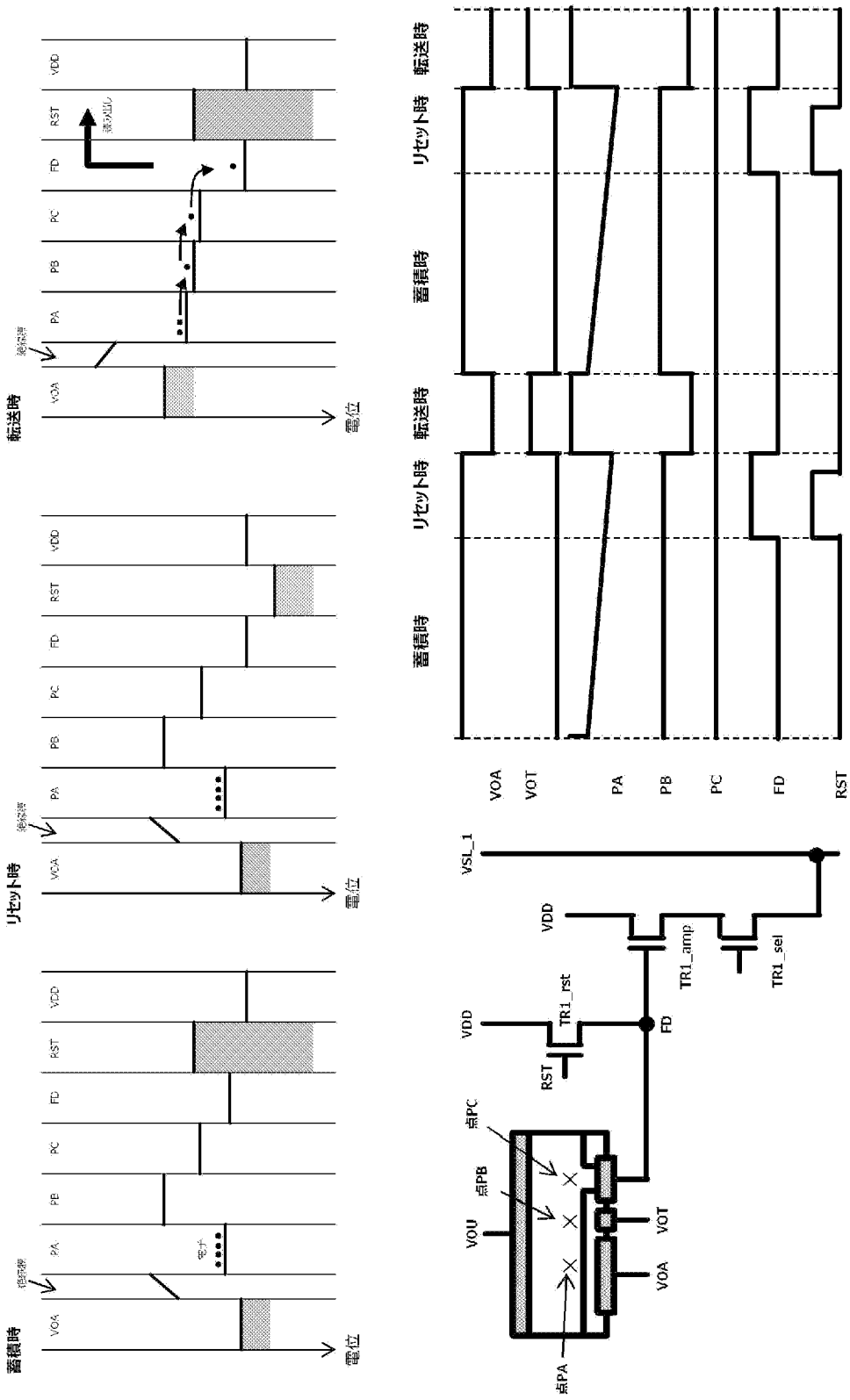
[図42]

図 4 2



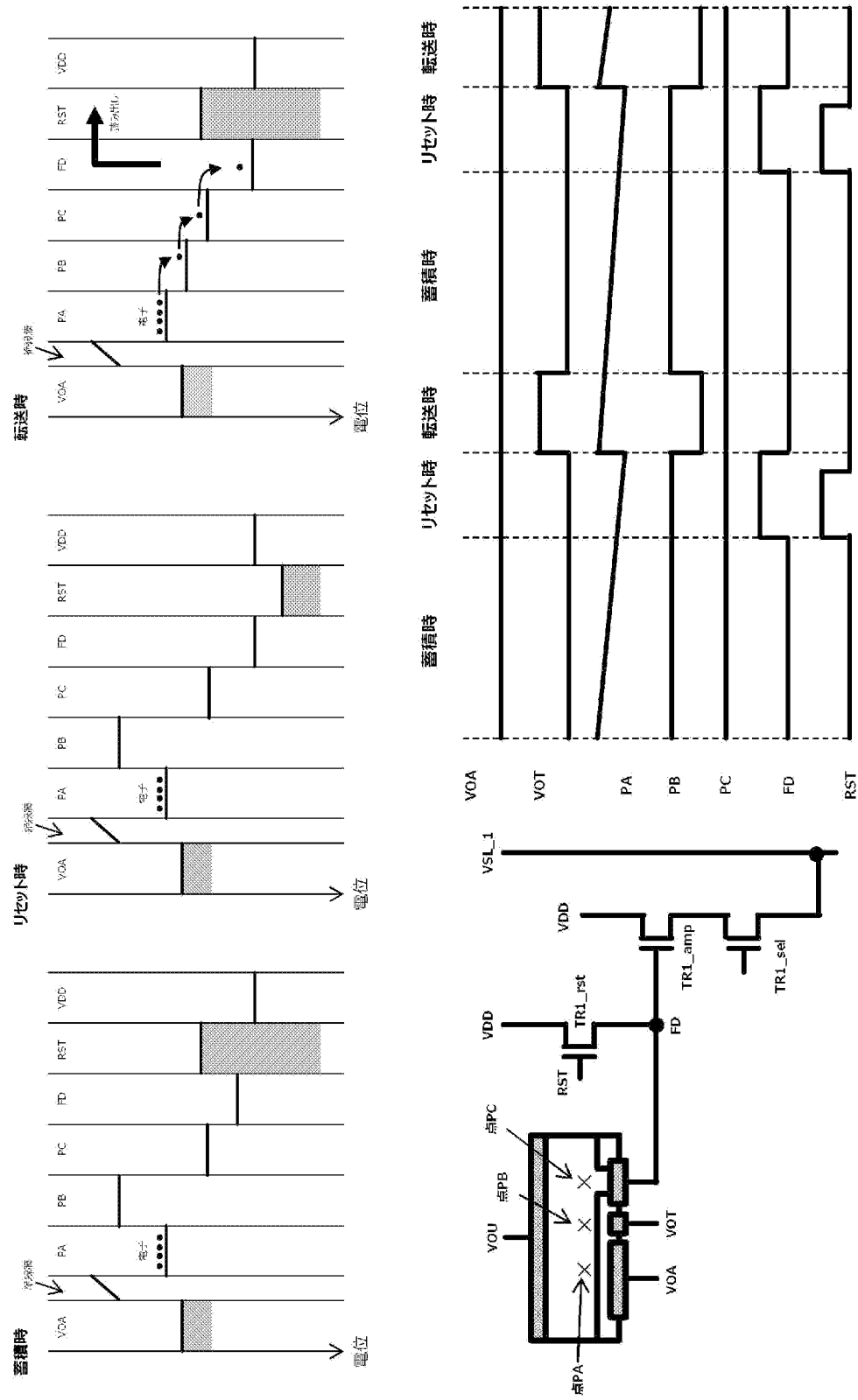
[図43]

図43



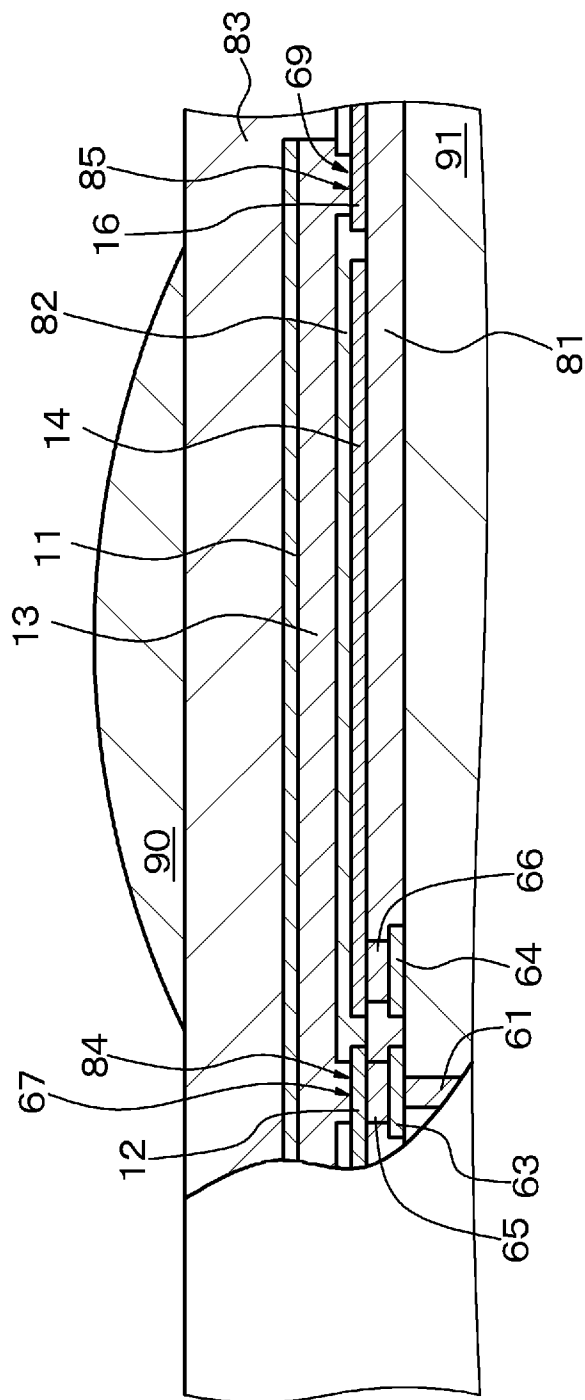
[図44]

図44



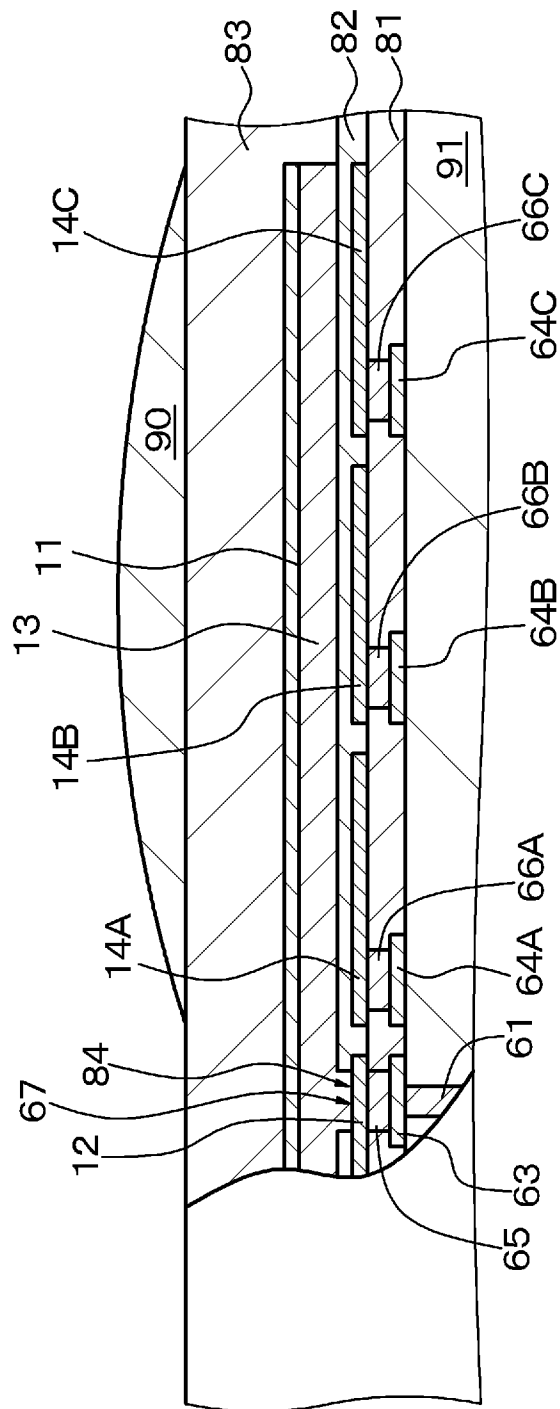
[図45]

図 4 5



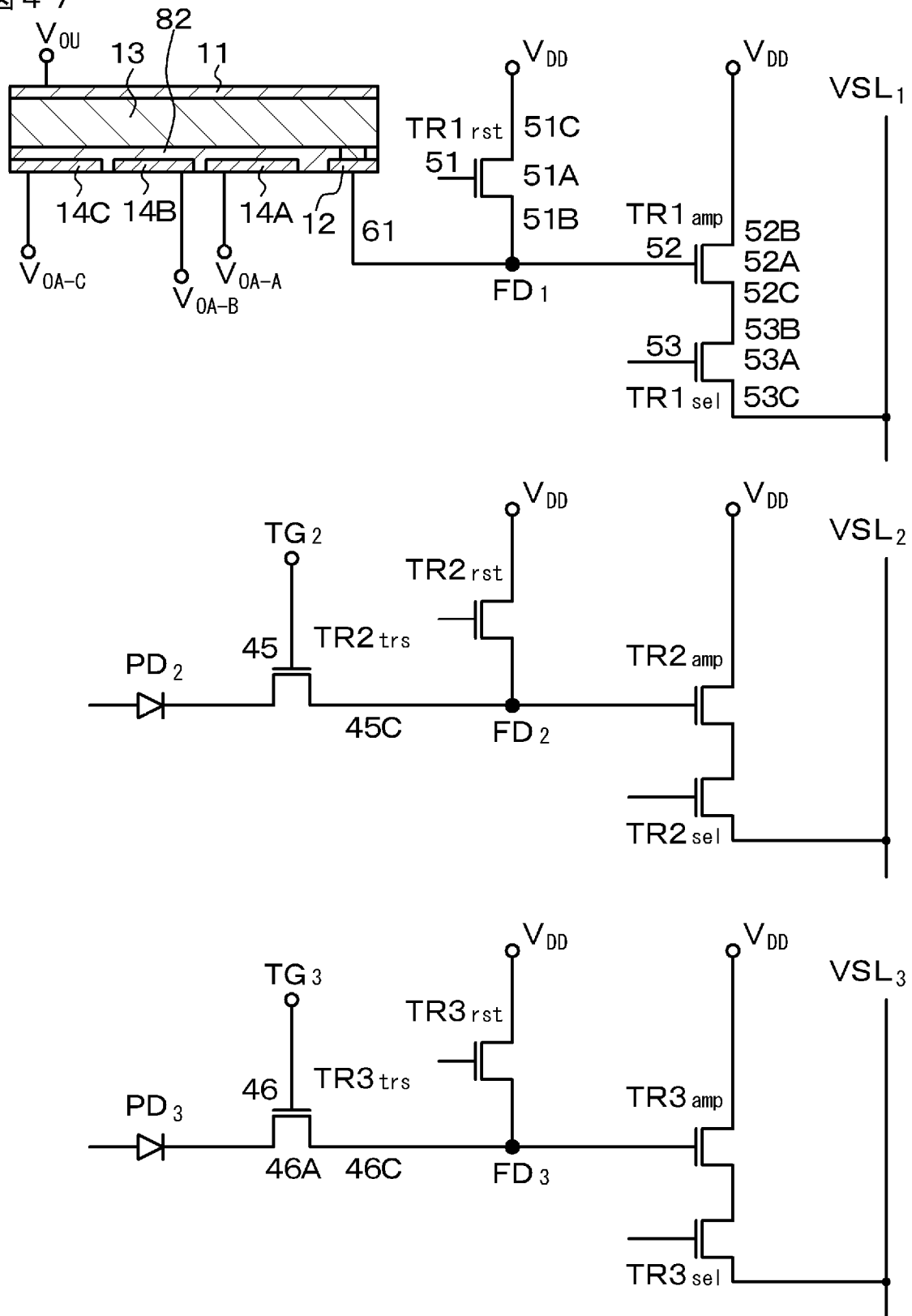
[図46]

図 4 6



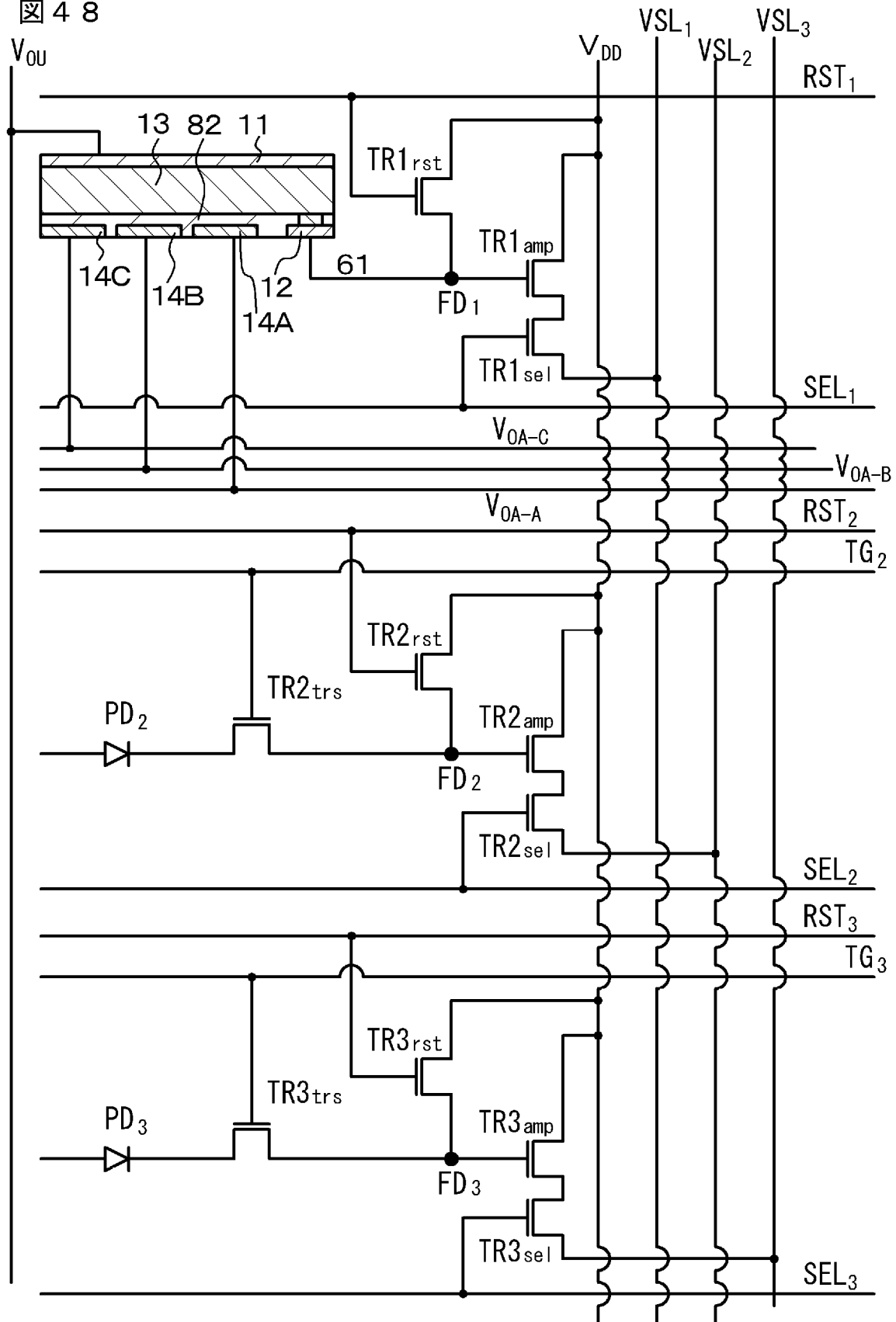
[図47]

図 47



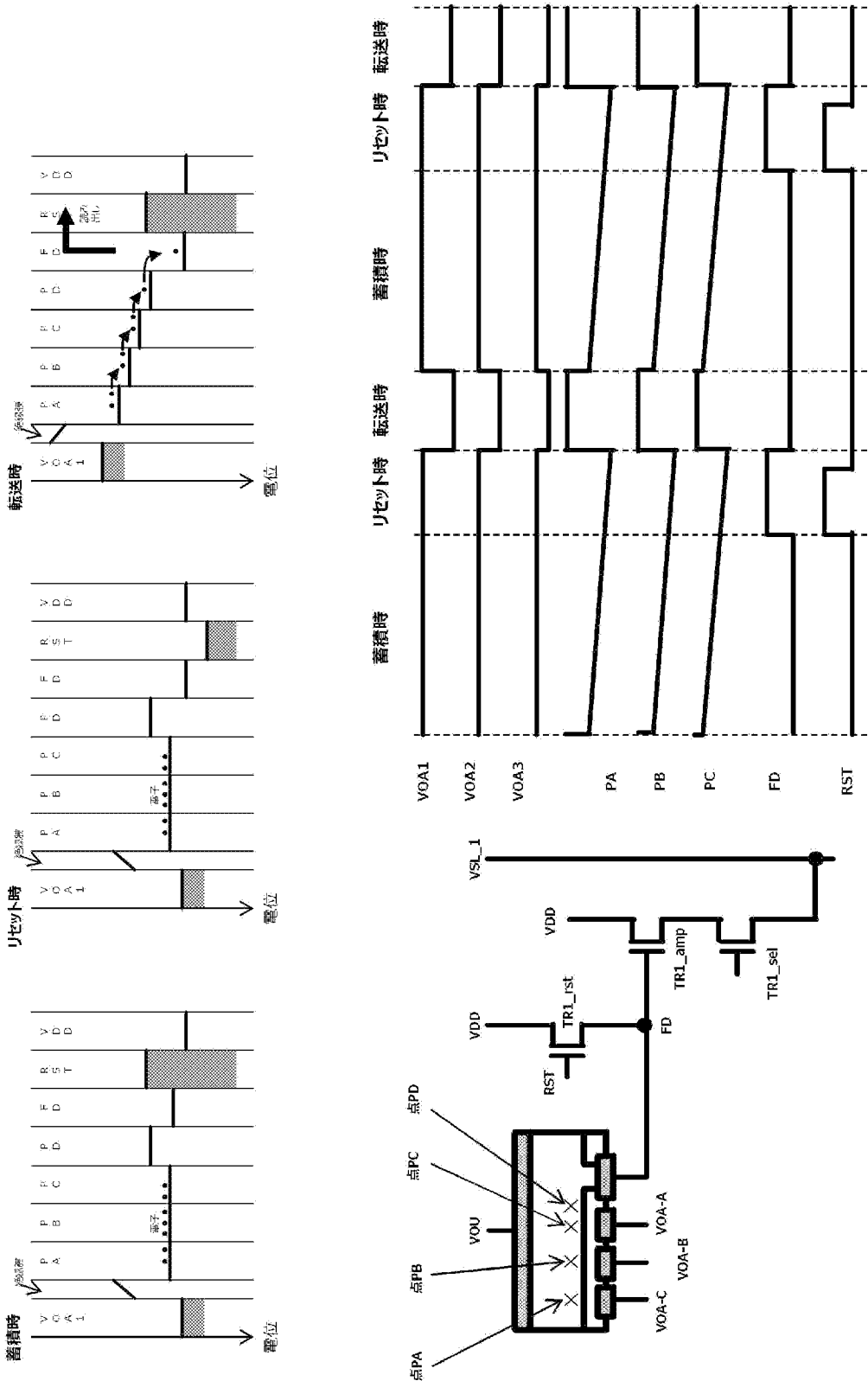
[図48]

図 48



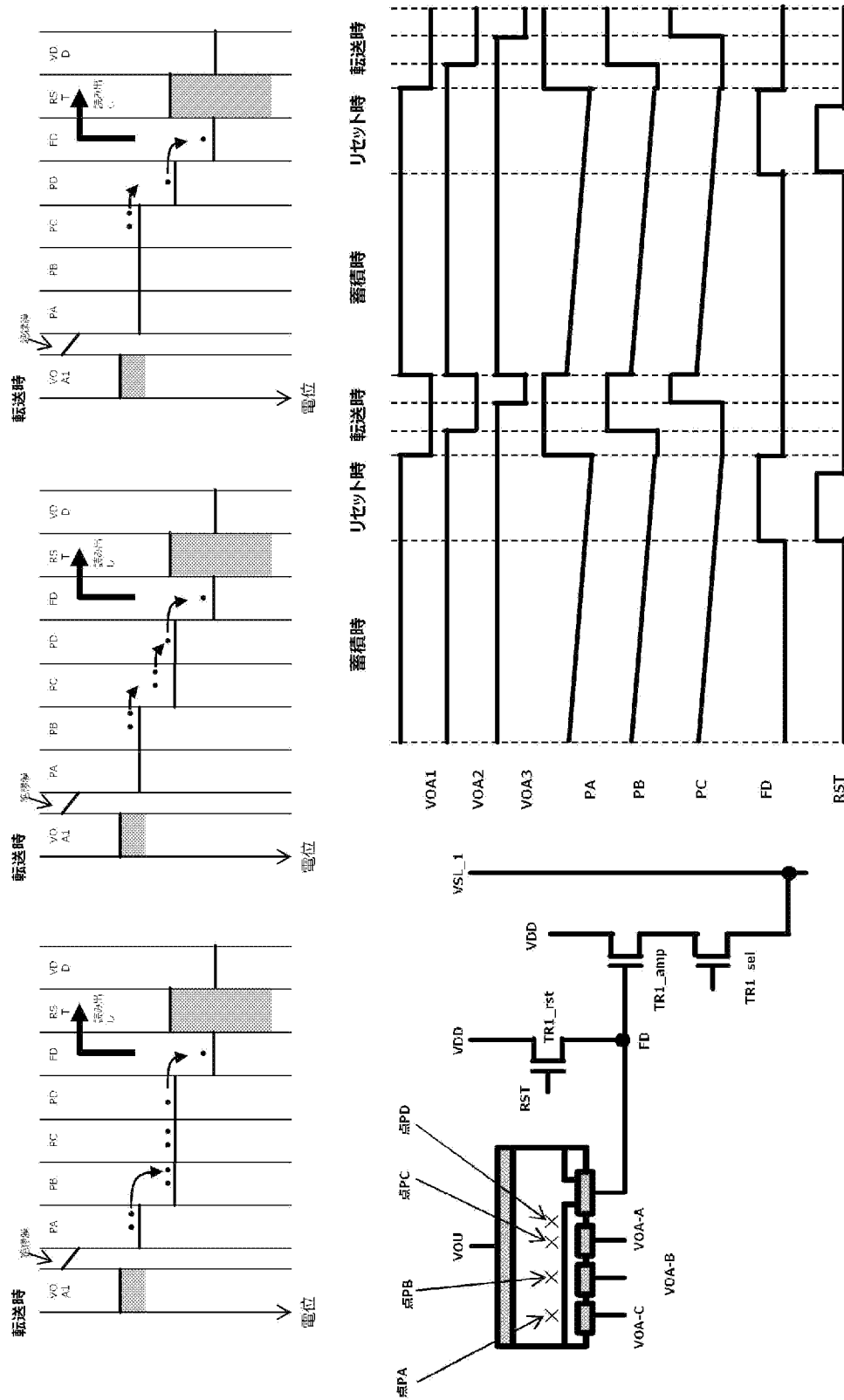
[図49]

図49



[図50]

図50



[図53]

図 5 3 A

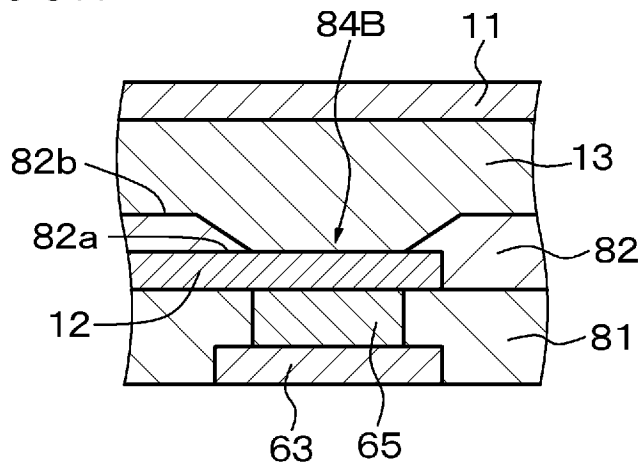
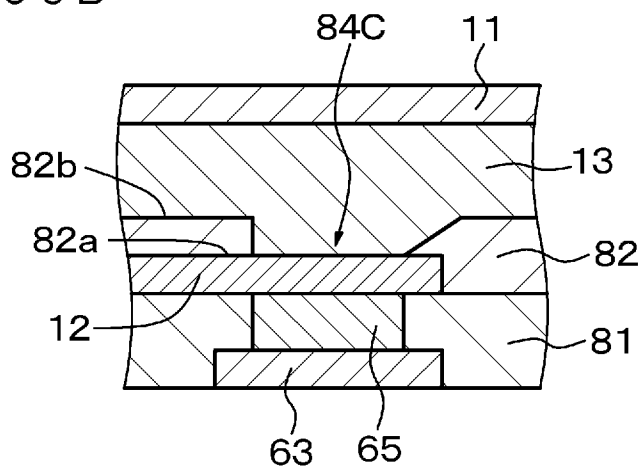
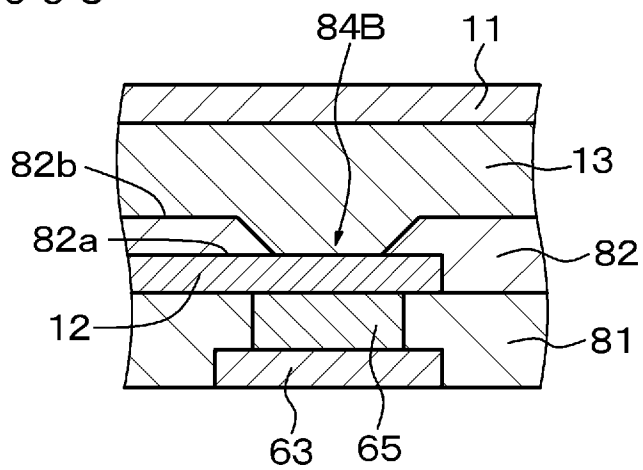


図 5 3 B



電荷蓄積用電極 1 2 側

図 5 3 C



[図54]

図 5 4

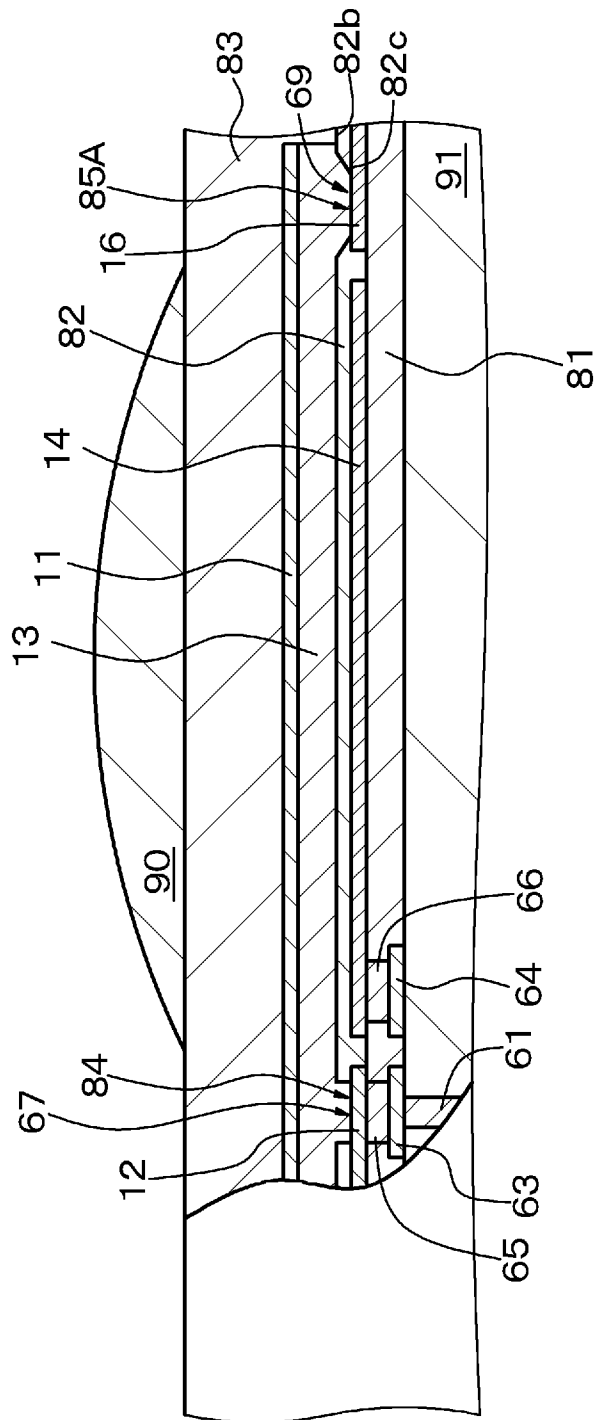
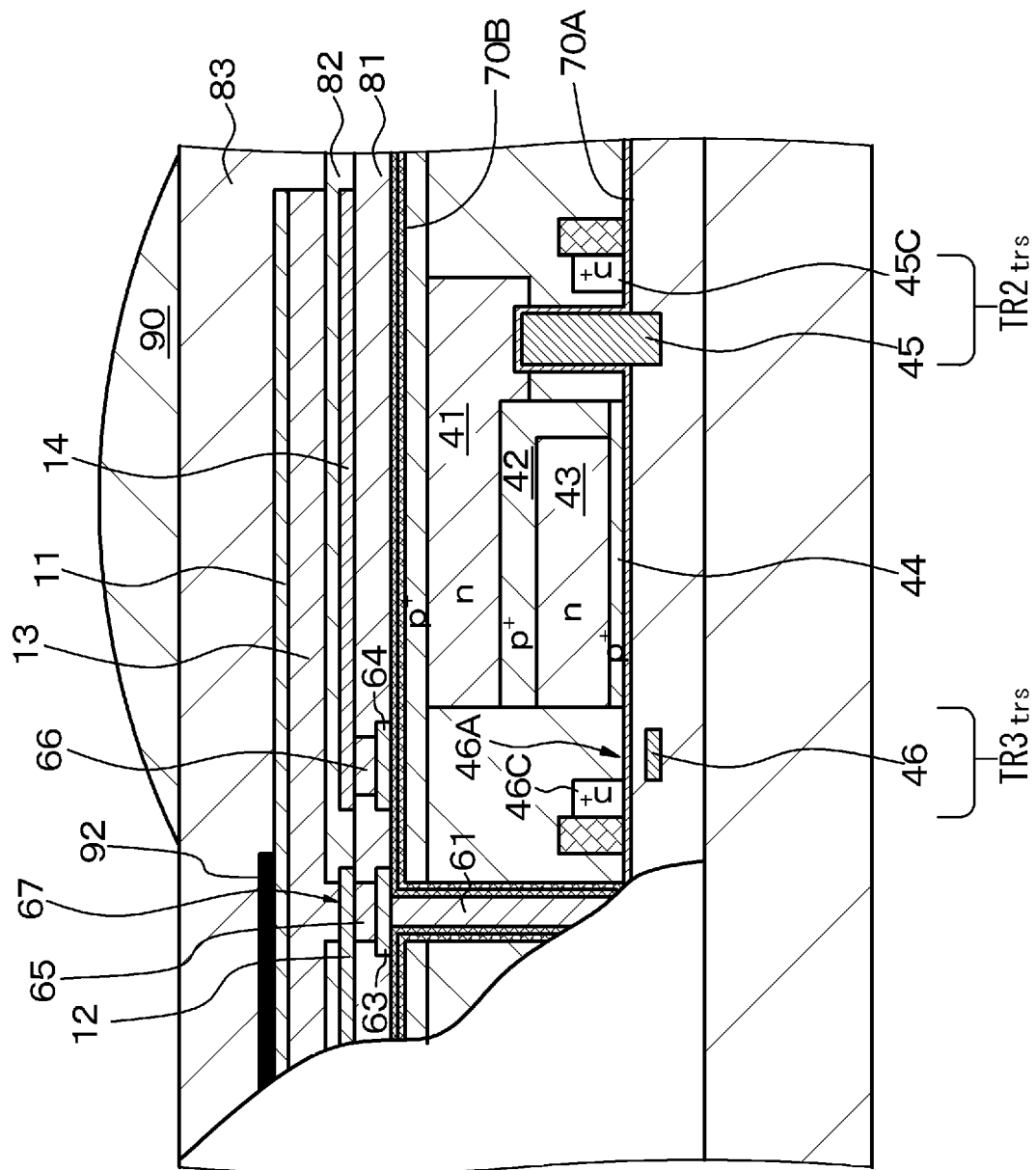
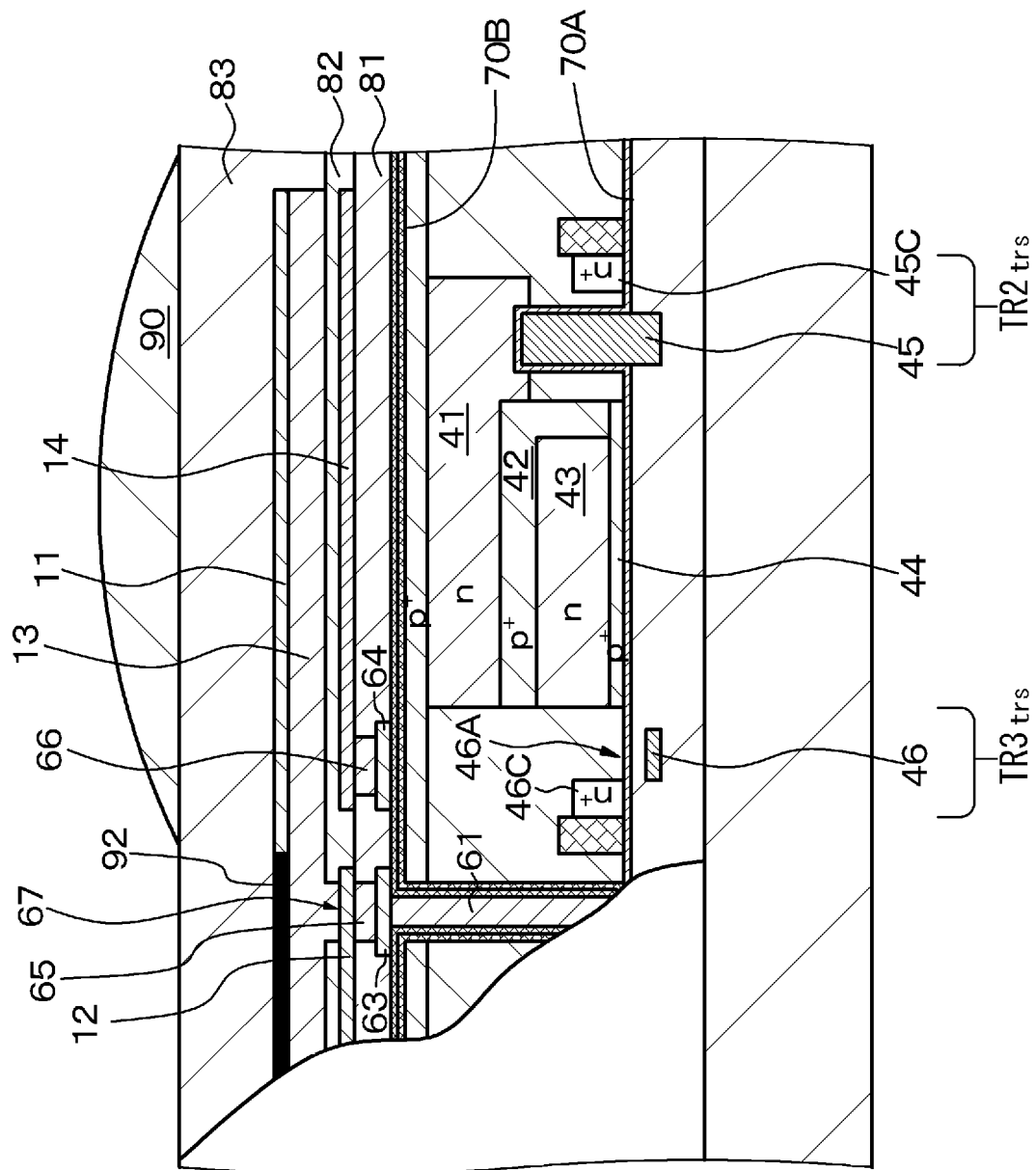


图 5 6



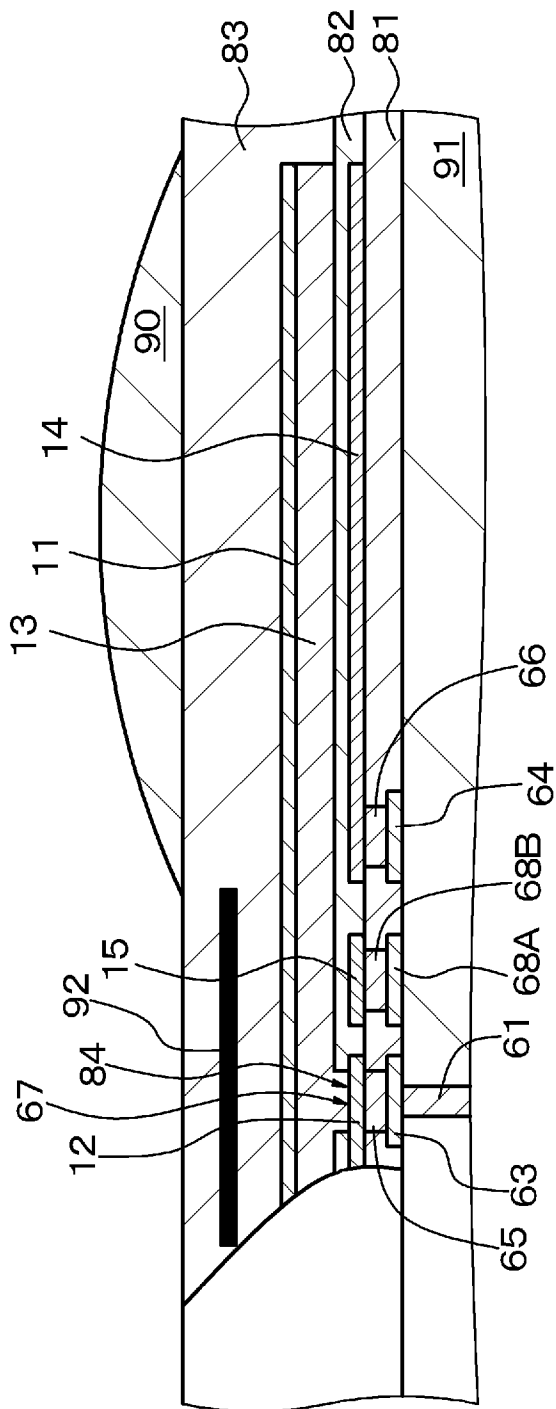
[図57]

図 57



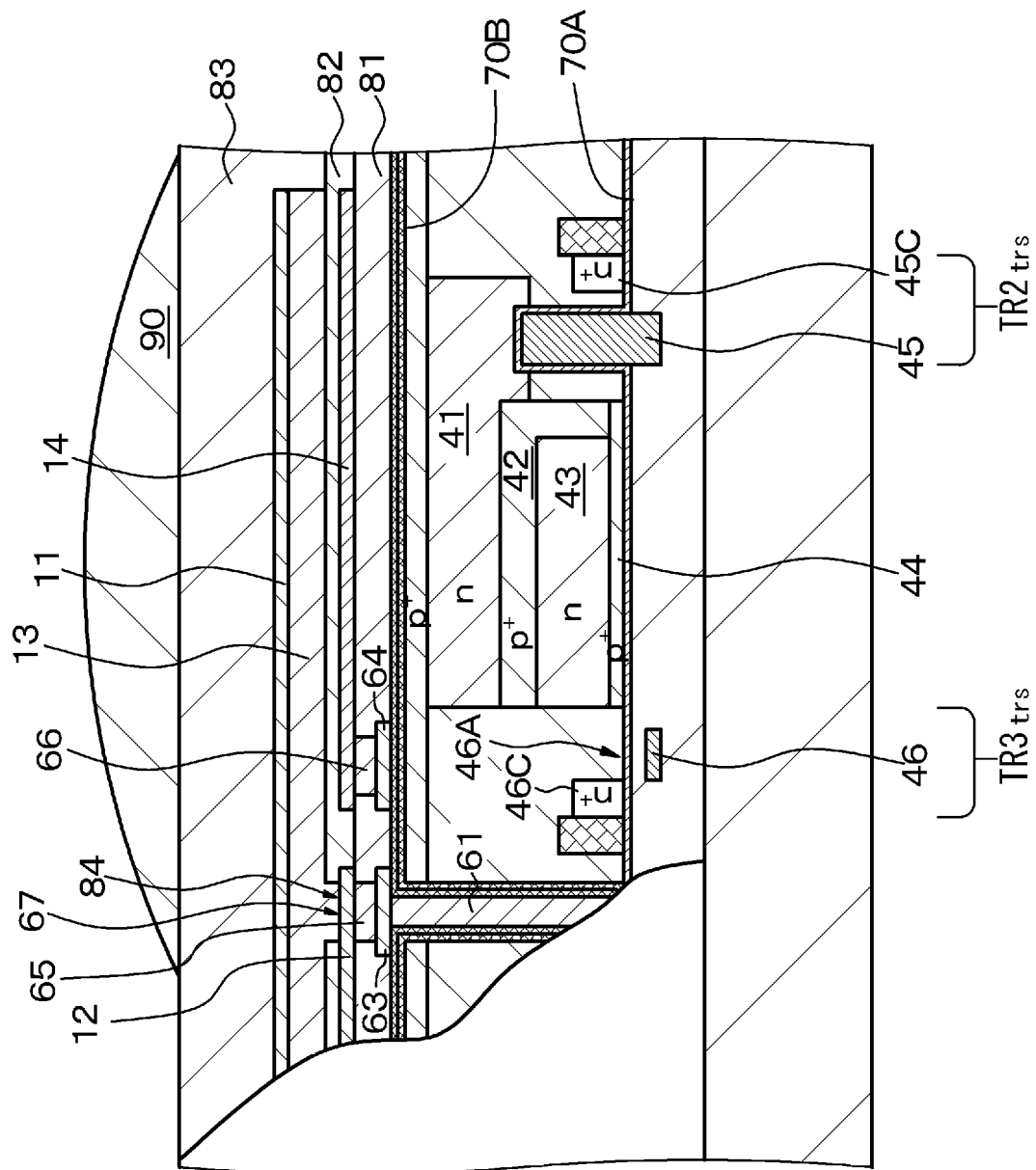
[図58]

図 58



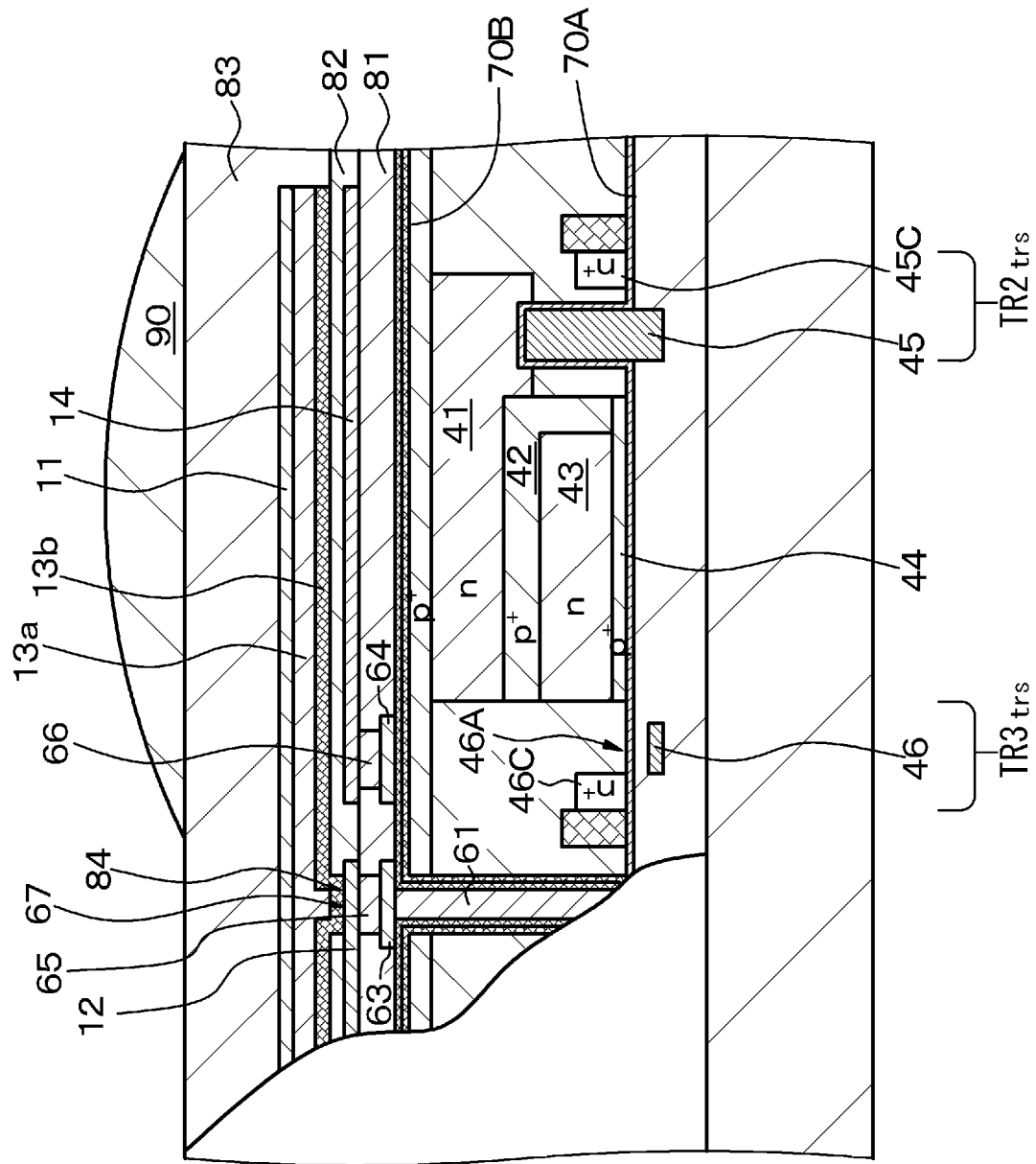
[図59]

図 59



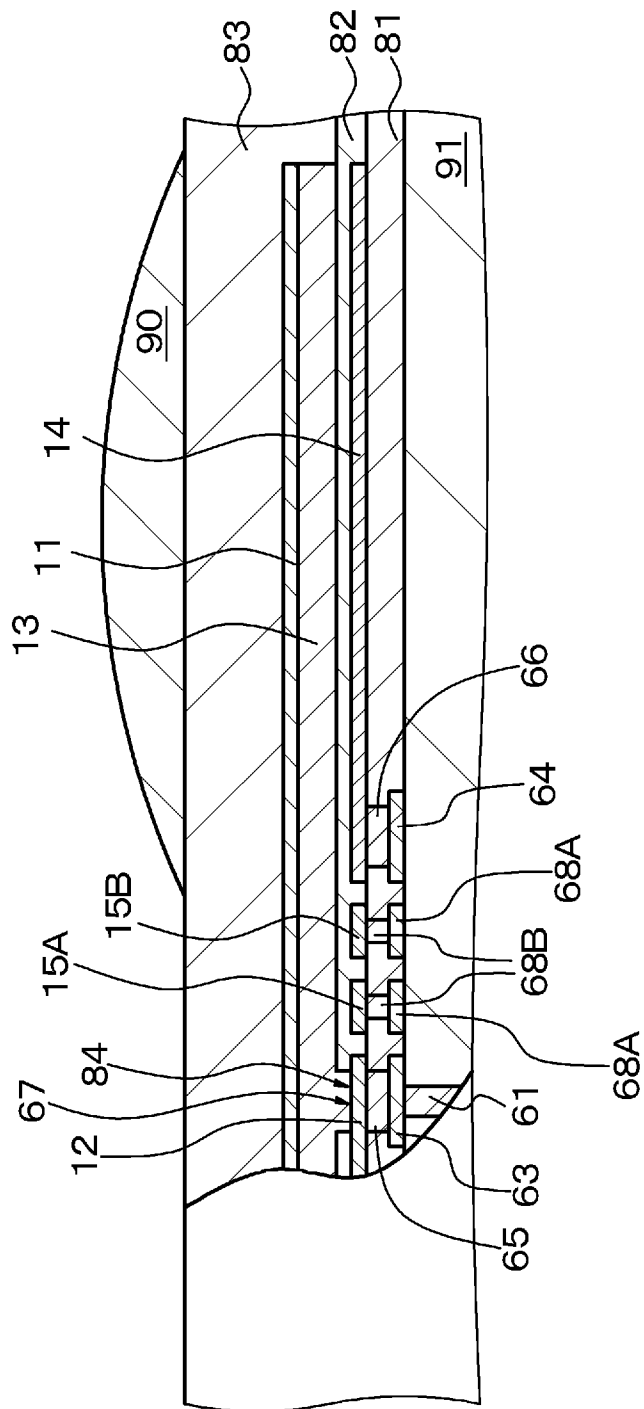
[図60]

図 60



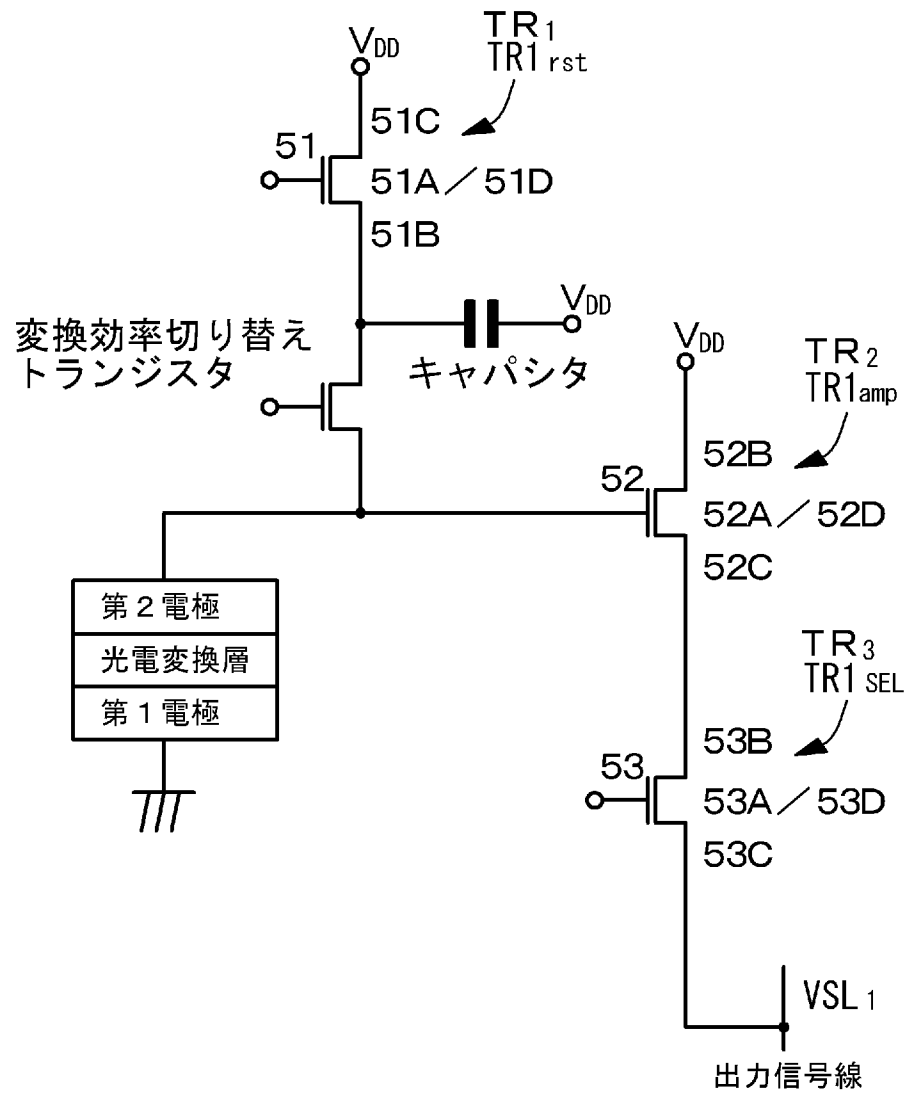
[図61]

図 6 1



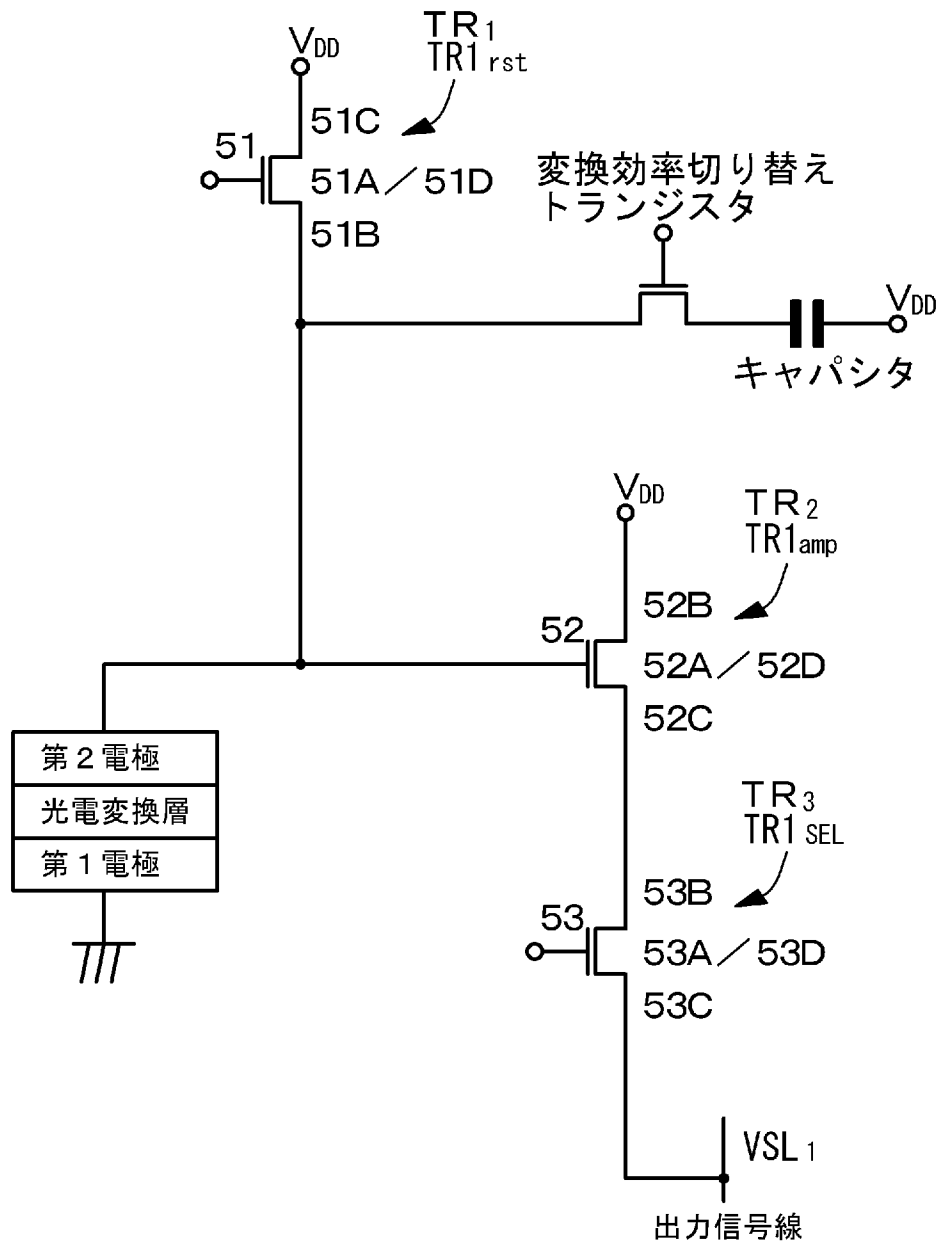
[図62]

図 6 2



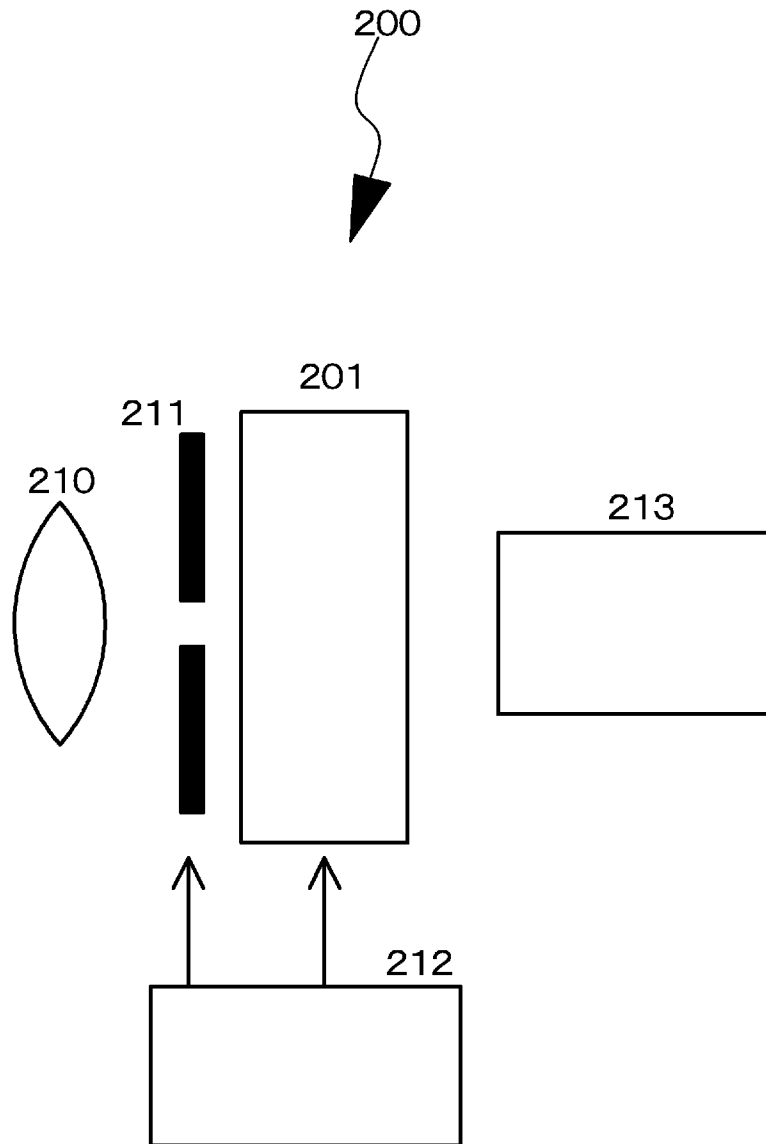
[図63]

図 6 3



[図64]

図 6 4



[図65]

図 6 5 A

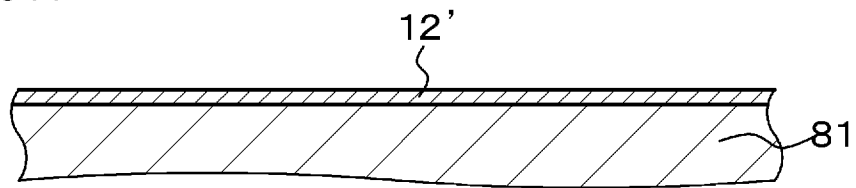


図 6 5 B

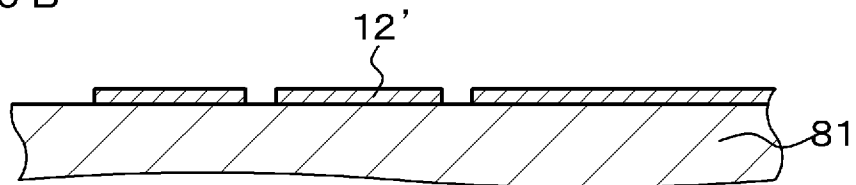


図 6 5 C

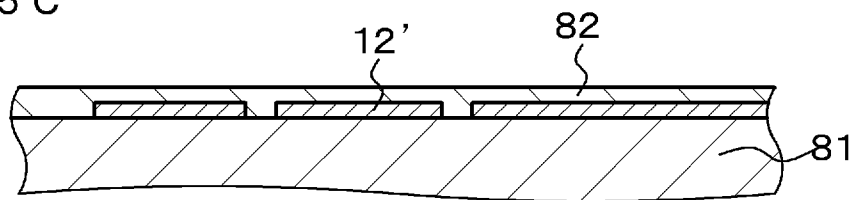


図 6 5 D

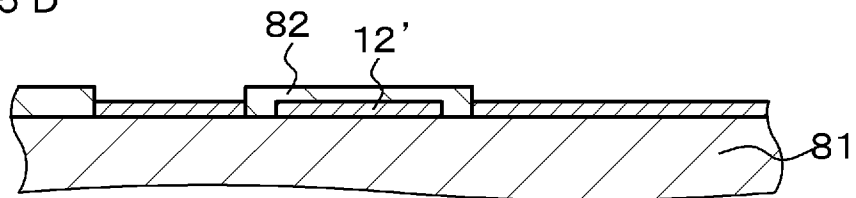
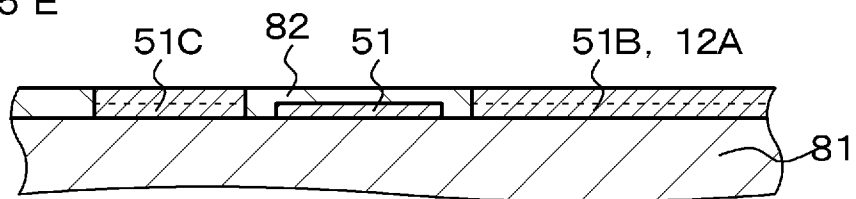


図 6 5 E



[図66]

図 6 6 A

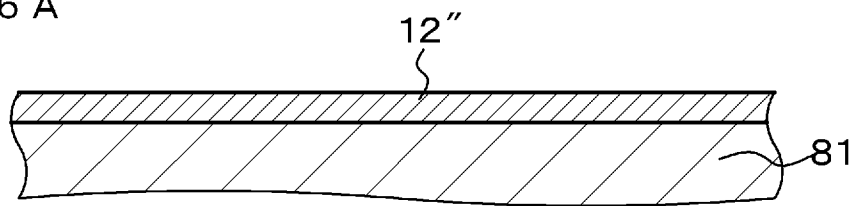


図 6 6 B

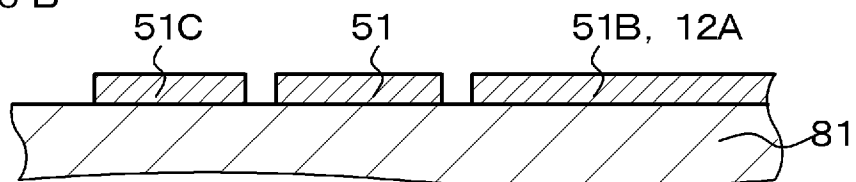


図 6 6 C

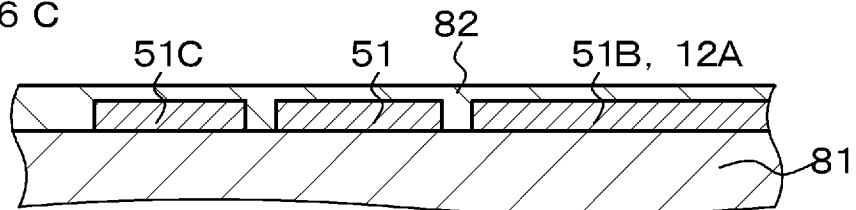
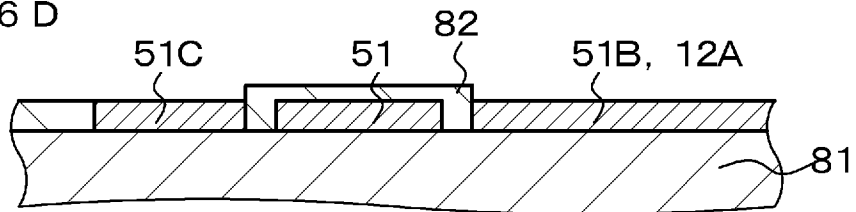


図 6 6 D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005955

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L27/146 (2006.01) i, H01L27/30 (2006.01) i, H01L31/10 (2006.01) i, H01L51/42 (2006.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L27/146, H01L27/30, H01L31/10, H01L51/42, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 64-050558 A (CANON INC.) 27 February 1989, page 3, lower left column, line 1 to page 4, upper right column, line 16, fig. 1-3 & EP 304336 A2, page 3, right column, line 24 to page 4, left column, line 46, fig. 4-6 & DE 3852072 T2	1-20
Y	JP 2017-055085 A (TOSHIBA CORP.) 16 March 2017, paragraphs [0020]-[0035], fig. 4 (Family: none)	1-20
Y	US 2016/0037098 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04 February 2016, paragraphs [0063]-[0090], fig. 2-5 & KR 10-2016-0017168 A	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18.04.2018

Date of mailing of the international search report
01.05.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/005955

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-049240 A (TOSHIBA CORP.) 10 March 2011, paragraphs [0013]-[0020], [0025]-[0028], fig. 1, 2, 5 & US 2011/00049333 A1, paragraphs [0018]-[0025], [0030]-[0033], fig. 1, 2, 5 & CN 101997018 A & TW 201131749 A1	6-10, 13-14, 17-20
Y	WO 2014/112279 A1 (SONY CORP.) 24 July 2014, paragraphs [0048]-[0055], fig. 9 & US 2015/0349008 A1, paragraphs [0071]-[0078], fig. 9 & US 2017/0294486 A1 & US 2017/0338263 A1 & CN 104904013 A & KR 10-2015-0106400 A & CN 107170767 A & CN 107359172 A	7-20
Y	JP 5-063173 A (FUJI XEROX CO., LTD.) 12 March 1993, paragraphs [0015], [0016], [0019], [0020], fig. 5, 6 (Family: none)	15-20
P, X	JP 2017-108101 A (CANON INC.) 15 June 2017, paragraphs [0014]-[0047], [0137]-[0149], fig. 1, 2, 10, 11 & US 2017/0162617 A1, paragraphs [0033]-[0066], [0154]-[0166], fig. 1, 2, 10, 11 & GB 2545101 A & DE 102016122658 A1 & CN 106847844 A	1-4, 18-20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H01L27/30(2006.01)i, H01L31/10(2006.01)i, H01L51/42(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H01L27/30, H01L31/10, H01L51/42, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 64-050558 A（キヤノン株式会社） 1989.02.27, 第3頁左下欄第1行-第4頁右上欄第16行, 第1-3図 & EP 304336 A2, 第3頁右欄第24行-第4頁左欄第46行, 第4-6図 & DE 3852072 T2	1-20
Y	JP 2017-055085 A（株式会社東芝） 2017.03.16, 段落 [0020] - [0035], [図4] (ファミリーなし)	1-20

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田邊 顕人

5 F

5894

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2016/0037098 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2016.02.04, 段落 [0063] - [0090], 図 2-5 & KR 10-2016-0017168 A	1-20
Y	JP 2011-049240 A (株式会社東芝) 2011.03.10, 段落 [0013] - [0020], [0025] - [0028], [図 1] - [図 2], [図 5] & US 2011/0049333 A1, 段落 [0018] - [0025], [0030] - [0033], 図 1-2, 5 & CN 101997018 A & TW 201131749 A1	6-10, 13-14, 17-20
Y	WO 2014/112279 A1 (ソニー株式会社) 2014.07.24, 段落 [0048] - [0055], [図 9] & US 2015/0349008 A1, 段落 [0071] - [0078], 図 9 & US 2017/0294486 A1 & US 2017/0338263 A1 & CN 104904013 A & KR 10-2015-0106400 A & CN 107170767 A & CN 107359172 A	7-20
Y	JP 5-063173 A (富士ゼロックス株式会社) 1993.03.12, 段落 [0015] - [0016], [0019] - [0020], [図 5] - [図 6] (ファミリーなし)	15-20
P, X	JP 2017-108101 A (キヤノン株式会社) 2017.06.15, 段落 [0014] - [0047], [0137] - [0149], [図 1] - [図 2], [図 10] - [図 11] & US 2017/0162617 A1, 段落 [0033] - [0066], [0154] - [0166], 図 1-2, 10-11 & GB 2545101 A & DE 102016122658 A1 & CN 106847844 A	1-4, 18-20