



(12) 发明专利

(10) 授权公告号 CN 109478157 B

(45) 授权公告日 2023.07.28

(21) 申请号 201680087631.9

(72) 发明人 史蒂文·科姆鲁施

(22) 申请日 2016.09.15

艾米塔布赫·梅拉

(65) 同一申请的已公布的文献号

理查德·马丁·博恩

申请公布号 CN 109478157 A

博比·D·扬

(43) 申请公布日 2019.03.15

(74) 专利代理机构 上海胜康律师事务所 31263

(30) 优先权数据

专利代理人 李献忠 张华

15/208,388 2016.07.12 US

(51) Int.CI.

(85) PCT国际申请进入国家阶段日

G06F 11/07 (2006.01)

2019.01.11

G06F 11/30 (2006.01)

(86) PCT国际申请的申请数据

(56) 对比文件

PCT/US2016/051814 2016.09.15

US 2002153924 A1, 2002.10.24

(87) PCT国际申请的公布数据

US 2002159326 A1, 2002.10.31

W02018/013156 EN 2018.01.18

US 2003200495 A1, 2003.10.23

审查员 尹传蒸

(73) 专利权人 超威半导体公司

权利要求书2页 说明书7页 附图4页

地址 美国加利福尼亚州

(54) 发明名称

电压下垂的时钟调整

(57) 摘要

一种处理器(100)响应于所述处理器处的电压下垂来调整一个或多个时钟信号(230)的频率。所述处理器通过生成多个基本时钟信号(220、221、222、223、224、225、226、227)来生成至少一个时钟信号，每个所述基本时钟信号具有相同的频率但是具有不同的相位。所述处理器还生成多个使能信号，其中每个使能信号控制是否使用相应的一个所述基本时钟信号来生成所述时钟信号。因此，所述使能信号确定所述时钟信号的所述频率。响应于检测到电压下垂，所述处理器调整用于生成所述时钟信号的所述使能信号，从而降低所述时钟信号下垂的所述频率。



1. 一种用于减少由处理器处的电压降引起的误差的方法,其包括:

响应于在处理器处检测到电压降,使用由耦合到电压检测模块的拉伸控制模块提供的一组拉伸使能信号来修改由时钟控制模块提供的第一组使能信号以生成修改的第一组使能信号;以及

基于所述修改的第一组使能信号生成第一时钟信号,其中,生成所述第一时钟信号包括:

基于所述修改的第一组使能信号选择多个时钟信号;以及

逻辑地组合所述选择的多个时钟信号以生成所述第一时钟信号;

响应于在所述处理器处检测到所述电压降,修改第二组使能信号以生成修改的第二组使能信号;以及

基于所述修改的第二组使能信号生成第二时钟信号。

2. 如权利要求1所述的方法,其中修改所述第一组使能信号包括:

修改所述第一组使能信号以将所述第一时钟信号的频率从第一频率改变为第二频率。

3. 如权利要求2所述的方法,其中所述第二频率小于所述第一频率。

4. 如权利要求1所述的方法,其还包括:

在所述处理器处检测到所述电压降之后,响应于在所述处理器处检测到电压增加,修改所述修改的第一组使能信号以生成修改的第二组使能信号;以及

基于所述修改的第二组使能信号生成所述第一时钟信号。

5. 如权利要求1所述的方法,其中:

生成所述第一时钟信号包括生成具有第一频率的所述第一时钟信号;并且

生成所述第二时钟信号包括生成具有与所述第一频率不同的第二频率的所述第二时钟信号。

6. 一种用于减少由处理器处的电压降引起的误差的方法,其包括:

在时钟控制模块处生成第一组使能信号;

基于所述第一组使能信号生成第一频率的第一时钟信号;

将所述第一频率的所述第一时钟信号提供给处理器;以及

响应于在所述处理器处检测到电压降,使用由耦合到电压检测模块的拉伸控制模块提供的一组拉伸使能信号来修改所述第一组使能信号以将所述第一时钟信号的频率从所述第一频率改变为第二频率,所述第二频率不同于所述第一频率;

生成第二组使能信号;

基于所述第二组使能信号生成第三频率的第二时钟信号;

将所述第二频率的所述第二时钟信号提供给所述处理器;以及

响应于在所述处理器处检测到所述电压降,修改所述第一组使能信号以将所述第二时钟信号的频率从所述第三频率改变为第四频率,所述第四频率不同于所述第三频率。

7. 如权利要求6所述的方法,其还包括:

响应于在所述电压降之后在所述处理器处检测到电压增加,修改所述第一组使能信号以将所述第一时钟信号的所述频率从所述第二频率改变为所述第一频率。

8. 如权利要求6所述的方法,其还包括:

将所述第一时钟信号提供给与所述处理器相关联的高速缓存。

9. 如权利要求6所述的方法,其中生成所述第一时钟信号包括:

基于所述第一组使能信号,从多个时钟信号中选择出,选择的多个时钟信号;以及组合所述选择的多个时钟信号以生成所述第一时钟信号。

10. 一种处理器,其包括:

电压检测模块,用于在所述处理器处检测电压降;

第一时钟发生器,用于接收由时钟控制模块输出的第一组使能信号和多个时钟信号,所述第一时钟发生器基于来自所述时钟控制模块的所述第一组使能信号和所述多个时钟信号生成第一时钟信号;和

拉伸控制模块,所述拉伸控制模块耦合到所述电压检测模块并且耦合到所述第一时钟发生器,所述拉伸控制模块用于响应于所述电压检测模块指示所述电压降而修改所述第一组使能信号,其中,为了修改所述第一组使能信号,所述拉伸控制模块将一组拉伸使能信号提供给所述第一时钟发生器的输入端;

第二时钟发生器,用于接收第二组使能信号和所述 多个时钟信号,所述第二时钟发生器基于所述第二组使能信号和所述多个时钟信号生成第二时钟信号;和

所述拉伸控制模块,用于响应于所述电压检测模块指示所述电压降,修改所述第二组使能信号。

11. 如权利要求10所述的处理器,其中所述拉伸控制模块用于:

修改所述第一组使能信号以将所述第一时钟信号的频率从第一频率改变为第二频率。

12. 如权利要求11所述的处理器,其中所述第二频率小于所述第一频率。

13. 如权利要求10所述的处理器,其中所述拉伸控制模块用于:

响应于所述电压检测模块指示所述处理器处的所述电压的增加,修改所述修改的第一组使能信号以生成修改的第二组使能信号,

和/或

其中所述第一时钟发生器用于:

基于所述第一组使能信号选择,选择的多个所述多个时钟信号;以及逻辑地组合所述选择的多个时钟信号以生成所述第一时钟信号。

14. 如权利要求11所述的处理器,其中:

所述第一时钟发生器用于生成具有第一频率的所述第一时钟信号;并且

所述第二时钟发生器用于生成具有不同于所述第一频率的第二频率的所述第二时钟信号。

电压下垂的时钟调整

背景技术

[0001] 相关技术描述

[0002] 处理器通常使用一个或多个时钟信号来同步处理器模块处的逻辑操作,从而防止诸如设置错误、竞争条件等错误。可以应用于模块的最大时钟频率至少部分地取决于提供给模块的电源电压,所述电源电压控制模块的晶体管的电压阈值。然而,处理器模块有时会经历电源电压的暂时降低,称为电压下垂。未能调整模块的时钟频率可能会导致处理器的整体操作误差。一些处理器通过以相对于模块时钟信号的标称时钟频率降低的频率生成“备用”时钟信号,并且响应于检测到电压下垂,用备用时钟信号临时替换模块时钟信号,来解决电压下垂问题。然而,替换时钟信号会在替换期间引起操作误差,并且可能需要复杂的电路来实现。

附图说明

[0003] 通过参考附图,本公开可以被更好地理解,并且其许多特征和优点对于本领域技术人员来说变得显而易见。在不同的附图中使用相同的参考符号来指示相似或相同的项目。

[0004] 图1是根据一些实施方案的处理器的框图,该处理器通过调整用于生成时钟信号的使能信号来响应电压下垂而调整时钟信号。

[0005] 图2是示出根据一些实施方案通过调整用于生成时钟信号的使能信号来调整图1的处理器处的时钟信号的示例的图示。

[0006] 图3是示出根据一些实施方案的图1的处理器的时钟发生器的一部分的框图。

[0007] 图4是根据一些实施方案的方法流程图,该方法通过调整用于生成时钟信号的使能信号来响应于电压下垂而调整处理器处的时钟信号。

具体实施方式

[0008] 图1至图4公开了用于响应于处理器处的电压下垂而调整处理器处的一个或多个时钟信号的频率的技术。所述处理器通过生成多个基本时钟信号来生成至少一个时钟信号,每个所述基本时钟信号具有相同的频率但是具有不同的相位。所述处理器还生成多个使能信号,其中每个使能信号控制是否使用相应的一个所述基本时钟信号来生成所述时钟信号。因此,所述使能信号确定所述时钟信号的所述频率。响应于检测到电压下垂,所述处理器调整用于生成所述时钟信号的所述使能信号,从而“拉伸”或降低所述时钟信号的频率并减少由电压下垂引起的误差。

[0009] 图1示出了根据一些实施方案的响应于电压下垂而调整时钟信号的处理器100。处理器100可以由各种支持计算的电子装置中的任何一种实现,诸如服务器、台式计算机、笔记本计算机、平板计算机、支持计算的便携式蜂窝电话(例如,“智能电话”)、支持计算的手表或其他可穿戴物品、个人数字助理(PDA)、游戏控制台等。在所描绘的示例中,处理器100包括处理器核102、电压检测器103、时钟控制模块104、锁相环(PLL)105、拉伸控制模块107、

时钟发生器110和112、以及数字电压和频率缩放(DVFS)模块115。

[0010] 处理器核102通常配置成执行指令集(例如,计算机程序)以代表电子装置执行操作。为了执行指令集,处理器核包括一个或多个模块,诸如提取级、调度级、执行单元、存储器控制器、输入/输出接口、高速缓存等,所述每个模块由同步逻辑元件、逻辑门和其他部件组成。为了同步这些部件的操作,处理器核102采用一个或多个时钟信号。在所描绘的示例中,处理器核102采用两个不同的时钟信号,标记为“CK1”和“CK2”,以同步其操作。在一些实施方案中,时钟信号CK1和CK2可以同时处于不同的频率,并且可以用于同步处理器核102的不同模块或一个模块的不同操作。

[0011] 为了生成时钟信号CK1和CK2,处理器100结合时钟控制模块104和时钟发生器110和112使用PLL 105。时钟控制模块104通常配置成基于多个标准中的任何标准来识别时钟信号CK1和CK2的频率。在处理器100的示例中,DVFS模块115配置成基于处理器100的操作条件提供时钟信号CK1和CK2的频率信息。例如,在一些实施方案中,DVFS模块115接收处理器100的功率模式信息,所述功率模式信息指示选择多个功率状态之一。基于处理器100的性能监测器(未示出)提供的信息,基于处理器核102的性能特性等,功率模式信息例如可以由在处理器核102处执行的操作系统来提供。基于功率模式信息,DVFS模块115选择要提供给处理器核102的电压以用作处理器核102的一个或多个模块的参考电压。另外,基于功率模式,DVFS模块115将频率信息提供给时钟控制模块104,指示对应于所选功率状态的时钟信号CK1和CK2的频率。基于频率信息,时钟控制模块104生成指定为E1[7:0]和E2[7:0]的使能信号,以设置时钟信号CK1和CK2的频率,如本文进一步描述的。

[0012] PLL 105配置成从晶体振荡器(未示出)或其他时钟源接收参考时钟信号(未示出),并且基于参考时钟信号生成多个基本时钟信号,其中每个基本时钟信号与其他基本时钟信号异相。在处理器100的示例中,假设PLL 105生成八个基本时钟信号,指定为C0、C45、C90、C135、C180、C225、C270和C315,并且统称为C0-C315。每个基本时钟信号C0-C315与其他基本时钟信号异相至少45度。特别地,基本时钟信号C45与基本时钟信号C0异相45度,基本时钟信号C90与基本时钟信号C0异相90度,基本时钟信号C135与基本时钟信号C0异相135度等,其中时钟信号指定中的数字指示时钟信号与时钟信号C0异相多少度。

[0013] 时钟发生器110和112均配置成接收一组使能信号和基本信号C0-C315,并且基于所述接收的使能信号,组合基本信号C0-C315以基于使能信号生成一定频率的相应的输出时钟信号。因此,例如,时钟发生器112配置成接收使能信号E1[7:0],并且基于所述使能信号组合基本时钟信号C0-C315以基于使能信号E1[7:0]生成一定频率的时钟信号CK1。在一些实施方案中,使能信号E1[7:0]中的每一个对应于时钟信号C0-C315中的不同时钟信号,并且使能信号的状态指示相应的时钟信号是否将被施加到其输出用于生成时钟的一个或多个逻辑门。由此,时钟发生器112实现相对于基本时钟信号C0-C315的频率(称为基频)的分频器,从而生成时钟信号C1以具有基频的一部分的频率,其中所述部分至少部分地由使能信号E1[7:0]控制。时钟发生器110类似地配置成基于基本时钟信号C0-C315生成时钟信号CK2,但是时钟信号的频率部分地由使能信号E2[7:0]控制。

[0014] 为了减少由于处理器核102处的电压下垂引起的误差,处理器100采用电压检测器103和拉伸控制模块107。电压检测器103配置成监测处理器核102中的一个或多个位置处的电源电压。响应于检测到监测的电压下降了指定的阈值量,电压检测器103断言指定为

“DROOP”的输出信号,从而指示在处理器核102处检测到电压下垂。

[0015] 拉伸控制模块107配置成响应于DROOP信号的断言而生成两组信号。特别地,响应于DROOP信号的断言,拉伸控制模块107断言信号指定为“STRETCH”,以指示时钟信号CK1和CK2中的一个或两个响应于电压下垂而应该被“拉伸”,或者降低其频率。另外,拉伸控制模块107生成一组拉伸使能信号,指定为S[7:0]。在一些实施方案中,每个拉伸使能信号对应于使能信号E2[7:0]或者使能信号E1[7:0]。响应于STRETCH信号的断言,时钟发生器112用拉伸使能信号S[7:0]更换使能信号E1[7:0],从而响应于检测到的电压下垂改变时钟信号CK1的频率。类似地,响应于STRETCH信号的断言,时钟发生器110用拉伸使能信号S[7:0]更换使能信号E2[7:0],从而改变时钟信号CK2的频率。

[0016] 在至少一个实施方案中,拉伸控制模块107配置成监测使能信号E2[7:0]并且生成拉伸使能信号S[7:0],以将时钟信号CK1的频率修改预定量。因此,例如,拉伸控制模块107可以生成拉伸使能信号,使得响应于电压下垂,时钟信号CK1的频率相对于由使能信号E2[7:0]设置的时钟信号的标称频率除以2。在一些实施方案中,根据由信号DROOP(或由信号DROOP表示的多个控制信号)指示的电压下垂的大小,拉伸控制模块将时钟信号CK1的频率改变了可变量。因此,例如,如果处理器核102处的电压下垂超过第一阈值,则拉伸控制模块107可以设置拉伸控制信号S[7:0],以将时钟信号CK1的频率相对于由使能信号E1[7:0]设置的标称频率除以1.25,并且如果处理器核102处的电压下垂超过第二阈值,则拉伸控制模块107可以设置拉伸控制信号S[7:0],以将时钟信号CK1的频率相对于标称频率除以1.25。

[0017] 在电压下垂之后,电压检测器103继续监测处理器核102处的电压。响应于监测的电压返回其预下垂电平,或者移动到阈值电平以上,电压检测器103否定DROOP信号。作为响应,拉伸控制模块107否定STRETCH信号,使得时钟发生器112仅基于使能信号E1[7:0]返回以生成CK1时钟信号,并且时钟发生器110仅基于使能信号E2[7:0]返回以生成CK2时钟信号。也就是说,时钟信号CK1和CK2返回到它们的预电压下垂频率,如由时钟控制模块104设置的。

[0018] 如上所述,响应于处理器核102处的电压下垂,处理器100通过修改用于生成时钟信号的使能信号来降低施加到处理器核的时钟信号的时钟频率。这允许处理器100使用用于生成原始时钟信号的相同电路来响应于电压下垂而调整时钟频率,从而减少适应电压下垂所需的电路量。另外,通过采用用于生成原始时钟信号的相同电路,处理器100可以确保时钟频率的变化与原始时钟信号的相位同步,从而允许时钟频率改变而不需要暂停处理器核102处的活动。

[0019] 应当理解,在一些实施方案中,拉伸控制模块107可以调整将时钟信号CK1和CK2的频率设置为不同的频率,包括拉伸一个时钟信号,同时将另一个时钟信号保持在未拉伸状态。例如,拉伸控制模块107可以生成两组单独且可分开控制的拉伸控制信号S1[7:0]和S2[7:0]。此外,在一些实施方案中,处理器100可以包括多个电压检测器以检测处理器100的不同模块处的电压下垂,诸如一个电压检测器检测处理器核处的电压下垂,而另一电压检测器以检测高速缓存处的电压下垂。基于由不同电压检测器提供的信号,拉伸控制模块107可以单独地且选择性地调整不同时钟信号的频率。例如,响应于相应的电压检测器检测到高速缓存处的电压下垂,拉伸提供给高速缓存的时钟信号;同时保持提供给处理器核的时钟信号处于未拉伸状态,因为在处理器核处未检测到电压下垂。

[0020] 图2示出了根据一些实施方案的描绘时钟发生器110的示例操作的图200。在所描绘的示例中,图200示出了波形220至227,每个波形对应于基本时钟信号C0-C315中的不同的一个。因此,例如,波形220表示基本时钟信号C0,而波形221表示基本时钟信号C45。另外,图200示出了表示时钟信号CK1的波形230和表示信号STRETCH的波形235。

[0021] 在所示示例中,在时间240和随后时间243之间,STRETCH信号处于否定状态,从而指示在处理器核102处未检测到电压下垂。因此,在时间240和时间244之间,时钟信号CK1的频率由时钟控制模块104生成的使能信号E1[7:0]控制。特别地,对于基本时钟信号CK180的第一时段,在时间240和时间241之间,时钟控制模块104将E1[7:0]使能信号设置为值00000111。作为响应,在时间240和时间241之间,时钟发生器110生成CK1时钟信号,作为基本时钟信号CK0、CK45和CK90的逻辑“OR”组合。对于基本时钟信号CK180的随后时段,在时间241和时间243之间,时钟控制模块104将E1[7:0]使能信号设置为值11100000。作为响应,时钟发生器110生成CK1时钟信号,作为基本时钟信号CK180、CK225和CK270的逻辑“OR”组合。对于基本时钟信号CK180的下一时段,在时间242和时间244之间,时钟控制模块104将E1[7:0]使能信号设置为值00000000,从而否定CK1时钟信号。

[0022] 在时间240和244之间由时钟控制模块104生成的使能信号E1[7:0]的净效应是使时钟发生器110生成CK1时钟信号,以使得频率等于基本时钟信号的频率除以1.75。因此,当STRETCH信号被否定时,时钟发生器110作为分频器工作,其中时钟发生器110生成CK1时钟,其频率等于基本时钟信号的频率除以除数,除数由时钟发生器110生成的使能信号的序列设定。时钟发生器110可以通过调整使能信号的序列来调整除数,以便将CK1时钟信号设置为由DVFS模块115(图1)指示的频率。

[0023] 在图2所描绘的示例中,在时间243,STRETCH信号被断言,从而指示电压检测器103(图1)已经检测到处理器核102处的电压下垂。作为响应,在基本时钟信号CK180的下一时段的开始(即,在时间244),时钟发生器110停止采用E1[7:0]使能信号来生成时钟信号CK1,并且开始使用拉伸使能信号S[7:0]。此外,拉伸控制模块107生成拉伸使能信号S[7:0]以相对于时间244之前的频率降低时钟信号CK1的频率,从而调整电压下垂。

[0024] 为了说明,在时间244和时间245之间的基本时钟信号CK180的时段期间,拉伸控制模块107生成拉伸使能信号S[7:0]以具有值00011111。作为响应,在时间244和时间245之间,时钟发生器110生成CK1时钟信号,作为基本时钟信号CK0、CK45、CK90、CK135和CK180的逻辑“OR”组合。对于在时间245之后的基本时钟信号CK180的随后时段,拉伸控制模块107生成拉伸使能信号S[7:0]以具有值00000000,从而使得时钟发生器110否定基准时钟信号180的这个时段的时钟信号CK1。对于基本时钟信号CK180的随后时段(图2中未示出),当STRETCH信号被断言时,拉伸控制模块107使拉伸使能信号S[7:0]的值在00011111和00000000之间交替。对拉伸使能信号的值的这种排序导致时钟发生器110生成时钟信号CK1,其频率是基本时钟信号的频率的一半。也就是说,拉伸使能信号S[7:0]的值的序列为时钟发生器110建立除数,使其具有值2。

[0025] 在所描绘的示例中,时钟控制模块104继续生成用使能信号E1[7:0]的值,同时断言STRETCH信号。也就是说,时钟控制模块104独立于STRETCH信号的状态生成使能信号E1[7:0]。通过切换时钟发生器110采用哪些使能信号来生成时钟信号CK1,这允许处理器100响应于电压下垂的启动或停止而在时钟频率之间快速切换。此外,这允许时钟发生器110使

频率的任何变化与时钟信号CK1的时段同步，从而允许处理器核102在频率变化期间继续操作。相对于传统设计，这可以改善处理和功率效率，传统设计将需要处理器核102暂停操作，同时其时钟信号的频率响应于电压下垂的启动或停止而改变。

[0026] 在一些实施方案中，不是响应于STRETCH信号的断言来在时钟信号的上升沿改变时钟信号CK1的时段，而是时钟发生器110可以在时钟信号CK1的下降沿改变时段，使得时钟信号CK1的第一拉伸阶段处于否定阶段。对于一些处理器，在下降沿期间改变时钟信号的时段可以允许时钟发生器110更快地开始时钟信号CK1的拉伸时段，从而节省额外的功率。

[0027] 另外，在一些实施方案中，当STRETCH信号被否定时，拉伸控制模块107提供与时钟信号CK1相位对准的S[7:0]信号。类似地，当断言STRETCH信号时，时钟控制模块104将E1[7:0]信号作为相位对准信号提供给拉伸时钟信号CK1。通过将S[7:0]信号和E1[7:0]信号相位对准时钟信号CK1（分别在未拉伸和拉伸时），时钟信号CK1的时段可以在时钟边沿转变，从而减少由时钟信号CK1的变化生成的误差。

[0028] 图3示出了根据一些实施方案的时钟发生器110的一部分300的框图。部分300包括时钟子电路350、与非门355和356、以及或非门357。子电路350包括锁存器351、多路复用器352、锁存器353和与非门354。锁存器351包括用于接收使能信号E1[1]的数据输入端、用于接收基本时钟信号C180的时钟输入端、以及输出端。多路复用器352包括连接到锁存器351的输出端的数据输入端、用于接收拉伸使能信号S[1]的数据输入端、以及用于接收STRETCH信号的控制输入端、以及输出端。锁存器353包括连接到多路复用器352的输出端的数据输入端、用于接收基本时钟信号C225的使能输入端和输出端。与非门354包括连接到锁存器353的输出端的输入端、用于接收时钟信号C45的输入端和输出端。

[0029] 在操作中，子电路350通常配置成选择使能信号E1[1]或拉伸使能信号S[1]中的一个作为子电路350的适用的使能信号，并选择是否将基本时钟信号C45用作时钟信号CK1的一个基础。为了说明，锁存器351通常配置成响应于基本时钟信号C180的断言而锁存使能信号E1[1]的值。多路复用器352配置成基于STRETCH信号的状态来选择适用的使能信号。特别地，响应于STRETCH信号被否定，多路复用器352在其输出端施加锁存器351的输出。因此，如果STRETCH信号被否定，则使能信号E1[1]的锁存值被施加到锁存器353的输入端。相反，如果STRETCH信号被断言，则多路复用器352将拉伸使能信号S[1]施加到锁存器353的输入端。

[0030] 与非门354配置成基于在锁存器353处锁存的适用的使能信号的状态，在其输出端处选择性地施加基本时钟信号C45。因此，如果锁存的适用使能信号的值被否定，从而指示基本时钟信号C45不用作CK1时钟信号的基础，则与非门354将其输出端保持在断言状态。如果锁存的适用使能信号的值被断言，则与非门的输出端将是基本时钟信号C45的反相表示。

[0031] 时钟发生器110包括类似于子电路350的额外的子电路，并且为了清楚起见未在部分300处示出。特别地，时钟发生器110包括用于每个基本时钟信号C0-C315的相应子电路，其中每个子电路接收一个不同的使能信号E1[7:0]和一个相应不同的拉伸使能信号S[7:0]。每个子电路与子电路350类似地操作，即通过基于STRETCH信号的状态选择适用的使能信号，并且通过基于相应的适用的使能信号的状态选择相应的时钟信号是否用作时钟信号CK1的基础之一。

[0032] 与非门355包括多个输入端和一个输出端，每个输入端连接到基本时钟信号C0、C45、C90和C135的一个不同的子电路。与非门356包括多个输入端，每个输入端连接到基本

时钟信号C180、C225、C270和C315的一个不同的子电路。或非门357包括连接到与非门355的输出端的输入端、连接到与非门356的输出端的输入端、以及提供时钟信号CK1的输出端。基于子电路(例如,子电路350)、与非门355和356以及或非门357的配置和连接,基于适用的使能信号的状态(如由STRETCH信号的状态所指示),并基于由适用的使能信号选择的基本时钟信号,生成CK1时钟信号。

[0033] 图4示出了根据至少一个实施方案的响应于检测到处理器核处的电压下垂而调整时钟信号的频率的方法400的流程图。为了描述的目的,相对于图1的处理器100上的示例实现来描述方法400。在框402处,时钟控制模块104基于从DVFS模块115接收的信息识别时钟信号CK1和CK2的标称频率设置。在框404处,时钟控制模块104生成E2[7:0]和E1[7:0]使能信号以将CK2和CK1时钟信号设置为它们相应的标称频率设置。在框406处,拉伸控制模块107生成拉伸使能信号S[7:0]以将CK1和CK2时钟信号设置为相对于其标称频率的较低频率。

[0034] 在框408处,电压检测器103监测处理器核102的一个或多个点处的电压,以识别是否存在电压下垂。如果不是,则电压检测器103将DROOP信号保持在否定状态,并且拉伸控制模块107又将STRETCH信号保持在否定状态。作为响应,方法流程移动到框410,并且时钟发生器110和112基于E2[7:0]和E1[7:0]使能信号生成CK2和CK1时钟信号,从而生成它们相应的标称频率的时钟信号。当电压检测器103继续监测处理器核102处的电压时,方法流程然后返回到框408。

[0035] 返回到框408,响应于检测到电压下垂,电压检测器103断言DROOP信号,从而使拉伸控制模块107断言STRETCH信号。作为响应,方法流程移动到框412,并且时钟发生器110和112基于S[7:0]拉伸使能信号生成CK2和CK1时钟信号,从而生成较低频率的时钟信号。方法流程进行到框414,并且电压检测器103监测处理器核102处的电压是否已经返回到其标称电平或范围。如果不是,则当时钟发生器110和112将CK2和CK1时钟信号保持在其较低频率时,方法返回到框412。如果在框414处,电压检测器103识别出监测的电压已经返回到其标称电平或范围,则方法流程进行到框410,其中拉伸控制模块107否定STRETCH信号,从而导致时钟发生器110和112返回以基于E2[7:0]和E1[7:0]使能信号生成CK2和CK1时钟信号。

[0036] 在一些实施方案中,上述技术的某些方面可以由执行软件的处理系统的一个或多个处理器来实现。所述软件包括存储在或以其他方式有形地体现在非瞬态计算机可读存储介质上的一个或多个可执行指令集。所述软件可以包括指令和某些数据,这些指令和数据在由一个或多个处理器执行时操纵一个或多个处理器以执行上述技术的一个或多个方面。非瞬态计算机可读存储介质可以包括例如磁盘或光盘存储装置、固态存储装置,诸如快闪存储器、高速缓存、随机存取存储器(RAM)或其他一个或多个非易失性存储器装置等。存储在非瞬态计算机可读存储介质上的可执行指令可以是源代码、汇编语言代码、目标代码或者被一个或多个处理器解译或以其他方式执行的其他指令格式。

[0037] 应注意,上述一般性描述中并非所有活动或元素都是必需的,特定活动或装置的一部分可能不是必需的,并且除了所描述的活动或元素之外,还可以执行一个或多个其他活动,或者还可以包括一个或多个其他元素。更进一步地,列出活动的顺序不一定是执行这些活动的顺序。另外,已经参考具体实施方案描述了这些概念。然而,本领域的普通技术人员应理解,在不脱离如所附权利要求书所阐述的本公开的范围的情况下,可以进行各种修

改和改变。因此，说明书和附图应被认为是说明性的而不是限制性的，并且所有这些修改意在包括在本公开的范围内。

[0038] 上文已经关于具体实施方案描述了益处、其他优点和问题的解决方案。然而，所述益处、优点、问题解决方案以及可使得任何益处、优点或问题解决方案出现或变得更为显著的任何特征都不应解释为是任何或所有权利要求的关键、必需或必要特征。此外，以上公开的具体实施方案仅仅是说明性的，因为所公开的主题可以以不同但等效的方式修改和实践，这对受益于本文教导的本领域技术人员来说是显而易见的。除了在所附权利要求书中所描述的之外，不意图对本文示出的构造或设计的细节进行限制。因此，显而易见的是，上面公开的具体实施方案可以被改变或修改，并且所有这样的变化都被认为在所公开的主题的范围内。因此，本文寻求的保护如所附权利要求书中所阐述。

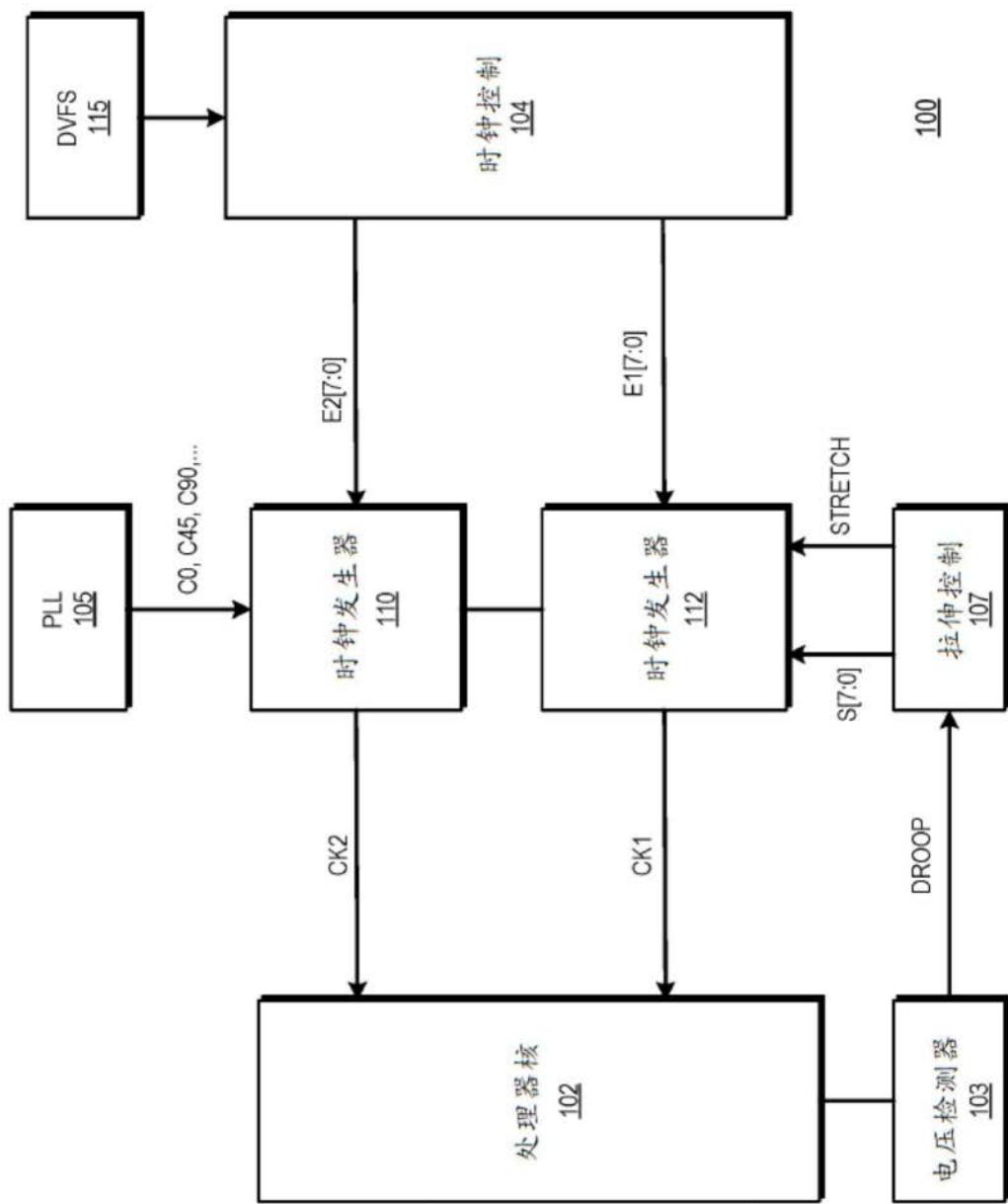


图1

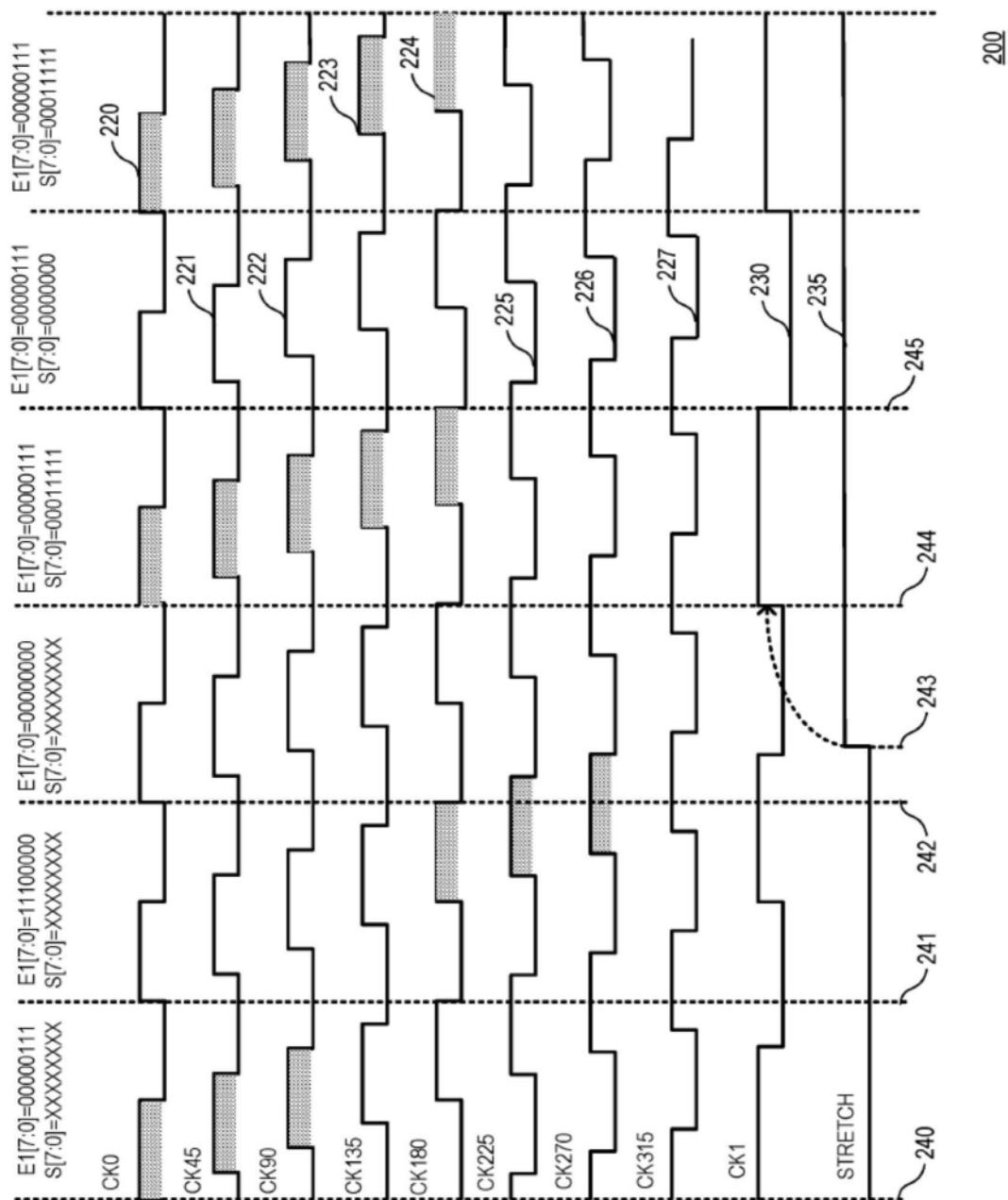


图2

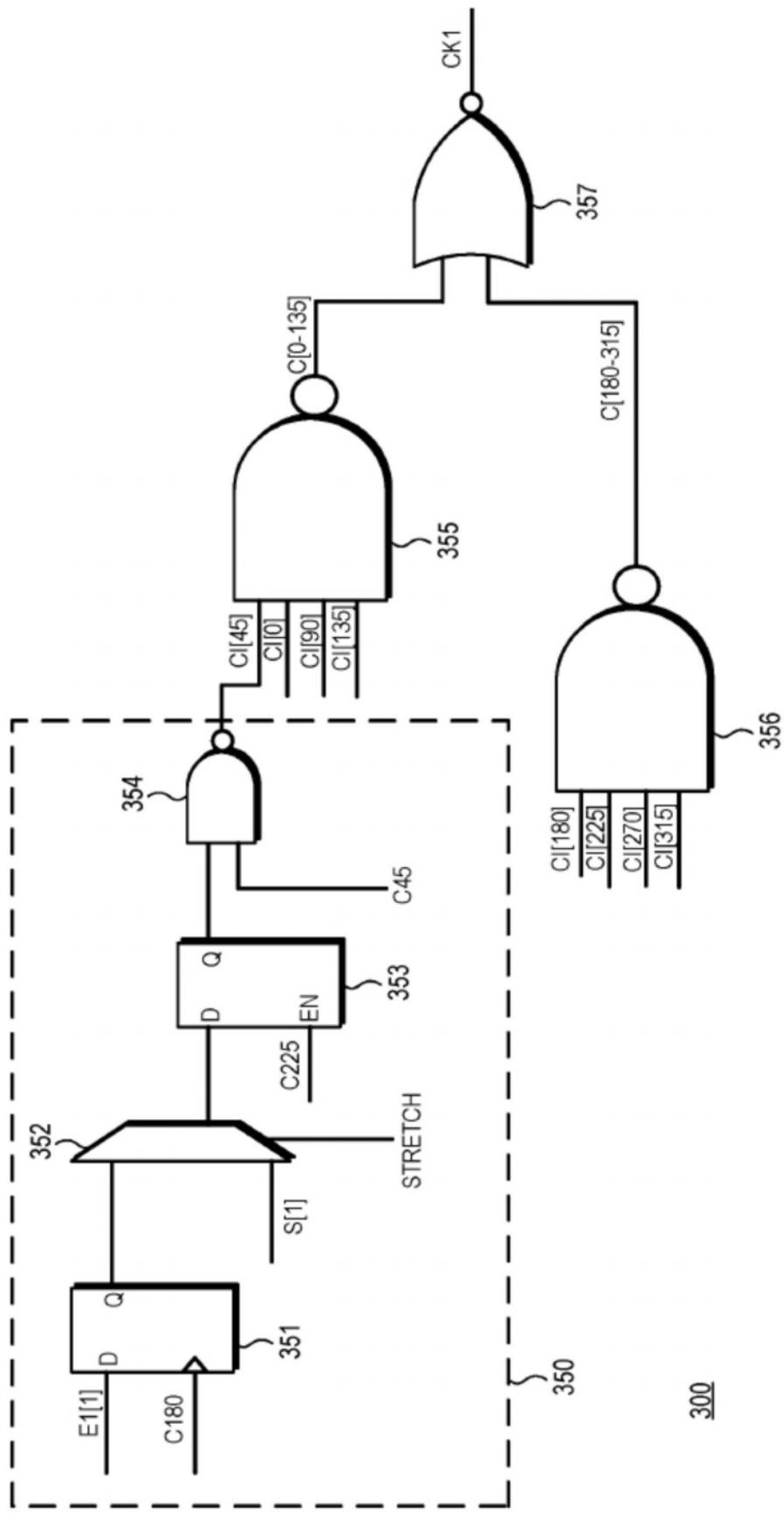


图3

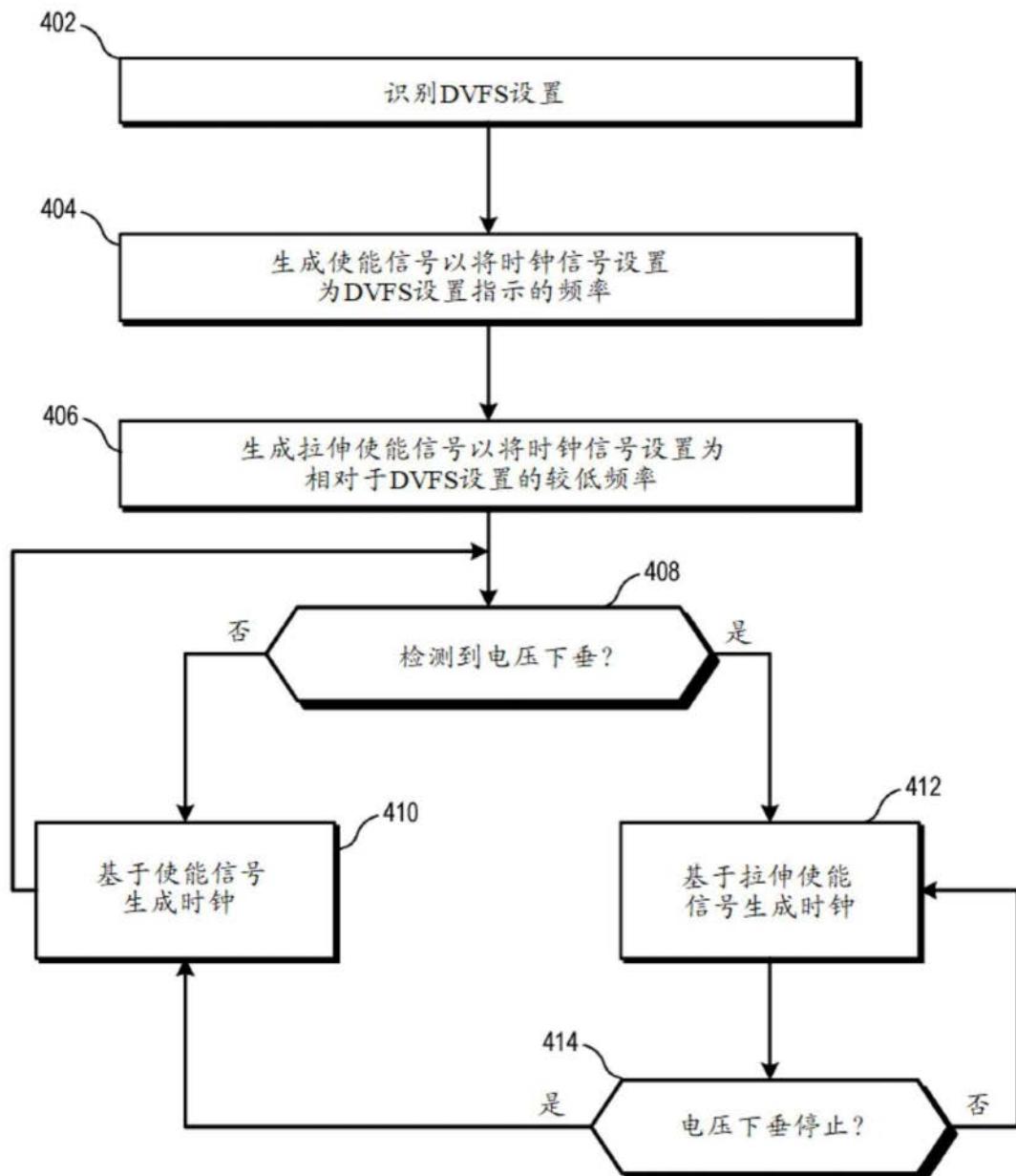
400

图4