

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 1 月 15 日 (2009.1.15)

【公表番号】特表 2008-529274 (P2008-529274A)

【公表日】平成 20 年 7 月 31 日 (2008.7.31)

【年通号数】公開・登録公報 2008-030

【出願番号】特願 2007-552131 (P2007-552131)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 D

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成 20 年 11 月 20 日 (2008.11.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体装置を形成する方法であって、

第一領域を有する半導体基板を提供するステップと、

前記第一領域上にゲート誘電体を形成するステップと、

前記ゲート誘電体上に導電性金属酸化物を形成するステップと、

前記導電性金属酸化物上に耐酸化バリア層を形成するステップと、

前記耐酸化バリア層上にキャッピング層を形成するステップと、

前記半導体基板から離れるように延びる側壁を有するゲートを形成するため、前記導電性金属酸化物、耐酸化バリア層、及びキャッピング層をパターン化するステップと、

前記パターン化された導電性金属酸化物、耐酸化バリア層、及びキャッピング層の各端部に沿って延びるスペースを、前記ゲートの側壁上に形成するステップと

を備える方法。

【請求項 2】

請求項 1 記載の方法において、

前記第一領域は n 型にドーピングされる方法。

【請求項 3】

請求項 2 記載の方法において、

前記半導体基板は第二領域を有し、

前記第二領域は p 型にドーピングされ、

前記半導体装置を形成する方法は、更に、前記耐酸化バリア層の上方と前記キャッピング層の下方とに N M O S ゲート電極材料を形成するステップを備える方法。

【請求項 4】

請求項 3 記載の方法において、

N M O S ゲート電極を形成するステップは、更に、T a C 及び T a S i N からなる群より選択された材料を形成するステップを備える方法。

**【請求項 5】**

請求項 1 記載の方法において、

前記耐酸化バリア層を形成するステップは、前記半導体基板をアニーリングする前に行われる方法。

**【請求項 6】**

半導体装置を形成する方法であって、

第一領域及び第二領域を有する半導体基板を提供するステップであって、前記第一領域は前記第二領域と異なるドーパントを備えるステップと、

前記第一領域及び前記第二領域の上方にゲート誘電体を形成するステップと、

前記第一領域における前記ゲート誘電体上に導電性金属酸化物を形成するステップと、

前記第一領域における前記導電性金属酸化物上に耐酸化バリア層を形成するステップと

、

前記第二領域における前記ゲート誘電体上に導電性材料を形成すると共に、前記第一領域における前記耐酸化バリア層上に導電性材料を形成するステップと、

前記導電性材料上にキャッピング層を形成するステップと、

前記半導体基板から離れるように延びる側壁を有するゲートを形成するため、前記導電性金属酸化物、耐酸化バリア層、導電性材料、及びキャッピング層をパターン化するステップと、

前記パターン化された導電性金属酸化物、耐酸化バリア層、導電性材料、及びキャッピング層の各端部に沿って延びるスペーサを、前記ゲートの側壁上に形成するステップとを備える方法。

**【請求項 7】**

請求項 6 記載の方法において、

前記導電性材料を形成するステップは、更に、T a C 及び T a S i N からなる群より選択された材料を形成するステップを備える方法。

**【請求項 8】**

請求項 6 記載の方法において、

前記耐酸化バリア層を形成するステップは、前記半導体基板をアニーリングする前に行われる方法。

**【請求項 9】**

半導体装置であって、

第一領域を有する半導体基板と、

前記第一領域上にゲート誘電体と、

前記ゲート誘電体上に設けられ、パターン化された導電性金属酸化物と、

前記パターン化された導電性金属酸化物上に設けられ、パターン化された耐酸化バリア層と、

前記パターン化された耐酸化バリア層上に設けられ、パターン化されたキャッピング層と、

前記半導体基板から延びる側壁を有するゲートのためにパターン化された導電性金属酸化物、耐酸化バリア層、及びキャッピング層と、

前記側壁上に形成されたスペーサと

を備える半導体装置。

**【請求項 10】**

請求項 9 記載の半導体装置において、

前記導電性金属酸化物は、I r , M o , R u , W , O s , N b , T i , V , N i 及び R e からなる群より選択された元素を含み、前記耐酸化バリア層は、チタン及び窒素を含む半導体装置。