



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월04일  
(11) 등록번호 10-2701800  
(24) 등록일자 2024년08월28일

- (51) 국제특허분류(Int. Cl.)  
H01L 33/08 (2010.01) H01L 33/00 (2024.01)  
H01L 33/42 (2010.01) H01L 33/62 (2010.01)
- (52) CPC특허분류  
H01L 33/08 (2013.01)  
H01L 33/0008 (2013.01)
- (21) 출원번호 10-2021-7002548
- (22) 출원일자(국제) 2019년08월13일  
심사청구일자 2022년08월16일
- (85) 번역문제출일자 2021년01월26일
- (65) 공개번호 10-2021-0033480
- (43) 공개일자 2021년03월26일
- (86) 국제출원번호 PCT/KR2019/010326
- (87) 국제공개번호 WO 2020/036423  
국제공개일자 2020년02월20일
- (30) 우선권주장  
62/764,961 2018년08월17일 미국(US)  
16/536,627 2019년08월09일 미국(US)
- (56) 선행기술조사문헌  
KR1020130064156 A  
KR1020110066022 A  
KR1020110132161 A  
KR1020170039062 A

- (73) 특허권자  
서울바이오시스 주식회사  
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
- (72) 발명자  
장종민  
경기도 안산시 단원구 산단로 163번길 65-16  
김창연  
경기도 안산시 단원구 산단로 163번길 65-16  
양명학  
경기도 안산시 단원구 산단로 163번길 65-16
- (74) 대리인  
특허법인에이아이피

전체 청구항 수 : 총 16 항

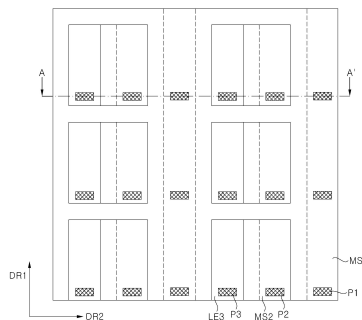
심사관 : 배성주

(54) 발명의 명칭 발광 소자

(57) 요약

발광 소자를 제공한다. 발광 소자는, 제1 n형 반도체층과, 제1 n형 반도체층의 일 면의 일부를 노출시키며 수직 적층된 제1 활성층, 제1 p형 반도체층 및 제1 투명 전극을 포함하는 제1 메사 구조물을 포함하는 제1 발광부와, 노출된 제1 n형 반도체층 상에 배치되며, 제2 n형 반도체층, 제2 활성층, 제2 p형 반도체층, 및 제2 투명 전극을 포함하는 제2 발광부, 및 제1 n형 반도체층 및 제2 n형 반도체층 사이를 접촉하고 전기적으로 연결하는 제1 접촉부를 포함한다.

대표도



(52) CPC특허분류

*H01L 33/42* (2013.01)

*H01L 33/62* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 n형 반도체층, 상기 제1 n형 반도체층의 일 면의 일부를 노출시키며 수직 적층된 제1 활성층, 제1 p형 반도체층 및 제1 투명 전극을 포함하는 제1 메사 구조물을 포함하는 제1 발광부;

상기 노출된 제1 n형 반도체층 상에서 상기 제1 메사 구조물과 이격되며, 제2 n형 반도체층, 제2 활성층, 제2 p형 반도체층, 및 제2 투명 전극을 포함하는 제2 발광부; 및

상기 제1 n형 반도체층 및 상기 제2 n형 반도체층 사이를 접촉하고 전기적으로 연결하는 제1 접촉부를 포함하는 발광 소자.

#### 청구항 2

제1항에 있어서,

상기 제2 발광부에서, 상기 제2 활성층, 상기 제2 p형 반도체층, 및 상기 제2 투명 전극이 수직 적층되어 제2 메사 구조물을 형성하고, 상기 제2 메사 구조물은 상기 제2 n형 반도체층 상에서 상기 제2 n형 반도체층의 일부를 노출시키는 발광 소자.

#### 청구항 3

제2항에 있어서,

상기 노출된 제2 n형 반도체층 상에 배치되며, 제3 n형 반도체층, 제3 활성층, 제3 p형 반도체층 및 제3 투명 전극을 포함하는 제3 발광부; 및

상기 제2 n형 반도체층 및 상기 제3 n형 반도체층 사이에서, 상기 제2 및 제3 발광부들 사이를 접촉하고 전기적으로 연결하는 제2 접촉부를 더 포함하는 발광 소자.

#### 청구항 4

제3항에 있어서,

상기 제2 접촉부의 두께는 상기 제2 활성층의 두께보다 큰 발광 소자.

#### 청구항 5

제3항에 있어서,

상기 제1 메사 구조물, 상기 제2 메사 구조물, 및 상기 제3 발광부는 서로 동일한 크기를 갖는 발광 소자.

#### 청구항 6

제3항에 있어서,

상기 제1 투명 전극과 전기적으로 연결되는 제1 패드;

상기 제2 투명 전극과 전기적으로 연결되는 제2 패드;

상기 제3 투명 전극과 전기적으로 연결되는 제3 패드; 및

상기 제1 내지 제3 n형 반도체층들과 전기적으로 연결되는 공통 패드를 더 포함하는 발광 소자.

#### 청구항 7

제6항에 있어서,

상기 공통 패드는 상기 제1 n형 반도체층의 일 면에 대향하는 타 면에 배치되는 발광 소자.

**청구항 8**

제6항에 있어서,  
상기 공통 패드는 상기 노출된 제1 n형 반도체층 상에 배치되는 발광 소자.

**청구항 9**

제6항에 있어서,  
상기 공통 패드는 상기 노출된 제2 n형 반도체층 상에 배치되는 발광 소자.

**청구항 10**

제6항에 있어서,  
상기 제3 발광부에서, 상기 제3 활성층, 상기 제3 p형 반도체층, 및 상기 제3 투명 전극이 수직 적층되어 제3 메사 구조물을 형성하고, 상기 제3 메사 구조물은 상기 제3 n형 반도체층 상에서 상기 제3 n형 반도체층의 일부를 노출시키며,  
상기 공통 패드는 상기 노출된 제3 n형 반도체층 상에 배치되는 발광 소자.

**청구항 11**

제1항에 있어서,  
상기 노출된 제1 n형 반도체층 상에서 상기 제2 발광부와 이격되어 배치되며, 제3 n형 반도체층, 제3 활성층, 제3 p형 반도체층, 및 제3 투명 전극을 포함하는 제3 발광부를 더 포함하는 발광 소자.

**청구항 12**

제11항에 있어서,  
상기 제1 n형 반도체층 및 상기 제3 n형 반도체층 사이에서, 상기 제1 및 제3 발광부들 사이를 접촉하고 전기적으로 연결하는 제2 접촉부를 더 포함하는 발광 소자.

**청구항 13**

제11항에 있어서,  
상기 제1 접촉부는 상기 제1 n형 반도체층 및 상기 제3 n형 반도체층 사이로 연장되어, 상기 제1 및 제3 발광부들 사이를 접촉하고 전기적으로 연결하는 발광 소자.

**청구항 14**

제11항에 있어서,  
상기 제1 메사 구조물, 상기 제2 발광부, 및 상기 제3 발광부는 서로 동일한 크기를 갖는 발광 소자.

**청구항 15**

제11항에 있어서,  
상기 노출된 제1 n형 반도체층 상에서 상기 제2 및 제3 발광부들 사이에 배치되는 광차단막을 더 포함하는 발광 소자.

**청구항 16**

제1항에 있어서,  
상기 제1 접촉부의 두께는 상기 제1 활성층의 두께보다 큰 발광 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 발광 소자에 관한 것으로, 보다 상세하게는 복수의 발광층들이 적층된 발광 소자에 관한 것이다.

**배경 기술**

[0002] 발광 다이오드는 무기 광원으로, 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비 전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.

[0003] 특히, 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치의 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비하며, 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.

[0004] 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되어 왔다. 그러나 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 차세대 디스플레이로서 마이크로 LED(micro LED)가 개발되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명이 해결하고자 하는 과제는 광재현성이 우수한 발광 소자를 제공하는데 있다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0007] 해결하고자 하는 일 과제를 달성하기 위하여 본 발명의 실시예들에 따른 발광 소자는, 제1 n형 반도체층, 상기 제1 n형 반도체층의 일 면의 일부를 노출시키며 수직 적층된 제1 활성층, 제1 p형 반도체층 및 제1 투명 전극을 포함하는 제1 메사 구조물을 포함하는 제1 발광부, 상기 노출된 제1 n형 반도체층 상에서 상기 제1 메사 구조물과 이격되며, 제2 n형 반도체층, 제2 활성층, 제2 p형 반도체층, 및 제2 투명 전극을 포함하는 제2 발광부, 및 상기 제1 n형 반도체층 및 상기 제2 n형 반도체층 사이를 접착하고 전기적으로 연결하는 제1 접착부를 포함한다.

[0008] 실시예들에 따르면, 상기 제2 발광부에서, 상기 제2 활성층, 상기 제2 p형 반도체층, 및 상기 제2 투명 전극이 수직 적층되어 제2 메사 구조물을 형성하고, 상기 제2 메사 구조물은 상기 제2 n형 반도체층 상에서 상기 제2 n형 반도체층의 일부를 노출시킬 수 있다.

[0009] 실시예들에 따르면, 상기 발광 소자는 상기 노출된 제2 n형 반도체층 상에 배치되며, 제3 n형 반도체층, 제3 활성층, 제3 p형 반도체층 및 제3 투명 전극을 포함하는 제3 발광부, 및 상기 제2 n형 반도체층 및 상기 제3 n형 반도체층 사이에서, 상기 제2 및 제3 발광부들 사이를 접착하고 전기적으로 연결하는 제2 접착부를 더 포함할 수 있다.

[0010] 실시예들에 따르면, 상기 제2 접착부는 Au, Al, Ti, Ni, Sn, In, Cr, 및 Be으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다.

[0011] 실시예들에 따르면, 상기 제2 접착부의 두께는 상기 제2 활성층의 두께보다 클 수 있다.

[0012] 실시예들에 따르면, 상기 제1 메사 구조물, 상기 제2 메사 구조물, 및 상기 제3 발광부는 서로 동일한 크기를 가질 수 있다.

[0013] 실시예들에 따르면, 상기 제1 투명 전극과 전기적으로 연결되는 제1 패드, 상기 제2 투명 전극과 전기적으로 연결되는 제2 패드, 상기 제3 투명 전극과 전기적으로 연결되는 제3 패드, 및 상기 제1 내지 제3 n형 반도체층들과 전기적으로 연결되는 공통 패드를 더 포함할 수 있다.

[0014] 실시예들에 따르면, 상기 공통 패드는 상기 제1 n형 반도체층의 일 면에 대향하는 타 면에 배치될 수 있다.

[0015] 실시예들에 따르면, 상기 공통 패드는 상기 노출된 제1 n형 반도체층 상에 배치될 수 있다.

- [0016] 실시예들에 따르면, 상기 공통 패드는 상기 노출된 제2 n형 반도체층 상에 배치될 수 있다.
- [0017] 실시예들에 따르면, 상기 제3 발광부에서, 상기 제3 활성층, 상기 제3 p형 반도체층, 및 상기 제3 투명 전극이 수직 적층되어 제3 메사 구조물을 형성하고, 상기 제3 메사 구조물은 상기 제3 n형 반도체층 상에서 상기 제3 n형 반도체층의 일부를 노출시키며, 상기 공통 패드는 상기 노출된 제3 n형 반도체층 상에 배치될 수 있다.
- [0018] 실시예들에 따르면, 상기 발광 소자는, 상기 노출된 제1 n형 반도체층 상에서 상기 제2 발광부와 이격되어 배치되며, 제3 n형 반도체층, 제3 활성층, 제3 p형 반도체층, 및 제3 투명 전극을 포함하는 제3 발광부를 더 포함할 수 있다.
- [0019] 실시예들에 따르면, 상기 제1 n형 반도체층 및 상기 제3 n형 반도체층 사이에서, 상기 제1 및 제3 발광부들 사이를 접착하고 전기적으로 연결하는 제2 접착부를 더 포함할 수 있다.
- [0020] 실시예들에 따르면, 상기 제2 접착부는 Au, Al, Ti, Ni, Sn, In, Cr, 및 Be으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0021] 실시예들에 따르면, 상기 제1 접착부는 상기 제1 n형 반도체층 및 상기 제3 n형 반도체층 사이로 연장되어, 상기 제1 및 제3 발광부들 사이를 접착하고 전기적으로 연결할 수 있다.
- [0022] 실시예들에 따르면, 상기 제1 메사 구조물, 상기 제2 발광부, 및 상기 제3 발광부는 서로 동일한 크기를 가질 수 있다.
- [0023] 실시예들에 따르면, 상기 발광 소자는 상기 노출된 제1 n형 반도체층 상에서 상기 제2 및 제3 발광부들 사이에 배치되는 광차단막을 더 포함할 수 있다.
- [0024] 실시예들에 따르면, 상기 제1 접착부는 Au, Al, Ti, Ni, Sn, In, Cr, 및 Be으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0025] 실시예들에 따르면, 상기 제1 접착부의 두께는 상기 제1 활성층의 두께보다 클 수 있다.
- [0026] 실시예들에 따르면, 상기 제2 접착부는 상기 제1 접착부와 일체형일 수 있다.
- [0027] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0028] 본 발명의 실시예들에 따른 발광 소자에 따르면, 제1 발광층, 제2 발광층, 및 제3 발광층이 수직 적층되며, 제1 활성층, 제2 활성층, 및 제3 활성층이 오버랩되지 않으며, 제1 내지 제3 활성층들 각각의 크기가 실질적으로 동일하여, 제1 내지 제3 발광부들 각각으로부터 발생된 광이 서로 간섭되지 않아 색 재현성이 우수할 수 있다.

**도면의 간단한 설명**

- [0029] 도 1a는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 평면도이다.
- 도 1b는 도 1a의 발광 소자를 A-A'으로 절단한 단면도이다.
- 도 1c는 도 1a에 도시된 발광 소자의 일부를 설명하기 위한 사시도이다.
- 도 1d는 도 1a에 도시된 발광 소자의 변형예들을 설명하기 위한 단면도이다.
- 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 단면도들이다.
- 도 3a는 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도이다.
- 도 3b는 도 3a의 발광 소자를 A-A'로 절단한 단면도이다.
- 도 4a 내지 도 16a는 본 발명의 일 실시예에 따른 발광 소자를 제조하는 방법을 설명하기 위한 평면도들이다.
- 도 4a 내지 도 16b는 도 4a 내지 도 16a의 발광 소자를 A-A'으로 절단한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나 본 발명은, 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러 가지 형태로 구현될

수 있고 다양한 변경을 가할 수 있다.

- [0031] 또한, 본 발명의 실시예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [0032] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 발광 소자에 대하여 상세하게 설명한다.
- [0033] 도 1a는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 평면도이고, 도 1b는 도 1a의 발광 소자를 A-A'으로 절단한 단면도이며, 도 1c는 도 1a에 도시된 발광 소자의 일부를 설명하기 위한 사시도이다. 또한, 도 1d는 도 1a에 도시된 발광 소자의 변형예들을 설명하기 위한 단면도들이다.
- [0034] 도 1a 내지 도 1d를 참조하면, 발광 소자는 수직 적층된 제1 발광부(LE1), 제1 접착부(AC1), 제2 발광부(LE2), 제2 접착부(AC2), 및 제3 발광부(LE3)를 포함할 수 있다.
- [0035] 제1 발광부(LE1)는 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 투명 전극(108)을 포함할 수 있다. 제2 발광부(LE2)는 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 투명 전극(208)을 포함할 수 있다. 제3 발광부(LE3)는 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)을 포함할 수 있다.
- [0036] 일 실시예에 따르면, 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302) 각각은 Si이 도핑된 질화갈륨계 반도체층일 수 있다. 제1 p형 반도체층(106), 제2 p형 반도체층(206), 및 제3 p형 반도체층(306) 각각은 Mg가 도핑된 질화갈륨계 반도체층일 수 있다. 제1 활성층(104), 제2 활성층(204), 및 제3 활성층(304) 각각은 다중양자우물구조(Multi Quantum Well: MQW)를 포함할 수 있고, 원하는 파장의 광을 방출하도록 그 조성비가 결정될 수 있다. 제1 투명 전극(108), 제2 투명 전극(208), 및 제3 투명 전극(308) 각각은 산화주석(SnO), 산화인듐(In<sub>2</sub>O<sub>3</sub>), 산화아연(ZnO), 산화인듐주석(ITO), 및 산화인듐주석아연(ITZO)과 같은 투명 산화물층이 사용될 수 있다.
- [0037] 일 실시예에 따르면, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)는 서로 다른 파장의 광을 발광시킬 수 있다. 또한, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 적층 순서는 정해지지 않고 임의적일 수 있다. 이에 대한 설명은 후속하여 상세하게 하기로 한다.
- [0038] 제1 발광부(LE1)에서, 제1 n형 반도체층(102) 상에 제1 n형 반도체층(102)의 일부를 노출시키며, 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 투명 전극(108)이 수직 적층된 제1 메사 구조물(MS1)을 포함할 수 있다.
- [0039] 제1 메사 구조물(MS1)은 제1 방향(DR1)으로 연장하되, 이하, '폭'은 제1 방향(DR1)에 수직인 제2 방향(DR2)으로 연장하는 거리를 의미하고, '두께'는 제1 방향(DR1) 및 제2 방향(DR2) 각각에 대하여 수직인 제3 방향(DR3)으로 연장하는 거리를 의미한다.
- [0040] 제1 발광부(LE1)는 제1 메사 구조물(MS1)이 배치되는 제1 메사 영역(MSA1)과, 제1 메사 영역(MSA1)으로부터 소정 거리 이격된 제1 접착 영역(ACA1)을 포함할 수 있다. 제1 메사 영역(MSA1)은 제1 폭(WD1)을 가지며, 제1 접착 영역(ACA1)은 제1 폭(WD1)보다 큰 제2 폭(WD2)을 가질 수 있다. 또한, 제1 활성층(104)을 포함하는 제1 메사 구조물(MS1)은 제1 두께(TH1)를 가질 수 있다.
- [0041] 제1 메사 구조물(MS1)의 일 측면은 제1 n형 반도체의 일 측면과 실질적으로 동일한 평면이며, 수직일 수 있다. 제1 메사 구조물(MS1)의 일 측면에 대항하는 타 측면은 제1 n형 반도체층(102) 중간 상부면에 배치되며, 경사진 구조를 가질 수 있다. 이 경우, 제1 활성층(104)이 제1 p형 반도체층(106)보다, 제1 p형 반도체층(106)이 제1 투명 전극(108)보다 더 큰 폭을 가질 수 있다. 이때, 제1 메사 구조물(MS1)의 제1 폭(WD1)은 제1 활성층(104)의 폭을 의미한다.
- [0042] 제1 접착부(AC1)는 제1 접착 영역(ACA1) 상에 배치될 수 있다. 제1 접착 영역(ACA1)이 제2 폭(WD2)을 가짐으로써, 제1 접착부(AC1)도 제2 폭(WD2)을 가질 수 있다. 제1 접착부(AC1)는 제1 메사 구조물(MS1)과 소정 거리 이격되어 배치될 수 있다.
- [0043] 제1 접착부(AC1)는 제1 발광부(LE1) 및 제2 발광부(LE2)를 서로 접착시키며 전기적으로 연결시킬 수 있다. 제1 접착부(AC1)는 전기 전도성 및 접착 특성을 갖는 물질 예컨대, Al, Au, In, Sn, Ti, Ni, Ag, Cr, W, TiW, Mo, Cu, TiCu, AuSn, InSn 등으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다. 제1 접착부(AC1)는 제1 발광부(LE1)의 제1 n형 반도체층(102)의 제1 접착 영역(ACA1) (즉, 제2 발광부(LE2)와 마주하는 면)과, 제2 발광부(LE2)의 제2 n형 반도체층(202)의 배면(즉, 제1 발광부(LE1)와 마주하는 면)을 전기적으로 연결시킬 수

있다.

- [0044] 일 실시예에 따르면, 제1 접착부(AC1)는 제2 두께(TH2)를 가지며, 제2 두께(TH2)는 제1 두께(TH1)보다 크거나 동일할 수 있다. 제1 두께(TH1)는 제1 메사 구조물(MS1)의 두께이며, 제1 메사 구조물(MS1)은 제1 활성층(104)을 포함하는데, 제1 접착부(AC1)가 제1 메사 구조물(MS1)보다 큰 두께를 가짐으로써, 제1 접착부(AC1)는 제1 활성층(104)보다 두꺼울 수 있다. 또한, 제1 활성층(104)이 제1 접착부(AC1)의 일 측벽에 마주하고 제1 접착부(AC1)가 금속을 포함하기 때문에, 컬러 필터 또는 광차단막 등의 추가 설치 없이 제1 활성층(104)으로부터 발생된 광이 제1 접착부(AC1)에 의해 반사되어 제2 활성층(204) 또는 제3 활성층(304)으로 입사되는 것을 방지할 수 있다.
- [0045] 제2 발광부(LE2)는 제1 접착부(AC1)가 배치된 제1 발광부(LE1)의 제1 접착 영역(ACA1) 상에 위치할 수 있다. 제1 접착 영역(ACA1)이 제2 폭(WD2)을 가짐으로써, 제2 발광부(LE2)의 전체 폭은 제2 폭(WD2)을 가질 수 있다.
- [0046] 제2 발광부(LE2)에서, 제2 n형 반도체층(202) 상에 제2 n형 반도체층(202)의 일부를 노출시키며, 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 투명 전극(208)이 수직 적층된 제2 메사 구조물(MS2)을 포함할 수 있다. 제2 메사 구조물(MS2)은 제1 방향(DR1)으로 연장하며, 제1 메사 구조물(MS1)과 소정 거리 이격되어 나란하게 배치될 수 있다.
- [0047] 이와 같이, 제2 메사 구조물(MS2)이 제1 메사 구조물(MS1)과 제3 방향(DR3)으로 오버랩되지 않기 때문에, 제1 활성층(104)으로부터 발생된 광 중에서 제3 방향(DR3)으로 발광하는 광은 제2 메사 구조물(MS2)의 제2 활성층(204)에 영향을 미치지 않는다. 따라서, 제3 방향(DR3)으로 제1 발광부(LE1) 및 제2 발광부(LE2) 사이에는 컬러 필터 또는 광차단막 등이 필요하지 않는다. 또한, 제1 활성층(104)은 제1 메사 구조물(MS1)에 포함되어, 제2 메사 구조물(MS2)과 제2 방향(DR2)으로 소정거리 이격되며, 제1 발광부(LE1) 및 제2 발광부(LE2)는 제1 접착부(AC1)에 의해 제3 방향(DR3)으로 이격되어 배치될 수 있다. 따라서, 제2 활성층(204)은 제1 활성층(104)과 수직 및 수평적으로 충분히 이격되어, 제2 활성층(204)으로부터 발광된 광이 제1 활성층(104)으로 영향을 미치지 어렵다.
- [0048] 한편, 통상적으로 발광 소자는 제1 발광부(LE1) 상에 제2 발광부(LE2)가 수직 적층되어 제1 활성층(104)과 제2 활성층(204)이 오버랩되는 구조를 가질 수 있다. 이때, 제2 발광부(LE2) 방향이 광추출 방향인 경우 제2 발광부(LE2)에서 발생된 광의 파장이 제1 발광부(LE1)에서 발생된 광의 파장보다 길어야 한다. 본 실시예에 따르면, 제1 활성층(104) 및 제2 활성층(204)이 오버랩되지 않게 배치됨으로써, 제1 발광부(LE1) 및 제2 발광부(LE2)의 적층 순서는 파장의 장단에 관여하지 않는다. 즉, 긴 파장을 갖는 제1 발광부(LE1)와 짧은 파장을 갖는 제2 발광부(LE2) 구조이든, 짧은 파장을 갖는 제1 발광부(LE1)와 긴 파장을 갖는 제2 발광부(LE2) 구조이든 본 발명에서는 무관하다.
- [0049] 제2 발광부(LE2)는 제2 메사 구조물(MS2)이 위치하는 제2 메사 영역(MSA2)과, 제2 메사 영역(MSA2)으로부터 소정 거리 이격된 제2 접착 영역(ACA2)을 포함할 수 있다. 제2 활성층(204)을 포함하는 제2 메사 구조물(MS2)은 제3 두께(TH3)를 가질 수 있다. 또한, 제2 메사 영역(MSA2)은 제1 메사 영역(MSA1)과 동일한 제1 폭(WD1)을 가지며, 제2 접착 영역(ACA2)도 제1 폭(WD1)을 가질 수 있다.
- [0050] 제2 메사 구조물(MS2)의 일 측벽은 제2 n형 반도체층(202)의 일 측벽과 실질적으로 동일한 평면이고, 수직일 수 있다. 제2 메사 구조물(MS2)의 일 측벽에 대향하는 타 측벽은 제2 n형 반도체층(202) 중간 상부면이 배치되며, 경사진 구조를 가질 수 있다. 이 경우, 제2 활성층(204)이 제2 p형 반도체층(206)보다, 제2 p형 반도체층(206)이 제2 투명 전극(208)보다 더 큰 폭을 가질 수 있다. 이때, 제1 폭(WD1)은 제2 활성층(204)의 폭을 의미한다.
- [0051] 제2 접착부(AC2)는 제2 접착 영역(ACA2) 상에 배치될 수 있다. 제2 접착 영역(ACA2)이 제1 폭(WD1)을 가짐으로써, 제2 접착부(AC2)도 제1 폭(WD1)을 가질 수 있다. 제2 접착부(AC2)는 제2 메사 구조물(MS2)과 소정 거리 이격되어 배치될 수 있다.
- [0052] 제2 접착부(AC2)는 제2 발광부(LE2) 및 제3 발광부(LE3)를 서로 접착시키며 전기적으로 연결시킬 수 있다. 따라서, 제2 접착부(AC2)는 전기 전도성 및 접착 특성을 갖는 물질 예컨대, Al, Au, In, Sn, Ti, Ni, Ag, Cr, W, TiW, Mo, Cu, TiCu, AuSn, InSn 등으로 이루어진 균으로부터 선택된 적어도 하나를 포함할 수 있다. 제2 접착부(AC2)는 제2 발광부(LE2)의 제2 n형 반도체층(202)의 제2 접착 영역(ACA2)(즉, 제3 발광부(LE3)와 마주하는 면)과 제3 발광부(LE3)의 제3 n형 반도체층(302)의 배면(즉, 제2 발광부(LE2)와 마주하는 면)을 서로 전기적으로 연결시킬 수 있다. 이때, 제1 접착부(AC1)는 제1 발광부(LE1)의 제1 n형 반도체층(102)과 제2 발광부(LE2)의 제2 n형 반도체층(202)을 서로 전기적으로 연결하며, 제2 접착부(AC2)는 제2 발광부(LE2)의 제2 n형 반도체층

(202)과 제3 발광부(LE3)의 제3 n형 반도체층(302)을 서로 전기적으로 연결시킬 수 있다. 따라서, 제1 접착부(AC1) 및 제2 접착부(AC2)에 의해 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302)은 서로 전기적으로 연결될 수 있다.

[0053] 일 실시예에 따르면, 제2 접착부(AC2)는 제4 두께(TH4)를 가지며, 제4 두께(TH4)는 제3 두께(TH3)보다 크거나 동일할 수 있다. 제2 활성층(204)이 제2 접착부(AC2)의 일 측벽에 마주하고 제2 접착부(AC2)가 금속을 포함하기 때문에, 컬러 필터 또는 광차단막 등의 추가 없이 제2 활성층(204)으로부터 발생된 광이 제2 접착부(AC2)에 의해 반사되어 제3 발광층으로 입사되는 것을 방지할 수 있다.

[0054] 제3 발광부(LE3)는 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)이 동일 폭으로 적층된 구조를 가질 수 있다. 즉, 제3 발광부(LE3)는 메사 구조를 갖지 않는다. 그리고, 제3 발광부(LE3)의 발광 영역은 제3 발광부(LE3)의 전체 영역과 실질적으로 동일할 수 있다.

[0055] 제3 발광부(LE3)는 제1 방향(DR1)으로 연장하고, 제2 메사 구조물(MS2) 및 제1 메사 구조물(MS1)과 각각 소정 거리 이격되어 나란하게 배치될 수 있다. 제3 발광부(LE3)는 제2 활성층(204)을 포함하는 제2 메사 구조물(MS2) 및 제1 활성층(104)을 포함하는 제1 메사 구조물(MS1) 각각과 오버랩되지 않기 때문에, 제1 활성층(104)으로부터 발생된 광과 제2 활성층(204)으로부터 발생된 광이 제3 발광부(LE3)의 제3 활성층(304)에 영향을 미치지 않는다. 따라서, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 사이에 컬러 필터 또는 광차단막 등이 필요하지 않다. 또한, 제2 접착 영역(ACA2)이 제2 메사 영역(MSA2)과 이격된 거리만큼 제2 접착 영역(ACA2)에 상에 배치된 제3 활성층(304)과 제2 메사 영역(MSA2)에 배치된 제2 활성층(204)이 제2 방향(DR2)으로 이격되며, 제2 접착부(AC2)의 제4 두께(TH4)와 제3 n형 반도체층(302) 두께만큼 제3 활성층(304)은 제2 활성층(204)으로부터 제3 방향(DR3) 이격될 수 있다. 이처럼, 제3 활성층(304)이 제2 활성층(204)과 수직 및 수평 방향으로 충분히 이격되어 제3 활성층(304)으로부터 발생된 광이 제2 활성층(204)으로 영향을 주기 어렵다.

[0056] 한편, 통상적인 발광 소자는, 제1 발광부(LE1) 상에 제2 발광부(LE2) 및 제3 발광부(LE3)가 수직 적층되어 제1 활성층(104), 제2 활성층(204), 및 제3 활성층(304)이 오버랩되는 구조를 가질 수 있다. 그리고, 제3 발광부(LE3) 방향이 광추출 방향인 경우 제1 발광부(LE1)에서 발생된 광의 파장이 제2 발광부(LE2)에서 발생된 광의 파장보다, 제2 발광부(LE2)에서 발생된 광의 파장이 제3 발광부(LE3)에서 발생된 광의 파장보다 길어야 하는데, 본 실시예에 따르면, 제1 활성층(104), 제2 활성층(204), 및 제3 활성층(304)이 오버랩되지 않게 배치됨으로써, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)의 적층 순서는 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각의 파장과는 무관할 수 있다.

[0057] 제3 발광부(LE3)는 제2 접착부(AC2)가 배치된 제2 발광부(LE2)의 제2 접착 영역(ACA2) 상에 위치할 수 있다. 제2 접착 영역(ACA2)이 제1 폭(WD1)을 가짐으로써, 제3 발광부(LE3)의 전체 폭은 제1 폭(WD1)을 가질 수 있다. 전술한 바와 같이, 제1 발광부(LE1)의 발광 영역은 제1 폭(WD1)을 가지며, 제2 발광부(LE2)의 발광 영역도 제1 폭(WD1)을 가지며, 제3 발광부(LE3)의 발광 영역도 제1 폭(WD1)을 가질 수 있다. 이와 같이 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각의 발광 영역은 서로 동일한 크기를 가짐으로써, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각으로부터 발생되는 광의 양이 실질적으로 동일하여, 색을 발현하는데 있어서 더욱 신뢰성을 가질 수 있다.

[0058] 발광 소자는 제1 발광부(LE1)의 제1 투명 전극(108)과 전기적으로 연결되는 제1 패드(P1)와, 제2 발광부(LE2)의 제2 투명 전극(208)과 전기적으로 연결되는 제2 패드(P2)와, 제3 발광부(LE3)의 제3 투명 전극(308)과 전기적으로 연결되는 제3 패드(P3)와, 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302)과 전기적으로 연결되는 공통 패드(CP)를 더 포함할 수 있다.

[0059] 본 실시예에 따르면, 발광 소자는 제3 발광부(LE3) 방향이 광추출 방향일 수 있다. 광추출면으로부터 광이 최대 로 발광하기 위하여, 제1 패드(P1), 제2 패드(P2), 및 제3 패드(P3) 각각이 최소한의 면적을 갖는 것이 바람직하다. 또한, 공통 패드(CP)는 제1 n형 반도체층(102)의 타 면에 배치될 수 있다. 도시된 바와 같이 공통 패드(CP)는 제1 n형 반도체층(102)을 전체적으로 덮을 수 있다. 이와는 다르게, 공통 패드(CP)는 제1 n형 반도체층(102)을 부분적으로 덮는 구조를 가질 수 있다.

[0060] 도 1d에 도시된 바와 같이, 제3 발광부(LE3)가 제2 발광부(LE2) 상에, 제2 발광부(LE2)가 제1 발광부(LE1) 상에 적층됨으로써, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각의 표면 레벨이 상이할 수 있다. 따라서, 제1 패드(P1), 제2 패드(P2), 및 제3 패드(P3)를 동일 레벨에 배치하기 위하여 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)를 덮으며, 제3 투명 전극(308)의 상부면과 실질적으로 동일한 상부면을 갖는 패

시베이션막(PAL)을 더 포함할 수 있다. 패시베이션막(PAL)은 높은 광 투과율을 가지며 유동적(flowable) 특성을 갖는 SOG(Silicon On Glass), 에폭시, 폴리이미드, SU8, 또는 BCB(benzo cyclo butene) 등을 포함할 수 있다. 제1 패드(P1), 제2 패드(P2), 및 제3 패드(P3) 각각은 패시베이션막(PAL) 상에 배치되며, 제1 패드(P1)는 제1 비아 구조물(VS1)을 통해 제1 투명 전극(108)과 전기적으로 연결되며, 제2 패드(P2)는 제2 비아 구조물(VS2)을 통해 제2 투명 전극(208)과 전기적으로 연결되며, 제3 패드(P3)는 제3 투명 전극(308)과 직접적으로 전기적으로 접촉할 수 있다. 제1 비아 구조물(VS1) 및 제2 비아 구조물(VS2) 각각은 아래로 갈수록 좁은 폭을 가지며 경사진 측벽을 가질 수 있다. 제1 패드(P1), 제2 패드(P2), 및 제3 패드(P3) 각각은 Au를 포함할 수 있다. 또한, 제1 비아 구조물(VS1) 및 제2 비아 구조물(VS2) 각각은 Au, Al, Ni, Ti, Cr, Cu, W, TiW, Mo, Cu, TiCu, AuSn, InSn 등으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다.

- [0061] 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 단면도들이다.
- [0062] 도 2a 내지 도 2c를 참조하면, 발광 소자는 기판 상에 순차적으로 배치된 제1 발광부(LE1), 제1 접촉부(AC1), 제2 발광부(LE2), 제2 접촉부(AC2), 및 제3 발광부(LE3)를 포함할 수 있다.
- [0063] 기판(100)은 질화갈륨계 반도체층을 성장시킬 수 있는 기판으로, 사파이어(Al2O3), 실리콘 카바이드(SiC), 질화갈륨(GaN), 질화인듐갈륨(InGaN), 질화알루미늄갈륨(AlGaN), 질화알루미늄(AlN), 갈륨산화물(Ga2O3), 또는 실리콘을 포함할 수 있다. 또한, 기판(100)은 패터닝된 사파이어 기판일 수 있다.
- [0064] 기판(100)의 일 면 상에 제1 발광부(LE1)가 배치되는데, 제1 발광부(LE1)는 제1 n형 반도체층(102)과, 제1 n형 반도체층(102) 상에서 제1 n형 반도체층(102)의 일부를 노출시키며 수직 적층된 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 투명 전극(108)을 포함하는 제1 메사 구조물(MS1)을 포함할 수 있다.
- [0065] 제2 발광부(LE2)는 제2 n형 반도체층(202)과, 제2 n형 반도체층(202) 상에서 제2 n형 반도체층(202)의 일부를 노출시키며 수직 적층된 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 투명 전극(208)을 포함하는 제2 메사 구조물(MS2)을 포함할 수 있다.
- [0066] 제3 발광부(LE3)는 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)을 포함할 수 있다. 도 2a 및 도 2b에서, 제3 발광부(LE3)는 메사 구조를 갖지 않으며, 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308) 각각이 실질적으로 동일한 폭을 가질 수 있다. 도 2c에서, 제3 발광부(LE3)는 제3 n형 반도체층(302) 상에서 제3 n형 반도체층(302)의 일부를 노출시키며 수직 적층된 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)을 포함하는 제3 메사 구조물(MS3)을 포함할 수 있다.
- [0067] 도 2a 내지 도 2c를 참조하면, 발광 소자는 제1 투명 전극(108)과 전기적으로 연결되는 제1 패드(P1), 제2 투명 전극(208)과 전기적으로 연결되는 제2 패드(P2), 및 제3 투명 전극(308)과 전기적으로 연결되는 제3 패드(P3)를 더 포함할 수 있다.
- [0068] 또한, 제1 발광부(LE1)의 제1 n형 반도체층(102)과 제2 발광부(LE2)의 제2 n형 반도체층(202)은 제1 접촉부(AC1)에 의해 전기적으로 연결되고, 제2 발광부(LE2)의 제2 n형 반도체층(202)과 제3 발광부(LE3)의 제3 n형 반도체층(302)이 제2 접촉부(AC2)에 의해 전기적으로 연결될 수 있다. 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302)을 전기적으로 연결하는 공통 패드(CP)를 더 포함할 수 있다.
- [0069] 도 2a에서, 공통 패드(CP)는 제1 발광부(LE1) 상에서, 제1 n형 반도체층(102)과 전기적으로 접촉할 수 있다. 따라서 공통 패드(CP)는 제1 n형 반도체층(102)을 통해 제2 n형 반도체층(202) 및 제3 n형 반도체층(302)과 전기적으로 연결될 수 있다. 이 경우, 제1 발광부(LE1)의 제1 n형 반도체층(102)은 공통 패드(CP)를 배치하기 위하여 도 1a의 제1 발광부(LE1)의 제1 n형 반도체층(102)의 폭보다 더 크다는 점을 제외하고는 다른 특징들은 도 1a에서 설명된 특징들과 실질적으로 동일하여 상세한 설명을 생략할 수 있다.
- [0070] 도 2b에서, 공통 패드(CP)는 제2 발광부(LE2) 상에서, 제2 n형 반도체층(202)과 전기적으로 접촉할 수 있다. 따라서, 공통 패드(CP)는 제2 n형 반도체층(202)을 통해 제1 n형 반도체층(102) 및 제3 n형 반도체층(302)과 전기적으로 연결될 수 있다. 이 경우, 제2 발광부(LE2)의 제2 n형 반도체층(202)은 공통 패드(CP)를 배치하기 위하여 도 1a의 제2 발광부(LE2)의 제2 n형 반도체층(202)의 폭보다 더 크다는 점을 제외하고는 다른 특징들은 도 1a에서 설명된 특징들과 실질적으로 동일하여 상세한 설명을 생략할 수 있다.
- [0071] 도 2c에서 공통 패드(CP)는 제3 발광부(LE3) 상에서 제3 n형 반도체층(302)과 전기적으로 접촉할 수 있다. 따라서, 공통 패드(CP)는 제3 n형 반도체층(302)을 통해 제1 n형 반도체층(102)과 제2 n형 반도체층(202)과 전기적

으로 접촉할 수 있다. 도 2c에 도시된 바와 같이 공통 패드(CP)가 제3 발광부(LE3)의 제3 n형 반도체층(302) 상에 배치되도록 제3 발광부(LE3)는 제3 n형 반도체층(302)을 노출시키는 제3 메사 구조물(MS3)을 포함하는 구조라는 것을 제외하고는 다른 특징들은 도 1a에서 설명된 특징들과 실질적으로 동일하여 상세한 설명을 생략할 수 있다.

- [0072] 본 실시예에서 제1 발광부(LE1), 제1 접착부(AC1), 제2 발광부(LE2), 제2 접착부(AC2), 제3 발광부(LE3), 제1 패드(P1), 제2 패드(P2), 제3 패드(P3), 및 공통 패드(CP)의 상세한 설명은 도 1a 내지 도 1d에서 설명된 것과 실질적으로 동일하여 생략하기로 한다.
- [0073] 도 3a는 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도이고, 도 3b는 도 3a의 발광 소자를 A-A'으로 절단한 단면도이다.
- [0074] 도 3a 및 도 3b를 참조하면, 발광 소자는 제1 발광부(LE1), 제2 발광부(LE2), 제3 발광부(LE3), 접착부, 제1 패드(P1), 제2 패드(P2), 및 제3 패드(P3)를 포함할 수 있다.
- [0075] 제1 발광부(LE1)는 제1 n형 반도체층(102)과, 제1 n형 반도체층(102) 상에서 제1 n형 반도체층(102)의 일부를 노출시키며 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 투명 전극(108)이 순차적으로 적층된 제1 메사 구조물(MS1)을 포함할 수 있다. 제1 메사 구조물(MS1)은 제1 방향(DR1)으로 연장하며, 제2 방향(DR2)으로 제1 폭(WD1)을 가질 수 있다.
- [0076] 제2 발광부(LE2)는 수직 적층된 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 투명 전극(208)을 포함할 수 있다. 제2 발광부(LE2)는 메사 구조를 갖지 않는다. 제2 발광부(LE2)는 제2 방향(DR2)으로 연장하며 제1 방향(DR1)으로 제1 폭(WD1)을 가질 수 있다.
- [0077] 제3 발광부(LE3)는 수직 적층된 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)을 포함할 수 있다. 제3 발광부(LE3)는 메사 구조를 갖지 않는다. 제3 발광부(LE3)는 제2 방향(DR2)으로 연장하며 제1 방향(DR1)으로 제1 폭(WD1)을 가질 수 있다.
- [0078] 제1 발광부(LE1) 상에 제2 발광부(LE2) 및 제3 발광부(LE3)가 서로 이격되어 배치되는 구조를 가질 수 있다. 특히, 제2 발광부(LE2) 및 제3 발광부(LE3)는 제1 n형 반도체층(102) 상에서 이격되어 배치되며, 제1 메사 구조물(MS1)과도 이격되어 배치될 수 있다.
- [0079] 일 예로, 제2 발광부(LE2) 및 제3 발광부(LE3)는 제1 발광부(LE1)의 제1 n형 반도체층(102) 상에서 접착부에 의해 접착되고 전기적으로 연결될 수 있다. 제1 n형 반도체층(102)이 접착부에 의해 제2 발광부(LE2)의 제2 n형 반도체층(202)이 접하고 전기적으로 연결되며 제3 발광부(LE3)의 제3 n형 반도체층(302)이 접하고 전기적으로 연결될 수 있다.
- [0080] 다른 예로, 접착부는 제2 발광부(LE2)와 제1 발광부(LE1)의 제1 n형 반도체층(102) 사이를 접착시키며 전기적으로 연결시키는 제1 패턴과, 제1 패턴으로부터 이격되어 제3 발광부(LE3)와 제1 n형 반도체층(102) 사이를 각각 접착시키며 전기적으로 연결시키는 제2 패턴을 포함할 수 있다.
- [0081] 제2 발광부(LE2) 및 제3 발광부(LE3) 사이에는 제2 활성층(204)으로부터 발생된 광이 제3 발광부(LE3)로 입사되지 않도록, 또는 제3 활성층(304)으로부터 발생된 광이 제2 발광부(LE2)로 입사되지 않도록, 광차단막(BL)을 더 제공할 수 있다. 광차단막(BL)으로는 예컨대, 블랙 매트릭스(black matrix)가 사용될 수 있다.
- [0082] 제1 패드(P1)는 제1 발광부(LE1)의 제1 투명 전극(108)과 전기적으로 접촉하며, 제2 패드(P2)는 제2 발광부(LE2)의 제2 투명 전극(208)과 전기적으로 접촉하며, 제3 패드(P3)는 제3 발광부(LE3)의 제3 투명 전극(308)과 전기적으로 접촉할 수 있다. 공통 패드(CP)는 제1 발광부(LE1)의 제1 n형 반도체층(102) 저면에 배치될 수 있다. 일 예로, 공통 패드(CP)는 제1 발광부(LE1)의 제1 n형 반도체층(102) 저면을 완전하게 덮도록 배치될 수 있다. 다른 예로, 공통 패드(CP)는 제1 발광부(LE1)의 제1 n형 반도체층(102)과 부분적으로 접촉하도록 배치될 수 있다. 또한, 도 2a 내지 도 2c에 도시된 바와 같이, 공통 패드(CP)는 제1 n형 반도체층(102)과 전기적으로 접촉할 수도 있고, 제2 n형 반도체층(202)과 전기적으로 접촉할 수도 있으며, 제3 n형 반도체층(302)과 전기적으로 접촉할 수도 있다. 각 경우, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)는 도 2a 내지 도 2c에서 설명된 바와 같이 그 구조가 변경될 수 있다.
- [0083] 이하, 도 1a 내지 도 1c에서 설명된 발광 소자를 제조하는 방법을 예시적으로 설명하기로 한다.
- [0084] 도 4a 내지 도 16a는 본 발명의 일 실시예에 따른 발광 소자를 제조하는 방법을 설명하기 위한 평면도들이며,

도 4b 내지 도 16b는 도 4a 내지 도 16a의 발광 소자를 A-A'으로 절단한 단면도들이다.

- [0085] 도 4a 및 도 4b를 참조하면, 제1 기판(100) 상에 복수의 제1 발광부(LE1)들을 형성할 수 있다.
- [0086] 상세하게 설명하면, 제1 기판(100) 상에 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 투명 전극(108)을 순차적으로 형성할 수 있다. 제1 투명 전극(108), 제1 p형 반도체층(106), 및 제1 활성층(104)을 식각하여 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 투명 전극(108)이 수직 적층된 제1 메사 구조물(MS1)을 각각 포함하는 제1 발광부(LE1)들을 형성할 수 있다.
- [0087] 제1 발광부(LE1)는 제1 메사 구조물(MS1)이 배치되는 제1 메사 영역(MSA1)과, 제1 메사 영역(MSA1)으로부터 소정거리 이격된 제1 접착 영역(ACA1)을 포함할 수 있다. 제1 메사 영역(MSA1)은 제1 폭(WD1)을 가지며, 제1 접착 영역(ACA1)은 제1 폭(WD1)보다 큰 제2 폭(WD2)을 가질 수 있다.
- [0088] 도 5a 및 도 5b를 참조하면, 제1 발광부(LE1)들이 형성된 제1 기판(100) 상에 제1 절연막(110)을 형성할 수 있다. 제1 절연막(110)은 SiO<sub>2</sub>, SiN<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub> 등을 포함할 수 있다. 제1 절연막(110)을 식각하여, 제1 투명 전극(108)들을 노출시키는 제1 개구들(OP1)과, 제1 접착 영역(ACA1)들을 노출시키는 제2 개구들(OP2)을 형성할 수 있다.
- [0089] 선택적으로, 제1 투명 전극(108)들 상에 배치된 제1 절연막(110)에 제1 개구(OP1)를 형성하는 대신 다수의 관통 홀들(도시되지 않음)을 형성할 수 있다. 다수의 관통 홀들은 균일하게 배열될 수 있다.
- [0090] 도 6a 및 도 6b를 참조하면, 제1 개구들(OP1) 및 제2 개구들(OP2)상에 제1 패드(P1)들 및 제1 콘택 패턴들(114)을 각각 형성할 수 있다.
- [0091] 상세하게 설명하면, 제1 개구들(OP1) 및 제2 개구들(OP2)이 형성된 제1 발광부(LE1)들 상에 제1 금속막(도시되지 않음)을 형성할 수 있다. 제1 금속막은 Ni, Ag, Au, Pt, Ti, Al, Cr, W, TiW, Mo, Cu, TiCu 등 적어도 하나의 금속물질을 포함할 수 있다. 제1 금속막을 패터닝하여 제1 개구들(OP1) 상에 형성되는 제1 패드(P1)들과, 제2 개구들(OP2) 상에 형성되는 제1 콘택 패턴들(114)을 각각 형성할 수 있다. 제1 투명 전극(108)들 각각은 제1 패드(P1)들 각각을 통해 양의 전압을 인가 받을 수 있다. 제1 콘택 패턴들(114)은 제2 발광부(LE2)들과 각각 접촉되어 제1 발광부(LE1) 및 제2 발광부(LE2)를 전기적으로 연결시키는 기능을 수행할 수 있다.
- [0092] 도 7a 및 도 7b를 참조하면, 제2 기판(200) 상에 복수의 제2 발광부(LE2)들을 형성할 수 있다.
- [0093] 상세하게 설명하면, 제2 기판(200) 상에 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 투명 전극(208)을 순차적으로 형성할 수 있다. 제2 투명 전극(208), 제2 p형 반도체층(206), 및 제2 활성층(204)을 식각하여 제2 n형 반도체층(202) 상에 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 투명 전극(208)이 수직 적층된 제2 메사 구조물들(MS2)을 형성할 수 있다.
- [0094] 제2 n형 반도체층(202)을 식각하여, 제2 n형 반도체층(202)과 제2 n형 반도체층(202)의 일부를 노출시키는 제2 메사 구조물(MS2)을 포함하는 제2 발광부들(LE2)을 형성할 수 있다. 제2 발광부(LE2)는 제2 메사 구조물(MS2)이 배치되는 제2 메사 영역(MSA2)과, 제2 메사 영역(MSA2)으로부터 소정거리 이격된 제2 접착 영역(ACA2)을 포함할 수 있다. 제2 메사 영역(MSA2)은 제1 메사 영역(MSA1)과 실질적으로 동일한 제1 폭(WD1)을 가지며, 제2 접착 영역(ACA2)도 제1 폭(WD1)을 가질 수 있다.
- [0095] 일 실시예에 따르면, 제2 기판(200)이 제1 기판(100)과 그 구조 및 크기가 동일하면, 제2 발광부(LE2)들 각각은 제1 기판(100)의 제1 발광부(LE1)의 제1 접착 영역(ACA1)에 대응되도록 제2 기판(200) 상에 형성될 수 있다.
- [0096] 도 8a 및 도 8b를 참조하면, 제2 발광부(LE2)들이 형성된 제2 기판(200) 상에 제2 절연막(210)을 형성할 수 있다. 제2 절연막(210)은 SiO<sub>2</sub>, SiN<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub> 등을 포함할 수 있다. 제2 절연막(210)을 식각하여, 제2 투명 전극(208)들을 노출시키는 제3 개구들(OP3)과, 제2 접착 영역들(ACA2)을 노출시키는 제4 개구들(OP4)을 형성할 수 있다.
- [0097] 선택적으로, 제2 투명 전극들(208) 상에 배치된 제2 절연막(210)에 제3 개구들(OP3)을 형성하는 대신 다수의 관통 홀들(도시되지 않음)을 형성할 수 있다. 다수의 관통 홀들은 균일하게 배열될 수 있다.
- [0098] 도 9a 및 도 9b를 참조하면, 제3 개구들(OP3) 및 제4 개구들(OP4) 상에, 제2 패드(P2)들 및 제2 콘택 패턴들(214)을 각각 형성할 수 있다.
- [0099] 상세하게 설명하면, 제3 개구들(OP3) 및 제4 개구들(OP4)이 형성된 제2 발광부(LE2)들 상에 제2 금속막(도시되

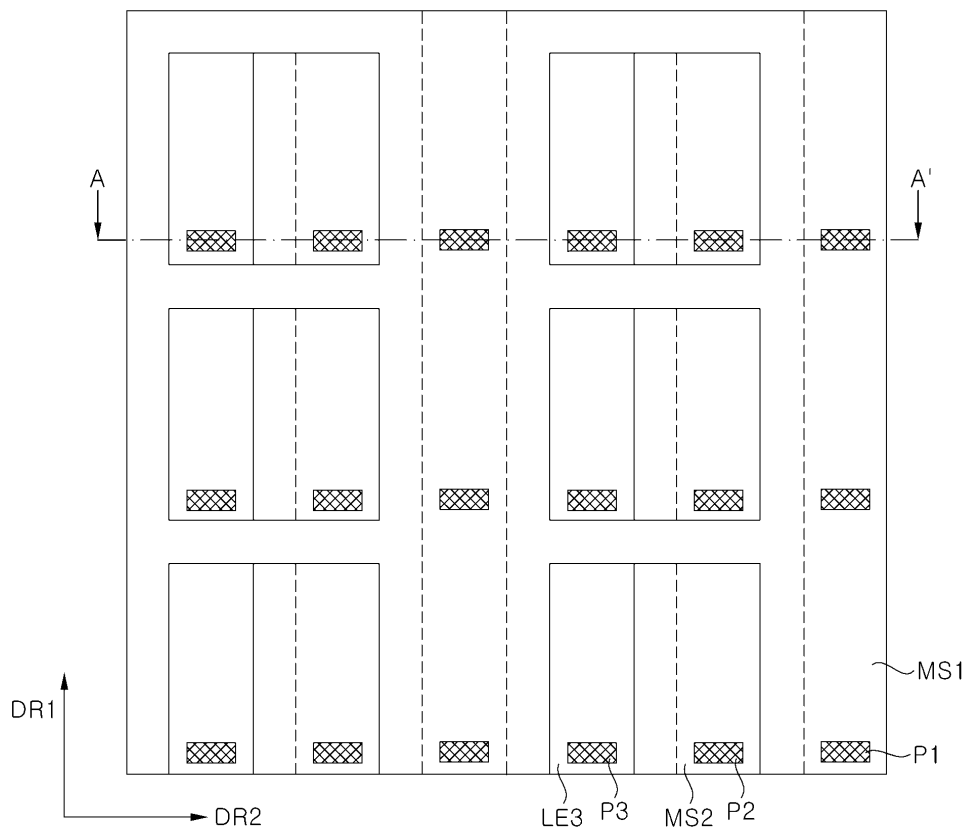
지 않음)을 형성할 수 있다. 제2 금속막은 Ni, Ag, Au, Pt, Ti, Al, and Cr, W, TiW, Mo, Cu, TiCu 중 적어도 하나의 금속물질을 포함할 수 있다. 제2 금속막을 패터닝하여, 제3 개구들(OP3) 상에 위치하는 제2 패드(P2)들 및 제4 개구들(OP4) 상에 위치하는 제2 콘택 패턴들(214)을 각각 형성할 수 있다. 제2 패드들(P2)은 제2 투명 전극들(208) 각각으로 양의 전압을 인가하는 기능을 수행할 수 있다. 제2 콘택 패턴들(214)은 제3 발광부(LE3)들과 각각 접촉되어 제2 발광부(LE2) 및 제3 발광부(LE3)를 전기적으로 연결시키는 기능을 수행할 수 있다.

- [0100] 도 10a 및 도 10b를 참조하면, 제2 패드(P2)들 및 제2 콘택 패턴들(214)이 형성된 제2 발광부(LE2)들 상에 제거 가능한 제1 캐리어(first removable carrier, 216)를 부착할 수 있다. 예컨대, 제1 캐리어(216)는 블루 테이프(blue tape), 열 박리 테이프(thermal release tape), UV 테이프, 포토레지스, 또는 왁스(wax) 중 하나를 포함할 수 있다. 제1 캐리어(216)를 부착한 후, 제2 기관(200)을 레이저 리프트 오프(laser lift-off)를 이용하여 제거할 수 있다.
- [0101] 이어서, 제2 기관(200)이 제거된 제2 n형 반도체층(202)들 각각에 제3 콘택 패턴들(218) 및 제1 접촉 패턴들(220)을 순차적으로 형성할 수 있다. 제3 콘택 패턴들(218) 각각은 Au를 포함할 수 있다. 제1 접촉 패턴들(220) 각각은 In, Sn, Ti, 및 Ni으로 이루어진 균으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0102] 도 11a 및 도 11b를 참조하면, 제1 발광부들(LE1) 상에 제2 발광부들(LE2) 각각을 접촉시킬 수 있다.
- [0103] 더욱 상세하게 설명하면, 제1 발광부들(LE1)의 제1 콘택 패턴들(114)과 제2 발광부들(LE2)에 형성된 제1 접촉 패턴들(220) 각각을 접촉시켜, 각 제1 발광부(LE1) 및 각 제2 발광부(LE2) 사이에 제1 콘택 패턴(114), 제1 접촉 패턴(220), 및 제3 콘택 패턴(218)을 포함하는 제1 접착부(AC1)를 형성할 수 있다. 이로써, 제1 접착부(AC1)는 제1 발광부들(LE1) 및 제2 발광부들(LE2) 사이를 각각 접촉시키며 전기적으로 연결시킬 수 있다.
- [0104] 제1 발광부들(LE1) 및 제2 발광부들(LE2)을 전기적으로 접촉시킨 후, 제1 캐리어(216)를 제거할 수 있다.
- [0105] 도 12a 및 도 12b를 참조하면, 제3 기관(300) 상에 복수의 제3 발광부들(LE3)을 형성할 수 있다.
- [0106] 상세하게 설명하면, 제3 기관(300) 상에 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)을 순차적으로 형성할 수 있다. 제3 투명 전극(308), 제3 p형 반도체층(306), 제3 활성층(304), 및 제3 n형 반도체층(302)을 식각하여, 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 및 제3 투명 전극(308)이 순차적으로 적층된 제3 발광부들(LE3)을 형성할 수 있다. 제3 발광부들(LE3) 각각은 제1 폭(WD1)을 가질 수 있다.
- [0107] 일 실시예에 따르면, 제3 기관(300)이 제1 기관(100) 및 제2 기관(200) 각각과 그 구조 및 크기가 동일하면, 제3 발광부들(LE3) 각각은 제2 기관(200)의 제2 발광부(LE2)의 제2 접촉 영역(ACA2)에 대응되도록 제3 기관(300) 상에 형성될 수 있다.
- [0108] 도 13a 및 도 13b를 참조하면, 제3 발광부들(LE3)이 형성된 제3 기관(300) 상에 제3 절연막(310)을 형성할 수 있다. 제3 절연막(310)은 SiO<sub>2</sub>, SiN<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub> 등을 포함할 수 있다. 제3 절연막(310)을 식각하여, 제3 투명 전극들(308)을 노출시키는 제5 개구들(OP5)을 형성할 수 있다.
- [0109] 선택적으로, 제3 투명 전극들(308) 상에 배치되는 제3 절연막(310)에 제5 개구들(OP5)을 형성하는 대신 다수의 관통 홀들(도시되지 않음)을 형성할 수 있다. 다수의 관통 홀들은 균일하게 배열될 수 있다.
- [0110] 도 14a 및 도 14b를 참조하면, 제5 개구들(OP5)상에 제3 패드들(P3)을 형성할 수 있다. 제3 패드들(P3)은 Ni, Ag, Au, Pt, Ti, Al, Cr, W, TiW, Mo, Cu, TiCu 중에 적어도 하나의 금속물질을 포함할 수 있다. 제3 패드들(P3)은 제3 투명 전극(308)으로 양의 전압을 인가하는 기능을 수행할 수 있다.
- [0111] 도 15a 및 도 15b를 참조하면, 제3 패드들(P3)이 형성된 제3 발광부들(LE3) 상에 제거가능한 제2 캐리어(314)를 부착할 수 있다. 예컨대, 제2 캐리어(314)는 블루 테이프, 열 박리 테이프, UV 테이프, 포토레지스트, 또는 왁스 중 하나를 포함할 수 있다. 제2 캐리어(314)를 부착한 후, 제3 기관(300)을 레이저 리프트 오프를 이용하여 제거할 수 있다.
- [0112] 이어서, 제3 기관(300)이 제거된 제3 n형 반도체층(302) 각각에 제4 콘택 패턴들(316) 및 제2 접촉 패턴들(318)을 순차적으로 형성할 수 있다. 제4 콘택 패턴들(316) 각각은 Ni, Ag, Au, Pt, Ti, Al, Cr, W, TiW, Mo, Cu, TiCu 중 적어도 하나를 포함할 수 있다. 제2 접촉 패턴들(318) 각각은 In, Sn, Ti, 및 Ni으로 이루어진 균으로부터 선택된 적어도 하나를 포함할 수 있다.

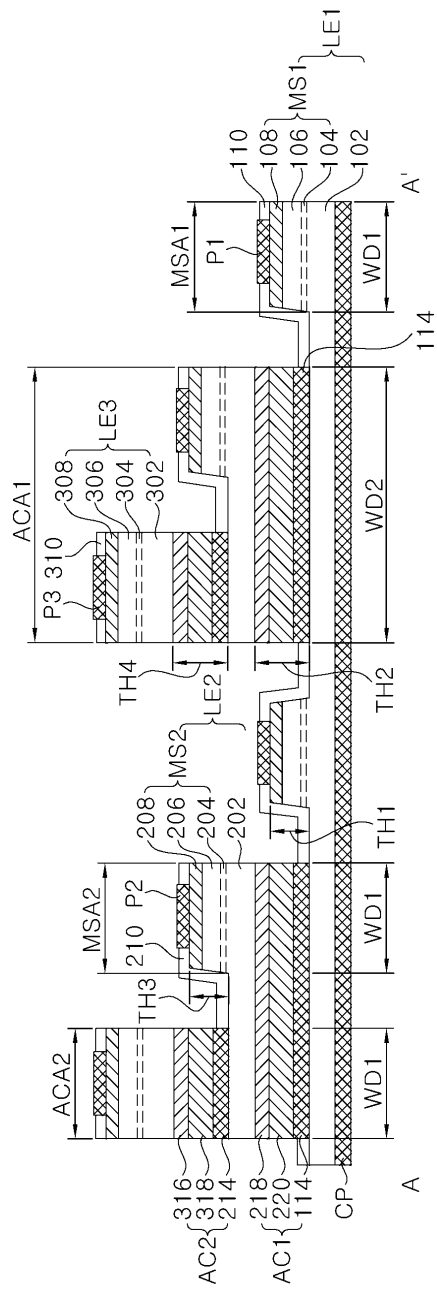
- [0113] 도 16a 및 도 16b를 참조하면, 제2 발광부들(LE2) 상에 제3 발광부들(LE3) 각각을 접착시킬 수 있다.
- [0114] 더욱 상세하게 설명하면, 제2 발광부들(LE2)의 제2 콘택 패턴들(214)과 제3 발광부(LE3)들의 제2 접착 패턴들(318) 각각을 접착시켜, 각 제2 발광부(LE2) 및 각 제3 발광부(LE3) 사이에 제2 콘택 패턴(214), 제2 접착 패턴(318), 및 제4 콘택 패턴(316)을 포함하는 제2 접착부(AC2)를 형성할 수 있다. 제2 접착부(AC2)는 제2 발광부들(LE2) 및 제3 발광부들(LE3) 사이를 각각 접착시키면서 전기적으로 연결시킬 수 있다.
- [0115] 제2 발광부들(LE2) 및 제3 발광부들(LE3)을 전기적으로 접착시킨 후, 제2 캐리어(314)를 제거할 수 있다.
- [0116] 도 1a를 다시 참조하면, 제1 기판(100)을 레이저 리프트 오프 공정을 제거한 후, 제1 n형 반도체층(102)의 저면에 공통 패드(CP)를 형성할 수 있다. 공통 패드(CP)는 Ni, Ag, Au, Pt, Ti, Al, Cr, W, TiW, Mo, Cu, TiCu, Sn, In, InSn, AuSn 중 적어도 하나 포함할 수 있다.
- [0117] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**도면**

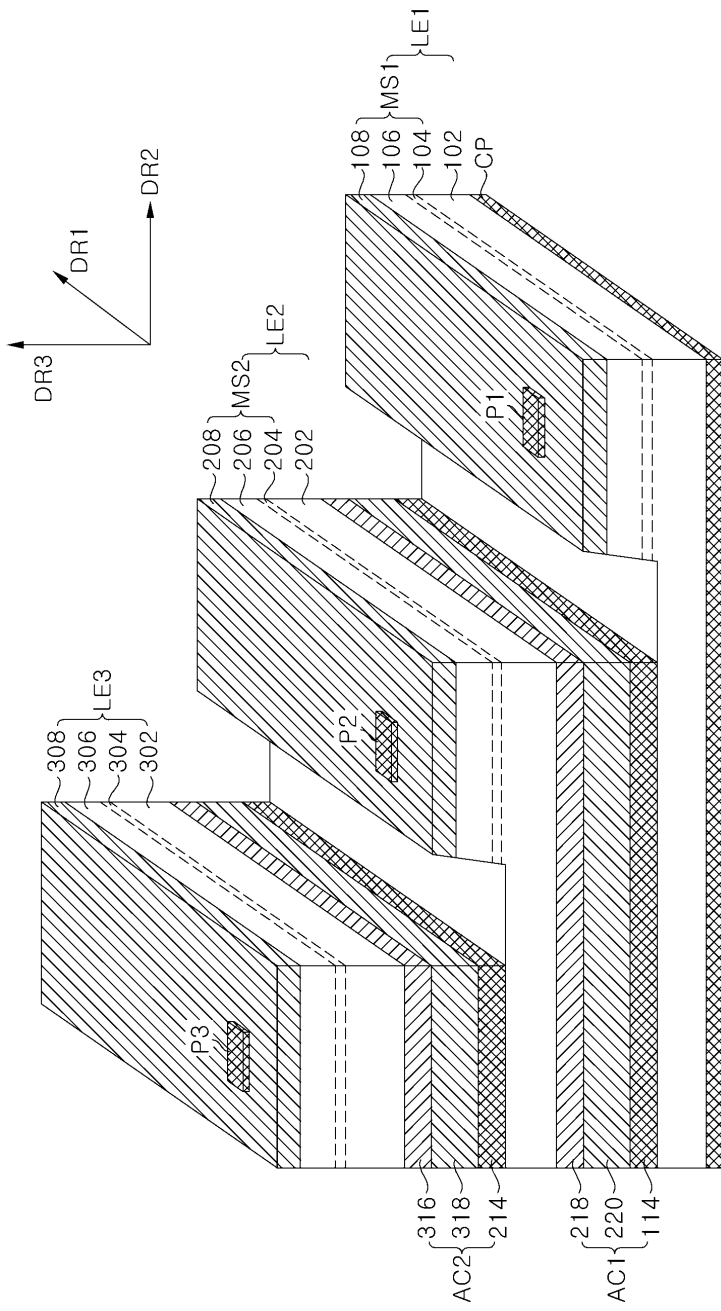
**도면1a**



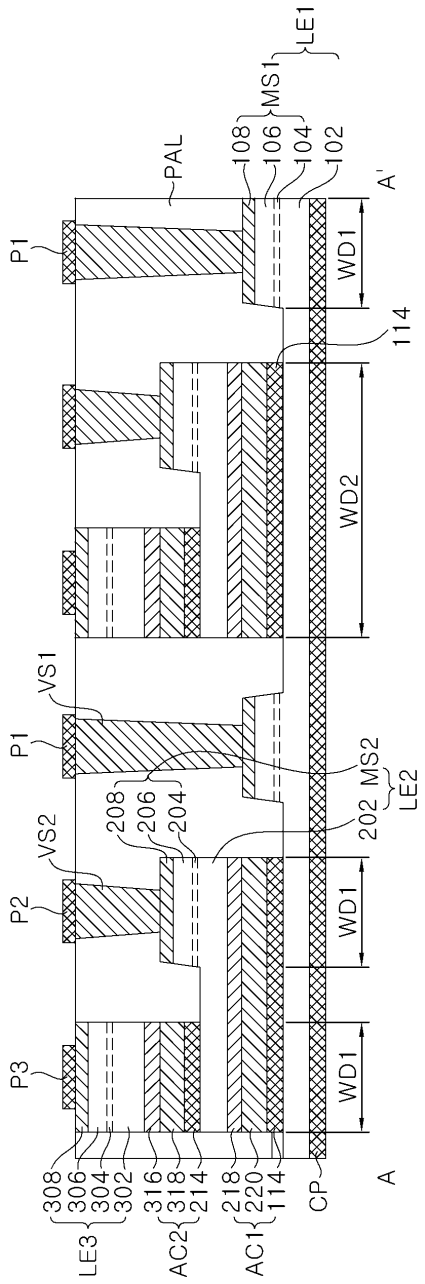
도면1b



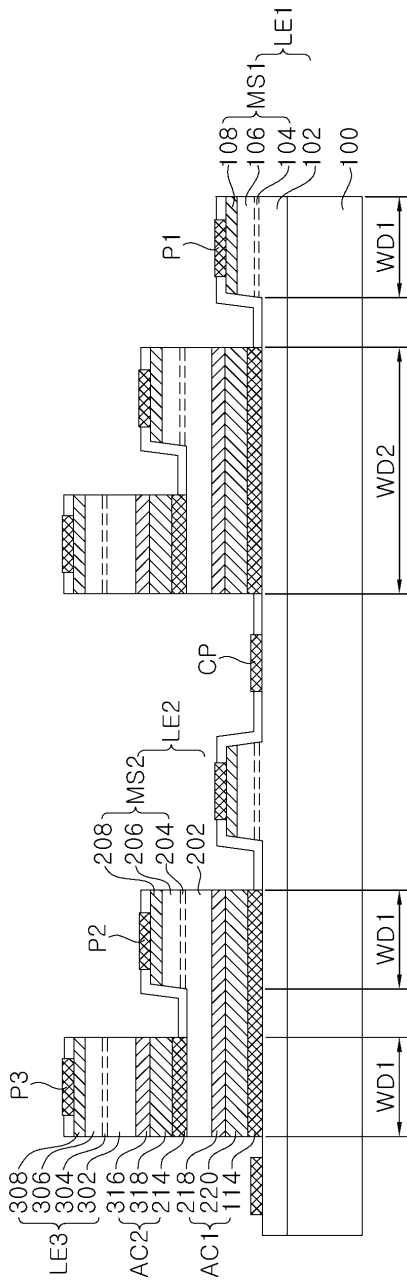
도면1c



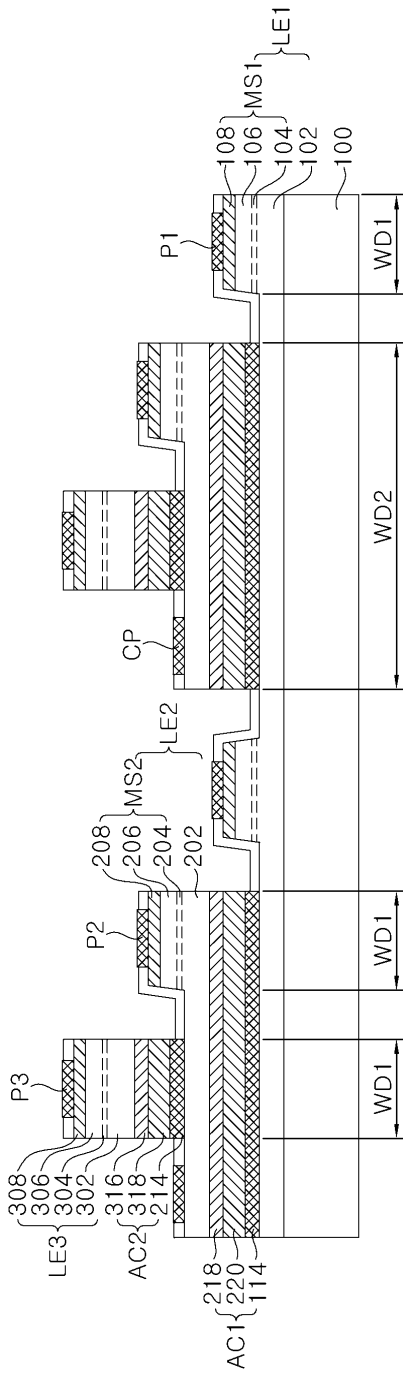
도면1d



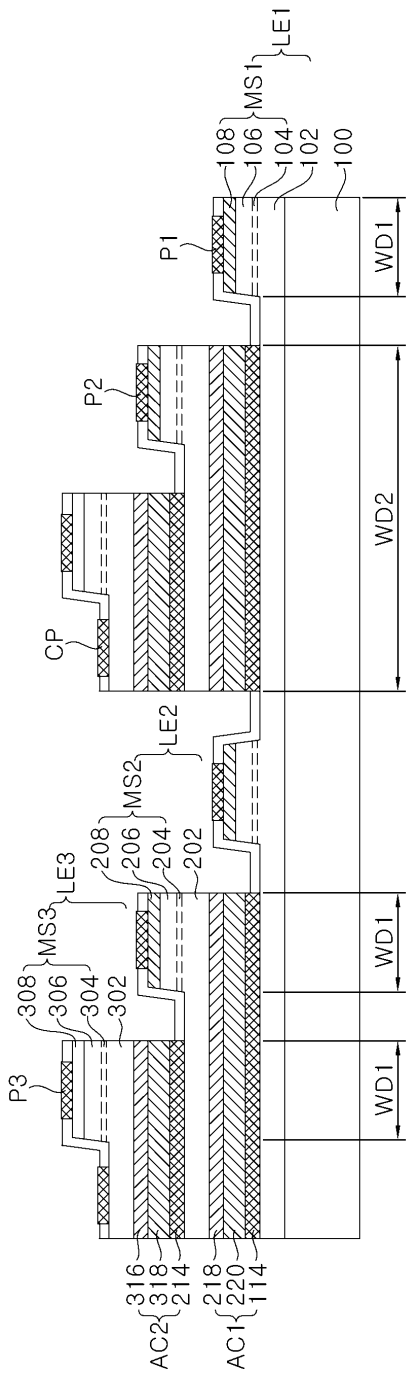
도면2a



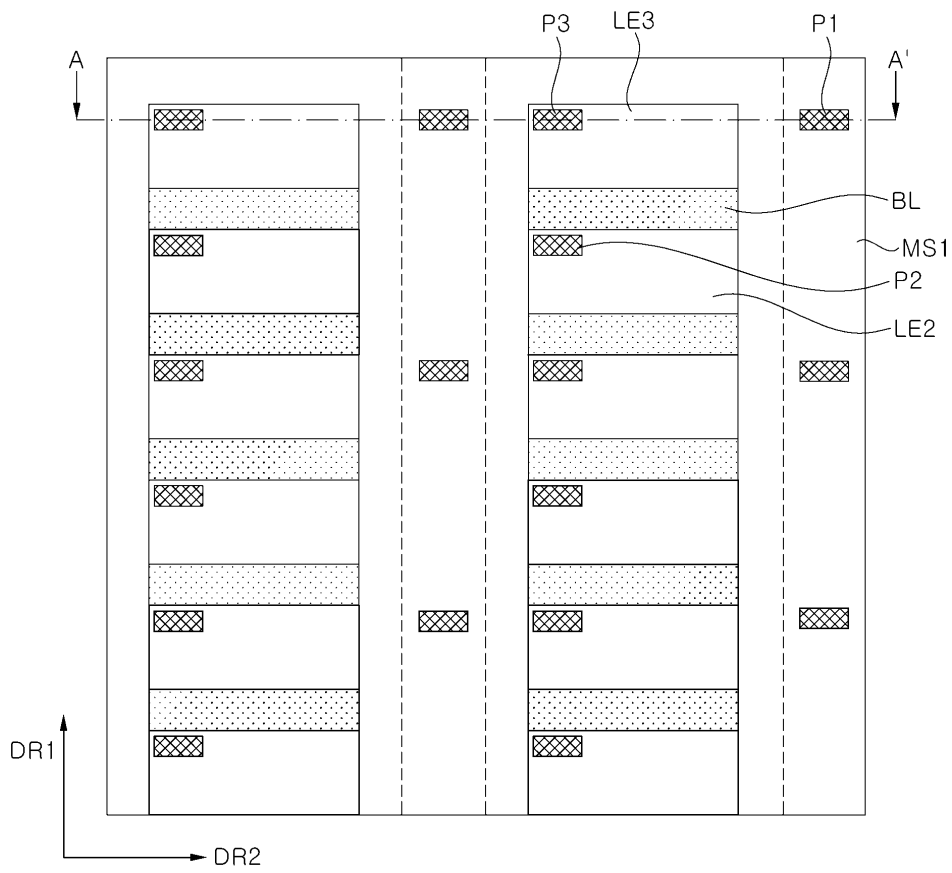
도면2b



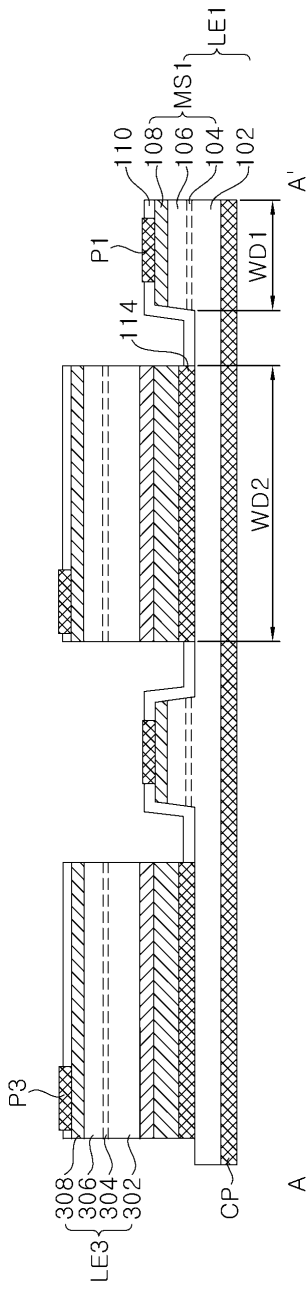
도면2c



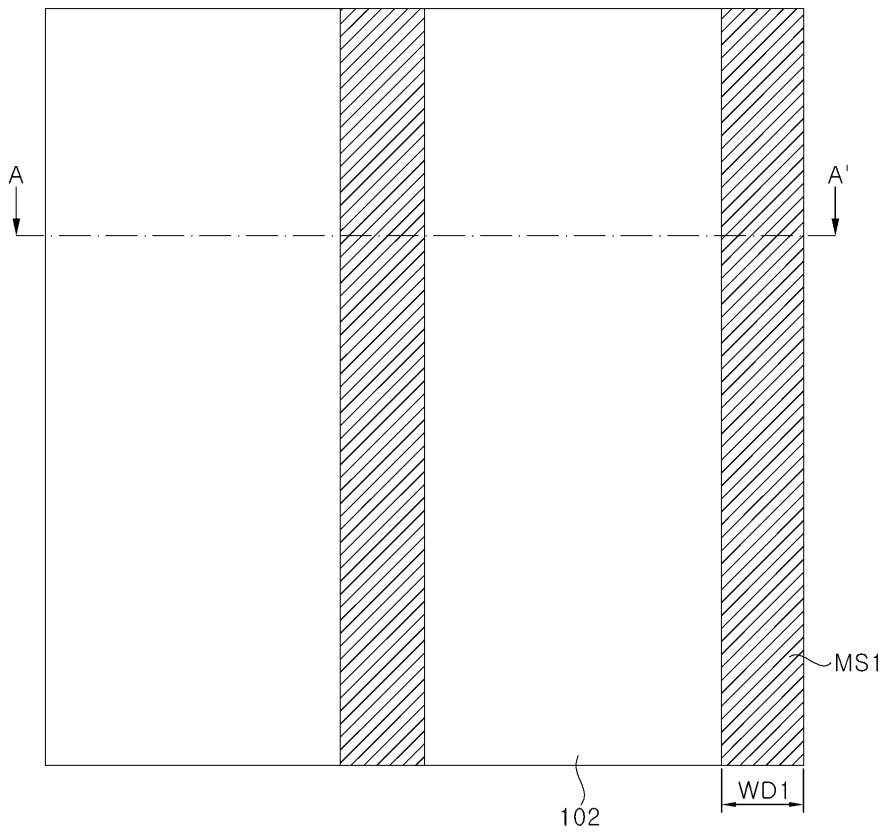
도면3a



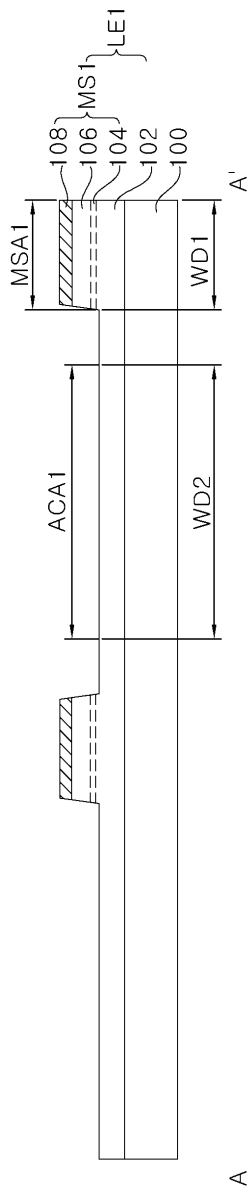
도면3b



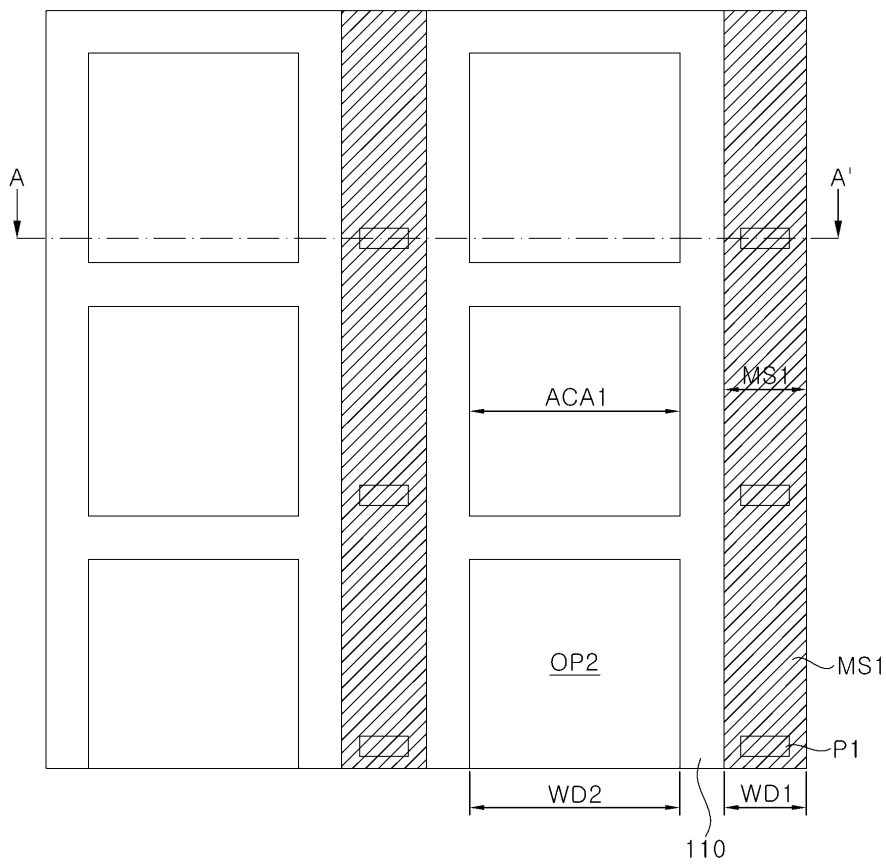
도면4a



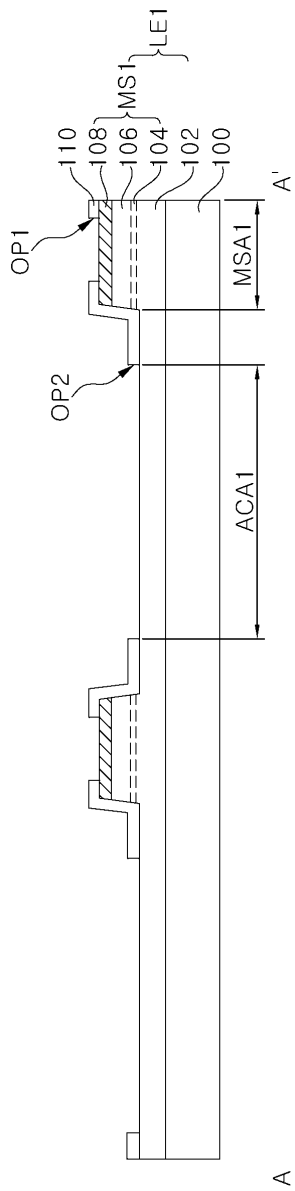
도면4b



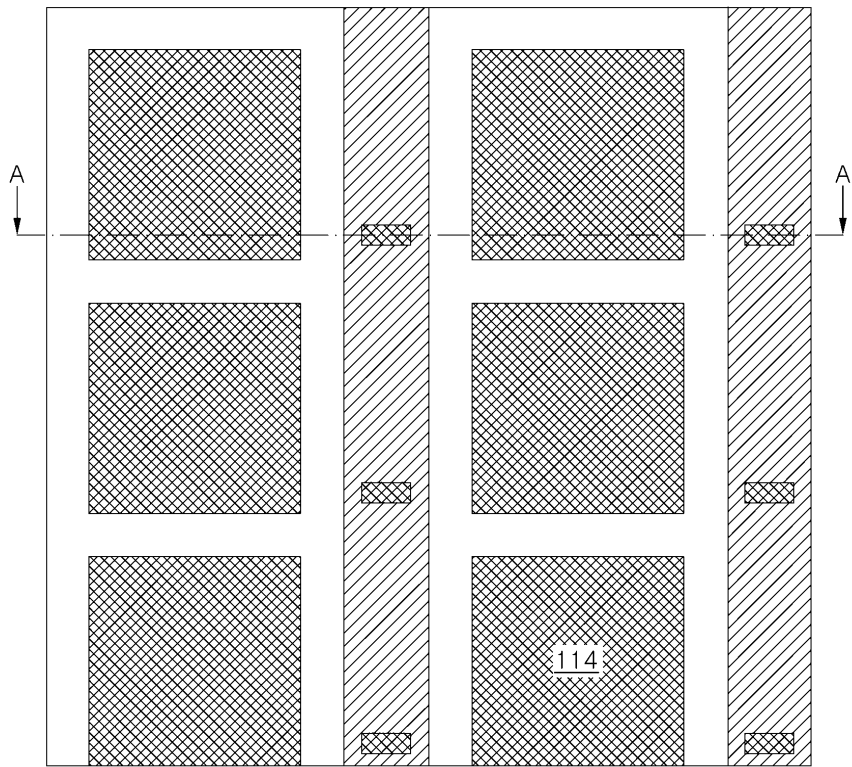
도면5a



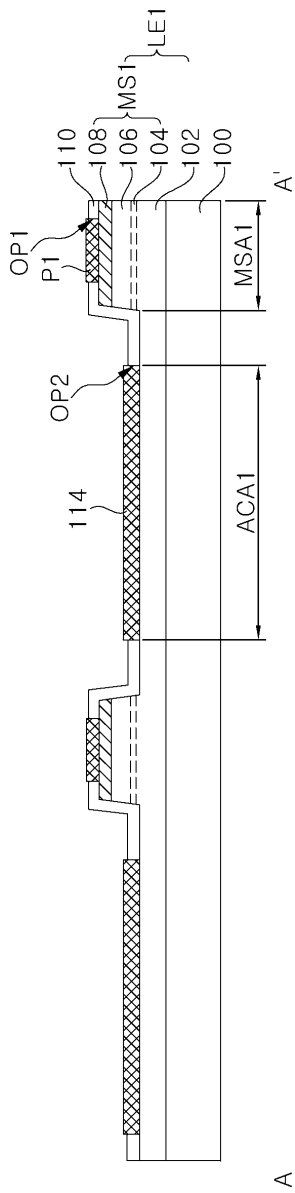
도면5b



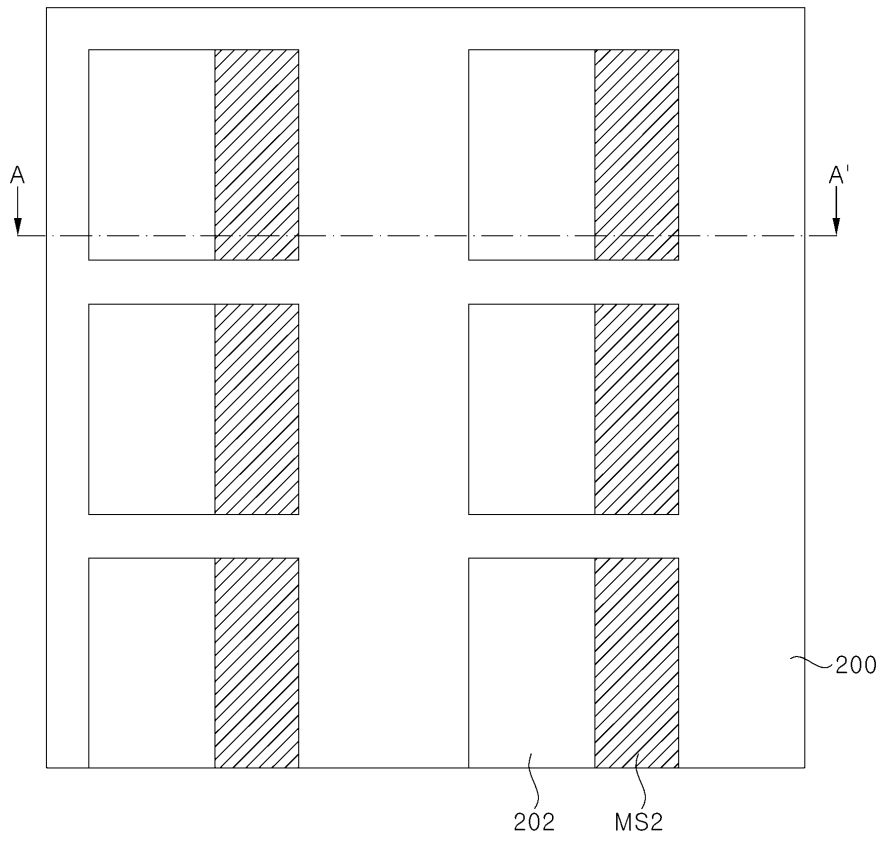
도면6a



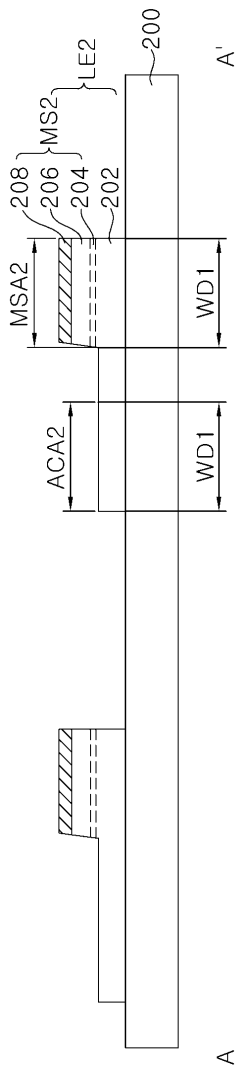
도면6b



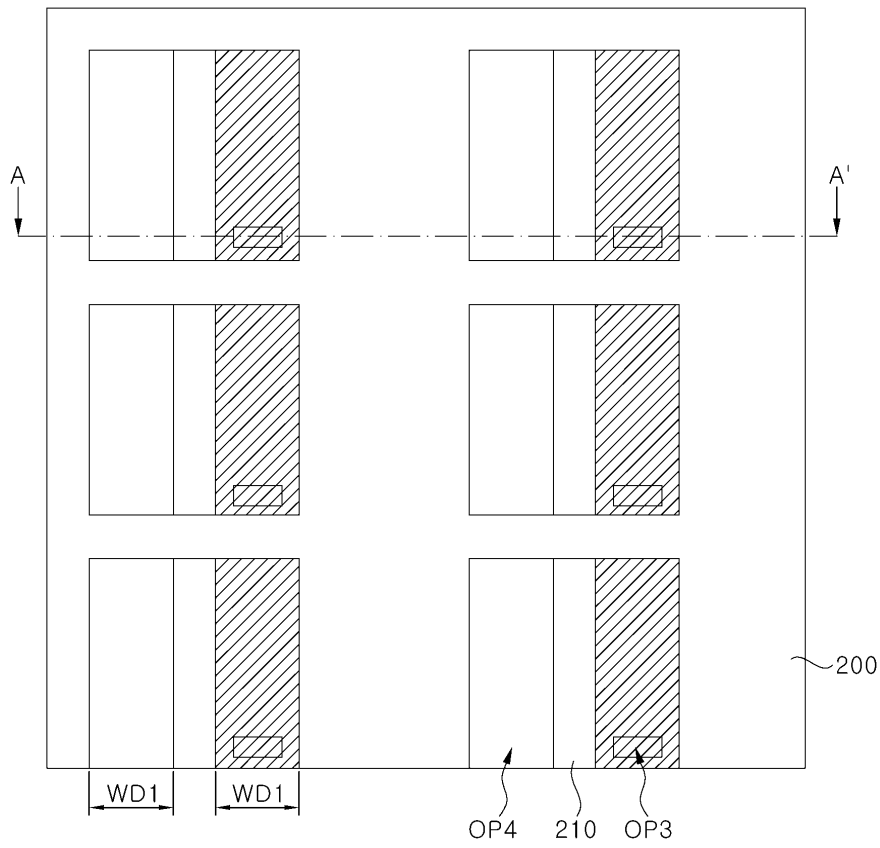
도면7a



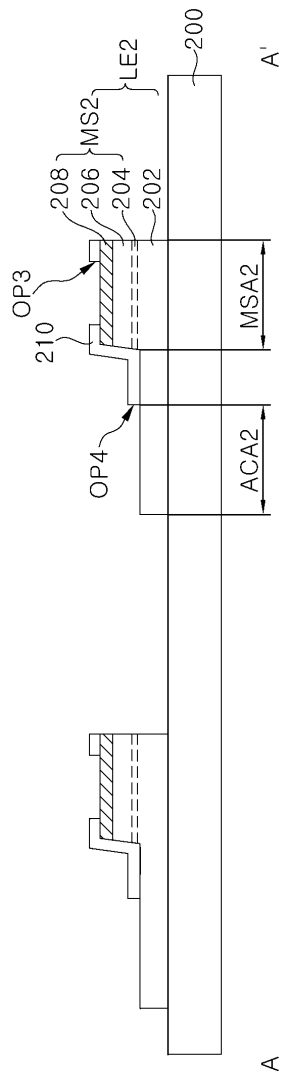
도면7b



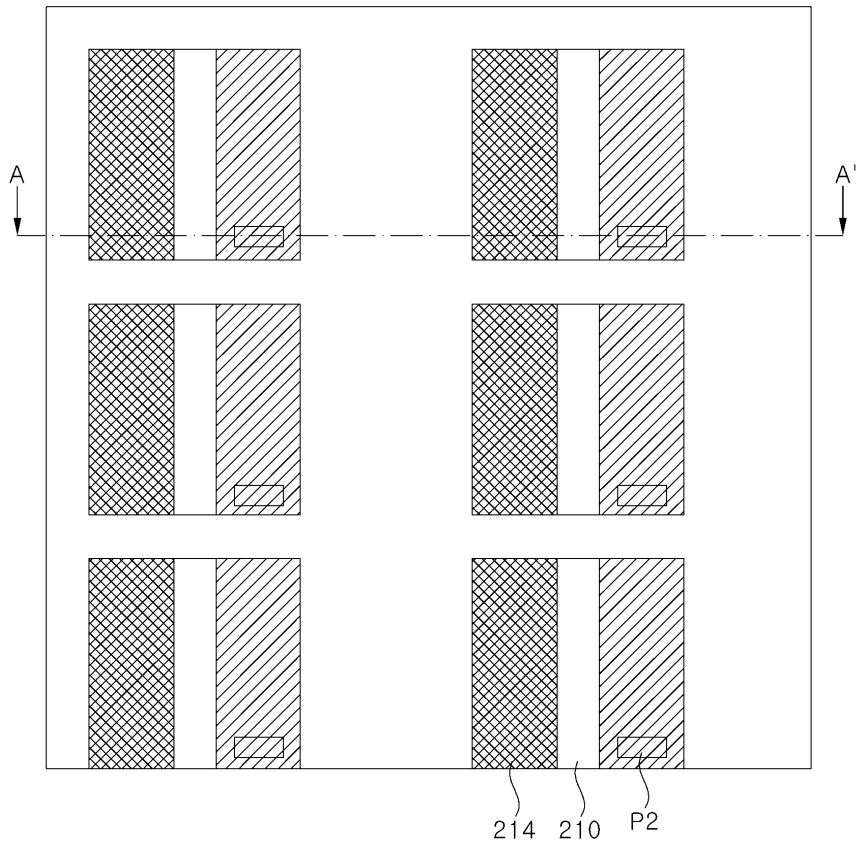
도면8a



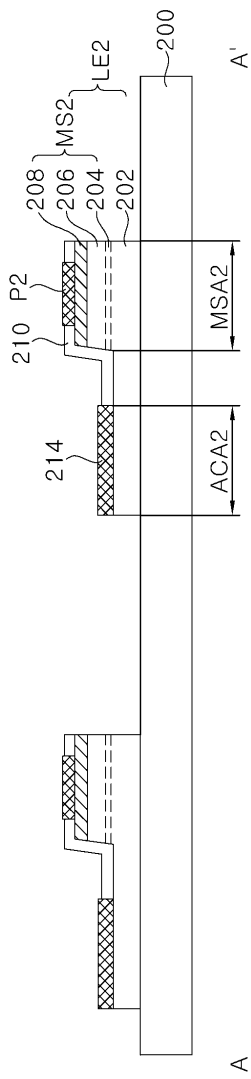
도면8b



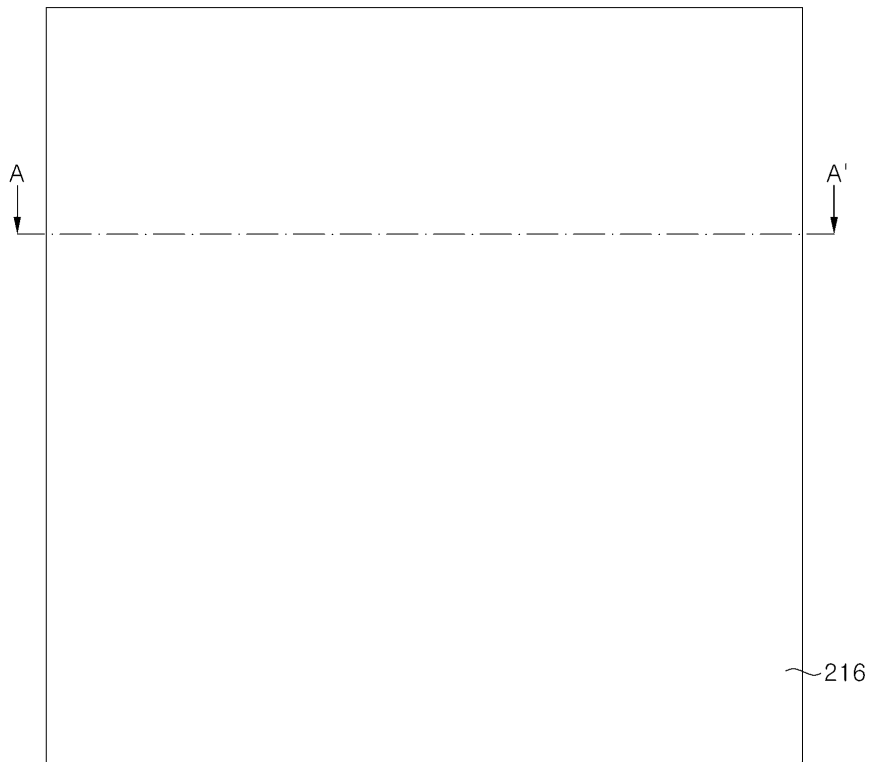
도면9a



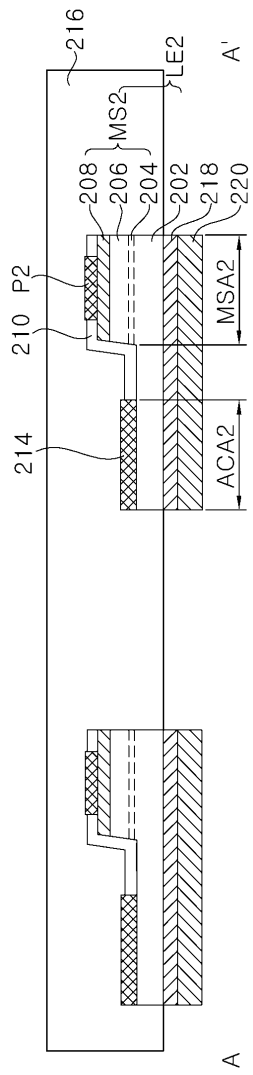
도면9b



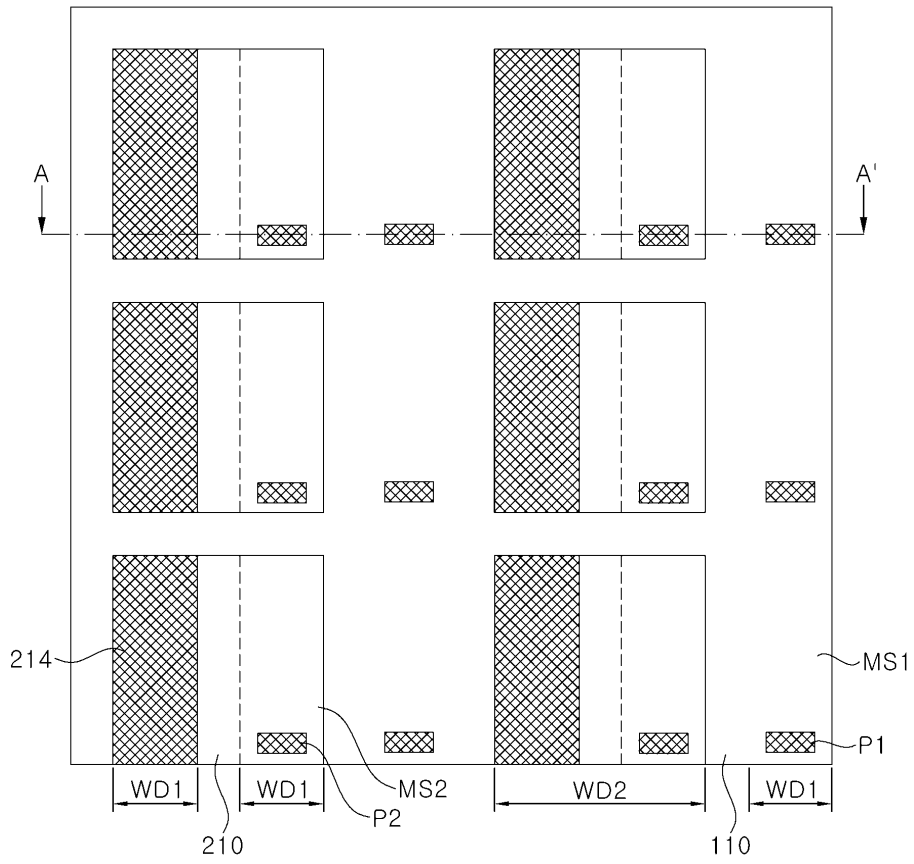
도면10a



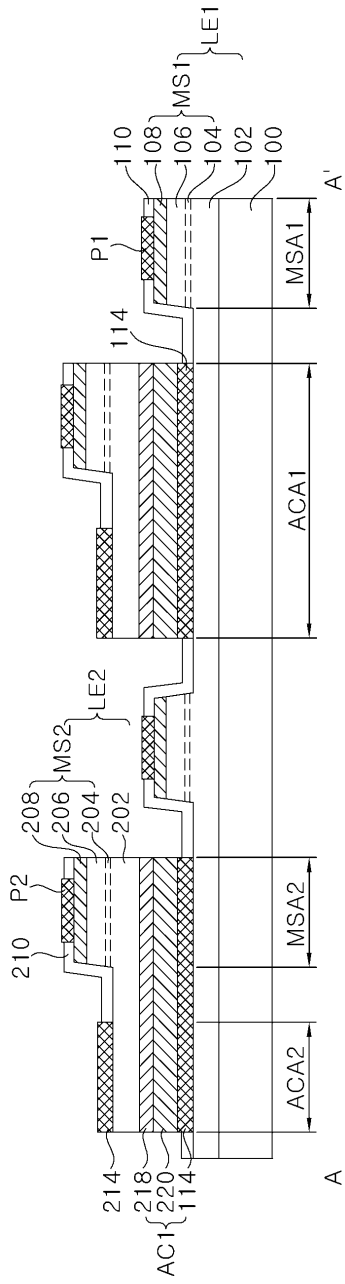
도면10b



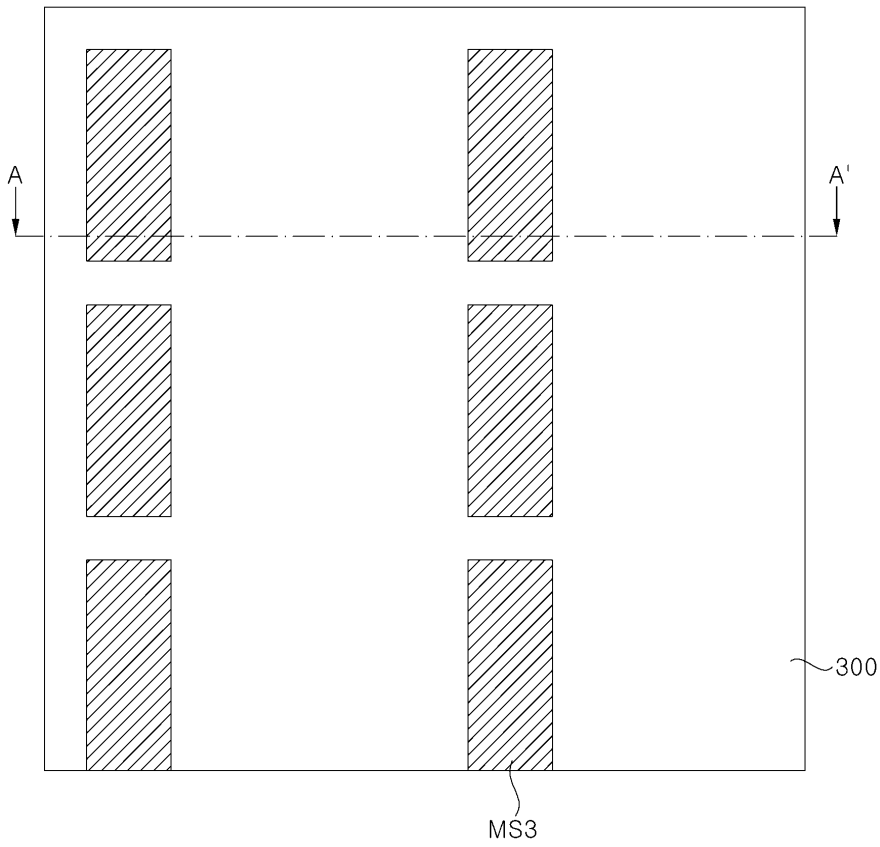
도면11a



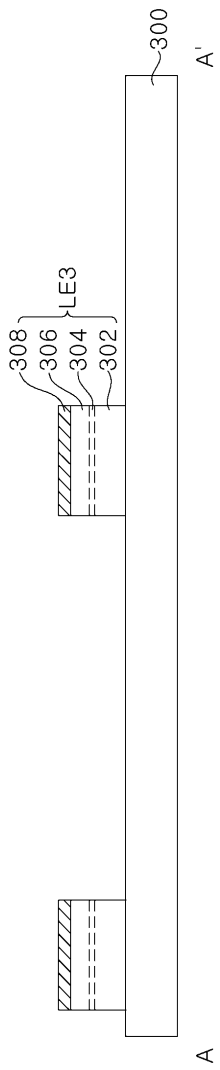
도면11b



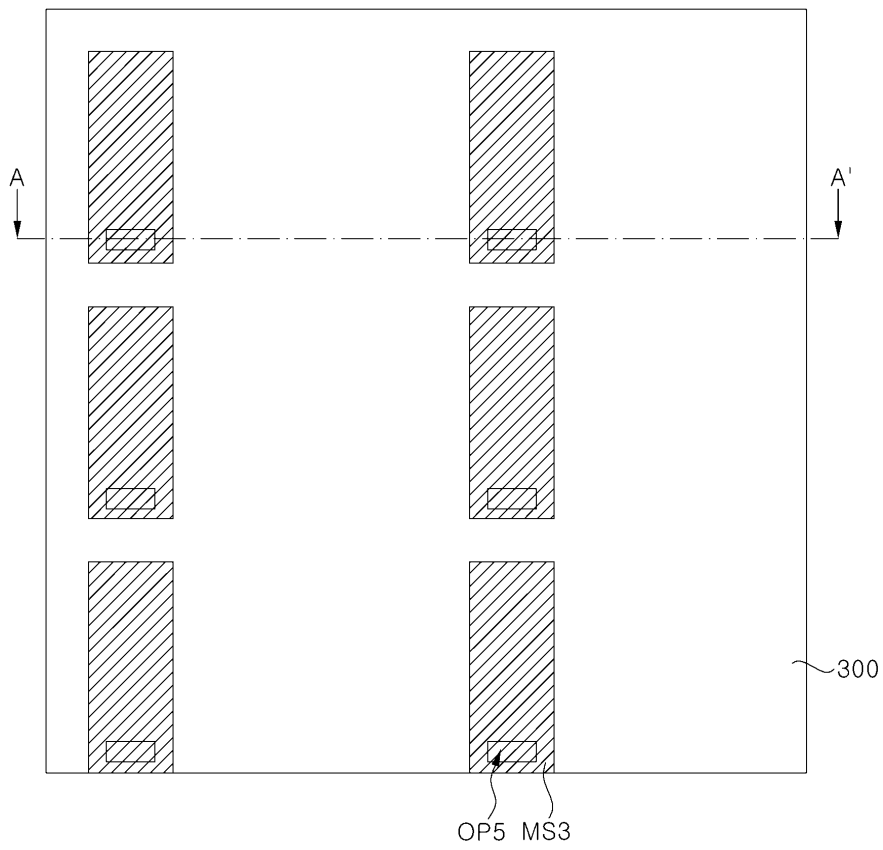
도면12a



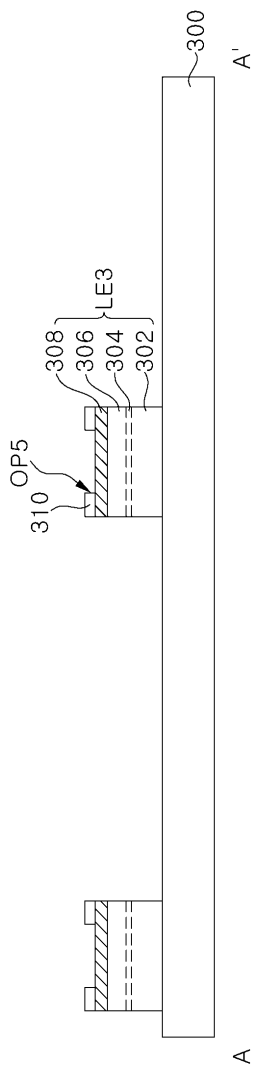
도면12b



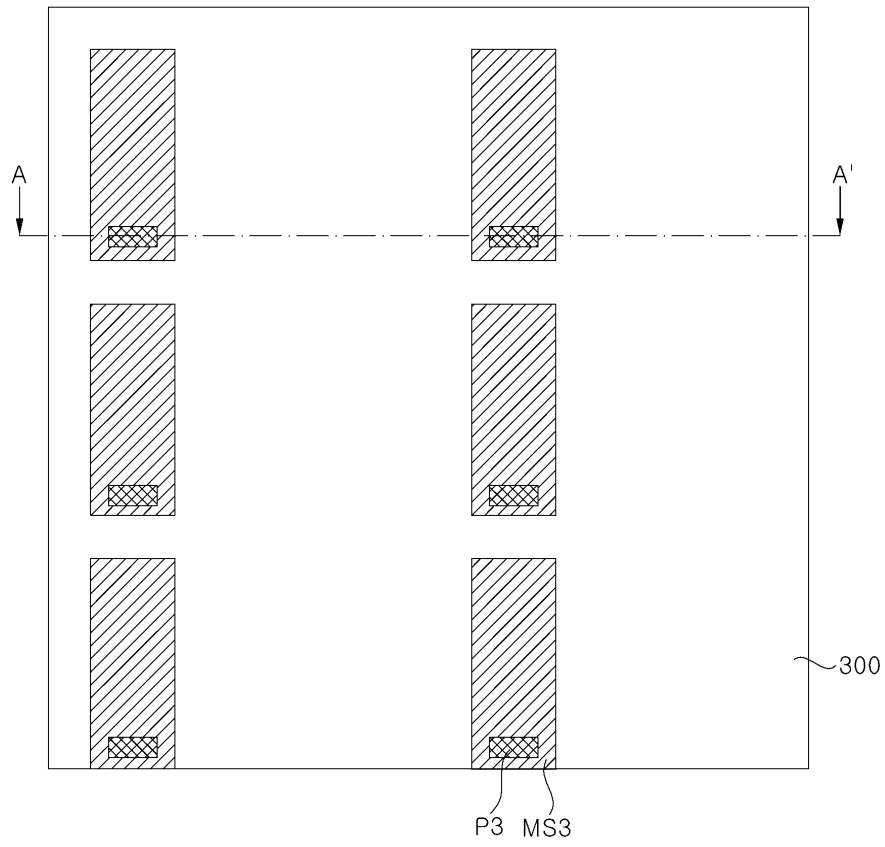
도면13a



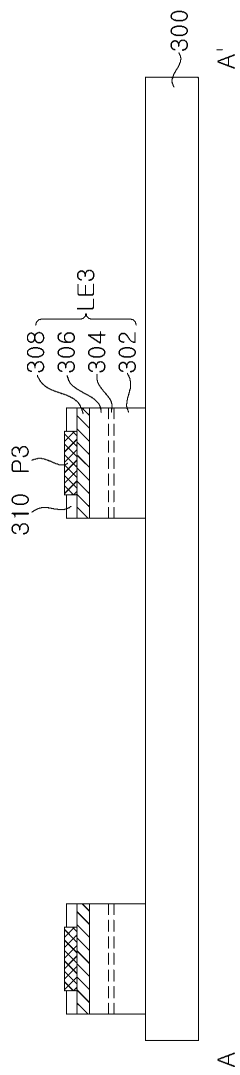
도면13b



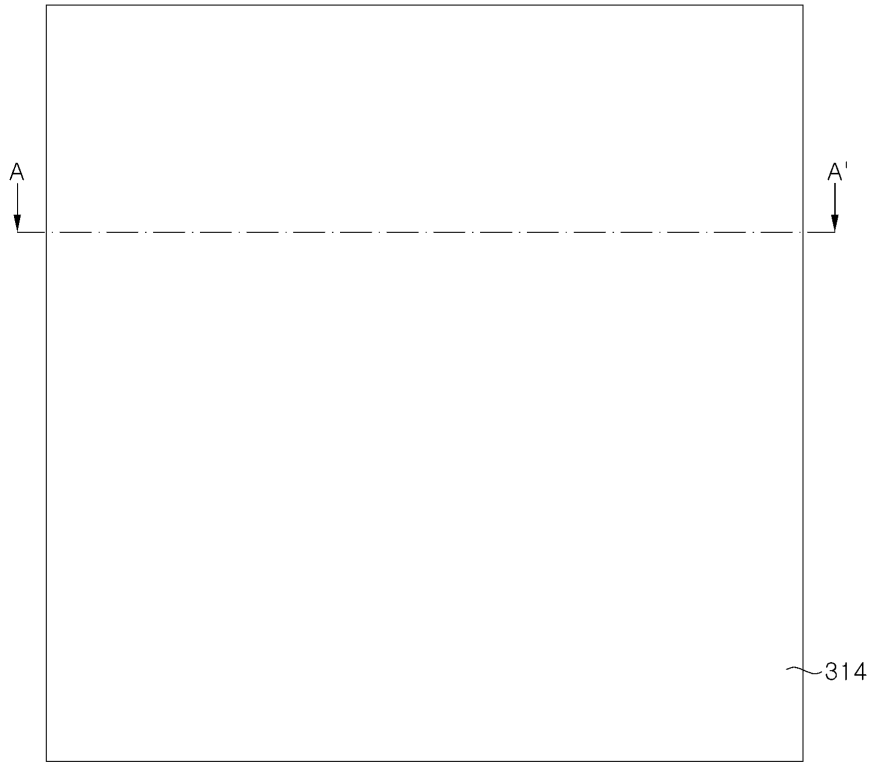
도면14a



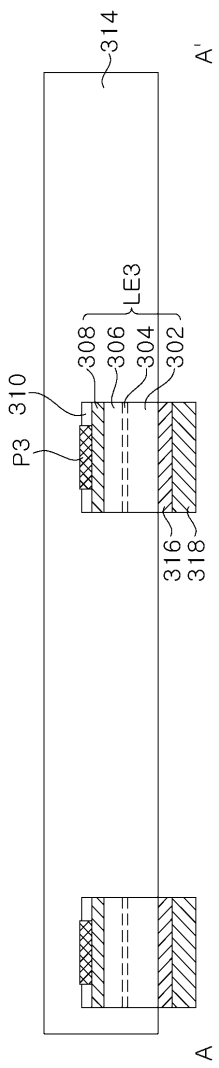
도면14b



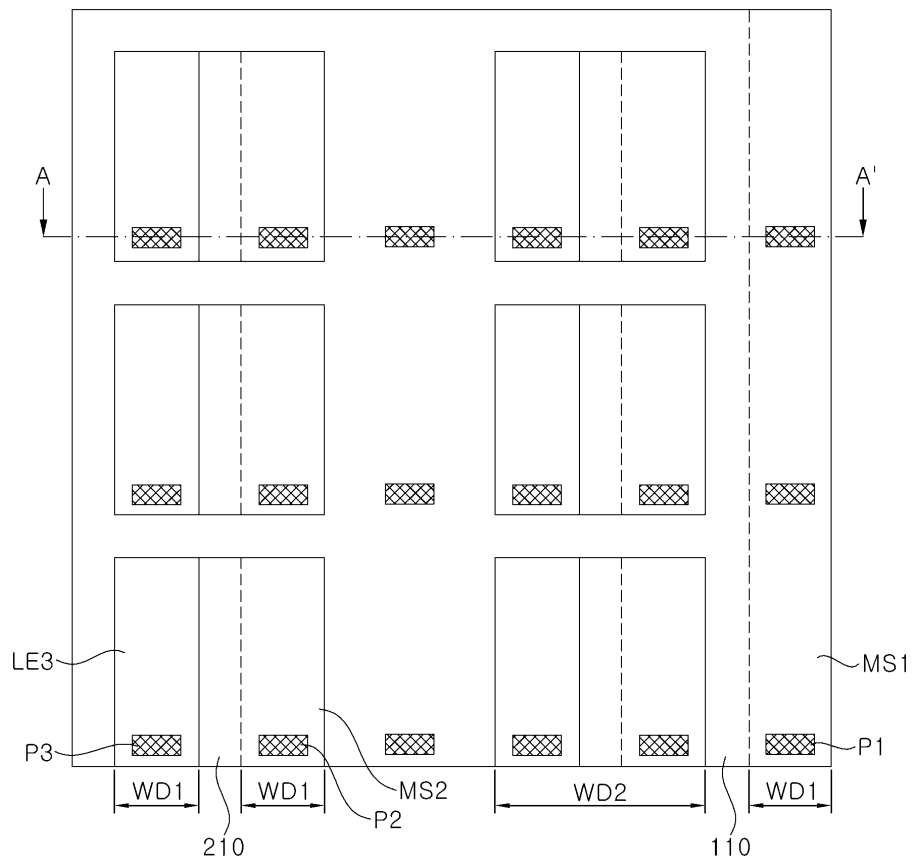
도면15a



도면15b



도면16a



도면16b

