

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-157865

(P2004-157865A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 12/00	G06F 12/00 570A	5B045
G06F 12/06	G06F 12/06 525A	5B060
G06F 15/167	G06F 15/167 A	
G06F 15/177	G06F 15/177 682B	

審査請求 未請求 請求項の数 15 O L (全 29 頁)

(21) 出願番号	特願2002-324183 (P2002-324183)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年11月7日 (2002. 11. 7)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	志村 勝治 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
		Fターム(参考)	5B045 CC01 DD01 DD02 EE03 EE18 EE27 5B060 CA12 CD13 KA02 KA05

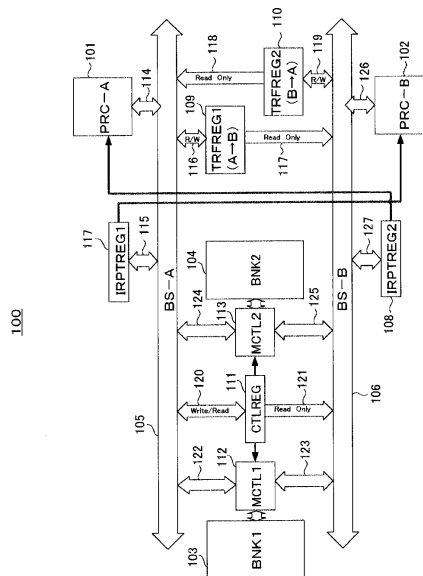
(54) 【発明の名称】 マルチプロセッサシステム

(57) 【要約】

【課題】 プロセッサ間のデータ受け渡しを行う場合に、同時アクセスによるデータの取り違えを抑制することができるマルチプロセッサシステムを提供する。

【解決手段】 第1プロセッサ101により第1バンク103および第2バンク104のうちいずれかを自プロセッサ101および第2プロセッサ102がアクセスするかを決定する制御データが書き込まれ、第2プロセッサ102から制御データの読み出しのみが可能なアクセスバンク制御レジスタ111と、第1または第2のプロセッサからはアクセスバンク制御レジスタに設定された制御データにより割り当てられている第1バンク103にのみアクセス可能とする第1メモリコントローラ112と、第1または第2のプロセッサからはアクセスバンク制御レジスタに設定された制御データにより割り当てられている第2バンク104にのみアクセス可能とする第2メモリコントローラ113とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のプロセッサでメモリを共有するマルチプロセッサシステムであって、
上記メモリは、少なくとも2つ以上の複数のバンクを含み、
上記複数のプロセッサの各々が、上記複数のバンクのいずれにアクセスするかを決定する
制御データが設定され、当該制御データは書き換え可能な制御データ設定手段と、
上記各プロセッサからの上記バンク構成を有する上記メモリに対するアクセスが発生した
際には、各プロセッサからは、必然的に、上記制御データ設定手段に設定された制御デ
ータにより割り当てられているバンクにのみアクセス可能となるような制御を行う制御手段
と
を有するマルチプロセッサシステム。

10

【請求項 2】

上記制御データ設定手段に設定される制御データは、上記複数のバンクのうち一つの上記
バンクには一つの上記プロセッサからのアクセス、他の一つの上記バンクには、異なるプ
ロセッサからのアクセスを受け付けるように上記制御手段に指示するデータを含む
請求項 1 記載のマルチプロセッサシステム。

【請求項 3】

上記複数のプロセッサのうち一つの上記プロセッサのみが上記各バンクに対するのアク
セスの決定権を有し、当該優位性を持つ一つのプロセッサからのみ上記制御データを上記
制御データ設定手段に設定し、
他の上記プロセッサは、上記制御データ設定手段に設定された制御データで割り当てられ
たバンクをアクセスする
請求項 1 記載のマルチプロセッサシステム。

20

【請求項 4】

上記一つのプロセッサの優位性の決定は、チップのアーキテクチャとして決定されている
請求項 3 記載のマルチプロセッサシステム。

【請求項 5】

上記一つのプロセッサの優位性の決定は、プロセッサ同士の設定により制御される
請求項 3 記載のマルチプロセッサシステム。

【請求項 6】

上記各プロセッサは、他のプロセッサに対して、即時性のある信号を発行し、アクセス制
御に関する情報を伝達する手段を有する
請求項 1 記載のマルチプロセッサシステム。

30

【請求項 7】

上記各プロセッサは、自分のプロセッサからは書き込みおよび読み出しが可能、他のプロ
セッサからは読み出しのみが可能な伝達レジスタをそれぞれ有し、
他のプロセッサへのアクセス制御に関する伝達情報を対応する上記伝達レジスタに書き込
む
請求項 1 記載のマルチプロセッサシステム。

【請求項 8】

上記各プロセッサは、他のプロセッサに対して、割り込み信号を発行するための割り込み
レジスタと、
自分のプロセッサからは書き込みおよび読み出しが可能、他のプロセッサからは読み出し
のみが可能な伝達レジスタと
をそれぞれ有する請求項 1 記載のマルチプロセッサシステム。

40

【請求項 9】

上記各プロセッサは、他のプロセッサへのアクセス制御に関する伝達情報を対応する上記
伝達レジスタに書き込んだ後、
上記割り込みレジスタに割り込み信号を設定して、他のプロセッサに伝達情報がある旨を
報知する

50

請求項 8 記載のマルチプロセッサシステム。

【請求項 10】

上記制御手段は、上記各プロセッサからのバンクへのアクセスを切り替える場合、クロック信号を含めた、バンクにかかわる信号の全てを切り替える

請求項 1 記載のマルチプロセッサシステム。

【請求項 11】

上記各プロセッサは、それぞれ異なるクロックに同期して動作する

請求項 9 記載のマルチプロセッサシステム。

【請求項 12】

第 1 プロセッサと、

第 2 プロセッサと、

共有メモリを区分けした第 1 バンクおよび第 2 バンクと、

上記第 1 プロセッサにより上記第 1 バンクおよび上記第 2 バンクのうちのいずれかを自プロセッサおよび上記第 2 プロセッサがアクセスするかを決定する制御データが書き込まれ、上記第 2 プロセッサから制御データの読み出しのみが可能なアクセスバンク制御レジスタと、

上記第 1 または第 2 のプロセッサからの上記第 1 バンクに対するアクセスが発生した際には、上記第 1 または第 2 のプロセッサからは、必然的に、上記アクセスバンク制御レジスタに設定された制御データにより割り当てられている第 1 バンクにのみアクセス可能となるような制御を行う第 1 メモリコントローラと、

上記第 1 または第 2 のプロセッサからの上記第 2 バンクに対するアクセスが発生した際には、上記第 1 または第 2 のプロセッサからは、必然的に、上記アクセスバンク制御レジスタに設定された制御データにより割り当てられている第 2 バンクにのみアクセス可能となるような制御を行う第 2 メモリコントローラと

を有するマルチプロセッサシステム。

【請求項 13】

上記第 1 プロセッサから上記第 2 プロセッサに伝達すべき内容を書き込みかつ変更可能で、上記第 2 プロセッサから内容をリード可能な第 1 伝達レジスタと、

上記第 2 プロセッサから上記第 1 プロセッサに伝達すべき内容を書き込みかつ変更可能で、上記第 1 プロセッサから内容をリード可能な第 2 伝達レジスタと

を有する請求項 12 記載のマルチプロセッサシステム。

【請求項 14】

上記第 1 プロセッサから上記第 2 プロセッサに伝達すべき内容を書き込み可能で、上記第 2 プロセッサから内容を読み出しのみが可能な第 1 伝達レジスタと、

上記第 1 プロセッサから上記第 2 プロセッサに対して割り込み発行するための第 1 割り込み信号発生レジスタと、

上記第 2 プロセッサから上記第 1 プロセッサに伝達すべき内容を書き込み可能で、上記第 1 プロセッサから内容を読み出しのみが可能な第 2 伝達レジスタと、

上記第 2 プロセッサから上記第 1 プロセッサに対して割り込み発行するための第 2 割り込み信号発生レジスタと

を有する請求項 12 記載のマルチプロセッサシステム。

【請求項 15】

上記第 1 または第 2 プロセッサは、他の上記第 2 または第 1 プロセッサへのアクセス制御に関する伝達情報に対応する上記第 1 または第 2 伝達レジスタに書き込んだ後、

上記第 1 または第 2 割り込みレジスタに割り込み信号を設定して、他の上記第 2 または第 1 プロセッサに伝達情報がある旨を報知する

請求項 14 記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

30

40

50

本発明は、複数のプロセッサでメモリを共有するマルチプロセッサシステムに係り、特に、複数のプロセッサにより共有されるメモリのアクセス制御に関するものである。

【0002】

ASIC設計においては、LSIで要求される機能を達成すべく、1チップに複数のプロセッサを組み込むケースが近年増加してきている。

組み込まれるプロセッサは、要求される処理能力と、プロセッサの規模・消費電力等のバランスを考慮して、異なるプロセッサであったり、クロック周波数、バスシステム（バスアーキテクチャ、ビット幅等）が異なる、という場合も少なくない。

【0003】

上記のような場合、複数のプロセッサ間でのデータ受け渡し手段の1つとしてメモリを利用する方法が考えられ、システムとしては、以下のような2つの構成方法が知られている。 10

【0004】

第1の方法は、共有に展開して、データ交換用のメモリは共有上に置く方法である。

図20は、この第1の方法を採用したマルチプロセッサシステムの構成例を示す図である。

このマルチプロセッサシステム10は、図20に示すように、第1プロセッサ（PRC-A）11、第2プロセッサ（PRC-B）12、たとえばSRAMからなる共有メモリ（SRAM）13、共有バス（SBS）14、第1プロセッサバス（BS-A）15、第2プロセッサバス（BS-B）16、共有バスブリッジ（SBRG）17、および共有アクセスアービタ（ARBITR）18を有している。 20

【0005】

図20のマルチプロセッサシステム10は、各プロセッサ11、12からのバスに共有バス16に接続するためのブリッジ回路17を持たせ、メモリアクセス自体は共有バス16に展開し、アクセス要求を時分割して割り当てる方式である。

【0006】

第2の方法は、プロセッサ間のデータ受け渡しメモリとして、デュアルポートRAMを使用する既設計タイプでも取られた手法である。

【0007】

図21は、第2の方法を採用したマルチプロセッサシステムの第1の構成例を示す図である。 30

【0008】

このマルチプロセッサシステム20は、図21に示すように、第1プロセッサ（PRC-A）21、第2プロセッサ（PRC-B）22、たとえばデュアルポートSRAMからなる第1共有メモリ（SRAM1）23、デュアルポートSRAMからなる第2共有メモリ（SRAM2）24、第1プロセッサバス（BS-A）25、および第2プロセッサバス（BS-B）26を有している。

【0009】

図21のマルチプロセッサシステム20は、共有メモリとして1ライト/1リード（1Write/1Read）のデュアルポートSRAM2個を使用した場合のケースである。 40

マルチプロセッサシステム20において、第1共有メモリ23は、第2プロセッサ22からは、第2プロセッサバス26、ライトポート（WPO）23Wを介して書き込み（ライト）専用、第1プロセッサ21からはリードポート（RPO）23Rを介して読み出し（リード）専用のRAMとして機能するように構成されている。同様に、第2共有メモリ24は、第1プロセッサ21からは、第1プロセッサバス25、ライトポート（WPO）24Wを介してライト専用、第2プロセッサ22からは第2プロセッサバス26、リードポート（RPO）24Rを介してリード専用のRAMとして機能するように構成されている。

【0010】

また、図22は、第2の方法を採用したマルチプロセッサシステムの第2の構成例を示す 50

図である。

【0011】

図22のマルチプロセッサシステム20Aは、共有メモリ27として2ライト/2リード(2Write/2Read)のデュアルポートSRAM1個を使用した場合のケースである。

マルチプロセッサシステム20Aにおいて、共有メモリ27は、第1プロセッサ22からは、第1プロセッサバス25、リードライトポート(R/WPO)27RW-1を介してリードまたはライトされる。第2プロセッサ22からはリードライトポート(R/WPO)27RW-2を介してリードまたはライトされる。

【0012】

また、従来のマルチプロセッサシステムとして、共有メモリ内の2つのメモリは、共有メモリという閉じた機能ブロック内で、マスター・スレーブの関係を構築し、片方のプロセッサからのライト/リード(Write/Read)をもう一方のプロセッサに、比較・伝達することで、アクセスデータを保証しているものがある(特許文献1)。

【0013】

また、従来のマルチプロセッサシステムとして、共有メモリに対するアクセスを要求の到着順に切り替える調停方式を採用したものもある(特許文献2)。

【0014】

【特許文献1】

特開平11-312126号公報

【特許文献2】

特開2000-10901号公報

【0015】

【発明が解決しようとする課題】

ところが、図20に示すマルチプロセッサシステムは、以下のような不利益がある。要求が重なった場合の制御用に、バスアクセスのアービタ機能を持たせなければならない。アービタは、プロセッサの個数が増えるにつれ複雑化し、設計が困難となる。

また、バスを時分割するため、プロセッサの数が増えるに従い、オーバーヘッド(アクセス不可時間)が増大してしまう。

また、各プロセッサからのバスと共有バスのブリッジを、それぞれのプロセッサバスに合わせて設計する必要があり、設計にかかる手間が増す。

【0016】

また、図21および図22に示すマルチプロセッサシステムは、以下のような不利益がある。

いずれの場合においても、最大の問題点は、一方のプロセッサの書き込みと他方のプロセッサの読み出しのアドレスが重なったときの解決法である。

単純に、完全にアクセスアドレスが重なった場合のみ回避するのは、どちらか一方を待たせてしまえば良いことから、比較的容易に解決できる。

しかしながら、アクセスレートが異なるバスシステムで、ある瞬間からアクセスが重なった場合には、その時点からデータの更新が入れ替わってしまう事態が発生してしまう。これを避けるためには、プロセッサ同士で、互いのアクセス状況を把握しあわなければならない。

解決策としては、ソフトウェア的に、各プロセッサのアクセスタイミングを決めてしまうことが容易な手段となる。また、デュアルポートRAMはシングルポートRAMに比較して、当然のことながら面積(規模)が大きくなる。さらにデュアルポートRAMは、ASICベンダやプロセスのテクノロジーによって、機能・アクセス仕様が異なる場合が多く、この例をそのまま当てはめようとしても、1ライト/1リード(1Write/1Read)あるいは2ライト/2リード(2Write/2Read)のデュアルポートRAMが無い場合には、構成・RAMコントローラの仕様を考え直さなければならない。

【0017】

10

20

30

40

50

また、特許文献 1 に記載されたマルチプロセッサシステムでは、共有メモリ内の 2 つのメモリは、共有メモリという閉じた機能ブロック内で、マスター・スレーブの関係を有することから、共有メモリ間バスが必要で、各メモリを必ずアクセスする必要があり、また、比較・転送処理等の煩雑な処理が要することから、アクセス制御の自由度や柔軟性に劣るという不利益がある。

【 0 0 1 8 】

また、特許文献 2 に記載されたマルチプロセッサシステムでは、上述した図 2 0 のシステムと同様に、アービタ機能を持たせなければならないことから、プロセッサの個数が増えるにつれ複雑化し、設計が困難となる。

【 0 0 1 9 】

本発明の目的は、プロセッサ間のデータ受け渡しを行う場合に、異なるプロセッサからのライト・リードの同時アクセスによる、データの取り違えを抑制することができ、アクセス制御の自由度や柔軟性に優れ、しかも設計が容易なマルチプロセッサシステムを提供することにある。

【 0 0 2 0 】

【課題を解決するための手段】

上記目的を達成するため、本発明の第 1 の観点は、複数のプロセッサでメモリを共有するマルチプロセッサシステムであって、上記メモリは、少なくとも 2 つ以上の複数のバンクを含み、上記複数のプロセッサの各々が、上記複数のバンクのいずれにアクセスするかを決定する制御データが設定され、当該制御データは書き換え可能な制御データ設定手段と、上記各プロセッサからの上記バンク構成を有する上記メモリに対するアクセスが発生した際には、各プロセッサからは、必然的に、上記制御データ設定手段に設定された制御データにより割り当てられているバンクにのみアクセス可能となるような制御を行う制御手段とを有する。

【 0 0 2 1 】

本発明では、上記制御データ設定手段に設定される制御データは、上記複数のバンクのうち一つの上記バンクには一つの上記プロセッサからのアクセス、他の一つの上記バンクには、異なるプロセッサからのアクセスを受け付けるように上記制御手段に指示するデータを含む。

【 0 0 2 2 】

本発明では、上記複数のプロセッサのうち一つの上記プロセッサのみが上記各バンクに対するアクセスの決定権を有し、当該優位性を持つ一つのプロセッサからのみ上記制御データを上記制御データ設定手段に設定し、他の上記プロセッサは、上記制御データ設定手段に設定された制御データで割り当てられたバンクをアクセスする。

好適には、上記一つのプロセッサの優位性の決定は、チップのアーキテクチャとして決定されている。

また、上記一つのプロセッサの優位性の決定は、プロセッサ同士の設定により制御される。

【 0 0 2 3 】

好適には、上記各プロセッサは、他のプロセッサに対して、即時性のある信号を発行し、アクセス制御に関する情報を伝達する手段を有する。

【 0 0 2 4 】

また、上記各プロセッサは、自分のプロセッサからは書き込みおよび読み出しが可能、他のプロセッサからは読み出しのみが可能な伝達レジスタをそれぞれ有し、他のプロセッサへのアクセス制御に関する伝達情報を対応する上記伝達レジスタに書き込む

【 0 0 2 5 】

好適には、上記各プロセッサは、他のプロセッサに対して、割り込み信号を発行するための割り込みレジスタと、自分のプロセッサからは書き込みおよび読み出しが可能、他のプロセッサからは読み出しのみが可能な伝達レジスタとをそれぞれ有する。

【 0 0 2 6 】

10

20

30

40

50

好適には、上記各プロセッサは、他のプロセッサへのアクセス制御に関する伝達情報に対応する上記伝達レジスタに書き込んだ後、上記割り込みレジスタに割り込み信号を設定して、他のプロセッサに伝達情報がある旨を報知する。

【0027】

また、好適には、上記制御手段は、上記各プロセッサからのバンクへのアクセスを切り替える場合、クロック信号を含めた、バンクにかかわる信号の全てを切り替える。

上記各プロセッサは、それぞれ異なるクロックに同期して動作する。

【0028】

本発明の第2の観点に係るマルチプロセッサシステムは、第1プロセッサと、第2プロセッサと、共有メモリを区分けした第1バンクおよび第2バンクと、上記第1プロセッサにより上記第1バンクおよび上記第2バンクのうちのいずれかを自プロセッサおよび上記第2プロセッサがアクセスするかを決定する制御データが書き込まれ、上記第2プロセッサから制御データの読み出しのみが可能なアクセスバンク制御レジスタと、上記第1または第2のプロセッサからの上記第1バンクに対するアクセスが発生した際には、上記第1または第2のプロセッサからは、必然的に、上記アクセスバンク制御レジスタに設定された制御データにより割り当てられている第1バンクにのみアクセス可能となるような制御を行う第1メモリコントローラと、上記第1または第2のプロセッサからの上記第2バンクに対するアクセスが発生した際には、上記第1または第2のプロセッサからは、必然的に、上記アクセスバンク制御レジスタに設定された制御データにより割り当てられている第2バンクにのみアクセス可能となるような制御を行う第2メモリコントローラとを有する。

10

20

【0029】

好適には、上記第1プロセッサから上記第2プロセッサに伝達すべき内容を書き込みかつ変更可能で、上記第2プロセッサから内容をリード可能な第1伝達レジスタと、上記第2プロセッサから上記第1プロセッサに伝達すべき内容を書き込みかつ変更可能で、上記第1プロセッサから内容をリード可能な第2伝達レジスタとを有する。

【0030】

また、好適には、上記第1プロセッサから上記第2プロセッサに伝達すべき内容を書き込み可能で、上記第2プロセッサから内容を読み出しのみが可能な第1伝達レジスタと、上記第1プロセッサから上記第2プロセッサに対して割り込み発行するための第1割り込み信号発生レジスタと、上記第2プロセッサから上記第1プロセッサに伝達すべき内容を書き込み可能で、上記第1プロセッサから内容を読み出しのみが可能な第2伝達レジスタと、上記第2プロセッサから上記第1プロセッサに対して割り込み発行するための第2割り込み信号発生レジスタとを有する。

30

【0031】

好適には、上記第1または第2プロセッサは、他の上記第2または第1プロセッサへのアクセス制御に関する伝達情報に対応する上記第1または第2伝達レジスタに書き込んだ後、上記第1または第2割り込みレジスタに割り込み信号を設定して、他の上記第2または第1プロセッサに伝達情報がある旨を報知する。

【0032】

本発明によれば、たとえば優位性を持つ一つのプロセッサにより制御データ設定手段に対して、複数のプロセッサの各々が、複数のバンクのいずれにアクセスするかを決定する制御データが設定される。この制御データは制御手段に与えられる。

40

制御手段では、各プロセッサからのバンク構成を有するメモリに対するアクセスが発生した際には、各プロセッサからは、必然的に、制御データ設定手段に設定された制御データにより割り当てられているバンクにのみアクセス可能となるような切り替え制御が行われる。

具体的には、複数のバンクのうち一つのバンクには一つのプロセッサからのアクセス、他の一つのバンクには、異なるプロセッサからのアクセスを受け付けるように制御される。この制御により、各プロセッサから見た共有メモリのアドレス領域は、アドレスマップ上

50

では、バンクの区別は存在しない。

【0033】

このように、本発明によれば、たとえばプロセッサからの設定により、共有メモリを構成する複数のバンクには、その時点で、アクセス対象となるプロセッサを定義する構成によりデータを保証する。このアクセス対象の定義は、上述したように、あらかじめ優位性を定められたプロセッサからの設定によって行われることとしている。この優位性自体も、システム仕様として決めても良いし、ソフトウェア的に定義しても良い。

また、アクセス権の切り替えを司っているのはプロセッサであるという構成上、アクセスの調停はソフトウェア制御となり、要求の到着順に切り替えるのはもちろんのこと、アクセス要求が発生した時点でのシステムの状態により、アクセス権切り替えのタイミング、順位、順序等、自由度を高くすることが可能である。

10

【0034】

【発明の実施の形態】

以下、本発明の実施形態を添付図面を参照して詳細に説明する。

【0035】

第1実施形態

図1は、本発明に係るマルチプロセッサシステムの第1の実施形態を示す構成図である。本第1の実施形態においては、搭載プロセッサは2つ、共有メモリのバンク構成も2バンクの場合を例に説明する。

【0036】

本マルチプロセッサシステム100は、図1に示すように、第1プロセッサ(PRC-A)101、第2プロセッサ(PRC-B)102、たとえばシングルポートSRAMからなる第1メモリバンク(BNK1)103、シングルポートSRAMからなる第2メモリバンク(BNK2)104、第1プロセッサバス(BS-A)105、第2プロセッサバス(BS-B)106、第1割り込み信号発生レジスタ(IRPTREG1)107、第2割り込み信号発生レジスタ(IRPTREG2)108、第1パラメータ伝達レジスタ(TRFREG1)109、第2パラメータ伝達レジスタ(TRFREG2)110、アクセスバンク制御レジスタ(CTLREG)111、第1メモリコントローラ(MCTL1)112、第2メモリコントローラ(MCTL2)113、およびローカルバス114~127を有している。

20

これらの構成要素のうち、アクセスバンク制御レジスタ(CTLREG)111により制御データ設定手段が構成され、第1メモリコントローラ(MCTL1)112および第2メモリコントローラ(MCTL2)113により制御手段が構成される。

30

【0037】

本第1の実施形態に係るマルチプロセッサシステム100において、第1プロセッサ101は、第1パラメータ伝達レジスタ109およびアクセスバンク制御レジスタ111に対して読み出し(リード)および書き込み(ライト)が可能で、第2パラメータ伝達レジスタ110に対してはリードのみ可能(Read Only)である。

一方、第2プロセッサ102は、第1パラメータ伝達レジスタ109およびアクセスバンク制御レジスタ111に対してはリードのみ可能(Read Only)で、第2パラメータ伝達レジスタ110に対してリードおよびライトが可能である。

40

【0038】

また、本実施形態においては、第1プロセッサ101および第2プロセッサ102は、異なる周波数のクロックに同期して動作する。たとえば、第1プロセッサ101はクロックCLK-Aに同期して動作し、第2プロセッサ102はクロックCLK-Bに同期して動作する。

また、本実施形態においては、第1プロセッサ101側のバスアーキテクチャと第2プロセッサ側のバスアーキテクチャとは異なる。

また、たとえば第1プロセッサ101と第2プロセッサ102は、クロック周波数は可変、かつ、異なる周波数でも動作可能な形態で実装することも可能である。

50

【0039】

本マルチプロセッサシステム100は、第1および第2プロセッサ101、102からのバンク構成を持つ共有メモリに対するアクセスが発生した際には、各プロセッサ101、102からは、必然的に、その時に割り当てられているバンクにのみアクセス可能となるような制御を行うように構成されている。この制御により、各プロセッサから見た共有メモリのアドレス領域は、アドレスマップ上では、バンクの区別は存在しない。

また、共有メモリの第1および第2のメモリバンク（以下、単にバンクという）103、104に対するアクセス権の設定は、優位性が決定されている1つのプロセッサ（本実施形態では第1プロセッサ101）からのみ制御され、第2プロセッサ102からは、メモリアccess権の制御は行わない。

10

このように、プロセッサ設定によるアクセス権制御により、アクセス権切り替えのタイミング制御、順位制御は、ソフトウェアにより自在に制御可能となっている。

【0040】

第1プロセッサ101は、アクセスバンク制御レジスタ111に、ローカルバス114、第1プロセッサバス105、およびローカルバス120を介して、2つある第1バンク103および第2バンク104のうちのいずれかを自プロセッサ101および第2プロセッサ102がアクセスするかを決定する制御データを書き込む。

アクセスバンク制御レジスタ111に書き込まれた制御データは、第2プロセッサ102によりローカルバス121、第2プロセッサバス106、およびローカルバス126を介して読み出される。第2プロセッサ102は、読み出した制御データに基づいてアクセス可能なバンクを認識する。

20

【0041】

たとえば、第1プロセッサ101によりアクセスバンク制御レジスタ111に対して、自プロセッサ101に第1バンク103を割り当て、第2プロセッサ102にバンク104を割り当てた場合、図2に示すように、第1プロセッサ101が、ローカルバス114、第1プロセッサバス105、ローカルバス122、および第1メモリコントローラ112を通してバンク103に対してアクセス（リードおよびライト）可能で、第2プロセッサ102が、ローカルバス126、第2プロセッサバス106、ローカルバス125、および第2メモリコントローラ113を通してバンク104に対してアクセス（リードおよびライト）可能である構成となる。

30

実際にプロセッサ間でデータ受け渡しを行う場合には、第1プロセッサ101は、この制御データによるバンク切り替えを繰り返し行うことによって実現する。

【0042】

第1プロセッサ101は、即時性のある信号、本実施形態では、第1割り込み信号を、ローカルバス114、第1プロセッサバス105、およびローカルバス115を介して第1割り込み信号発生レジスタ107にセットし、第2プロセッサ102に対して第1割り込み信号を発行する。

第1プロセッサ101が、第2プロセッサ102に対して第1割り込み信号を発行するケースとしては、たとえばデータ受け渡し用共有メモリである第1バンク103または第2バンク104にアクセスを開始するとき、第1バンク103または第2バンク104へのアクセスが完了したとき、第1バンク103または第2バンク104へのアクセス権設定を変更したとき、がある。

40

【0043】

また、第1プロセッサ101は、第1パラメータ伝達レジスタ109に、自プロセッサの状態・リクエストの内容等、詳細情報を伝達するためのパラメータを、ローカルバス114、第1プロセッサバス105、およびローカルバス116を介して書き込む。この第1パラメータ伝達レジスタ109に書き込まれた伝達パラメータは、第1割り込み信号の発行先である第2プロセッサ102が、ローカルバス117、第2プロセッサバス106、およびローカルバス126を介して読み出す。

第1プロセッサ101は、第1割り込み信号発生レジスタ107と第1パラメータ伝達レ

50

ジスタ109とを併用する。

具体的には、第1プロセッサ101は、第1パラメータ伝達レジスタ109の内容を書き換えた後、該当する第1割り込み信号を第2プロセッサ102に対して発行する。その後、第2プロセッサ102が第1パラメータ伝達レジスタ109の内容を読み込むことで、第2プロセッサ102に、自プロセッサ101の状態・リクエストの内容等、詳細情報を伝達することができる。

【0044】

第2プロセッサ102は、第2割り込み信号を、ローカルバス126、第2プロセッサバス106、およびローカルバス127を介して第2割り込み信号発生レジスタ108にセットし、第1プロセッサ101に対して第2割り込み信号を発行する。

10

第2プロセッサ102が、第1プロセッサ101に対して第2割り込み信号を発行するケースとしては、たとえばデータ受け渡し用共有メモリである第1バンク103または第2バンク104にアクセスを開始するとき、第1バンク103または第2バンク104へのアクセスが完了したとき、第1バンク103または第2バンク104へのアクセス権設定を変更してほしいとき、がある。

【0045】

また、第2プロセッサ102は、第2パラメータ伝達レジスタ110に、自プロセッサの状態・リクエストの内容等、詳細情報を伝達するためのパラメータを、ローカルバス126、第2プロセッサバス106、およびローカルバス119を介して書き込む。この第2パラメータ伝達レジスタ110に書き込まれた伝達パラメータは、第2割り込み信号の発行先である第1プロセッサ101が、ローカルバス118、第1プロセッサバス105、およびローカルバス114を介して読み出す。

20

第2プロセッサ102は、第2割り込み信号発生レジスタ108と第2パラメータ伝達レジスタ110とを併用する。

具体的には、第2プロセッサ102は、第2パラメータ伝達レジスタ110の内容を書き換えた後、該当する第2割り込み信号を第1プロセッサ101に対して発行する。その後、第1プロセッサ101が第2パラメータ伝達レジスタ110の内容を読み込むことで、第1プロセッサ101に、自プロセッサ102の状態・リクエストの内容等、詳細情報を伝達することができる。

【0046】

30

第1割り込み信号発生レジスタ107およびアクセスバンク制御レジスタ111は、第1プロセッサ101のコントロールレジスタに相当する。

【0047】

図3は、第1プロセッサのコントロールレジスタの構成例を示す図である。

このコントロールレジスタは、図3に示すように、ビット0～7の8ビットで構成され、ビット0(LSB)とビット7(MSB)の2ビットのみを使用している。

ビット7が第1割り込み信号発生レジスタ107に相当するビットであり、ビット0がアクセスバンク制御レジスタ111に相当する制御ビットである。

【0048】

ビット7(INT)は、第2プロセッサ102に対して割り込み要求を発生させ、データの転送が完了したことを示すビットである。

40

たとえば、ビット7に「0」が設定されているときは無効であり、「1」が設定されているときに第2プロセッサ102への割り込み要求を発生しているときである。たとえば、ビット7は、「1」を設定した後、自動的に「0」に戻る。

【0049】

ビット0(BNK)は、具体的には、第1バンク103および第2バンク104のどちらをアクセスするかを制御するビットである。

図4は、バンクアクセス制御ビットに設定される制御データに応じた2つのバンクの2つのプロセッサへの割り当て例を示す図である。

図4に示すように、たとえば本第1の実施形態では、第1プロセッサ101がビット0に

50

制御データとして「0」を設定し場合には、第1プロセッサ101が第1バンク103側をアクセスし、第2プロセッサ102が第2バンク104側をアクセスする。

一方、第1プロセッサ101がビット0に制御データとして「1」を設定し場合には、第1プロセッサ101が第2バンク104側をアクセスし、第2プロセッサ102が第1バンク103側をアクセスする。

【0050】

なお、バンクを切り替える際には、第2プロセッサインタフェースオンレジスタにより、第2プロセッサインタフェースがオンしている必要がある。

【0051】

図5は、第2プロセッサインタフェースオンレジスタの構成例を示す図である。

10

この第2プロセッサインタフェースオンレジスタは、図5に示すように、ビット0～7の8ビットで構成され、ビット0(LSB)のみを使用している。

ビット0が第2プロセッサインタフェースのオン・オフを制御するビットである。

たとえば本実施形態では、図6に示すように、ビット0に「0」が書き込まれたときに第2プロセッサインタフェースオフであり、ビット0に「1」が書き込まれたときに第2プロセッサインタフェースオンである。

第2プロセッサインタフェースを使用しない場合は、このビット0に「0」を書き込むことにより、第2プロセッサインタフェースでの消費電力を抑えることができる。

【0052】

また、第2割り込み信号発生レジスタ108およびアクセスバンク制御レジスタ111は、第2プロセッサ102のコントロールレジスタに相当する。

20

【0053】

図7は、第2プロセッサのコントロールレジスタの構成例を示す図である。

このコントロールレジスタは、図7に示すように、ビット0～15の16ビットで構成され、ビット0とビット7の2ビットのみを使用している。

ビット7が第2割り込み信号発生レジスタ108に相当するビットであり、ビット0がアクセスバンク制御レジスタ111に相当する制御ビットである。

【0054】

ビット7(INT)は、第1プロセッサ101に対して割り込み要求を発生させるビットである。

30

たとえば、ビット7に「0」が設定されているときは無効であり、「1」が設定されているときに第1プロセッサ101への割り込み要求を発生しているときである。たとえばビット7は、「1」を設定した場合、パルスが発生したら自動的に「0」に戻る。

【0055】

ビット0(BNK)は、具体的には、第1バンク103および第2バンク104のどちらをアクセスするかを制御するビットである。このビット0は読み出し専用である。したがって、第2プロセッサ102側から第1バンク103および第2バンク104を切り替えることはできない。

図8は、バンクアクセス制御ビットに設定される制御データに応じた共有メモリの選択バンクの第2プロセッサへの割り当て例を示す図である。

40

図8に示すように、たとえば本第1の実施形態では、ビット0に制御データとして「0」が設定された場合には、第2プロセッサ102側に第2バンク104側が選択されていることを示す。

一方、ビット0に制御データとして「1」が設定された場合には、第2プロセッサ102側に第1バンク103側が選択されていることを示す。

【0056】

第1メモリコントローラ112は、第1プロセッサ101によりアクセスバンク制御レジスタ111に設定された制御データに応じて、第1バンク103へのアクセスが、第1プロセッサバス105に接続された第1プロセッサ101側または第2プロセッサバス106に接続された第2プロセッサ102側となるように切り替え制御を行う。

50

図4に関連付けた例では、第1メモリコントローラ112は、制御データが「0」の場合には、第1バンク103へのアクセスを、第1プロセッサバス105に接続された第1プロセッサ101側に切り替える。一方、第1メモリコントローラ112は、制御データが「1」の場合には、第1バンク103へのアクセスを、第2プロセッサバス106に接続された第2プロセッサ102側に切り替える。

第1メモリコントローラ112は、第1プロセッサ101または第2プロセッサ102からの第1バンク103へのアクセスの切り替えは、クロック信号を含めた、第1バンク103にかかわる信号の全てを切り替える。これにより、第1プロセッサ101または第2プロセッサ102のバスシステム、クロックの同期に関する制限は無い。

第1メモリコントローラ112は、切り替え制御を行った後、担当する第1プロセッサ101または第2プロセッサ102と第1バンク103間におけるアドレス、データ、制御信号等の授受の制御を行う。 10

【0057】

第2メモリコントローラ113は、第1プロセッサ101によりアクセスバンク制御レジスタ111に設定された制御データに応じて、第1バンク103へのアクセスが、第1プロセッサバス105に接続された第1プロセッサ101側または第2プロセッサバス106に接続された第2プロセッサ102側となるように切り替え制御を行う。

図4に関連付けた例では、第2メモリコントローラ113は、制御データが「0」の場合には、第2バンク104へのアクセスを、第2プロセッサバス106に接続された第2プロセッサ102側に切り替える。一方、第2メモリコントローラ113は、制御データが「1」の場合には、第2バンク104へのアクセスを、第1プロセッサバス105に接続された第1プロセッサ101側に切り替える。 20

第2メモリコントローラ113は、第1プロセッサ101または第2プロセッサ102からの第2バンク104へのアクセスの切り替えは、クロック信号を含めた、第2バンク104にかかわる信号の全てを切り替える。これにより、第1プロセッサ101または第2プロセッサ102のバスシステム、クロックの同期に関する制限は無い。

第2メモリコントローラ113は、切り替え制御を行った後、担当する第1プロセッサ101または第2プロセッサ102と第2バンク104間におけるアドレス、データ、制御信号等の授受の制御を行う。

【0058】

以上の機能を有する第1メモリコントローラ112と第2メモリコントローラ113は、基本的には同様の構成を有する。 30

【0059】

図9は、本第1の実施形態に係るメモリコントローラの具体的な構成例を示す図である。このメモリコントローラ200(112, 113)は、図9に示すように、第1バンクコントローラ(BNKCTL-A)201、第2バンクコントローラ(BNKCTL-B)202、第1切り替えスイッチ203、および第2切り替えスイッチ204を有する。

【0060】

第1バンクコントローラ201は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第1プロセッサ101により行うことを示している場合に、第1プロセッサバス(BS-A)105を通して供給される第1プロセッサ101によるアドレスADR、ライトデータWDT、制御信号WE(Write Enable), IH(Chip Enable)等を受けて所定のタイミングでアクセスすべき第1バンク103または第2バンク104側に出力し、第1バンク103または第2バンク104から読み出されたデータを所定のタイミングで第1プロセッサバス(BS-A)105に送出する。 40

【0061】

第2バンクコントローラ202は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第2プロセッサ102により行うことを示している場合に、第2プロセッサバス(BS-B)106を通して 50

供給される第2プロセッサ102によるアドレスADR、ライトデータWDT、制御信号WE, IH等を受けて所定のタイミングでアクセスすべき第1バンク103または第2バンク104側へ出力し、第1バンク103または第2バンク104から読み出されたデータを所定のタイミングで第2プロセッサバス(BS-B)106に送出する。

【0062】

第1切り替えスイッチ203は、端子aが第1バンク103または第2バンク104の入力端子に接続されたバス205に接続され、端子bが第1バンクコントローラ201のバンク側への出力端子に接続されたバス206に接続され、端子cが第2バンクコントローラ202のバンク側への出力端子に接続されたバス207に接続されている。

そして、第1切り替えスイッチ203は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第1プロセッサ101により行うことを示している場合に、端子aと端子bとを接続して、第1バンクコントローラ201が所定のタイミングでバス206に送出した第1プロセッサ101によるアドレスADR、ライトデータWDT、制御信号WE, IH等をバス205に伝播させて第1バンク103または第2バンク104に入力させる。 10

一方、第1切り替えスイッチ203は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第2プロセッサ102により行うことを示している場合に、端子aと端子cとを接続して、第2バンクコントローラ202が所定のタイミングでバス207に送出した第2プロセッサ102によるアドレスADR、ライトデータWDT、制御信号WE, IH等をバス205に伝播させて第1バンク103または第2バンク104に入力させる。 20

【0063】

第2切り替えスイッチ204は、端子aが第1バンク103または第2バンク104のクロック入力端子に接続され、端子bが第1プロセッサ101用のクロックCLK-Aの供給ラインに接続され、端子cが第2プロセッサ102用のクロックCLK-Bの供給ラインに接続されている。

そして、第2切り替えスイッチ204は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第1プロセッサ101により行うことを示している場合に、端子aと端子bとを接続して、クロックCLK-Aを第1バンク103または第2バンク104に入力させる。 30

一方、第2切り替えスイッチ204は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第2プロセッサ102により行うことを示している場合に、端子aと端子cとを接続して、クロックCLK-Bを第1バンク103または第2バンク104に入力させる。

【0064】

このように、本実施形態に係るバンクコントローラ200は、対応するバンクを、第1プロセッサ101または第2プロセッサ102のどちらからのコントロールを受け付けるかを選択し、かつ、バンクへのクロックも、それぞれのプロセッサ(バス)に同期したクロックを選択してバンクに分配する。このため、2つのプロセッサのバスアーキテクチャが全く異なったものでも対応が容易で、クロックの同期/非同期に関係なく、制御を切り替えることができる。 40

【0065】

共有メモリを構成する第1バンク103および第2バンク104は、前述したように、シングルポートSRAMにより構成される。

【0066】

図10は、シングルポートSRAMの具体的な構成例を示すブロック図である。

このシングルポートSRAM300は、図10に示すように、メモリセルアレイ(MCARY)301、ワードラインバッファ(WLB)302、カラムセレクタ(CSEL)303、ローデコーダ(RDEC)304、カラムデコーダ(CDEC)305、アドレスレジスタ(AREG)306、クロックバッファ(CBUF)307、パルスジェネレー 50

タ (P G E N) 3 0 8、入力データレジスタ (I D G) 3 0 9、出力データバッファ (O D B) 3 1 0、ライトアンプ (W A M P) 3 1 1、およびセンスアンプ (S A M P) 3 1 2を有する。

また、図 1 0 において、I A はアドレスレジスタ 3 0 6 へのアドレス入力、C K はクロックバッファ 3 0 7 に入力されるクロック、I H はローレベルでアクティブのチップイネーブル信号、W E はローレベルでアクティブのライトイネーブル信号、I は入力データレジスタ 3 0 9 へのデータ入力、および A は出力データバッファ 3 1 0 からのデータ出力をそれぞれ示している。

【 0 0 6 7 】

シングルポート S R A M 3 0 0 は、図 1 1 に示すように、動作モードとしては、リード、ライト、セットアップ、およびスタンバイの 4 つのモードを有する。 10

【 0 0 6 8 】

図 1 1 に示すように、チップイネーブル信号 I H がハイレベルの期間では、クロック C K およびライトイネーブル信号 W E のレベルにかかわらずスタンバイモードとなる。このとき、アドレスレジスタ 3 0 6 にアドレス I A x がラッチされ、入力データ (ライトデータ) I x が入力データレジスタ 3 0 9 にラッチされ、出力データバッファ 3 1 0 には前回のリード時のデータがラッチされている。

【 0 0 6 9 】

図 1 1 に示すように、チップイネーブル信号 I H がローレベルで、クロック C K がローレベルの場合、ライトイネーブル信号 W E のレベルにかかわらずセットアップモードとなる。このとき、入力アドレス I A x がアドレスレジスタ 3 0 6 に取り込まれ、入力データ (ライトデータ) I x が入力データレジスタ 3 0 9 に取り込まれ、出力データバッファ 3 1 0 には前回のリード時のデータがラッチされている。 20

【 0 0 7 0 】

リードモードでは、クロックバッファ 3 0 7 に供給されるチップイネーブル信号 I H がローレベル、図 1 1 および図 1 2 (D) に示すように、ライトイネーブル信号 W E がハイレベルで、リードサイクルに入る。

このとき、図 1 2 (A)、(B)、(D) に示すように、クロック C K がローレベルであり、ライトイネーブル信号 W E の立上がりのタイミングから時間 t S A の間、セットアップモードとなり、アドレスレジスタ 3 0 6 にアドレス I A x が取り込まれる。 30

そして、図 1 2 (A)、(B) に示すように、クロック C K の立上がりのタイミングでリードモードとなり、クロック C K の立上がりから時間 t H A の間に、アドレス I A x がアドレスレジスタ 3 0 6 にラッチされる。アドレスレジスタ 3 0 6 にラッチされたアドレスは、ローデコーダ 3 0 4 およびカラムデコーダ 3 0 5 に供給される。

チップイネーブル信号 I H、ライトイネーブル信号 W E、クロック C K はクロックバッファ 3 0 7 にバッファリングされる。そして、クロック C K がパルスジェネレータ 3 0 8 に供給されて波形整形され、ローデコーダ 3 0 4 およびセンスアンプ 3 1 2 に供給される。ローデコーダ 3 0 4 では、供給されたクロック C K に同期して動作し、入力アドレスからロードアドレスがデコードされワードラインバッファ 3 0 2 に供給される。そして、ワードラインバッファ 3 0 2 でアドレス指定されたメモリセルが接続されたワードラインが所定時間活性化される。 40

また、カラムデコーダ 3 0 5 では、供給されたクロック C K に同期して動作し、入力アドレスからカラムアドレスがデコードされ、カラムセクタ 3 0 3 に供給される。そして、アドレス指定されたメモリセルが接続されたビット線のカラムスイッチがオンにされる。これにより、アドレス指定されたメモリセルの記憶データがビット線、カラムスイッチを通してセンスアンプ 3 1 2 に供給され、ここでセンス増幅されて、出力データバッファ 3 1 0 にバッファリングされる。

そして、図 1 2 (A)、(C) に示すように、クロック C K の立上がりから所定時間 t p d 経過後に、現在のアドレスのメモリセルからの読み出しデータが出力データバッファ 3 1 0 から出力され有効となる。

【0071】

ライトモードでは、クロックバッファ307に供給されるチップイネーブル信号IHがローレベル、図11および図13(D)に示すように、ライトイネーブル信号WEがローレベルで、ライトサイクルに入る。

このとき、図13(A)~(D)に示すように、クロックCKがローレベルであり、ライトイネーブル信号WEの立下がりのタイミングから時間tSIの間、セットアップモードとなり、アドレスレジスタ306にアドレスIAxが取り込まれ、入力データ(ライトデータ)Ixが入力データレジスタ309に取り込まれ。

そして、図13(A)~(C)に示すように、クロックCKの立上がりのタイミングでライトモードとなり、クロックCKの立上がりから時間tHAの間に、アドレスIAxがアドレスレジスタ306にラッチされる。アドレスレジスタ306にラッチされたアドレスは、ローデコーダ304およびカラムデコーダ305に供給される。同様に、クロックCKの立上がりから時間tHIの間に、入力データ(ライトデータ)Ixが入力データレジスタ309にラッチされる。

チップイネーブル信号IH、ライトイネーブル信号WE、クロックCKはクロックバッファ307にバッファリングされる。そして、クロックCKが入力データレジスタ309に供給され、図13(A),(C)に示すように、入力データ(ライトデータ)Ixが入力データレジスタ309に保持される。また、クロックCKがパルスジェネレータ308に供給されて波形整形され、ローデコーダ304およびライトアンプ311に供給される。また、アドレスレジスタ306にアドレスIAxが保持され、ローデコーダ304およびカラムデコーダ305に供給される。

ローデコーダ304では、供給されたクロックCKに同期して動作し、入力アドレスからロードアドレスがデコードされワードラインバッファ302に供給される。そして、ワードラインバッファ302でアドレス指定されたメモリセルが接続されたワードラインが所定時間活性化される。

カラムデコーダ305では、供給されたクロックCKに同期して動作し、入力アドレスからカラムアドレスがデコードされ、カラムセクタ303に供給される。そして、アドレス指定されたメモリセルが接続されたビット線のカラムスイッチがオンにされる。

また、クロックCKに同期してライトアンプ311で入力データレジスタ309に保持されたライトデータが増幅され、カラムセクタ303に供給される。これにより、ライトデータが、カラムスイッチ、ビット線を通してアドレス指定されたメモリセルに書き込まれる。

このライトモード時には、図13(E)に示すように。出力データバッファ310には、前回のリード時のデータが保持されている。

【0072】

図14(A)~(F)は、リードモードおよびライトモード時のクロックがアクティブ(active)になるタイミングに示すタイミングチャートである。

また、図15(A)~(F)は、リードモードおよびライトモード時のクロックがインヒビット(inhibit)になるタイミングに示すタイミングチャートである。

【0073】

リードモードにおいて、クロックCKがアクティブになるタイミングは、図14(A),(B)に示すように、チップイネーブル信号IHがローレベルの期間で、クロックCKの立上がりのタイミングである。

図14(A)~(C)に示すように、このクロックCKの立上がりのタイミングに応じて入力アドレスIAxがアドレスレジスタ306に保持される。

また、図15(A),(B)に示すように、リードモードにおいて、チップイネーブル信号IHがハイレベルの期間では、クロックがインヒビットとなる。

このとき、図14(C)に示すように、入力アドレスIAxは無効である。

【0074】

ライトモードにおいて、クロックCKがアクティブになるタイミングは、図14(A),

10

20

30

40

50

(B) , (E) に示すように、チップイネーブル信号 I H およびライトイネーブル信号 W E がローレベルの期間で、クロック C K の立上がりのタイミングである。

図 1 4 (A) ~ (E) に示すように、このクロック C K の立上がりのタイミングに応じて入力アドレス I A x がアドレスレジスタ 3 0 6 に保持され、入力データ I x が入力データレジスタ 3 0 9 に保持される。

ライトモードでは、図 1 4 (A) ~ (F) に示すように、クロック C K の立上がりのタイミングから時間 t H D 経過後に出力データバッファ 3 1 0 の出力データは無効となる。

また、図 1 5 (A) ~ (E) に示すように、ライトモードにおいて、チップイネーブル信号 I H がハイレベルの期間では、ライトイネーブル信号 W E がローレベルの期間であってクロックがインヒビットとなる。

このとき、図 1 4 (C) , (D) に示すように、入力アドレス I A x 、入力データ I x は無効である。

【 0 0 7 5 】

次に、図 1 のマルチプロセッサシステムに動作を、図 1 6 に関連付けて説明する。

ここで、第 1 プロセッサ 1 0 1 と第 2 プロセッサ 1 0 2 との間で割り込み信号を相互に受け渡しすることによる情報伝達動作を中心に説明する。そして、理解を容易にするために、第 1 プロセッサ 1 0 1 が第 2 プロセッサ 1 0 2 に受け渡したいデータがある場合に特定して説明する。

【 0 0 7 6 】

まず前提として、ステップ S T 1 0 1 において、アクセスバンク制御レジスタ 1 1 1 には、アクセス権制御に優位性を有する第 1 プロセッサ 1 0 1 により、自プロセッサ 1 0 1 が第 1 バンク 1 0 3 をアクセス (リードおよびライト) し、第 2 プロセッサ 1 0 2 が第 2 バンク 1 0 4 をアクセス (リードおよびライト) することを許容する制御データが書き込まれており、第 1 プロセッサ 1 0 1 は第 1 バンク 1 0 3 にアクセスし、第 2 プロセッサ 1 0 2 は第 2 バンク 1 0 4 をアクセスして通常の処理を行っているものとする。

【 0 0 7 7 】

ここでたとえば、第 1 プロセッサ 1 0 1 が第 2 プロセッサ 1 0 2 に受け渡したいデータがある場合、データ受け渡し用バンクは第 1 バンク 1 0 3 である。

しながって、ステップ S T 1 0 2 において、第 1 プロセッサ 1 0 1 は、第 1 バンク 1 0 3 に第 1 メモリコントローラ 1 1 2 を介してアクセスし、受け渡しデータを書き込む。

【 0 0 7 8 】

次に、ステップ S T 1 0 3 において、第 1 プロセッサ 1 0 1 は、第 1 バンク 1 0 3 をアクセスして、受け渡しデータを書き込んだことを示すデータ (パラメータ) を第 1 パラメータ伝達レジスタ (T R F R E G 1) 1 0 9 に書き込む (T R F R E G 1 の内容を変更する) 。

次いで、ステップ S T 1 0 4 において、第 1 プロセッサ 1 0 1 は、第 1 割り込み信号を、第 1 割り込み信号発生レジスタ 1 0 7 にセットし、第 2 プロセッサ 1 0 2 に対して第 1 割り込み信号を発行する。

第 1 プロセッサ 1 0 1 は第 1 割り込み信号を発行した後は、通常処理に移行する。

【 0 0 7 9 】

一方、第 1 割り込み信号を受けた第 2 プロセッサ 1 0 2 は、ステップ S T 2 0 1 において、アクセスバンク制御レジスタ (C T L R E G) 1 1 1 および第 1 パラメータ伝達レジスタ (T R F R E G 1) 1 0 9 の内容をリードする。

次いで、ステップ S T 2 0 2 において、第 2 プロセッサ 1 0 2 は、リードしたアクセスバンク制御レジスタ (C T L R E G) 1 1 1 および第 1 パラメータ伝達レジスタ (T R F R E G 1) 1 0 9 の内容を検知する。この場合は、第 1 バンク 1 0 3 から受け渡しデータがあり、第 1 バンク 1 0 3 に書き込んだこと、および、第 2 プロセッサ 1 0 2 がアクセスできるバンクが未だ第 2 バンク 1 0 4 であることを検知 (認識) する。

【 0 0 8 0 】

そこで、ステップ S T 2 0 3 において、第 2 プロセッサ 1 0 2 は、受け渡しデータを受け

10

20

30

40

50

取る（リード）すべく、バンクのアクセス権を第2バンク104から第1バンク103に変更してほしい旨のデータ（パラメータ）を第2パラメータ伝達レジスタ（TRFREG2）110に書き込む（TRFREG2の内容を変更する）。

次いで、ステップST204において、第2プロセッサ102は、第2割り込み信号を、第2割り込み信号発生レジスタ108にセットし、第1プロセッサ101に対して第1割り込み信号を発行する。

第2プロセッサ102は第2割り込み信号を発行した後は、通常処理に移行する。

【0081】

第2割り込み信号を受けた第1プロセッサ101は、ステップST105において、第2パラメータ伝達レジスタ（TRFREG2）110の内容をリードする。

10

次いで、ステップST106において、第1プロセッサ101は、リードした第2パラメータ伝達レジスタ（TRFREG2）110の内容を検知する。この場合は、第2プロセッサ102のバンクのアクセス権を第2バンク104から第1バンク103に変更することに要望であることを検知（認識）する。

【0082】

そこで、ステップST107において、第1プロセッサ101は、アクセスバンク制御レジスタ111に、自プロセッサ101が第2バンク104をアクセス（リードおよびライト）し、第2プロセッサ102が第1バンク103をアクセス（リードおよびライト）することを許容する制御データを書き込む。

次に、ステップST108において、第1プロセッサ101は、アクセスバンク制御レジスタ111に、自プロセッサ101が第2バンク104をアクセス（リードおよびライト）し、第2プロセッサ102が第1バンク103をアクセス（リードおよびライト）することを許容する制御データを書き込んだことを示すデータ（パラメータ）を第1パラメータ伝達レジスタ（TRFREG1）109に書き込む（TRFREG1の内容を変更する）。

20

次いで、ステップST109において、第1プロセッサ101は、第1割り込み信号を、第1割り込み信号発生レジスタ107にセットし、第2プロセッサ102に対して第1割り込み信号を発行する。

第1プロセッサ101は第1割り込み信号を発行した後は、通常処理に移行する。

【0083】

第1割り込み信号を受けた第2プロセッサ102は、ステップST205において、アクセスバンク制御レジスタ（CTLREG）111および第1パラメータ伝達レジスタ（TRFREG1）109の内容をリードする。

30

次いで、ステップST206において、第2プロセッサ102は、リードしたアクセスバンク制御レジスタ（CTLREG）111および第1パラメータ伝達レジスタ（TRFREG1）109の内容を検知する。この場合は、アクセスバンクが切り替えられ、第2プロセッサ102が第1バンク103をアクセスできるようになったことを検知（認識）する。

【0084】

そこで、ステップST207において、第2プロセッサ102は、受け渡しデータを受け取る（リード）すべく、第1バンク103のアクセスし受け渡しデータを読み出す。

40

次いで、ステップST208において、第2プロセッサ102は、受け渡しデータを受け取る（リード）すべく、第1バンク103のアクセスを完了したことを示すデータ（パラメータ）を第2パラメータ伝達レジスタ（TRFREG2）110に書き込む（TRFREG2の内容を変更する）。

次いで、ステップST209において、第2プロセッサ102は、第2割り込み信号を、第2割り込み信号発生レジスタ108にセットし、第1プロセッサ101に対して第2割り込み信号を発行する。

第2プロセッサ102は第2割り込み信号を発行した後は、通常処理に移行する。

【0085】

50

第2割り込み信号を受けた第1プロセッサ101は、ステップST110において、第2パラメータ伝達レジスタ(TRFREG2)110の内容をリードする。

次いで、ステップST111において、第1プロセッサ101は、リードした第2パラメータ伝達レジスタ(TRFREG2)110の内容を検知する。この場合は、第2プロセッサ102が受け渡しデータがリードし、データが受け渡されたことを検知(認識)する。

そして、第1プロセッサ101は、通常処理に移行する。

【0086】

このように、本実施形態に係るマルチプロセッサシステム100においては、第1プロセッサ101と第2プロセッサ102間でデータ受け渡しを行う場合には、第1プロセッサ101は、この制御データによるバンク切り替えを繰り返し行う。

そして、第1プロセッサ101および第2プロセッサ102は、“パラメータ伝達レジスタ”および“割り込み発生レジスタ”を組み合わせて使用することにより、「他方のプロセッサが何をしたか」、「他方のプロセッサが何を要求しているか」、「他方のプロセッサが何の状態にいるか」を知ることができる。

【0087】

なお、ソフトウェア制御においては、“パラメータ伝達レジスタ”に書かれるデータが何を意味するのか、をソフトウェア仕様で定義しておくことによって、第1に第1プロセッサ101がバンク切り替えの設定を行なう場合のフロー、第2に第2プロセッサ102がバンク切り替えの要求をプロセッサ102に出す場合のフロー、を決定し、この回路による、共有メモリを使用したプロセッサ間のデータ受け渡しシステムを確立できる。

【0088】

以上説明したように、本第1の実施形態によれば、第1プロセッサ101と、第2プロセッサと、共有メモリを区分けした第1バンク103および第2バンク104と、第1プロセッサ101により2つある第1バンク103および第2バンク104のうちのいずれかを自プロセッサ101および第2プロセッサ102がアクセスするかを決定する制御データが書き込まれ、第2プロセッサ102から制御データの読み出しのみが可能なアクセスバンク制御レジスタ111と、第1プロセッサ101から第2プロセッサ102に伝達すべき内容を書き込みかつ変更可能で、第2プロセッサ102から内容をリード可能な第1パラメータ伝達レジスタ109と、第1プロセッサ101から第2プロセッサ102に対して割り込み発行するための第1割り込み信号発生レジスタ107と、第2プロセッサ102から第1プロセッサ101に伝達すべき内容を書き込みかつ変更可能で、第1プロセッサ101から内容をリード可能な第2パラメータ伝達レジスタ110と、第2プロセッサ102から第1プロセッサ101に対して割り込み発行するための第2割り込み信号発生レジスタ108とを有すること、以下の効果を得ることができる。

【0089】

すなわち、共有メモリによる、プロセッサ間のデータ受け渡しを行う場合に、異なるプロセッサからのライト・リードの同時アクセスによる、データの取り違えを抑制することができる。

また、プロセッサ間のバスシステムが異なる場合でも対応可能であり、プロセッサ間のクロックが非同期でも対応可能である。

また、設定切り替えに伴うプロセッサの処理フローや、処理に伴うパラメータをソフトウェアで定義できることから、ハード固定化後の柔軟な対応が可能である、逆にいえば、早期のハード固定化が可能となる利点がある。

割り込み信号の相互受け渡しにより、複数プロセッサによる並列処理中のメモリアccessを、動的に切り替えることが可能である。

さらに、切り替え後のアクセス・オーバーヘッド(メモリにアクセス可能となるまでの期間)は、実際には、クロックが切り替わる分のオーバーヘッド分のみとなり、極小となる。

これらにより、共有メモリによるプロセッサ間のこまめなデータ受け渡しが可能になり、

10

20

30

40

50

繰り返し処理により、大きなデータの受け渡しも実現可能である。

【0090】

プロセッサ数が3個以上になった場合であって、回路規模を抑えたい場合には、メモリ周りの構成は最小限(バンク数:2)で構成することが可能である。

また、アクセス効率を上げたい場合には、バンク数を増やし、アクセスできないプロセッサを無くす、すなわち最大バンク数=プロセッサ数として構成することも可能である。

上記のように、要求に合わせて、柔軟に構成を選択可能である。

【0091】

切り替えはプロセッサバスのアーキテクチャに左右されるメモリコントローラとバンクで行うので、プロセッサが増えた場合の対応も、セレクトの選択数を増やすのみでよく、容易に対応可能である。

10

プロセッサが増えた場合のオーバーヘッド分としては、共有メモリのバンク構成を増やす選択をしなければ、パラメータ伝達レジスタと割り込み発生回路のみでよいので、回路規模増加は非常に少ない。

バスのアーキテクチャが変わった場合でも、変化のあったバス側のメモリコントローラおよびレジスタ部分の対応のみでよい。

上記の内容により、IP化による使い回しも容易にできる利点がある。

【0092】

なお、プロセッサの優位性の決定は、チップのアーキテクチャとして決めても良いし、プロセッサ同士の設定により、制御できるようにしても良い。

20

【0093】

共有メモリを構成するメモリとして代表的なものは、シングルポートのSRMAを例としてあげたが、デュアルポートSRAM、DRAM等でも構わない。

また、共有メモリを構成するメモリは、同期/非同期、どちらでも構わない。

【0094】

第2実施形態

図14は、本発明に係るマルチプロセッサシステムの第2の実施形態を示す構成図である。

【0095】

本第2の実施形態と第1の実施形態が異なる点は、プロセッサ数が3個になった場合であって、回路規模を抑えるために、メモリ周りの構成は最小限、すなわち第1の実施形態と同じくバンク数を2として構成している。

30

【0096】

具体的には、第1プロセッサ101、第2プロセッサ102に加えて、第3プロセッサ128を設けている。

第3プロセッサ128の増加に伴い、第3割り込み信号発生レジスタ(IRPTREG3)129、第3パラメータ伝達レジスタ(TRFREG3)130、第3プロセッサバス(BS-C)131を設けている。

そして、第1~第3割り込み信号発生レジスタ107,108,129、および第1~第3パラメータ伝達レジスタ109,110,130は、それぞれの信号、データの行き先を、「自プロセッサ以外の」2つに増やしている。

40

【0097】

具体的には、第1プロセッサ101により第1割り込み信号発生レジスタ107にセットされる第1割り込み信号は、第2プロセッサ102および第3プロセッサ128に供給される。

第2プロセッサ102により第2割り込み信号発生レジスタ108にセットされる第2割り込む信号は第1プロセッサ101および第3プロセッサ128に供給される。

第3プロセッサ128により第3割り込み信号発生レジスタ129にセットされる第3割り込む信号は第1プロセッサ101および第2プロセッサ102に供給される。

【0098】

50

第1プロセッサ101は、第1パラメータ伝達レジスタ109に、自プロセッサの状態・リクエストの内容等、詳細情報を伝達するためのパラメータを、ローカルバス114、第1プロセッサバス105、およびローカルバス116を介して書き込む。この第1パラメータ伝達レジスタ109に書き込まれた伝達パラメータは、第1割り込み信号の発行先である第2プロセッサ102が、ローカルバス117、第2プロセッサバス106、およびローカルバス126を介して読み出す。同様に、第1割り込み信号の発行先である第3プロセッサ128が、ローカルバス132、第3プロセッサバス131、およびローカルバス140を介して読み出す。

【0099】

第2プロセッサ102は、第2パラメータ伝達レジスタ110に、自プロセッサの状態・リクエストの内容等、詳細情報を伝達するためのパラメータを、ローカルバス126、第2プロセッサバス106、およびローカルバス119を介して書き込む。この第2パラメータ伝達レジスタ110に書き込まれた伝達パラメータは、第2割り込み信号の発行先である第1プロセッサ101が、ローカルバス118、第1プロセッサバス105、およびローカルバス114を介して読み出す。同様に、第2割り込み信号の発行先である第3プロセッサ128が、ローカルバス133、第3プロセッサバス131、およびローカルバス140を介して読み出す。

【0100】

第3プロセッサ128は、第3パラメータ伝達レジスタ130に、自プロセッサの状態・リクエストの内容等、詳細情報を伝達するためのパラメータを、ローカルバス140、第3プロセッサバス131、およびローカルバス134を介して書き込む。この第3パラメータ伝達レジスタ130に書き込まれた伝達パラメータは、第3割り込み信号の発行先である第1プロセッサ101が、ローカルバス136、第1プロセッサバス105、およびローカルバス114を介して読み出す。同様に、第3割り込み信号の発行先である第2プロセッサ106が、ローカルバス135、第2プロセッサバス106、およびローカルバス126を介して読み出す。

【0101】

また、第1プロセッサ101は、アクセスバンク制御レジスタ111に、ローカルバス114、第1プロセッサバス105、およびローカルバス120を介して、2つある第1バンク103および第2バンク104のうちのいずれかを自プロセッサ101および第2プロセッサ102がアクセスするかを決定する制御データを書き込む。

アクセスバンク制御レジスタ111に書き込まれた制御データは、第2プロセッサ102によりローカルバス121、第2プロセッサバス106、およびローカルバス126を介して読み出される。第2プロセッサ102は、読み出した制御データに基づいてアクセス可能なバンクを認識する。

同様に、アクセスバンク制御レジスタ111に書き込まれた制御データは、第3プロセッサ128によりローカルバス137、第3プロセッサバス131、およびローカルバス140を介して読み出される。第3プロセッサ128は、読み出した制御データに基づいてアクセス可能なバンクを認識する。

【0102】

また、第3プロセッサ128は、ローカルバス140、第3プロセッサバス131、ローカルバス138、および第1メモリコントローラ112を介して第1バンク103にアクセスする。同様に、第3プロセッサ128は、ローカルバス140、第3プロセッサバス131、ローカルバス139、およびメモリコントローラ113を介して第2バンク104にアクセスする。

【0103】

なお、アクセスバンク制御レジスタ111に書き込まれた制御データとしては、たとえば図3に示すコントロールレジスタのビット0に加えてビット1およびビット2を加えて3ビットデータとして用いられる。

【0104】

図18は、バンクアクセス制御ビットに設定される制御データに応じた2つのバンクの3つのプロセッサへの割り当て例を示す図である。

図18に示すように、たとえば本第2の実施形態では、第1プロセッサ101がビット2、ビット1、ビット0に制御データとして「000」を設定し場合には、第1プロセッサ101が第1バンク103側をアクセスし、第2プロセッサ102が第2バンク104側をアクセスする。

この場合、第3プロセッサ128は第1バンク103および第2バンク104にアクセスができない。

第1プロセッサ101がビット2、ビット1、ビット0に制御データとして「001」を設定し場合には、第1プロセッサ101が第2バンク104側をアクセスし、第2プロセッサ102が第1バンク103側をアクセスする。

10

この場合も、第3プロセッサ128は第1バンク103および第2バンク104にアクセスができない。

【0105】

第1プロセッサ101がビット2、ビット1、ビット0に制御データとして「010」を設定し場合には、第1プロセッサ101が第1バンク103側をアクセスし、第3プロセッサ128が第2バンク104側をアクセスする。

この場合、第2プロセッサ102は第1バンク103および第2バンク104にアクセスができない。

第1プロセッサ101がビット2、ビット1、ビット0に制御データとして「011」を設定し場合には、第1プロセッサ101が第2バンク104側をアクセスし、第3プロセッサ128が第1バンク103側をアクセスする。

20

この場合、第2プロセッサ102は第1バンク103および第2バンク104にアクセスができない。

【0106】

第1プロセッサ101がビット2、ビット1、ビット0に制御データとして「100」を設定し場合には、第2プロセッサ102が第1バンク103側をアクセスし、第3プロセッサ128が第2バンク104側をアクセスする。

この場合、第1プロセッサ101は第1バンク103および第2バンク104にアクセスができない。

30

第1プロセッサ101がビット2、ビット1、ビット0に制御データとして「101」を設定し場合には、第2プロセッサ102が第2バンク104側をアクセスし、第3プロセッサ128が第1バンク103側をアクセスする。

この場合、第1プロセッサ101は第1バンク103および第2バンク104にアクセスができない。

【0107】

本第2の実施形態に係る第1メモリコントローラおよび第2メモリコントローラは、第1の実施形態の場合と略同様の機能を有するが、プロセッサが1つ増えた分だけ、図9の回路に対してバンクコントローラが1つ増えた構成となる。

【0108】

図19は、本第2の実施形態に係るメモリコントローラの具体的な構成例を示す図である。

40

このメモリコントローラ400(112, 113)は、図19に示すように、第1バンクコントローラ(BNKCTL-A)401、第2バンクコントローラ(BNKCTL-B)402、第3バンクコントローラ(BNKCTL-C)403、第1切り替えスイッチ404、および第2切り替えスイッチ404を有する。

【0109】

第1バンクコントローラ401は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第1プロセッサ101により行うことを示している場合に、第1プロセッサバス(BS-A)105を通して

50

供給される第1プロセッサ101によるアドレスADR、ライトデータWDT、制御信号WE、IH等を受けて所定のタイミングでアクセスすべき第1バンク103または第2バンク104側へ出力し、第1バンク103または第2バンク104から読み出されたデータを所定のタイミングで第1プロセッサバス(BS-A)105に送出する。

【0110】

第2バンクコントローラ402は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第2プロセッサ102により行うことを示している場合に、第2プロセッサバス(BS-B)106を通して供給される第2プロセッサ102によるアドレスADR、ライトデータWDT、制御信号WE、IH等を受けて所定のタイミングでアクセスすべき第1バンク103または第2バンク104側へ出力し、第1バンク103または第2バンク104から読み出されたデータを所定のタイミングで第2プロセッサバス(BS-B)106に送出する。

10

【0111】

第3バンクコントローラ403は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第3プロセッサ128により行うことを示している場合に、第3プロセッサバス(BS-C)131を通して供給される第3プロセッサ128によるアドレスADR、ライトデータWDT、制御信号WE、IH等を受けて所定のタイミングでアクセスすべき第1バンク103または第2バンク104側へ出力し、第1バンク103または第2バンク104から読み出されたデータを所定のタイミングで第3プロセッサバス(BS-C)131に送出する。

20

【0112】

第1切り替えスイッチ404は、端子aが第1バンク103または第2バンク104の入力端子に接続されたバス406に接続され、端子bが第1バンクコントローラ401のバンク側への出力端子に接続されたバス406に接続され、端子cが第2バンクコントローラ402のバンク側への出力端子に接続されたバス408に接続され、端子dが第3バンクコントローラ403のバンク側への出力端子に接続されたバス409に接続されている。

そして、第1切り替えスイッチ403は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第1プロセッサ101により行うことを示している場合に、端子aと端子bとを接続して、第1バンク

30

コントローラ401が所定のタイミングでバス407に送出した第1プロセッサ101によるアドレスADR、ライトデータWDT、制御信号WE、IH等をバス406に伝播させて第1バンク103または第2バンク104に入力させる。

第1切り替えスイッチ404は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第2プロセッサ102により行うことを示している場合に、端子aと端子cとを接続して、第2バンクコントローラ402が所定のタイミングでバス408に送出した第2プロセッサ102によるアドレスADR、ライトデータWDT、制御信号WE、IH等をバス406に伝播させて第1バンク103または第2バンク104に入力させる。

第1切り替えスイッチ404は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第3プロセッサ128により行うことを示している場合に、端子aと端子dとを接続して、第3バンクコントローラ403が所定のタイミングでバス409に送出した第3プロセッサ128によるアドレスADR、ライトデータWDT、制御信号WE、IH等をバス406に伝播させて第1バンク103または第2バンク104に入力させる。

40

【0113】

第2切り替えスイッチ405は、端子aが第1バンク103または第2バンク104のクロック入力端子に接続され、端子bが第1プロセッサ101用のクロックCLK-Aの供給ラインに接続され、端子cが第2プロセッサ102用のクロックCLK-Bの供給ラインに接続され、端子dが第3プロセッサ128用のクロックCLK-Cの供給ラインに接

50

続されている。

そして、第2切り替えスイッチ405は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第1プロセッサ101により行うことを示している場合に、端子aと端子bとを接続して、クロックCLK-Aを第1バンク103または第2バンク104に入力させる。

第2切り替えスイッチ405は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第2プロセッサ102により行うことを示している場合に、端子aと端子cとを接続して、クロックCLK-Bを第1バンク103または第2バンク104に入力させる。

第2切り替えスイッチ405は、アクセスバンク制御レジスタ111に設定された制御データが、第1バンク103または第2バンク104へのアクセスが第3プロセッサ128により行うことを示している場合に、端子aと端子dとを接続して、クロックCLK-Cを第1バンク103または第2バンク104に入力させる。

【0114】

このように、本第2の実施形態に係るバンクコントローラ400は、対応するバンクを、第1プロセッサ101、第2プロセッサ102または第3プロセッサ128のどちらからのコントロールを受け付けるかを選択し、かつ、バンクへのクロックも、それぞれのプロセッサ(バス)に同期したクロックを選択してバンクに分配する。このため、3つのプロセッサのバスアーキテクチャが全く異なったものでも対応が容易で、クロックの同期/非同期に関係なく、制御を切り替えることができる。

【0115】

第2の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得ることができる。

【0116】

なお、上述したように、プロセッサ数が3にもかかわらずバンクが2つであることから、アクセスできないプロセッサが生じる。アクセスできないプロセッサが無くなるようにするには、プロセッサが増えた分、共有メモリのバンク数も増やしてやればよい。

【0117】

【発明の効果】

以上説明したように、本発明によれば、共有メモリによる、プロセッサ間のデータ受け渡しを行う場合に、異なるプロセッサからのライト・リードの同時アクセスによる、データの取り違えを抑制することができる。

また、プロセッサ間のバスシステムが異なる場合でも対応可能であり、プロセッサ間のクロックが非同期でも対応可能である。

また、設定切り替えに伴うプロセッサの処理フローや、処理に伴うパラメータをソフトウェアで定義できることから、ハード固定化後の柔軟な対応が可能である、逆にいえば、早期のハード固定化が可能となる利点がある。

割り込み信号の相互受け渡しにより、複数プロセッサによる並列処理中のRAMアクセスを、動的に切り替えることが可能である。

さらに、切り替え後のアクセス・オーバーヘッド(メモリにアクセス可能となるまでの期間)は、実際には、クロックが切り替わる分のオーバーヘッド分のみとなり、極小となる。

これらにより、共有メモリによるプロセッサ間のこまめなデータ受け渡しが可能になり、繰り返し処理により、大きなデータの受け渡しも実現可能である。

【0118】

プロセッサ数が3個以上になった場合であって、回路規模を抑えたい場合には、メモリ周りの構成は最小限(バンク数:2)で構成することが可能である。

また、アクセス効率を上げたい場合には、バンク数を増やし、アクセスできないプロセッサを無くす、すなわち最大バンク数=プロセッサ数として構成することも可能である。

上記のように、要求に合わせて、柔軟に構成を選択可能である。

【0119】

切り替えはプロセッサバスのアーキテクチャに左右されるメモリコントローラとバンクで行うので、プロセッサが増えた場合の対応も、セクタの選択数を増やすのみでよく、容易に対応可能である。

プロセッサが増えた場合のオーバーヘッド分としては、共有メモリのバンク構成を増やす選択をしなければ、パラメータ伝達レジスタと割り込み発生回路のみでよいので、回路規模増加は非常に少ない。

バスのアーキテクチャが変わった場合でも、変化のあったバス側のメモリコントローラおよびレジスタ部分の対応のみでよい。

10

【図面の簡単な説明】

【図1】本発明に係るマルチプロセッサシステムの第1の実施形態を示す図である。

【図2】第1プロセッサによりアクセスバンク制御レジスタに対して、自プロセッサに第1バンクを割り当て、第2プロセッサに第2バンクを割り当てた場合のアクセス経路を示す図である。

【図3】第1プロセッサのコントロールレジスタの構成例を示す図である。

【図4】バンクアクセス制御ビットに設定される制御データに応じた2つのバンクの2つのプロセッサへの割り当て例を示す図である。

【図5】第2プロセッサインタフェースオンレジスタの構成例を示す図である。

【図6】第2プロセッサインタフェースオンレジスタの設定例を示す図である。

20

【図7】第2プロセッサのコントロールレジスタの構成例を示す図である。

【図8】バンクアクセス制御ビットに設定される制御データに応じた共有メモリの選択バンクの第2プロセッサへの割り当て例を示す図である。

【図9】第1の実施形態に係るメモリコントローラの具体的な構成例を示す図である。

【図10】シングルポートSRAMの具体的な構成例を示すブロック図である。

【図11】シングルポートSRAMの動作モードと入出力の状態を説明するための図である。

【図12】(A)~(D)はリードモード時の処理を説明するためのタイミングチャートである。

【図13】(A)~(E)はライトモード時の処理を説明するためのタイミングチャートである。

30

【図14】(A)~(F)は、リードモードおよびライトモード時のクロックがアクティブ(active)になるタイミングを示すタイミングチャートである。

【図15】(A)~(F)は、リードモードおよびライトモード時のクロックがインhibit(inhibit)になるタイミングを示すタイミングチャートである。

【図16】図1のマルチプロセッサシステムに動作を説明するための図である。

【図17】本発明に係るマルチプロセッサシステムの第2の実施形態を示す図である。

【図18】バンクアクセス制御ビットに設定される制御データに応じた2つのバンクの3つのプロセッサへの割り当て例を示す図である。

【図19】第2の実施形態に係るメモリコントローラの具体的な構成例を示す図である。

40

【図20】従来の第1の方法を採用したマルチプロセッサシステムの構成例を示す図である。

【図21】従来の第2の方法を採用したマルチプロセッサシステムの第1の構成例を示す図である。

【図22】従来の第2の方法を採用したマルチプロセッサシステムの第2の構成例を示す図である。

【符号の説明】

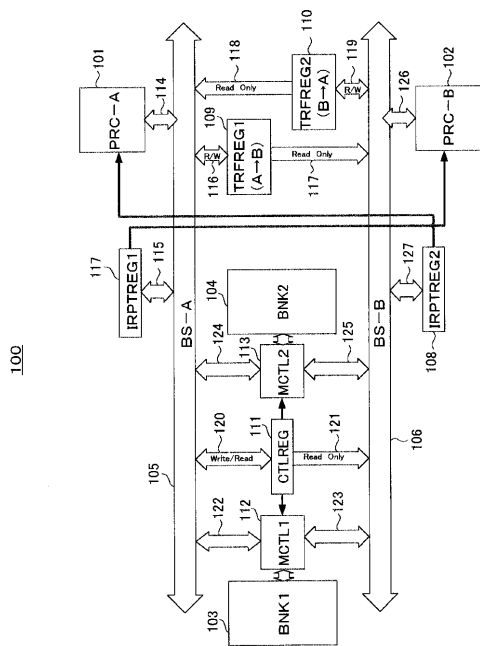
100、100A...マルチプロセッサシステム、101...第1プロセッサ(PRC-A)、102...第2プロセッサ(PRC-B)、103...第1メモリバンク(BNK1)、104...第2メモリバンク(BNK2)、105...第1プロセッサバス(BS-A)、10

50

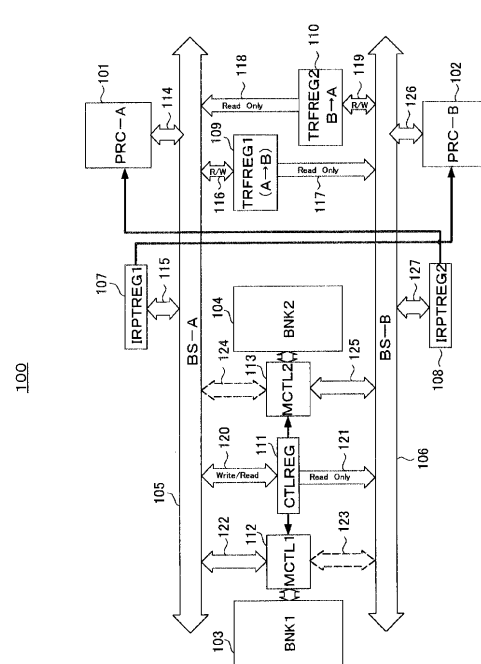
6 ... 第2プロセッサバス (BS - B)、107 ... 第1割り込み信号発生レジスタ (IRPTREG1)、108 ... 第2割り込み信号発生レジスタ (IRPTREG2)、109 ... 第1パラメータ伝達レジスタ (TRFREG1)、110 ... 第2パラメータ伝達レジスタ (TRFREG2)、111 ... アクセスバンク制御レジスタ (CTLREG)、112 ... 第1メモリコントローラ (MCTL1)、113 ... 第2メモリコントローラ (MCTL2)、114 ~ 127 ... ローカルバス、128 ... 第3プロセッサ (PRC - C)、129 ... 第3割り込み信号発生レジスタ (IRPTREG3)、130 ... 第3パラメータ伝達レジスタ (RTFREG3)、131 ... 第3プロセッサバス (BS - C)、132 ~ 141 ... ローカルバス、200 ... メモリコントローラ、201 ... 第1バンクコントローラ (BNKCTL - A)、202 ... 第2バンクコントローラ (BNKCTL - B)、203 ... 第1切り替えスイッチ、204 ... 第2切り替えスイッチ、400 ... メモリコントローラ、401 ... 第1バンクコントローラ (BNKCTL - A)、402 ... 第2バンクコントローラ (BNKCTL - B)、403 ... 第3バンクコントローラ (BNKCTL - C)、404 ... 第1切り替えスイッチ、405 ... 第2切り替えスイッチ。

10

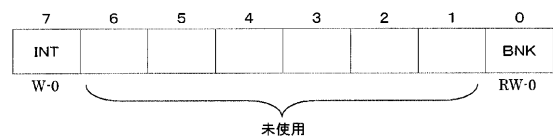
【図1】



【図2】



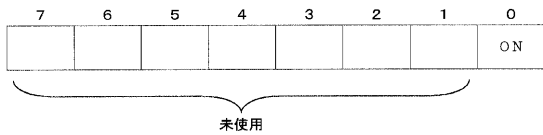
【図3】



【図4】

ビット0	PRC-A	PRC-B
0	BNK1	BNK2
1	BNK2	BNK1

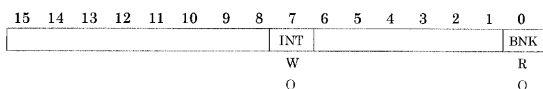
【図5】



【図6】

ビット0	インターフェース
0	オフ
1	オン

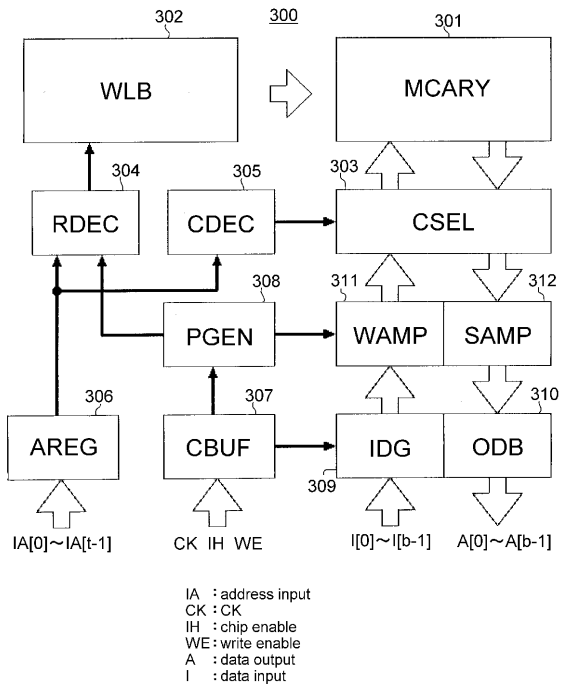
【図7】



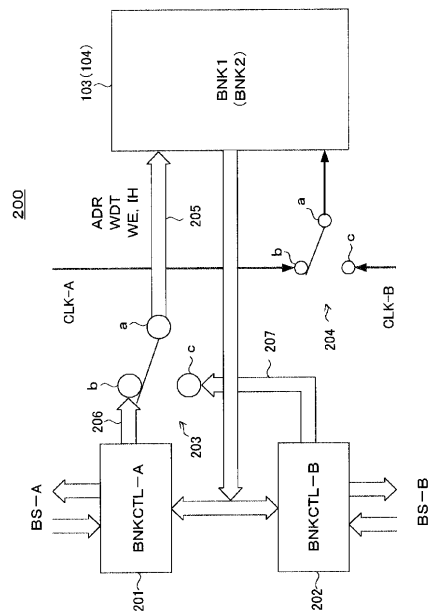
【図8】

ビット0	共有メモリ
0	第1バンクが選択中
1	第2バンクが選択中

【図10】



【図9】

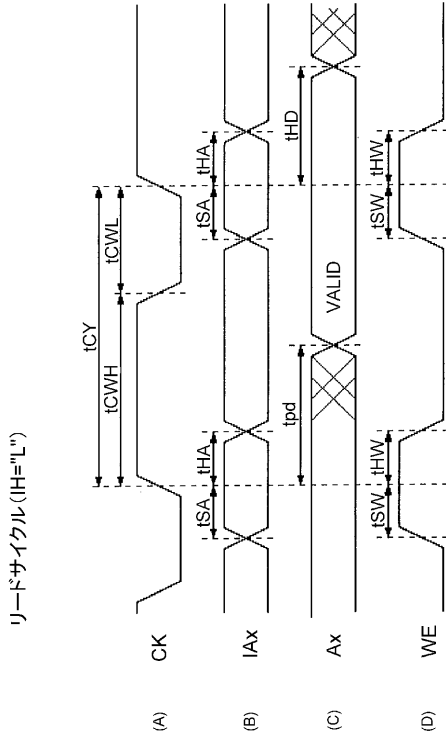


【図11】

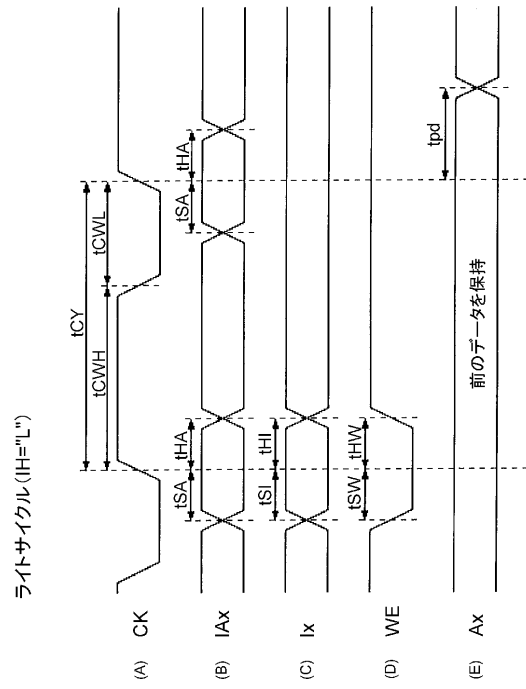
出力	入力	動作モード	WE	CK	IH
現在のアドレスのデータ出力	ラッチ	Read	H	↑	L
前回の読み出しデータを保持	ラッチ	Write	L	↑	L
前回の読み出しデータを保持	取込	set up	X	L	L
前回の読み出しデータを保持	ラッチ	Stand by	X	X	H

L: Low-level H: High-level X: H or L

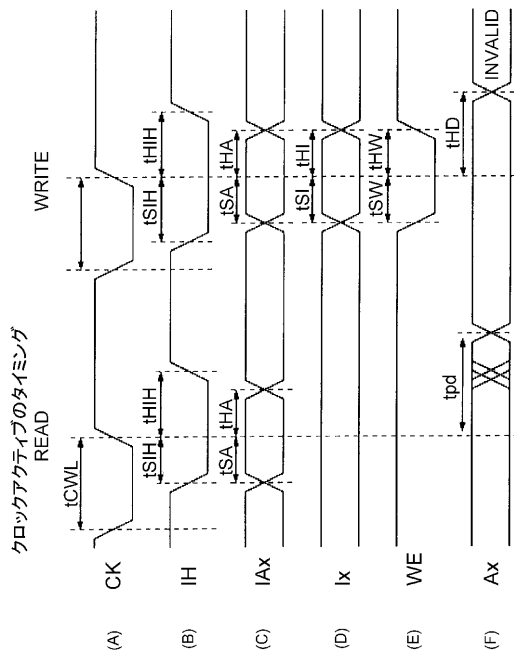
【図 1 2】



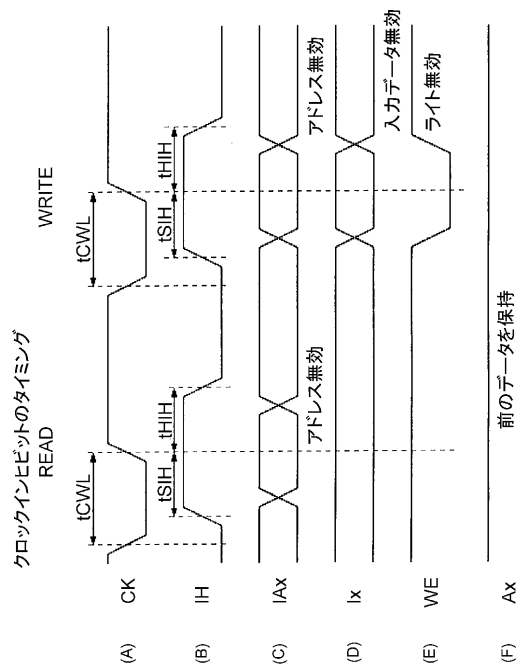
【図 1 3】



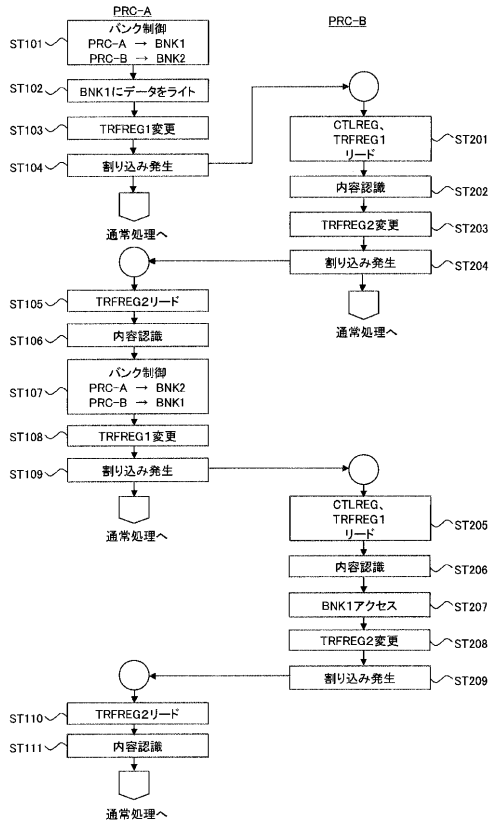
【図 1 4】



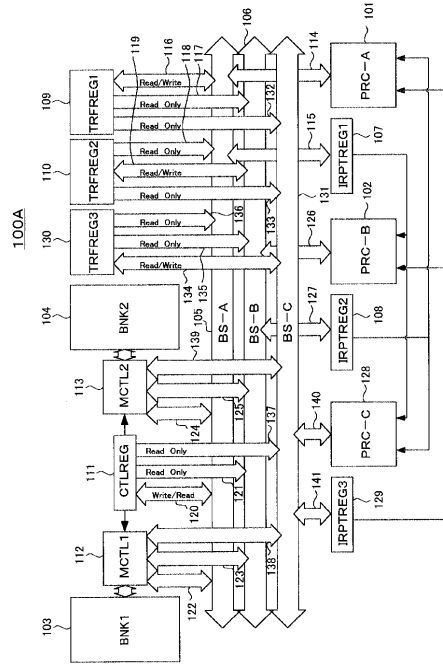
【図 1 5】



【図16】



【図17】

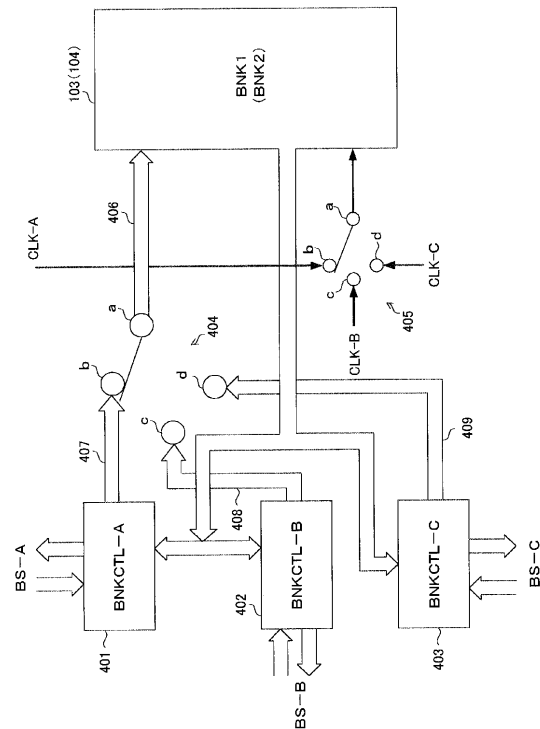


【図18】

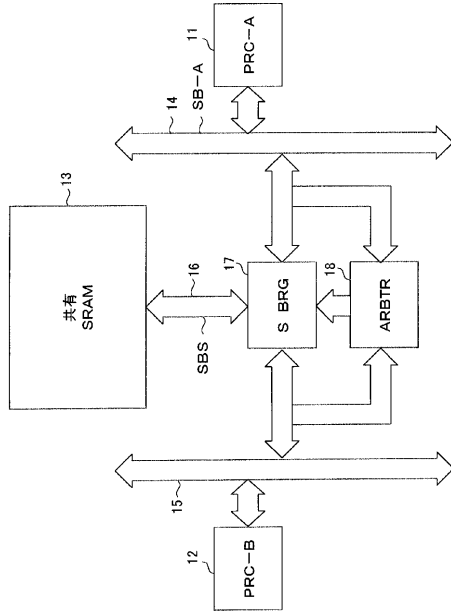
ビット2	ビット1	ビット0	PRC-A BNK1アクセス BNK2アクセス BNK1アクセス BNK2アクセス	PRC-B BNK2アクセス BNK1アクセス BNK1アクセス BNK2アクセス	PRC-C BNK1アクセス BNK2アクセス BNK1アクセス BNK2アクセス
0	0	0			x
0	0	1			x
0	1	0		x	
0	1	1		x	
1	0	0	x		
1	0	1	x		

x アクセス不可

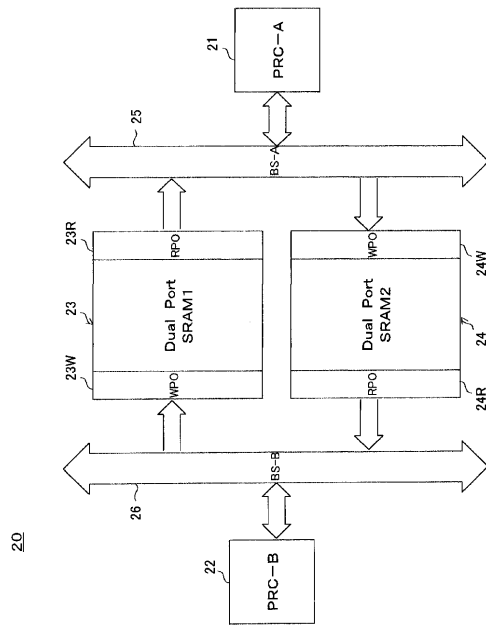
【図19】



【 図 2 0 】



【 図 2 1 】



【 図 2 2 】

