

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6599968号
(P6599968)

(45) 発行日 令和1年10月30日 (2019. 10. 30)

(24) 登録日 令和1年10月11日 (2019. 10. 11)

(51) Int. Cl.	F I
H04R 17/00 (2006.01)	H04R 17/00 332B
B81B 3/00 (2006.01)	B81B 3/00
B81C 1/00 (2006.01)	B81C 1/00
H04R 31/00 (2006.01)	H04R 17/00 330Y
H01L 41/113 (2006.01)	H04R 31/00 330
請求項の数 15 (全 43 頁) 最終頁に続く	

(21) 出願番号	特願2017-500036 (P2017-500036)	(73) 特許権者	507364838
(86) (22) 出願日	平成27年6月8日 (2015. 6. 8)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2017-528940 (P2017-528940A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成29年9月28日 (2017. 9. 28)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2015/034729		イブ 5775
(87) 国際公開番号	W02016/007250	(74) 代理人	100108453
(87) 国際公開日	平成28年1月14日 (2016. 1. 14)		弁理士 村山 靖彦
審査請求日	平成30年5月22日 (2018. 5. 22)	(74) 代理人	100163522
(31) 優先権主張番号	62/022, 140		弁理士 黒田 晋平
(32) 優先日	平成26年7月8日 (2014. 7. 8)	(72) 発明者	ジョン・ブラッドリー・ラシター
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国・カリフォルニア・921
(31) 優先権主張番号	14/569, 256		21-1714・サン・ディエゴ・モアハ
(32) 優先日	平成26年12月12日 (2014. 12. 12)		ウス・ドライブ・5775
(33) 優先権主張国・地域又は機関	米国 (US)		最終頁に続く

(54) 【発明の名称】 圧電超音波トランスデューサおよびプロセス

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に配置された多層スタックと

を備える圧電マイクロメカニカル超音波トランスデューサであって、前記多層スタックが、

前記基板上に配置されたアンカー構造と、

前記アンカー構造上に配置された圧電層スタックと、

前記圧電層スタックに近接して配置された機械層と

を含み、

前記圧電層スタックが、空洞上に配置されていて、前記空洞が、少なくとも1つの放出穴を介して犠牲材料を除去することによって形成されていて、前記機械層が、前記犠牲材料を除去した後に形成されていて、

前記機械層が、前記少なくとも1つの放出穴を封止することによって前記空洞を封止していて、前記圧電層スタックと一緒に、前記アンカー構造によって支持されていて、前記空洞上に膜を形成していて、前記膜が、前記圧電マイクロメカニカル超音波トランスデューサが超音波信号を受信または送信するとき、撓み運動と振動の一方または両方を受けるように構成された、圧電マイクロメカニカル超音波トランスデューサ。

【請求項 2】

前記機械層は、面外曲げモードを可能にするために、前記多層スタックの中立軸が前記

10

20

圧電層スタックの中立軸に対して前記機械層に向かって変位するような厚さを有する、請求項 1 に記載の圧電マイクロメカニカル超音波トランスデューサ。

【請求項 3】

前記機械層が、前記圧電層スタックよりも厚い、請求項 2 に記載の圧電マイクロメカニカル超音波トランスデューサ。

【請求項 4】

前記多層スタックの中立軸が、前記機械層を通過する、請求項 2 に記載の圧電マイクロメカニカル超音波トランスデューサ。

【請求項 5】

前記圧電層スタックが、圧電層と、前記圧電層の下に配置された下部電極と、前記圧電層の上に配置された上部電極とを含む、請求項 1 に記載の圧電マイクロメカニカル超音波トランスデューサ。

10

【請求項 6】

前記機械層が、前記機械層が局所的に薄くされた凹部を含む、請求項 1 に記載の圧電マイクロメカニカル超音波トランスデューサ。

【請求項 7】

前記機械層が、前記基板と反対側の前記圧電層スタックの側の上に配置された、請求項 1 に記載の圧電マイクロメカニカル超音波トランスデューサ。

【請求項 8】

前記機械層が、前記基板に面する前記圧電層スタックの側の下に配置された、請求項 1 に記載の圧電マイクロメカニカル超音波トランスデューサ。

20

【請求項 9】

前記圧電層スタックの上に配置された音響結合媒体をさらに備え、前記圧電マイクロメカニカル超音波トランスデューサが、前記音響結合媒体を介して超音波信号を受信または送信するように構成された、請求項 1 に記載の圧電マイクロメカニカル超音波トランスデューサ。

【請求項 10】

圧電マイクロメカニカル超音波トランスデューサを製作する方法であって、
基板上にアンカー構造を形成するステップであって、前記アンカー構造が犠牲材料の領域に近接して配置される、ステップと、
前記アンカー構造上に圧電層スタックを形成するステップと、
前記圧電層スタックの下に空洞を形成するように前記犠牲材料を除去するステップと、
前記圧電層スタックに近接して機械層を配置するステップと
を備え、前記圧電層スタックおよび前記機械層が、多層スタックの一部を形成し、前記機械層が、前記空洞を封止し、前記圧電層スタックと一緒に前記アンカー構造によって支持され、前記空洞の上に膜を形成し、前記膜が、前記圧電マイクロメカニカル超音波トランスデューサが超音波信号を受信または送信するとき、撓み運動と振動の一方または両方を受けるように構成され、

30

前記犠牲材料を除去するステップが、少なくとも 1 つの放出穴を通して犠牲材料を除去するステップを含み、前記機械層が、前記少なくとも 1 つの放出穴を封止する、方法。

40

【請求項 11】

前記アンカー構造が、下部層内に配置され、前記下部層が、前記圧電層スタックと平行であり、前記犠牲材料の領域を含む、請求項 10 に記載の方法。

【請求項 12】

前記機械層が、面外曲げモードを可能にするために、前記多層スタックの中立軸が前記圧電層スタックの中立軸に対して、前記機械層に向かって変位するような厚さを有する、請求項 10 に記載の方法。

【請求項 13】

前記機械層が、前記圧電層スタックよりも厚い、請求項 12 に記載の方法。

【請求項 14】

50

前記多層スタックの中立軸が、前記機械層を通過する、請求項 1 2 に記載の方法。

【請求項 1 5】

圧電マイクロメカニカル超音波トランスデューサセンサのアレイト、
音響結合媒体と
を備える装置であって、
少なくとも 1 つの圧電マイクロメカニカル超音波トランスデューサが、請求項 1 から 9
のいずれか一項に記載の圧電マイクロメカニカル超音波トランスデューサであり、
前記音響結合媒体が、前記圧電層スタックの上に配置されていて、
前記圧電マイクロメカニカル超音波トランスデューサが、前記音響結合媒体を介して超
音波信号を受信または送信するように構成された、装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

【関連出願の相互参照】

本開示は、参照により本明細書に組み込まれている、2014年7月8日出願した、
「PIEZOELECTRIC ULTRASONIC TRANSDUCER AND
PROCESS」と題する米国仮出願第62/022140号（代理人整理番号第QU
ALP264PUS/145636P1号）と、「PIEZOELECTRIC ULT
RASONIC TRANSDUCER AND PROCESS」と題する、米国特許
出願第14/569256号と、2013年12月12日出願した、「MICROME
CHANICAL ULTRASONIC TRANSDUCERS AND DISP
LAY」と題する米国仮出願第61/915361号の優先権を主張するものである。

20

【0002】

本開示は、圧電トランスデューサ、および圧電トランスデューサを製造するための技法
に関し、より詳細には、電子センサアレイトにおける使用、または、生体情報感知、撮像、
およびタッチ認識もしくはジェスチャ認識のための対話型ディスプレイにおける使用に適
した圧電超音波トランスデューサに関する。

【背景技術】

【0003】

薄膜圧電超音波トランスデューサは、指紋センサ、ジェスチャ検出、マイクロフォンお
よびスピーカ、超音波撮像、ならびに化学センサなどの、生体情報センサを含む多くの用
途にとって魅力的な候補である。トランスデューサは、典型的には、空洞上に懸架された
圧電スタックを含む。圧電スタックは、圧電材料の層と、圧電層の各側のパターン化され
たまたはパターン化されていない電極の層とを含み得る。

30

【0004】

図1は、圧電超音波トランスデューサの立面図である。図1に示すように、圧電超音波
トランスデューサ100が、たとえば、機械層130の上に配置された圧電層スタック1
10と、たとえば、シリコンオンインシュレータ(SOI)ウェハ内に形成され得る空洞
120とを含むように、圧電超音波トランスデューサ100を構成することが知られてい
る。圧電層スタック110は、それぞれ、圧電層115の下および上に配置された関連す
る下部電極112および上部電極114を有する圧電層115を含む。空洞120は、シ
リコンウェハ、またはいくつかの実装形態ではシリコンオンインシュレータ(SOI)ウ
ェハなどの、半導体基板160内に形成され得る。機械層130は、SOIウェハの活性
シリコン層から形成され得る。

40

【0005】

本開示の一部は、マイクロメカニカル超音波トランスデューサに関し、マイクロメカニ
カル超音波トランスデューサの態様は、本発明の譲受人に譲渡され、すべての目的のため
にその全体が参照により本出願に組み込まれている、2013年12月12日出願した
、「MICROMECHANICAL ULTRASONIC TRANSDUCERS
AND DISPLAY」と題する米国仮出願第61/915361号と、本明細書と

50

同時に出願した、「MICROMECHANICAL ULTRASONIC TRANSDUCERS AND DISPLAY」と題する米国特許出願、代理人整理番号第QUALP228US/141202号とにおいて説明されている。

【発明の概要】

【課題を解決するための手段】

【0006】

本開示のシステム、方法、およびデバイスは、各々、いくつかの革新的な態様を有し、そのうちの単独の1つが、本明細書に開示された所望の属性を単独で担うものではない。

【0007】

本開示に記載の主題の1つの革新的な態様は、基板上に配置された多層スタックを含む圧電マイクロメカニカル超音波トランスデューサ(PMUT(piezoelectric micromechanical ultrasonic transducer))に関する。多層スタックは、基板上に配置されたアンカー構造と、アンカー構造上に配置された圧電層スタックと、圧電層スタックに近接して配置された機械層とを含む。圧電層スタックは、空洞上に配置される。機械層は、空洞を封止し、圧電層スタックと一緒に、アンカー構造によって支持され、空洞上に膜を形成し、膜は、PMUTが音響信号または超音波信号を受信または送信するとき、撓み運動と振動の一方または両方を受けるように構成される。いくつかの例では、機械層は、面外曲げモードを可能にするために、多層スタックの中立軸が圧電層スタックの中立軸に対して機械層に向かって変位するような厚さを有し得る。いくつかの例では、機械層は、実質的に、圧電層スタックよりも厚くてもよい。いくつかの例では、中立軸は、機械層を通過し得る。

【0008】

いくつかの例では、空洞は、少なくとも1つの放出穴を通して犠牲材料を除去することによって形成され得、機械層は、犠牲材料を除去した後に形成され得、機械層を形成することは、少なくとも1つの放出穴を封止することによって空洞を封止し得る。

【0009】

いくつかの例では、圧電層スタックは、圧電層と、圧電層の下に配置された下部電極と、圧電層の上に配置された上部電極とを含み得る。

【0010】

いくつかの例では、機械層は、機械層が局所的に薄くされた凹部を含み得る。

【0011】

いくつかの例では、機械層は、基板と反対側の圧電スタックの側の上に配置され得る。

【0012】

いくつかの例では、機械層は、基板に面する圧電スタックの側の下に配置され得る。

【0013】

いくつかの例では、PMUTは、さらに、圧電層スタックの上に配置された音響結合媒体を含み得、PMUTは、結合媒体を介して超音波信号を受信または送信するように構成される。

【0014】

いくつかの実装形態によれば、PMUTは、基板上に配置された多層スタックを含む。多層スタックは、基板上に配置されたアンカー構造と、アンカー構造上に配置された圧電層スタックと、圧電層スタックに近接して配置された機械層とを含み、機械層は、機械層が局所的に薄くされた凹部を含む。圧電層スタックは、空洞の上に配置され、機械層は、圧電層スタックと一緒にアンカー構造によって支持され、空洞上に膜を形成し、膜は、PMUTが超音波信号を受信または送信するとき、撓み運動と振動の一方または両方を受けるように構成される。

【0015】

いくつかの例では、空洞は、少なくとも1つの放出穴を通して犠牲材料を除去することによって形成され得、機械層は、犠牲材料を除去した後に形成され得、機械層を形成することは、少なくとも1つの放出穴を封止することによって空洞を封止し得る。

10

20

30

40

50

【 0 0 1 6 】

いくつかの実装形態によれば、PMUTを製作する方法は、基板上にアンカー構造を形成するステップであって、アンカー構造が犠牲材料の領域に近接して配置される、ステップと、アンカー構造上に圧電層スタックを形成するステップと、圧電層スタックの下に空洞を形成するように犠牲材料を除去するステップと、圧電層スタックに近接して機械層を配置するステップとを含み、圧電層スタックおよび機械層は、多層スタックの一部を形成し、機械層は、空洞を封止し、圧電層スタックと一緒にアンカー構造によって支持され、空洞の上に膜を形成し、膜は、PMUTが超音波信号を受信または送信するとき、撓み運動と振動の一方または両方を受けるように構成される。

【 0 0 1 7 】

10

いくつかの例では、犠牲材料を除去するステップは、圧電層スタックの下に空洞を形成し得る。

【 0 0 1 8 】

いくつかの例では、犠牲材料を除去するステップは、少なくとも1つの放出穴を通して犠牲材料を除去するステップを含み得、機械層は、少なくとも1つの放出穴を封止する。

【 0 0 1 9 】

いくつかの例では、アンカー構造は、下部層内に配置され得、下部層は、圧電スタック層と平行であり、犠牲材料の領域を含む。

【 0 0 2 0 】

いくつかの例では、機械層は、面外曲げモードを可能にするために、多層スタックの中立軸が圧電層スタックの中立軸に対して、機械層に向かって変位するような厚さを有し得る。いくつかの例では、機械層は、実質的に、圧電層スタックよりも厚い。いくつかの例では、中立軸は、機械層を通過し得る。

20

【 0 0 2 1 】

いくつかの実装形態によれば、装置は、PMUTセンサのアレイと、音響結合媒体とを含む。少なくとも1つのPMUTは、基板上に配置された多層スタックを含む。多層スタックは、基板上に配置されたアンカー構造と、アンカー構造および空洞の上に配置された圧電層スタックと、圧電層スタックに近接して配置された機械層とを含み、機械層は、空洞を封止する。音響結合媒体は、圧電層スタックの上に配置され、PMUTは、結合媒体を介して超音波信号を受信または送信するように構成される。

30

【 0 0 2 2 】

本明細書で説明される主題の1つまたは複数の実施形態の細部が、本開示および添付図面で述べられる。他の特徴、態様、および利点は、本開示を検討することにより明らかになるであろう。本開示の図面および他の図の相対的な寸法は、一定の縮尺で描かれていない可能性のあることに留意されたい。本開示に図示され、記載された寸法、厚さ、配置、材料などは、単なる例として行われており、限定するものとして解釈されるべきではない。様々な図面における同様の参照番号および指定は、同様の要素を示す。

【図面の簡単な説明】

【 0 0 2 3 】

【図1】圧電超音波トランスデューサの立面図である。

40

【図2A】本開示の技法に従って構成されたPMUTスタックの実装形態の例を示す図である。

【図2B】本開示の技法に従って構成されたPMUTスタックの実装形態の例を示す図である。

【図2C】本開示の技法に従って構成されたPMUTスタックの実装形態の例を示す図である。

【図2D】本開示の技法に従って構成されたPMUTスタックの実装形態の例を示す図である。

【図3】PMUTの例示的な実装形態を示す図である。

【図4A】PMUTを製造するためのプロセスフローの一例を示す図である。

50

【図４Ｂ】ＰＭＵＴを製造するためのプロセスフローの一例を示す図である。

【図５Ａ】機械層を有するＰＭＵＴの別の実装形態の断面説明図である。

【図５Ｂ】機械層を有するＰＭＵＴスタックのさらに別の実装形態の断面説明図である。

【図５Ｃ】基板上に形成された上部機械層および音響ポートを有するＰＭＵＴの断面説明図である。

【図６Ａ】いくつかの実装形態によるＰＭＵＴのアレイの平面図である。

【図６Ｂ】様々な構成におけるＰＭＵＴアレイの例示的な断面立面図である。

【図６Ｃ】様々な構成におけるＰＭＵＴアレイの例示的な断面立面図である。

【図６Ｄ】様々な構成におけるＰＭＵＴアレイの例示的な断面立面図である。

【図６Ｅ】様々な構成におけるＰＭＵＴアレイの例示的な断面立面図である。

10

【図７Ａ】ＰＭＵＴのための様々なアンカー構造構成の断面立面図である。

【図７Ｂ】ＰＭＵＴのための様々なアンカー構造構成の断面立面図である。

【図７Ｃ】ＰＭＵＴのための様々なアンカー構造構成の断面立面図である。

【図７Ｄ】ＰＭＵＴのための様々なアンカー構造構成の断面立面図である。

【図７Ｅ】ＰＭＵＴのための様々なアンカー構造構成の断面立面図である。

【図７Ｆ】ＰＭＵＴのための様々なアンカー構造構成の断面立面図である。

【図８Ａ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図８Ｂ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図８Ｃ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図８Ｄ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

20

【図８Ｅ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図８Ｆ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図８Ｇ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図８Ｈ】ＰＭＵＴおよびアンカー構造の様々な幾何学的構成の上面図である。

【図９】ＰＭＵＴを製造するためのプロセスフローのさらなる例を示す図である。

【図１０Ａ】電子回路を上記で説明したＰＭＵＴと統合するためのプロセスフローを示す図である。

【図１０Ｂ】電子回路を上記で説明したＰＭＵＴと統合するためのプロセスフローを示す図である。

【図１０Ｃ】電子回路を上記で説明したＰＭＵＴと統合するためのプロセスフローを示す図である。

30

【図１１Ａ】ＰＭＵＴ超音波センサアレイの様々な構成の断面図である。

【図１１Ｂ】ＰＭＵＴ超音波センサアレイの様々な構成の断面図である。

【図１１Ｃ】ＰＭＵＴ超音波センサアレイの様々な構成の断面図である。

【図１２】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１３Ａ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１３Ｂ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１４Ａ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１４Ｂ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１５Ａ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

40

【図１５Ｂ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１６Ａ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１６Ｂ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１７Ａ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１７Ｂ】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【図１８】ＰＭＵＴを製造するためのプロセスフローの別の例を示す図である。

【発明を実施するための形態】

【００２４】

以下の説明は、本開示の革新的な態様を説明する目的のための特定の实装形態に向けられる。しかしながら、当業者は、本明細書の教示が多数の異なる方法において適用される

50

ことを容易に認識するであろう。説明される実施形態は、超音波センサを含む任意のデバイス、装置、またはシステムにおいて実施され得る。たとえば、説明される実施形態は、これだけに限らないが、モバイル電話、マルチメディアインターネット使用可能な携帯電話、モバイルテレビジョン受信機、ワイヤレスデバイス、スマートフォン、Bluetooth（登録商標）デバイス、携帯情報端末（PDA）、ワイヤレス電子メール受信機、ハンドヘルドもしくは可搬型コンピュータ、ネットブック、ノートブック、スマートブック、タブレット、プリンタ、複写機、スキャナ、ファクシミリデバイス、全地球測位システム（GPS）受信機／ナビゲータ、カメラ、デジタルメディアプレーヤ（MP3プレーヤなど）、カムコーダ、ゲーム機、腕時計、時計、計算器、テレビジョンモニタ、フラットパネルディスプレイ、電子的な読取りデバイス（たとえば、電子書籍リーダー）、モバイル健康デバイス、コンピュータモニタ、自動車ディスプレイ（走行距離計および速度計ディスプレイなどを含む）、コックピット制御部および／またはディスプレイ、カメラビューディスプレイ（車両の後方視カメラのディスプレイなど）、電子写真、電子掲示板もしくは標示、プロジェクタ、アーキテクチャ構造、マイクロ波、冷蔵庫、ステレオシステム、カセットレコーダもしくはプレーヤ、DVDプレーヤ、CDプレーヤ、VCR、ラジオ、可搬型記憶チップ、洗濯機、乾燥機、洗濯機／乾燥機、パーキングメータ、パッケージング（微小電気機械システム（MEMS）用途を含む電気機械システム（EMS）用途、ならびに非EMS用途など）、美的構造（宝石または衣服の1つに対する画像の表示など）、ならびに様々なEMSデバイスなど、様々な電子デバイスに含まれる、または関連付けられ得ることが企図される。本明細書の教示はまた、これだけに限らないが、電子ス

10

20

30

40

50

【0025】

本開示のシステム、方法、およびデバイスは、各々、いくつかの革新的な態様を有し、そのうちの単独の1つが、本明細書に開示された所望の属性を単独で担当するものではない。本開示で説明される主題の1つの革新的な態様は、空洞上に配置された圧電層スタックと機械層とを含む多層スタックとして構成された圧電マイクロメカニカル超音波トランスデューサ（PMUT）において実装される。空洞は、多層スタックの下部層内に形成され得、その上には、圧電層スタックが形成される。機械層は、圧電層スタックに近接して配置される。機械層は、空洞を封止し、圧電層スタックと一緒にアンカー構造によって支持され、空洞の上に膜を形成する。膜は、PMUTが音響信号または超音波信号を受信または送信するとき、撓み運動と振動の一方または両方を受けるように構成され得る。アンカー構造は、下部層内に基板上で配置され得、下部層は、圧電スタック層と平行であり、犠牲材料の1つまたは複数の領域を含む。犠牲材料は、圧電層スタックの下に1つまたは複数の空洞を形成するために犠牲的に除去され得る。

【0026】

いくつかの実装形態では、機械層は、面外曲げモードを可能にするために、多層スタックの中立軸が圧電層スタックの中立軸に対して、機械層に向かって変位するような厚さを有する。結果として、PMUTスタックの中立軸は、基板と反対側の方向に圧電層から離れた距離であり得る。より具体的には、中立軸は、圧電層スタックおよび空洞の上にある、圧電層スタックとほぼ平行な平面内で、機械層を通過し得る。いくつかの実装形態では、PMUTスタックの中立軸は、基板に向かう方向に圧電層から離れた距離であり得る。より具体的には、中立軸は、圧電層スタックの下にある、圧電層スタックとほぼ平行な平面内で、機械層を通過し得る。

【0027】

本開示で説明される主題の1つの革新的な態様は、ディスプレイまたは超音波指紋セン

10

20

30

40

50

サアレイの背面の下に、そのそばに、それとともに、その上に、またはその上方に圧電マイクロメカニカル超音波トランスデューサ(PMUT)要素の1次元アレイまたは2次元アレイを含む装置において実施され得る。

【0028】

いくつかの実装形態では、PMTUアレイは、複数の周波数範囲に対応するモードで動作するように構成可能であり得る。いくつかの実装形態では、たとえば、PMTUアレイは、低周波数範囲(たとえば、50kHz~200kHz)に対応する低周波数モードで、または高周波数範囲(たとえば、1MHz~25MHz)に対応する高周波数モードで動作するように構成可能であり得る。高周波数モードで動作するとき、装置は、比較的より高い解像度で撮像することが可能であり得る。したがって、装置は、ディスプレイまたはセンサアレイの表面上に置かれた指などの物体から、タッチ、指紋、スタイラス、および生体情報を検出することが可能であり得る。そのような高周波数モードは、本明細書では、指紋センサモード、タッチモード、およびスタイラスモードと呼ばれることもある。

【0029】

低周波数モードで動作するとき、装置は、装置が高周波数モードで動作しているときよりも、空気中への比較的大きな侵入が可能な音波を放射することが可能であり得る。そのような低周波数の音波は、カバーガラス、タッチスクリーン、ディスプレイアレイ、バックライト、または、超音波送信機とディスプレイもしくはセンサ表面との間に配置された他の層を含む、様々な上側層を介して送信され得る。いくつかの実装形態では、ポートは、PMTUアレイから空気中への音響結合を最適化するために、上側層のうちの1つまたは複数を介して開かれ得る。低周波数音波は、ディスプレイまたはセンサ表面の上の空気中を送信され、表面の近くの1つまたは複数の物体から反射され、空気中を送信され、上側層を介して戻され、超音波受信機によって検出され得る。したがって、低周波数モードで動作するとき、装置は、ジェスチャ検出モードで動作することが可能であり得、ジェスチャ検出モードでは、ディスプレイの近くの自由空間ジェスチャが検出され得る。

【0030】

代替的にまたは付加的に、いくつかの実装形態では、PMTUアレイは、低周波数範囲と高周波数範囲との間の周波数範囲(たとえば、約200kHz~約1MHz)に対応する中周波数モードで動作する構成可能であり得る。中周波数モードで動作するとき、装置は、高周波数モードよりもいくぶん低い解像度を有するが、タッチセンサ機能を提供することが可能であり得る。

【0031】

PMTUアレイは、波面ビーム形成、ビーム操作、受信側ビーム形成、および/または戻ってきた信号の選択的読出しのためにアドレス可能であり得る。たとえば、個々の列、行、センサピクセル、および/またはセンサピクセルのグループは、個別にアドレス可能であり得る。制御システムは、平面状、円形、または円筒形の波面などの特定の形状の波面を生成するように送信機のアレイを制御し得る。制御システムは、所望の位置に強め合い干渉または弱め合い干渉を生成するように、送信機のアレイの振幅および/または位相を制御し得る。たとえば、制御システムは、タッチまたはジェスチャが検出された1つまたは複数の位置に強め合い干渉を生成するように、送信機のアレイの振幅および/または位相を制御し得る。

【0032】

いくつかの実装形態では、PMTUデバイスは、いくつかの例ではガラス基板またはプラスチック基板である同じ基板上に薄膜トランジスタ(TFT)回路で同時製造され(c o - f a b r i c a t e d)得る。TFT基板は、行および列アドレス指定電極と、マルチプレクサと、ローカル増幅段と、制御回路とを含み得る。いくつかの実装形態では、ドライバ段と感知段とを含むインターフェース回路は、PMTUデバイスを励起し、同じデバイスからの応答を検出するために使用され得る。他の実装形態では、第1のPMTUデバイスは、音響送信機または超音波送信機として機能し得、第2のPMTUデバイスは、音響受信機または超音波受信機として機能し得る。いくつかの構成では、異なるPMTU

デバイスは、（たとえば、ジェスチャ検出および指紋検出のための）低周波数動作および高周波数動作が可能であり得る。他の構成では、同じPMUTデバイスは、低周波数動作および高周波数動作のために使用され得る。いくつかの実装形態では、PMUTは、シリコンウェハ内に製造された能動シリコン回路を有するシリコンウェハを使用して製造され得る。能動シリコン回路は、PMUTまたはPMUTアレイを機能させるための電子装置を含み得る。

【0033】

図2A～図2Dは、本開示の技法に従って構成されたPMUTスタックの実装形態の例を示す。図示の実装形態では、PMUT200Aは、圧電層スタック210の上に配置された機械層230を含む。圧電層スタック210は、それぞれ、圧電層115の下および上に配置された、関連する下部電極212と上部電極214とを有する圧電層215を含む。機械層230は、基板と反対側の圧電スタックの側に配置される。

10

【0034】

機械層230は、空洞220と反対側の圧電層スタック210側の上方に配置され、圧電層スタック210と一緒に、空洞220の上方にドラム状の膜を形成し得る。膜は、PMUTが音響信号または超音波信号を受信または送信するときに、撓み運動および/または振動を受けるように構成され得る。図2Aに示す実装形態では、圧電層スタック210は、空洞220と機械層230との間にあるが、図1に示す構成では、PMUT100の機械層130は、圧電層スタック110と空洞120との間にある。いくつかの実装形態では、機械層230は、圧電層スタックよりも実質的に厚くてもよい。

20

【0035】

機械層230は、電氣的に絶縁性の材料から製作され得、微細加工プロセスの終わりごろに、すなわち、圧電層スタック210および圧電層スタック210が上に配置される空洞220の形成およびパターン化後に堆積され得る。機械層230は、PMUTスタックの中立軸250が圧電層スタック210の上方のある距離にあるような寸法および機械的特性を有するように構成され得る。より具体的には、中立軸250は、圧電層スタック210の上方の機械層230を含む平面内に配置される。機械層230は、空洞220および基板260と反対側の圧電層スタック210の側に近接していることがわかる。いくつかの実装形態では、中立軸250は、圧電層スタック210と実質的に平行な、機械層230に向かう方向に圧電層スタック210の中立軸から距離を開けて圧電層スタック210を通過する平面内に配置され得る。

30

【0036】

圧電層を含む多くの多層微細構造デバイスについて、多層スタックの中立軸が圧電層の中立軸から離れていることが好ましい。たとえば、本開示のPMUTの機械層230は、多層スタックの中立軸250を圧電層210の中立軸から離れた距離にする。距離は、様々な層の厚さとそれらの弾性特性とによって決定され得、それらの弾性特性は、トランスデューサの共振周波数と性質係数要件とによって決定され得る。いくつかの実装形態では、中立軸250は、圧電層210の中立軸から離れた距離にあり得、機械層230に向かって変位され得るが、中立軸250は、圧電層内または圧電スタック内に依然として存在し得る。たとえば、機械層230は、多層スタックの面外曲げモードを可能にするような厚さを有し得る。いくつかの実装形態では、機械層230は、多層スタックが面外モード、たとえば、ピストンモードまたは基本モードにおいて主に励起されることを可能にするように構成され得る。面外モードは、たとえば、円形、正方形、または矩形のPMUTの中心において、空洞220に近接した多層スタックの部分（本明細書では、「解放部分」と呼ばれることもある）の変位を引き起こし得る。いくつかの実装形態では、中立軸250の変位は、 d_{31} モードまたは e_{31} モードにおけるトランスデューサ動作を許可し、これらのモードでは、変換領域における膜の多層スタックの中立軸は、スタック内の活性圧電材料の中立軸からオフセットされ得る。

40

【0037】

以下でより詳細に説明するように、機械層230は、空洞220を封止するカプセル化

50

層を提供するように構成され得る。加えて、機械層 230 は、圧電層スタック 210 の電極のためのパッシベーション層として機能し得る。機械層 230 の材料特性、厚さ、および内部応力の賢明な選択によって、特定のトランスデューサパラメータが改善され得る。たとえば、様々な層内の残留応力から結果として生じ得る、共振周波数、静的および動的な撓み、音響圧力出力、ならびに膜の形状（弓）は、機械層 230 を適切に構成することによって調整され得る。

【0038】

いくつかの実装形態では、機械層 230 は、トランスデューサの製造後に電気回路を構築するための音響結合層の装着のための平坦化を提供するように、および/または、圧電層スタック 210 に対する容量デカップリングのための機械層 230 の上部に追加のルーティング層を作成するために絶縁層を設けるように構成され得る。

10

【0039】

いくつかの実装形態では、機械層 230 は、PMUT スタックの一部の総厚を減少させる凹部を含み得る。凹部および凹部特徴部のサイズおよび幾何学的形状は、共振周波数、静的および動的な撓み、音響圧力出力、機械的性質係数（Q）、ならびに膜の形状（弓）などのトランスデューサのパラメータに影響を及ぼすように設計され得る。図 2B は、機械層 230 の上側部分内に形成された凹部 232 を有する PMUT 構造の断面図を示し、ここで、機械層は、局所的に薄くされる。図示の実装形態では、凹部 232 は、PMUT 200B の機械層 230 の中央領域内に形成される。

20

【0040】

中立軸 250 は、凹部 232 に近接する空洞 220 に向かって下方に移動することが観察され得る。凹部 232 は、ダイアフラムの中心近くの円形 PMUT ダイアフラム内に部分的に形成された円もしくはリング、または、円形ダイアフラムの周辺部の近くに形成された角のあるトレンチまたは角のあるトレンチの一部などの、実質的に対照的な特徴部を含み得る。いくつかの実装形態では、凹部 232 は、正方形または矩形の PMUT ダイアフラムの中心の近くで機械層 230 内に形成された正方形または矩形の特徴部を含み得る。いくつかの実装形態では、凹部 232 は、正方形、矩形、または円形のダイアフラムの周辺部近くに形成された狭い矩形、局所トレンチ、または、スロットなどの特徴部を含み得る。いくつかの実装形態では、一連の半径方向スロットは、中央のまたは周辺の凹部特徴部と組み合わせられ得る。いくつかの実装形態では、凹部または凹部特徴部は、機械層 230 を介して部分的または実質的にエッチングし、下にある圧電層スタック 210 上で停止することによって形成され得る。いくつかの実装形態では、凹部 232 および/またはその特徴部は、たとえば、エッチング時間に基づいて、機械層 230 内に形成され得る。いくつかの実装形態では、機械層 230 は、2 つ以上の堆積された層を含み得、堆積された層のうちの 1 つは、製造中に凹部および凹部特徴部の正確な画定を可能にするエッチング停止層またはバリア層として機能し得る。

30

【0041】

図 2C は、本開示の技法に従って構成された PMUT スタックの実装形態の別の例を示す。図示の実装形態では、PMUT 200C の機械層 230 は、空洞 220 の上でかつ圧電層スタック 210 の下に配置される。したがって、機械層 230 は、空洞 220 および基板 260 に面する圧電層スタック 210 の側の下に配置される。圧電層スタック 210 と一緒に、機械層 230 は、空洞 220 の上方にドラム状の膜またはダイアフラムを形成し得、ドラム状の膜またはダイアフラムは、PMUT が音響信号または超音波信号を受信または送信するときに、撓み運動および/または振動を受けるように構成される。いくつかの実装形態では、機械層 230 は、圧電層スタックよりも実質的に厚くてもよい。

40

【0042】

以下でより詳細に説明するように、機械層 230 は、空洞 220 を封止するカプセル化層を提供するように構成され得る。機械層 230 の材料特性、厚さ、および内部応力の賢明な選択によって、特定のトランスデューサパラメータが改善され得る。たとえば、様々な層内の残留応力から結果として生じ得る、共振周波数、静的および動的な撓み、音響圧

50

力出力、ならびに膜の形状（弓）は、機械層 230 を適切に構成することによって調整され得る。

【0043】

いくつかの実装形態では、機械層 230 は、PMUT スタックの一部の総厚を減少させる凹部を含み得る。凹部および凹部特徴部のサイズおよび幾何学的形状は、共振周波数、静的および動的な撓み、音響圧力出力、機械的性質係数（Q）、ならびに膜の形状（弓）などのトランスデューサのパラメータに影響を及ぼすように設計され得る。図 2D は、機械層 230 の下側部分内に形成された凹部 232 を有する PMUT 構造の断面図を示し、ここで、機械層 230 は、局所的に薄くされる。図示の実装形態では、凹部 232 は、PMUT 200D の機械層 230 の中央領域内に形成される。

10

【0044】

凹部 232 は、ダイアフラムの中心近くの円形 PMUT ダイアフラム内に部分的に形成された円もしくはリング、または、円形ダイアフラムの周辺部の近くに形成された角のあるトレンチまたは角のあるトレンチの一部などの、実質的に対照的な特徴部を含み得る。いくつかの実装形態では、凹部 232 は、正方形または矩形の PMUT ダイアフラムの中心の近くで機械層 230 内に形成された正方形または矩形の特徴部を含み得る。いくつかの実装形態では、凹部 232 は、正方形、矩形、または円形のダイアフラムの周辺部近くに形成された狭い矩形、局所トレンチ、または、スロットなどの特徴部を含み得る。いくつかの実装形態では、一連の半径方向スロットは、中央のまたは周辺の凹部特徴部と組み合わせられ得る。いくつかの実装形態では、凹部または凹部特徴部は、機械層 230 および圧電層スタック 210 の堆積の前に、下にある犠牲層（図示せず）を介して部分的にエッチングすることによって形成され得る。いくつかの実装形態では、凹部 232 および/またはその特徴部は、エッチング時間に基づいて、下にある犠牲層内に部分的にエッチングすることによって形成され得る。いくつかの実装形態では、犠牲層は、2 つ以上の堆積された層のスタックを含み得、堆積された層のうちの 1 つは、犠牲層の局所的な隆起部が機械層 230 および圧電層スタック 210 の堆積の前に形成されることを可能にし得、堆積された層のうちの 1 つは、製造中に凹部および凹部特徴部の正確な画定を可能にするエッチング停止層またはバリア層として機能し得る。いくつかの実装形態では、機械層 230 の上面は、圧電層スタック 210 を形成する前に平坦化され得る。たとえば、機械層 230 は、化学機械平坦化とも呼ばれる化学機械研磨（CMP）で平坦化され得る。

20

30

【0045】

本開示の技法のよりよい理解は、次に図 3 を参照することによって得られ得る。図 3 は、PMUT の例示的な実装形態を示す。図示の PMUT 300 は、空洞 320i の上に配置された圧電層スタック 310 を含む。以下でより詳細に説明するように、空洞 320i は、1 つまたは複数の放出穴 320o を介するアンカー構造 370 内に形成された犠牲層の除去によって形成され得る。アンカー構造 370 は、以下でより詳細に説明するように、基板 360 上に堆積され得る。スケーラビリティのために、これらの構造は、IC 産業、MEMS 産業、および LCD 産業で一般的なプロセスを使用して製作されることが好ましい。

【0046】

40

図示の実装形態では、圧電層スタック 310 は、下部電極 312 と上部電極 314 との間に配置された圧電層 315 を含む。機械層 330 は、空洞 320i と反対側の圧電層スタック 310 の上方に配置され、圧電層スタック 310 と一緒に、空洞 320i の上方にドラム状の膜またはダイアフラムを形成し得、ドラム状の膜またはダイアフラムは、PMUT が音響信号または超音波信号を受信または送信するときに、撓み運動および/または振動を受けるように構成される。いくつかの実装形態では、機械層 330 は、中立軸 350 が圧電層スタック 310 の実質的に外部（上方）に配置されるように構成され得る。有利には、機械層 330 は、PMUT 300 のための追加の構造的支持も提供しながら、図 3 の断面 B-B に示すように、1 つまたは複数の放出穴 320o を封止し、外部の液体および気体から空洞 320i を隔離するカプセル化層として機能し得る。

50

【 0 0 4 7 】

図 4 A および図 4 B は、P M U T を製造するためのプロセスフローの一例を示す。図示の例では、ステップ S 4 0 1 において、アンカー構造 4 7 0 の第 1 の層部分 4 7 2 が基板 3 6 0 上に堆積される。第 1 の層部分 4 7 2 は、酸化物バッファ層と呼ばれることもある。いくつかの実装形態では、酸化物バッファ層 4 7 2 は、約 5 0 0 ~ 約 3 0 0 0 0 の範囲内の厚さを有する二酸化ケイ素 (SiO_2) 層であり得る。たとえば、一実装形態では、酸化物バッファ層 4 7 2 の厚さは、約 5 0 0 0 である。基板 3 6 0 は、ガラス基板、シリコンウェハ、または他の適切な基板材料であり得る。

【 0 0 4 8 】

図示の例では、ステップ S 4 0 2 において、犠牲領域 4 2 5 i および 4 2 5 o が、犠牲材料の犠牲層 4 2 5 を酸化物バッファ層 4 7 2 上に最初に堆積させることによって形成され得、犠牲材料は、アモルファスシリコン (a-Si)、多結晶シリコン (poly-Si)、または a-Si と poly-Si の組合せを含み得る。代替的には、モリブデン (Mo)、タングステン (W)、ポリエチレンカーボネート (PEC)、ポリプロピレンカーボネート (PPC)、またはポリノルボルネン (PNB) などの他の犠牲層材料が使用され得る。ステップ S 4 0 2 はまた、犠牲領域 4 2 5 i および 4 2 5 o を形成するために犠牲層 4 2 5 をパターン化し、エッチングするステップを含み得る。内側犠牲領域 4 2 5 i は、図 3 の空洞 3 2 0 i に対応する入りに配置され得、外側犠牲領域 4 2 5 o は、放出穴 3 2 0 o に対応する位置に配置され得る。犠牲材料層 (図示せず) の 1 つまたは複数の放出チャネルまたは放出ビアは、外側犠牲領域 4 2 5 o を内側犠牲領域 4 2 5 i に接続し得る。PEC、PPC、または PNB を使用するいくつかの実装形態では、これらの犠牲材料が、いくぶん透過性の上にある層を介して拡散し得る、二酸化炭素 (CO_2)、単原子水素もしくは二原子水素、または単原子酸素もしくは二原子酸素のようなガス状副生成物を生成するように熱分解され得る場合、放出チャネルまたは放出ビアは、P M U T 内の下にある空洞を形成するために必要とされないことがある。いくつかの実装形態では、犠牲層 4 2 5 は、約 5 0 0 ~ 約 2 0 0 0 0 の範囲内の厚さを有する。たとえば、一実装形態では、犠牲層 4 2 5 の厚さは、約 1 0 0 0 0 である。

【 0 0 4 9 】

図示の例では、ステップ S 4 0 3 において、アンカー構造 4 7 0 のアンカー部分 4 7 4 は、犠牲領域 4 2 5 i および 4 2 5 o を取り囲むように酸化物バッファ層 4 7 2 上に堆積される。いくつかの実装形態では、アンカー部分 4 7 4 は、約 7 5 0 ~ 2 2 0 0 0 の範囲内の厚さを有する SiO_2 層であり得る。たとえば、一実装形態では、アンカー部分 4 7 4 の厚さは、約 1 2 0 0 0 である。堆積に続いて、アンカー部分 4 7 4 は、オプシオンで、堆積された層の上部を平坦化するために化学機械平坦化 (CMP) を受け得る。代替的には、または加えて、アンカー部分 4 7 4 は、化学的方法、プラズマ方法、または他の材料除去方法で薄くされ得る。

【 0 0 5 0 】

図示の例では、ステップ S 4 0 4 において、圧電層スタック 4 1 0 がアンカー構造 4 7 0 上に形成される。より具体的には、いくつかの実装形態では、一連の堆積プロセスは、結果として、アンカー構造 4 7 0 ならびに犠牲領域 4 2 5 i および 4 2 5 o 上に堆積された窒化アルミニウム (AlN)、二酸化ケイ素 (SiO_2)、または他の適切なエッチング耐性層の第 1 の層 (または「バリア層」) 4 1 1 と、バリア層 4 1 1 上に堆積されたモリブデン (Mo)、白金 (Pt)、または他の適切な導電性材料の下部電極層 4 1 2 と、下部電極層 4 1 2 上に堆積された AlN 、酸化亜鉛 (ZnO)、ジルコン酸チタン酸塩 (PZT)、または他の適切な圧電材料などの圧電層 4 1 5 と、圧電層 4 1 5 上に堆積された Mo 、 Pt 、または他の適切な導電層の上部電極層 4 1 4 とをもたらす。いくつかの実装形態では、バリア層 4 1 1 は、約 3 0 0 ~ 1 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、バリア層 4 1 1 の厚さは、約 5 0 0 である。いくつかの実装形態では、下部電極層 4 1 2 は、約 1 0 0 0 ~ 3 0 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、下部電極層 4 1 2 の厚さは、約 1 0 0 0 である。いくつ

10

20

30

40

50

かの実装形態では、圧電層 4 1 5 は、約 1 0 0 0 ~ 3 0 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、活性圧電層 4 1 5 の厚さは、約 1 0 0 0 0 である。いくつかの実装形態では、上部電極層 4 1 4 は、約 1 0 0 0 ~ 3 0 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、上部電極層 4 1 4 の厚さは、約 1 0 0 0 である。第 1 の層またはバリア層 4 1 1 は、いくつかの実装形態では、後続の下部電極層および/または圧電層の堆積のためのシード層として機能し得る。

【 0 0 5 1 】

ステップ S 4 0 4 に続いて、一連のパターン化動作および形成動作は、圧電層スタック 4 1 0 内に含まれる様々な層を所望の幾何学的構成で選択的に露出させるように実行され得る。図示の例では、ステップ S 4 0 5 において、モリブデンの上部電極層 4 1 4 は、圧電層 4 1 5 の選択された領域を露出させるようにパターン化およびエッチングを受け得る。ステップ S 4 0 6 において、A l N または他の圧電材料の圧電層 4 1 5 は、下部電極層 4 1 2 の選択された領域を露出させるようにパターン化およびエッチングを受け得る。ステップ S 4 0 7 において、モリブデンの下部電極層 4 1 2 は、バリア層 4 1 1 の選択された領域を露出させるようにパターン化およびエッチングを受け得る。

【 0 0 5 2 】

図示の例では、ステップ S 4 0 8 において、絶縁層 4 1 6 が、ステップ S 4 0 4 ~ S 4 0 7 の前のマスキング動作およびエッチング動作の間に露出された上部電極層 4 1 4 および他の表面上に堆積され得る。いくつかの実装形態では、絶縁層 4 1 6 は、たとえば、S i O₂ であり得、約 3 0 0 ~ 5 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、絶縁層 4 1 6 の厚さは、約 7 5 0 である。ステップ S 4 0 8 はまた、上部電極層 4 1 4、下部電極層 4 1 2、および外側犠牲領域 4 2 5 o の選択された領域を露出させるように絶縁層 4 1 6 をパターン化し、エッチングするステップを含み得る。P E C、P P C 加えて、または P N B などの熱分解可能な犠牲材料を使用するいくつかの実装形態では、絶縁層 4 1 6 をパターン化し、エッチングするステップは、任意の外側犠牲領域 4 2 5 o を露出させる必要はない。

【 0 0 5 3 】

図示の例では、ステップ S 4 0 9 において、金属相互接続層 4 1 8 が、ステップ S 4 0 8 の前のマスキング動作およびエッチング動作の間に露出された表面上に堆積され得る。相互接続層 4 1 8 は、たとえば、アルミニウムであり得、約 1 0 0 0 ~ 5 0 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、相互接続層 4 1 8 の厚さは、約 1 0 0 0 である。ステップ S 4 0 9 はまた、絶縁層 4 1 6 および外側犠牲領域 4 2 5 o の選択された領域を露出させるように相互接続層 4 1 8 をパターン化し、エッチングするステップを含み得る。熱分解可能な犠牲材料を使用する実装形態では、相互接続層 4 1 8 をパターン化し、エッチングするステップは、任意の外側犠牲領域 4 2 5 o を露出させる必要はない。

【 0 0 5 4 】

図示の例では、ステップ S 4 1 0 において、内側犠牲領域 4 2 5 i および外側犠牲領域 4 2 5 o を形成するためにステップ S 4 0 2 において堆積された犠牲材料は、除去され得、それによって放出穴 4 2 0 o および空洞 4 2 0 i を形成する。内側犠牲領域 4 2 5 i、外側犠牲領域 4 2 5 o、および、外側犠牲領域 4 2 5 i と外側犠牲領域 4 2 5 o との間の放出チャネルを接続する 1 つまたは複数の接続放出チャネルからの犠牲材料の除去は、放出穴 4 2 0 o を介して行われ得る。たとえば、a - S i / P o l y S i 犠牲層 4 2 5 は、犠牲材料をエッチング液、たとえば、二フッ化キセノン (X e F₂) に曝すことによって除去され得る。外側犠牲領域 4 2 5 o を内側犠牲領域 4 2 5 i に結合する放出チャネルまたはビアを設けることによって、内側犠牲領域 4 2 5 i の犠牲材料の実質的にすべてが、1 つまたは複数の放出穴 4 2 0 o を介して除去され得る。熱分解可能な犠牲材料を使用するいくつかの実装形態では、基板の温度を分解温度 (たとえば、P E C について約 2 0 0 度、P N B について約 4 2 5 度) まで上昇させることは、犠牲材料を選択的に除去し得、分解中、ガス状副生成物が、上にある層を介して拡散する、または任意の露出された放出

10

20

30

40

50

チャンネルもしくはビアを介して発散する。

【0055】

図示の例では、ステップS411において、機械層430が、ステップ409の前のマスキング動作およびエッチング動作の間に露出された表面上に堆積され得る。機械層430は、 SiO_2 、 SiON 、窒化ケイ素(SiN)、他の誘電体材料、または誘電体材料もしくは層の組合せを含み得る。機械層430は、約1000 ~ 50000の範囲内の厚さを有し得る。たとえば、一実装形態では、機械層430の厚さは、約20000である。ステップS409はまた、所望のプロファイルを達成するように機械層430をパターン化し、エッチングするステップを含み得る。図4A~図4Bに示すように、機械層430は、放出穴420oを機械的に封止(カプセル化)するように構成され得る。結果として、ステップS411における機械層430の堆積は、カプセル化された空洞420iと周囲環境との間の実質的な程度の隔離を提供し得る。機械層430はまた、上部電極層414および他の露出された層の上のパッシベーション層として機能し得る。熱分解可能な犠牲材料を使用する実装形態では、機械層430の堆積は、下にある空洞420iを封止または他の方法でカプセル化するために必要とされないことがある。

【0056】

図5Aは、機械層を有するPMUTの別の実装形態の断面説明図を示す。図示の実装形態では、PMUT500Aは、シリコンウェハまたはガラス基板などの基板560上にアンカー構造570を形成することによって形成される。下部電極層512と、圧電層515と、上部電極層514とを含む圧電層スタック510は、アンカー構造570上に形成される。圧電層スタック510の一部は、犠牲層(図示せず)を選択的に除去し、圧電層スタック510と基板560との間に空洞520を形成するために、たとえば、犠牲エッチング液を使用して基板560から除去され得る。空洞領域内の犠牲層の部分は、PMUT500Aの圧電層スタック510の中央部分を通して延びる中央放出穴522を介してアクセスされ得る。代替的には、上記で説明したような1つまたは複数の放出穴および放出チャンネルは、空洞520を形成するために犠牲材料除去のために使用され得る。機械層530は、圧電層スタック510上に配置され得、または圧電層スタック510上に他の方法で堆積され得る。機械層530は、放出穴522のための封止層として機能し得る。機械層530は、圧電層スタック510と一緒に、PMUTが音響信号または超音波信号を受信または送信するときに撓み運動および/または振動を受けるように構成された、空洞520の上方のドラム状の膜を形成し得る。中立軸550は、機械層530を通過し、空洞520の反対側において圧電層スタック510の上に配置される。いくつかの実装形態では、中立軸550は、圧電層スタック510に実質的に平行な、機械層530に向かう方向に圧電層スタック510の中立軸から距離を開けて圧電層スタック510を通過する平面内に配置され得る。

【0057】

いくつかの実装形態では、機械層530は、圧電層スタック510の露出された上面に機械層530を積層する、粘着する、または他の方法で結合することによって付着され得る。たとえば、機械層530は、SU8、ポリイミド、感光性シリコン誘電体フィルム、ベンゾシクロブテンもしくはBCBなどのシクロテンポリマーフィルム、ドライレジストフィルム、または感光性材料などの、厚いパターン化可能フィルムを含み得る。代替的には、機械層530は、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリイミド(PI)、ポリカーボネート(PC)、シリコン、エラストマ材料、または他の適切な材料などのプラスチックの積層層を含み得る。機械層530は、接着剤層または他の接続層で積層または他の方法で結合され得る。接着剤の例は、シリコン、ポリウレタン、熱可塑性樹脂、エラストマ系接着剤、熱硬化型接着剤、UV硬化接着剤、熱硬化接着剤、ホットメルト接着剤、フェノール樹脂、1液型エポキシおよび2液型エポキシ、シアノアクリレート、アクリル、アクリレート、ポリアミド、コンタクト接着剤、および感圧接着剤(PSA)を含む。機械層530は、圧電層スタックに直接または間接的に、堆積、被覆、積層、接着、または他の方法で結合され得、たとえば、2

ミクロン未満から500ミクロンを超えるまでの広い範囲の厚さを有し得る。

【0058】

図5Bは、機械層を有するPMUTスタックのさらに別の実装形態の断面説明図を示す。図示の実装形態では、PMUT500Bの機械層530は、空洞520および基板560の反対側で圧電層スタック510の上に配置された堆積された下部機械層530aに積層または他の方法で取り付けられ得る上部機械層530bを含む。下部機械層530aは、上記で説明したように、1つまたは複数の堆積された層を含み得る。1つまたは複数の放出穴522は、空洞520を形成するために犠牲材料の除去を可能にするために、下部機械層530a内および下にある圧電層スタック510内に形成され得る。図示の実装形態では、放出穴522は、下部機械層530aの露出された上面上への上部機械層530bの取付けの際に封止され得る。結果として、上部機械層530bは、放出穴522のための封止層として機能し得る。中立軸550は、個々の層の厚さおよび弾性率に応じて、下部機械層530aまたは上部機械層530bのいずれかを通過し得る。放出穴522の近くの領域では、中立軸550の中央部分は、中立軸の残りの部分よりも空洞520から遠い位置に配置され得る。

10

【0059】

図5Cは、上部機械層と、基板内に形成された音響ポートとを有するPMUTの断面説明図を示す。音響ポート580は、圧電層スタック510の下の基板560内に形成され得る。音響ポート580は、PMUT500Cと基板560の裏面との間の音響結合を提供するように構成され得る。音響ポート580の断面寸法は、圧電層スタック510と音響ポート580との間の空洞520の寸法と実質的に同じであってもよく、それよりも大きくてもよく、またはそれよりも小さくてもよい。空洞520は、空洞領域内の犠牲材料の除去によって、音響ポート580の形成の前または後に形成され得る。機械層530は、圧電層スタック510上に配置され得る。多層スタックの中立軸550は、機械層530を通過し得、空洞520および音響ポート580と反対の方向に圧電層スタック510からある距離だけ分離され得る。音響ポート580は、PMUT500Cから基板560の外部の領域への超音波または音波の送信を可能にし得る。同様に、音響ポート580は、基板560の外部の領域からのPMUT500Cによる超音波または音波の受信を可能にする。

20

【0060】

図5A～図5Cは、個々のPMUTおよびPMUTスタックの実装形態を示すが、機械層530は、個々のPMUTスタックを越えて延び得、1つまたは複数の隣接するPMUTを覆い得る。図6Aは、いくつかの実装形態によるPMUTのアレイの平面図を示す。各PMUT600は、PMUTアレイ600A内の2つ以上のPMUT600の上およびそれらの間に延在する結合機械層630を有する共通基板660上に構成される。機械層630の結合部分は、音響結合層として機能し得る。1つの動作モードでは、アレイ内のPMUT600は、機械層630の上面から準平面波を生成し、送信するように同時に作動され得る。いくつかの実装形態では、機械層630は、隣接するPMUT間で連続的である。いくつかの実装形態では、機械層630は、PMUT600の周辺部と整列するように、または、金属ボンドパッドなどの機械層630の下にある1つまたは複数の層の部分を選択的に露出させるように、パターン化され、ダイシングされ、スライスされ、切断され、または他の方法で形成され得る。図6Aに示す実装形態は、円形PMUT600のアレイを含むが、正方形PMUTまたは矩形PMUTなどの他の形状は、本開示の企図の範囲内である。たとえば、いくつかの実装形態では、六角形PMUTが企図され得、それによって、単面積あたりのピクセル数の点からバックング密度の増加が得られ得る。PMUT600のアレイは、図6Aに示すように、正方形アレイまたは矩形アレイとして構成され得る。いくつかの実装形態では、アレイは、三角形アレイまたは六角形アレイなどの、PMUT600の互い違いの行または列を含み得る。

30

40

【0061】

図6B～図6Eは、様々な構成におけるPMUTアレイの例示的な断面立面図を示す。

50

P M U T アレイ 6 0 0 B は、基板 6 6 0 上に配置された P M U T 6 0 0 のアレイを含む。上部機械層 6 3 0 は、接着剤層 6 3 2 など、P M U T 6 0 0 のアレイの上面に積層され、結合され、または他の方法で取り付けられ得る。各 P M U T 6 0 0 の撓み運動および/または振動は、機械層 6 3 0 の部分を屈曲させ、曲げ、圧縮させ、または拡張させ得る。いくつかの実装形態では、P M U T アレイ 6 0 0 B 内の P M U T 6 0 0 の同期振動は、実質的に平面状の超音波を上にかつ機械層 6 3 0 を介して発射し得る。いくつかの実装形態では、機械層 6 3 0 は、送信側ビーム整形用途に有用であり得る制御された波面を有する音波または超音波を発射するように、下にある P M U T 6 0 0 の制御された作動で屈曲させ、曲げ得る。いくつかの実装形態では、機械層 6 3 0 を通って戻ってくる超音波は、下にある P M U T 6 0 0 の撓み運動および/または振動を生じさせ得、それに応じて検出され得る。いくつかの実装形態では、機械層 6 3 0 は、音響結合媒体として機能し得る。いくつかの実装形態では、機械層 6 3 0 は、P M U T 6 0 0 内の空洞を機械的にカプセル化し得る、または他の方法で封止し得るカプセル化層として機能し得る。機械層 6 3 0 は、たとえば、ポリカーボネート (P C)、ポリイミド (P I)、またはポリエチレンテレフタレート (P E T) などの、ポリマーまたはプラスチックの層を含み得る。接着剤層 6 3 2 は、エポキシ、U V 硬化材料、感圧接着剤 (P S A)、または機械層 6 3 0 を P M U T アレイ 6 0 0 B 内の P M U T 6 0 0 に結合する他の適切な接着剤材料の薄い層を含む。

【 0 0 6 2 】

図 6 C は、基板 6 6 0 上に配置された機械層 6 3 0 と P M U T 6 0 0 のアレイとを覆う、カバーガラス、筐体、囲壁、ボタンカバー、またはプラテン 6 9 0 の一部で構成された P M U T アレイ 6 0 0 C を示す。接着剤層 6 3 2 および 6 3 4 は、機械層 6 3 0 を P M U T 6 0 0 および上にあるプラテン 6 9 0 に機械的に接続し得る。いくつかの実装形態では、機械層 6 3 0 は、超音波指紋センサ、タッチセンサ、超音波タッチパッド、スタイラス検出、生体情報センサ、または他の超音波デバイスで使用するための P M U T 6 0 0 のアレイと上にあるプラテン 6 9 0 との間の音響結合を提供し得る。ポリマー被覆などの音響インピーダンス整合層 6 9 2 は、カバーガラスまたはプラテン 6 9 0 の外面上に堆積、スクリーニング、塗布、接着、または他の方法で配置され得る。音響整合層 6 9 2 は、耐擦傷性被覆として機能し得る。機械層 6 3 0 のさらなる説明は、上記の図 6 B に関して提供される。

【 0 0 6 3 】

図 6 D は、マイクロピラー 6 3 6 のアレイを介して P M U T 6 0 0 のアレイに結合された機械層 6 3 0 を有する P M U T アレイ 6 0 0 D を示す。マイクロピラー 6 3 6 は、P M U T 6 0 0 と上にある機械層 6 3 0 との間の機械的結合および音響結合を提供する。マイクロピラー 6 3 6 は、P M U T 6 0 0 によって生成された音波または超音波が隣接する P M U T 6 0 0 の間のいくつかのレベルの音響的分離を伴って導波路を通して進むことを可能にする音響導波路として機能し得る。同様に、マイクロピラー 6 3 6 は、超音波送信機または超音波受信機のいずれかとして機能し得る P M U T 6 0 0 に超音波を戻すように導くことができる音響導波路として機能し得る。いくつかの実装形態では、マイクロピラー 6 3 6 は P M U T アレイ 6 0 0 D 内の各 P M U T 6 0 0 の周辺部と実質的に整列する、実質的に正方形、矩形、または円形の断面であり得、各マイクロピラー 6 3 6 は、隣接するマイクロピラー 6 3 6 から間隙によって分離される。いくつかの実装形態では、マイクロピラー 6 3 6 は、フォトレジストまたはフォトイメージャブルポリマー積層体 (たとえば、S U - 8 ネガティブ作用フォトレジスト、感光性シリコン誘電体フィルム、またはシクロテンポリマーフィルムの層) などの光パターン化可能ポリマーから形成され得る。たとえば、マイクロピラー 6 3 6 を形成するために、ネガティブフォトレジストまたはポジティブフォトレジストの比較的厚い層が、基板 6 6 0 上の P M U T 6 0 0 の上面に塗布され、乾燥され、適切なフォトマスクでパターン化され、現像され、焼成され得る。いくつかの実装形態では、ドライレジストフィルムとしても知られるドライレジスト光パターン化可能フィルムが、P M U T 6 0 0 のアレイと整列され、P M U T 6 0 0 のアレイに取り付けられる前に、予めパターン化され得る。ドライレジストフィルムは、酢酸塩、P C、

P I、または P E T などの、比較的不活性な裏打ち層上に感光性材料の層を有し得る。いくつかの実装形態では、機械的結合および音響結合を提供するために、接着促進剤層または接着剤層 6 3 2 が、マイクロピラー 6 3 6 と下にある P M U T 6 0 0 との間に配置され得る。いくつかの実装形態では、ドライレジストフィルムのための裏打ち層は、除去され得る。代替的には、ドライレジストフィルムのための裏打ち層は、保持され、機械層 6 3 0 として機能し得る。1 つまたは複数の P M U T 6 0 0 上にフォトリソグラフィによって形成された音響導波路（たとえば、マイクロピラー 6 3 6 ）は、基板上に配置された、または P M U T アレイ内に構成された P M U T のための緊密な整列および幾何学的画定能力を有する低コストのパッチプロセスを提供し得る。いくつかの実装形態では、カバーガラスまたはプラテンの取付け前に P M U T トポロジを平坦化しながら、P M U T 6 0 0 に関連する複数の放出穴を覆うテントとして、ポリマー積層体を使用され得る。

10

【 0 0 6 4 】

図 6 E は、指紋センサアレイとして機能する、マイクロピラー 6 3 6 のアレイとプラテン 6 9 0 とを有する P M U T アレイ 6 0 0 E を示す。音響整合層 6 9 2 は、カバーガラスまたはプラテン 6 9 0 の外面上に配置され得る。基板 6 6 0 上の P M U T アレイ 6 0 0 E 内の P M U T 6 0 0 は、超音波 6 6 4 を生成し、送信し得、超音波 6 6 4 は、マイクロピラー 6 3 6 を介し、オプションの機械層 6 3 0 を介し、プラテン 6 9 0 内に伝播する。超音波 6 6 4 の一部は、プラテン 6 9 0 または音響整合層 6 9 2 と、プラテン 6 9 0 の外面と接触して置かれたユーザの指の指紋の隆線および谷線などの、上にある物体との間の音響不整合に部分的に依存する振幅で、プラテン 6 9 0 の外面または音響整合層 6 9 2 の外面から反射し戻り得る。反射された波は、音響整合層 6 9 2 およびプラテン 6 9 0 を介し、オプションの機械層 6 3 0 およびマイクロピラー 6 3 6 を介して戻って進み、下にある P M U T 6 0 0 によって検出され得る。接着剤層 6 3 2 および 6 3 4 は、P M U T アレイ 6 0 0 E の様々な層を互いに機械的および音響的に結合するように機能し得る。

20

【 0 0 6 5 】

図 7 A ~ 図 7 F は、P M U T 7 0 0 のための様々なアンカー構造構成の断面立面図を示す。図 7 A は、基板 7 6 0 と、機械層 7 3 0 が上に形成された圧電層スタック 7 1 0 との間に配置された周辺アンカー構造 7 7 0 を示す。機械層 7 3 0 は、圧電層スタック 7 1 0 と一緒に、空洞 7 2 0 の上方にドラム状の膜またはダイアフラムを形成し得、P M U T が音響信号または超音波信号を受信または送信するときに撓み運動および/または振動を受けるように構成され得る。図示の実装形態では、機械的中立軸 7 5 0 は、機械層 7 3 0 を通過し、圧電層スタック 7 1 0 および空洞 7 2 0 の上を通る。いくつかの実装形態では、中立軸 7 5 0 は、面外曲げモードを可能にするために、圧電層スタック 7 1 0 の中立軸に対して、圧電層スタック 7 1 0 の上方に配置された機械層 7 3 0 に向かって変位され得る。

30

【 0 0 6 6 】

図 7 B は、圧電層スタック 7 1 0 と基板 7 6 0 との間に配置された中央アンカー構造 7 7 0 を示す。図 7 C は、中央放出穴 7 2 2 を有する周辺アンカー構造 7 7 0 の変形を示す。図 7 C に示す構成は、代替的に 1 対の片持ち (c a n t i l e v e r e d) P M U T 7 0 0 を表し得る。図 7 A ~ 図 7 F 中の垂直の両矢印は、P M U T 7 0 0 の開放された部分に対応する矢印によって示される方向に振動または他の方法で変形するように駆動され得る、面外曲げモードなどの 1 つの動作モードを表す。図 7 D は、機械層 7 3 0 が圧電層スタック 7 1 0 と空洞 7 2 0 との間に配置され、基板 7 6 0 と圧電層スタック 7 1 0 との間に配置された周辺アンカー構造 7 7 0 を有する P M U T 7 0 0 を示す。多層スタックの機械的中立軸 7 5 0 は、1 つまたは複数の面外曲げモードを可能にするために、下にある空洞 7 2 0 および基板 7 6 0 に向かう方向に圧電層スタック 7 1 0 の中立軸に対して変位され得る。図 7 E は、機械層 7 3 0 が圧電層スタック 7 1 0 と空洞 7 2 0 との間に配置され、圧電層スタック 7 1 0 と基板 7 6 0 との間に配置された中央アンカー構造 7 7 0 を有する P M U T 7 0 0 を示す。図 7 D 中の P M U T 7 0 0 と同様に、多層スタックの機械的中立軸 7 5 0 は、圧電層スタック 7 1 0 の中立軸から空洞 7 2 0 および基板 7 6 0 に向かっ

40

50

て変位され得る。図 7 F は、中央放出穴 7 2 2 を有する周辺アンカー構造 7 7 0 を有する P M U T 7 0 0 を示す。代替的には、図 7 F に示す構成は、1 対の片持ち P M U T 7 0 0 を表し得る。機械層 7 3 0 は、圧電層スタック 7 1 0 と空洞 7 2 0 との間に配置される。多層スタックの機械的中立軸 7 5 0 は、圧電層スタック 7 1 0 の中心から下にある空洞 7 2 0 および基板 7 6 0 に向かって変位され得る。

【 0 0 6 7 】

図 8 A ~ 図 8 H は、P M U T およびアンカー構造の様々な幾何学的構成の上面図を示す。円形機械層 8 3 0 と周辺アンカー構造 8 7 0 とを有する円形 P M U T 8 0 0 が、図 8 A に示されている。円形機械層 8 3 0 と中央アンカー構造 8 7 0 とを有する円形 P M U T 8 0 0 が、図 8 B に示されている。図 8 C および図 8 D は、それぞれ、周辺アンカー構造 8 7 0 および中央アンカー構造 8 7 0 を有する正方形 P M U T 8 0 0 を示す。図 8 E および図 8 F は、それぞれ、周辺アンカー構造 8 7 0 および中央アンカー構造 8 7 0 を有する長い矩形 P M U T 8 0 0 を示す。図 8 G は、1 対の側面アンカー構造 8 7 0 を有する矩形 P M U T 8 0 0 を示す。図 8 H は、側面アンカー構造 8 7 0 a および 8 7 0 b を有するリボン P M U T または P M U T ストリップとも呼ばれる 1 対の矩形 P M U T 8 0 0 を示す。図 8 A ~ 図 8 H に示す P M U T 8 0 0 は、例示的であり、接続電極、パッド、トレース、エッチング穴、および他の特徴部は、明瞭化のために省略されている。いくつかの実装形態、特に、中央アンカー構造または他の方法で中央に置かれたアンカー構造を有する実装形態では、アンカー構造は、アンカーポスト、または単に「ポスト」と呼ばれ得る。図 8 A ~ 図 8 H に示す P M U T は、図 2 A に示すように、機械層の実質的な部分が圧電層スタックの上方に配置されて構成され得、または、図 2 C に示すように、機械層の実質的な部分が圧電層スタックの下方に配置されて構成され得る。

【 0 0 6 8 】

本開示で説明される P M U T は、全体的に、封止されても封止されなくてもよい。封止された P M U T は、外部環境から封止された関連する空洞の少なくとも一部を有する。いくつかの実装形態では、封止された P M U T は、空洞領域の内部に封止された真空を有し得る。いくつかの実装形態では、封止された P M U T は、アルゴン、窒素、または空気などの気体を、大気圧よりも下、大気圧よりも上、または実質的に大気圧である空洞内の基準圧力で有し得る。封止された P M U T の音響性能は、P M U T 構造の減衰が封止されていない P M U T よりも高い可能性があるという点で、封止されていない P M U T の音響性能を超える可能性がある。いくつかの実装形態では、封止されていない P M U T は、利用され得る。たとえば、中央アンカーまたはポスト構造を有する P M U T は、封止されていなくてもよく、または、他の方法で開放構造であるようにみなされ得る。封止されていない P M U T は、液体、気体、または他の粘性媒体が空洞領域に入り込むことを可能にし得る。音響ポートに関連付けられた P M U T は、たとえば、音波または超音波の送信および受信を可能にするために、P M U T の一方の側または両方の側で封止され得る。P M U T の下の基板内にエッチングされた、または他の方法で形成された穴などの 1 つまたは複数の音響ポートは、上記で説明した P M U T および製造方法の様々な実装形態に含まれ得る。いくつかの実装形態では、封止されていない P M U T または封止されていない P M U T のアレイは、図 5 B に示す上部機械層 5 3 0 b などの上部機械層または上部機械層の補足物として機能し得るカバー層で覆われ得る。カバー層は、P M U T 空洞を封止し、周囲の気体および液体からの分離を提供するために、P M U T に関連する 1 つまたは複数の放出穴の上に延在し、たとえば、接着剤層で P M U T 膜に取り付けられ得る。

【 0 0 6 9 】

図 9 は、P M U T を製造するためのプロセスフローのさらなる例を示す。方法 9 0 0 は、基板の上方にアンカー構造を形成するためのステップ 9 1 0 を含む。基板は、ガラス板、パネル、サブパネル、またはウェハなどのガラス基板を含み得る。いくつかの実装形態では、基板は、プラスチックであり得、または可撓性であり得る。基板は、T F T 回路を含み得る。代替的には、基板は、予め製造された集積回路を有する、または有さない、シリコンウェハなどの半導体基板を含み得る。アンカー構造は、二酸化ケイ素、窒化ケイ素

、または酸化ケイ素などの堆積された誘電体材料の1つまたは複数の層を含み得る。アンカー構造は、ニッケルシリサイドなどのシリサイドを含み得る。アンカー構造は、1つまたは複数の空洞、放出穴、ビア、およびチャネルの最終的な形成を可能にするようにパターン化された犠牲材料の領域に近接して配置され得る。犠牲材料は、アモルファスシリコン(a-Si)、多結晶シリコン(poly-Si)、またはa-Siおよびpoly-Siの組合せを含み得る。アンカー構造および犠牲層を平坦化するために、CMPまたは化学的薄厚化(thinning)などの平坦化シーケンスが使用され得る。

【0070】

ステップ920では、圧電層スタックがアンカー構造の上に形成される。圧電層スタックは、AlN、ZnO、またはPZTなどの圧電層を含み得、1つまたは複数の電極層が圧電層電氣的に結合される。圧電層スタックは、ビアまたは放出穴および他の特徴部を形成するために、パターン化され、エッチングされ得る。ステップ930では、犠牲材料が除去される。犠牲材料を除去することは、放出穴を介する空洞領域からの犠牲材料の除去によって達成され得る。いくつかの実装形態では、犠牲材料を除去することは、1つまたは複数の放出ビアまたは放出穴、ならびに1つまたは複数の外側放出穴を空洞領域と接続し得る1つまたは複数の放出チャネルを介する犠牲材料のエッチングによって達成され得る。ステップ940では、機械層は、中立軸が機械層を通過し、圧電層スタックを通過しないように、結果として得られる組立体の中立軸が機械層に向かい、かつ基板から離れた距離に配置されるように、圧電層スタックの上に配置される。いくつかの実装形態では、機械層は、結果として得られる多層スタックの中立軸が面外曲げモードを可能にするように圧電層スタックの中立軸に対して機械層に向かって変位するような厚さで圧電層スタックの上に配置され得る。いくつかの実装形態では、機械層は、堆積層、1つまたは複数の層の複合体、結合層、または堆積層もしくは層のセットの上の結合層を含み得る。機械層は、機械層が局所的に薄くされた上部の凹部などの特徴部を形成するようにパターン化され得る。ステップ950に示すように、実装形態に応じて、1つまたは複数の放出穴は、機械層が圧電層スタックの上に配置されたとき、封止され得る。

【0071】

図10A~図10Cは、上記で説明したように、電子回路をPMUTと統合するためのプロセスフローを示す。図10Aは、「TFTが最初」プロセス1000aを示し、プロセス1000aでは、TFTまたは他の集積回路がステップ1010において基板上/内に形成され、ステップ1020に示すように、回路の上部または回路のそばにあり得る基板上の1つまたは複数のPMUTの形成が続く。この手法は、第1の製造設備が基板上に能動回路を形成することを可能にし、第2の製造設備が能動回路を有する基板を受け取り、基板上にPMUTを形成することを可能にする。図10Bは、「TFTが最後」プロセス1000bを示し、プロセス1000bでは、ステップ1040および1050に示すように、PMUTが形成された後、TFTまたは他の集積回路が基板上/内に形成される。平坦化ステップおよび厚い誘電体層は、上記で説明したように、上にTFT回路が形成され得る表面を提供するように機能し得る。図10Cは、複合プロセスまたは同時製造プロセス1000cを示し、プロセス1000cでは、ステップ1060および1070に示すように、PMUTおよび能動回路が基板上に形成される。この手法は、PMUTが最初プロセスまたはPMUTが最後プロセスと比較して必要なマスキングステップおよび堆積プロセスの総数を低減し得る、能動回路とPMUTの両方の形成のための共通の層を利用することから利益を得ることができる。たとえば、TFTまたはシリコンベースのトランジスタのための金属相互接続層は、PMUTのための上部電極層または下部電極層のために使用され得る。別の例では、能動回路のための金属層の間の誘電体層は、PMUT内のバッファ層もしくはバリア層のために、または機械層内で使用するために、または封止のために使用され得る。金属層または誘電体層のためのエッチングシーケンスは、基板上の能動回路の部分およびPMUTの部分の形成のために共通して使用され得る。別の例では、TFTまたは能動回路のためのパッシベーション層は、PMUTデバイスのパッシベーションのために使用され得る。いくつかの実装形態では、TFTまたは能動回路は、

行アドレス電極および列アドレス電極、マルチプレクサ、局所増幅段、または制御回路を含み得る。いくつかの実装形態では、ドライバ段と感知段とを含むインターフェース回路は、PMUTデバイスを励起し、同じまたは別のPMUTデバイスからの応答を検出するために使用され得る。いくつかの実装形態では、能動シリコン回路は、PMUTまたはPMUTアレイを機能させるための電子装置を含み得る。

【0072】

図11A～図11Cは、PMUT超音波センサアレイの様々な構成の断面図を示す。図11Aは、たとえば、超音波指紋センサ、超音波タッチパッド、または超音波イメージャとして使用され得る送信要素および受信要素としてのPMUTを有する超音波センサアレイ1100Aを示す。PMUTセンサアレイ基板1160上のPMUTセンサ要素1162は、超音波を放射および検出し得る。図示のように、超音波1164は、PMUTセンサ要素1162から送信されていてもよい。超音波1164は、音響結合媒体1165およびプラテン1190aを介して、プラテン1190aの外面上に置かれた指またはスタイラスなどの物体1102に向かって進み得る。出て行く超音波1164の一部は、プラテン1190aを介して物体1102内に伝達され得るが、第2の部分は、プラテン1190aの表面からセンサ要素1162に向かって反射される。反射された波の振幅は、物体1102の音響特性に部分的に依存する。反射された波は、センサ要素1162によって検出され得、そこから物体1102の画像が取得され得る。たとえば、約50ミクロン（1インチあたり約500ピクセル）のピッチを有するセンサアレイでは、指紋の隆線および谷線が検出され得る。接着剤、ゲル、コンプライアント層、または他の音響結合材料などの音響結合媒体1165は、センサアレイ基板1160上に配置されたPMUTセンサ要素1162のアレイと、プラテン1190aとの間の結合を改善するために設けられ得る。音響結合媒体1165は、センサ要素1162との間の超音波の伝達を助け得る。プラテン1190aは、たとえば、ガラス、プラスチック、サファイア、または他のプラテン材料の層を含み得る。音響インピーダンス整合層（図示せず）が、プラテン1190aの外面上に配置され得る。

【0073】

図11Bは、センサおよびディスプレイ基板1160上に同時に製造されるPMUTセンサ要素1162およびディスプレイピクセル1166を有する超音波センサおよびディスプレイアレイ1100Bを示す。センサ要素1162およびディスプレイピクセル1166は、セルのアレイの各セル内に一緒に配置され得る。いくつかの実装形態では、センサ要素1162およびディスプレイピクセル1166は、同じセル内に並んで製造され得る。いくつかの実装形態では、センサ要素1162の一部またはすべては、ディスプレイピクセル1166の上方または下方に製造され得る。プラテン1190bは、センサ要素1162およびディスプレイピクセル1166の上に配置され得、カバーレンズもしくはカバーガラスとして機能し得、またはカバーレンズもしくはカバーガラスを含み得る。カバーガラスは、ガラス、プラスチック、またはサファイアなどの材料の1つまたは複数の層を含み得、容量性タッチスクリーンのための設備を含み得る。音響インピーダンス整合層（図示せず）は、プラテン1190bの外面上に配置され得る。超音波1164は、カバーガラス1190b上に置かれたスタイラスまたは指などの物体1102のための撮像能力を提供するために、1つまたは複数のセンサ要素1162との間で送受信され得る。カバーガラス1190bは、ディスプレイピクセル1166のアレイからの光学光がカバーガラス1190bを介してユーザによって見られることを可能にするために、実質的に透明である。ユーザは、カバーガラス1190bの一部にタッチすることを選択することができ、そのタッチは、超音波センサアレイによって検出され得る。指紋情報などの生体情報は、たとえば、ユーザがカバーガラス1190bの表面にタッチすると取得され得る。接着剤、ゲル、または他の音響結合材料などの音響結合媒体1165は、センサアレイ基板1160とカバーガラスとの間の音響結合、光学的結合、および機械的結合を改善するために設けられ得る。いくつかの実装形態では、結合媒体1165は、液晶ディスプレイ（LCD）の一部として機能し得る液晶材料であり得る。LCDの実装形態では、バッ

10

20

30

40

50

クライト（図示せず）は、センサおよびディスプレイ基板 1160 に光学的に結合され得る。いくつかの実装形態では、ディスプレイピクセル 1166 は、発光ディスプレイピクセルを有するアモルファス発光ダイオード（AMOLED）ディスプレイの一部であり得る。いくつかの実装形態では、超音波センサおよびディスプレイレイ 1100B は、表示目的のため、およびタッチ検出、スタイラス検出、または指紋検出のために使用され得る。

【0074】

図 11C は、ディスプレイアレイ基板 1160b の背後に配置されたセンサアレイ基板 1160a を有する超音波センサおよびディスプレイアレイ 1100C を示す。音響結合媒体 1165a は、センサアレイ基板 1160a をディスプレイアレイ基板 1160b に音響的に結合するために使用され得る。光学結合および音響結合媒体 1165b は、センサアレイ基板 1160a およびディスプレイアレイ基板 1160b を、指紋検出のためのプラテンとしても機能し得るカバーレンズまたはカバーガラス 1190c に光学的および音響的に結合するために使用され得る。音響インピーダンス整合層（図示せず）は、プラテン 1190c の外面上に配置され得る。1つまたは複数のセンサ要素 1162 から送信された超音波 1164 は、ディスプレイアレイ基板 1160b およびカバーガラス 1190c を通って進み、カバーガラス 1190c の外面から反射され、センサアレイ基板 1160a の方に戻り得、センサアレイ基板 1160a では、反射された超音波センサが検出され得、画像情報が取得され得る。いくつかの実装形態では、超音波センサおよびディスプレイアレイ 1100C は、視覚的情報をユーザに提供するため、および、ユーザからのタッチ、スタイラス、または指紋検出のために使用され得る。代替的には、PMUT センサアレイは、ディスプレイアレイ基板 1160b の裏面上に形成され得る。代替的には、PMUT センサアレイを有するセンサアレイ基板 1160a は、ディスプレイアレイ基板 1160b の裏面に取り付けられ得、センサアレイ基板 1160a の裏面は、たとえば、接着剤層または接着剤材料（図示せず）でディスプレイアレイ基板 1160b の裏面に直接取り付けられる。

【0075】

図 4A および図 4B に関連して上記で説明したように、本開示の技法による PMUT スタックを形成するためのプロセスフローは、堆積、パターン化、エッチング、および CMP を含む、一連の微細加工プロセスを含み得る。図 4A および図 4B に示すプロセスフローに加えて、いくつかの代替プロセスフローが、本開示の企図の範囲内にある。

【0076】

図 12 は、PMUT を製造するためのプロセスフローの別の例を示す。図示の例では、プロセス 1200 は、アンカー構造の上部と犠牲層の上部とを平坦化し得るシリサイド形成プロセスを組み込む。結果として、ステップ S403（図 4A）内に含まれる CMP シーケンスは、回避され得る。シリサイドは、PMUT のためのアンカー構造の少なくとも一部を形成し得、PMUT 空洞を形成するための犠牲材料の除去の間に耐エッチング層として機能し得る。

【0077】

プロセス 1200 は、ステップ S401 で開始し得る。ステップ S401 では、図 4A に関連して上記で説明したように、基板 360 上にアンカー構造 470 の第 1 の層部分 472 を堆積させるステップを含み得る。

【0078】

ステップ S1202 では、犠牲領域 425i および 425o（図 4A）が、アモルファスシリコン（a-Si）、多結晶シリコン（poly-Si）、または a-Si および poly-Si の組合せを含み得る犠牲材料の犠牲層 425 を、酸化物バッファ層 472 上に最初に堆積させることによって形成される。代替的には、モリブデン（Mo）またはタングステン（W）などの他の犠牲層材料が使用され得る。いくつかの実装形態では、犠牲層 425 は、約 500 ~ 20000 の範囲内の厚さを有する。たとえば、一実装形態では、犠牲層 425 の厚さは、約 10000 である。

10

20

30

40

50

【 0 0 7 9 】

ステップ S 1 2 0 3 では、ニッケル層 1 2 7 5 が、犠牲層 4 2 5 上に堆積され得る。ニッケル層 1 2 7 5 は、約 2 5 0 ~ 1 0 0 0 0 の範囲内の厚さを有し得る。たとえば、一実装形態では、ニッケル層 1 2 7 5 の厚さは、約 5 0 0 0 である。ステップ S 1 2 0 3 はまた、選択された領域内の犠牲層 4 2 5 を露出させるように、ニッケル層 1 2 7 5 をパターン化し、エッチングするステップを含み得る。

【 0 0 8 0 】

ステップ S 1 2 0 4 では、シリサイド形成プロセスが企図され、それによって、ニッケルなどの金属の層が、多結晶シリコンまたはアモルファスシリコンの犠牲層 4 2 5 の上部に堆積され、パターン化され得る。シリサイドは、金属を犠牲層 4 2 5 のシリコンと相互作用させることによって形成され得る。ニッケルシリサイドは、たとえば、パターン化されたニッケル層 1 2 7 5 を犠牲層 4 2 5 のシリコンと相互作用させることによって形成され得る。犠牲層 4 2 5 の部分 1 2 7 6 内のシリサイドの形成は、金属を犠牲層内に局所的に拡散させ、堆積された金属を消費し、下にあるバッファ層（シリコン基板上の SiO_2 または SiN など）まで、または絶縁基板（ガラスなど）までシリサイドを形成することによって達成され得る。下にある犠牲層内への金属拡散は、たとえば、基板および堆積層のプロセス温度を、所定の時間期間中、シリサイド形成温度に上昇させることによって達成され得る。代替的には、金属間拡散およびシリサイド形成を可能にするために温度を急速に上昇させるために、高速熱アニール（RTA）プロセスが使用され得る。代替的には、適切な波長、エネルギー、および時間の集束レーザー光の適用は、シリサイドを局所的に形成するために使用され得、これは、レーザー光が基板の上方または下方のいずれかから適用される透明基板の使用により特に魅力的であり得る。

【 0 0 8 1 】

プロセス 1 2 0 0 の後続のステップは、図 4 A および図 4 B に関連して上記で説明したステップ S 4 0 4 ~ S 4 1 1 と実質的に同一であり得る。

【 0 0 8 2 】

図 1 3 A および図 1 3 B は、PMUT を製造するためのプロセスフローの別の例を示す。プロセスフロー 1 3 0 0 は、圧電層スタックと下にある基板との間に実質的に配置された機械層を有する PMUT のための金属相互接続の 3 つの層を提供する。第 1 のステップ S 1 3 0 1 では、上に PMUT を製造するためのガラス基板、プラスチック基板、または半導体（たとえば、シリコン）基板などの基板 3 6 0 が設けられる。酸化物バッファ層などの第 1 の層部分 4 7 2 が、基板 3 6 0 上に堆積され得る。犠牲材料の犠牲層 4 2 5 が、バッファ層上に堆積され得る。犠牲層 4 2 5 は、下にあるバッファ層または基板上で停止するエッチング液で、1 つまたは複数の内側犠牲領域 4 2 5 i および外側犠牲領域 4 2 5 o（図示せず）を形成するようにパターン化され、エッチングされ得る。ステップ S 1 3 0 2 では、二酸化ケイ素層などのアンカー構造 4 7 0 のアンカー部分 4 7 4 が、バッファ層および犠牲領域 4 2 5 i 上に堆積され得、次いで、犠牲層 4 2 5 i の上方に二酸化ケイ素層の小さい部分 4 7 4 i を維持しながら実質的に平坦な表面を形成するために CMP を使用して薄くされ得る。ステップ S 1 3 0 3 では、機械層 4 3 0 と、シード層として機能し得る圧電スタック 4 1 0 の第 1 の層 4 1 1 と、下部電極層 4 1 2 と、圧電層 4 1 5 と、上部電極層 4 1 4 とを含む多層スタックが堆積され得る。上部電極層は、圧電層 4 1 5 と電氣的に接触する上部電極 4 1 4 a および 4 1 4 b を形成するようにパターン化され、エッチングされ得る。ステップ S 1 3 0 4 では、圧電層 4 1 5 は、パターン化され、エッチングされ得、下部電極層 4 1 2 で停止する。ステップ S 1 3 0 5 では、下部電極層 4 1 2 は、下にあるシード層 4 1 1 と共にパターン化され、エッチングされ得、機械層 4 3 0 で停止する。ステップ S 1 3 0 6 では、上部電極層 4 1 4 の一部および下部電極層 4 1 2 の一部をそれぞれ露出させる電気ビア 4 1 6 a および 4 1 6 b を形成するように、誘電体絶縁層 4 1 6 が堆積され、パターン化され、エッチングされ得る。

【 0 0 8 3 】

プロセスフロー 1 3 0 0 は、図 1 3 B において、ステップ S 1 3 0 7 における金属相互

10

20

30

40

50

接続層 4 1 8 の堆積、パターン化、およびエッチングで継続する。金属相互接続層 4 1 8 は、それぞれ、電気ビア 4 1 6 a および 4 1 6 b を介する、上部電極層 4 1 4 の部分への電気トレースおよび電気接点 4 1 8 a と、下部電極層 4 1 2 の部分への電気接点 4 1 8 b とを提供し得る。

【 0 0 8 4 】

ステップ S 1 3 0 8 では、1 つまたは複数の凹部 4 2 2 が、機械層 4 3 0 内に形成され得る。たとえば、凹部 4 2 2 a は、機械的分離を提供するため、または感度を増加させるために、P M U T 膜の外部に形成され得る。凹部 4 2 2 b は、たとえば、P M U T 膜が平坦な P M U T 膜と比較してより大きい機械的振幅で撓むまたは振動することを可能にすることによって感度を増加させるために、P M U T 膜の内部に形成され得る。凹部 4 2 2 は、円形 P M U T ダイアフラム内にダイアフラムの中心近くに部分的に形成された円またはリングなどの実質的に軸対称の特徴部、または、円形ダイアフラムの周辺部近くに形成された角のあるトレンチもしくは角のあるトレンチの一部を含み得る。いくつかの実装形態では、凹部 4 2 2 は、機械層 4 3 0 内に、正方形または矩形の P M U T ダイアフラムの中心の近くに形成された正方形または矩形の特徴部を含み得る。いくつかの実装形態では、凹部 4 2 2 は、正方形、矩形、または円形のダイアフラムの周辺部近く、またはその外部に形成された狭い矩形などの特徴部、局所トレンチ、またはスロットを含み得る。いくつかの実装形態では、一連の半径方向スロットが、中央凹部特徴部または周辺凹部特徴部と組み合わせられ得る。いくつかの実装形態では、凹部または凹部特徴部は、機械層 4 3 0 を部分的または実質的に貫通してエッチングすることによって形成され得る。いくつかの実装形態では、凹部 4 2 2 および / またはその特徴部は、たとえば、エッチング時間に基づいて機械層 4 3 0 内に形成され得る。いくつかの実装形態では、機械層 4 3 0 は、2 つ以上の堆積層を含み得、2 つ以上の堆積層のうちの 1 つは、製造中に凹部 4 2 2 および凹部特徴部の正確な画定を可能にするエッチング停止層またはバリア層として機能し得る。凹部 4 2 2 の形成は、オプションであり、関連するプロセスシーケンスは、適宜に省略され得る。凹部 4 2 2 a および 4 2 2 b のためのステップ S 1 3 0 8 における破線は、それらの部分が、使用されるとき、第 1 の層 4 1 1、下部電極層 4 1 2、圧電層 4 1 5、上部電極層 4 1 4、誘電体絶縁層 4 1 6、および金属相互接続層 4 1 8 が除去される場所などの、圧電層スタック 4 1 0 のエッチングされた部分の下に形成され得ることを示す。

【 0 0 8 5 】

ステップ S 1 3 0 9 では、機械層 4 3 0 の一部および他の層の一部は、犠牲領域 4 2 5 i および 4 2 5 o へのアクセス（図示せず）を提供するために、パターン化され、エッチングされ得、これは、犠牲層 4 2 5 内の露出された犠牲材料の選択的な除去を可能にし、結果として、1 つまたは複数の空洞 4 2 0 の形成をもたらす。放出穴、放出チャネル、および犠牲エッチングプロセスのさらなる詳細は、上記の図 4 A ~ 図 4 B に関して見出され得る（明瞭化のため、ここには示さない）。熱分解可能な犠牲材料を用いる実装形態は、図 4 A ~ 図 4 B に関して上記で説明したような放出穴および放出チャネルを介する空洞 4 2 0 への直接アクセスを必要としない。

【 0 0 8 6 】

ステップ S 1 3 1 0 において、パッシベーション層 4 3 2 は、相互接続層 4 1 8 と、下部電極層 4 1 2 および上部電極層 4 1 4 の露出された部分との上に堆積され得る。オプションで、1 つまたは複数の上部凹部 4 3 2 a が、パッシベーション層 4 3 2 内に形成され得る。たとえば、凹部 4 3 2 a は、機械的分離を提供するため、または感度を増加させるために、P M U T 膜の外部に形成され得る。凹部 4 3 2 a は、たとえば、P M U T 膜が平坦な P M U T 膜と比較してより大きい機械的振幅で撓むまたは振動することを可能にすることによって感度を増加させるために、P M U T 膜の内部に形成され得る。凹部 4 3 2 a は、円形 P M U T ダイアフラム内にダイアフラムの中心近くに部分的に形成された円またはリングなどの実質的に軸対称の特徴部、または、円形ダイアフラムの周辺部近くに形成された角のあるトレンチもしくは角のあるトレンチの一部を含み得る。いくつかの実装形態では、凹部 4 3 2 a は、パッシベーション層 4 3 2 内に、正方形または矩形の P M U T

ダイアフラムの中心の近くに形成された正方形または矩形の特徴部を含み得る。いくつかの実装形態では、凹部 4 3 2 a は、正方形、矩形、または円形のダイアフラムの周辺部近く、またはその外部に形成された狭い矩形などの特徴部、局所トレンチ、またはスロットを含み得る。いくつかの実装形態では、一連の半径方向スロットが、中央凹部特徴部または周辺凹部特徴部と組み合わせられ得る。いくつかの実装形態では、凹部または凹部特徴部は、パッシベーション層 4 3 2 を部分的または実質的に貫通してエッチングすることによって形成され得る。いくつかの実装形態では、凹部 4 3 2 a および / またはその特徴部は、たとえば、エッチング時間に基づいてパッシベーション層 4 3 2 内に形成され得る。いくつかの実装形態では、パッシベーション層 4 3 2 は、2 つ以上の堆積層を含み得、2 つ以上の堆積層のうちの 1 つは、製造中に凹部 4 3 2 a および他の凹部特徴部の正確な画定を可能にするエッチング停止層またはバリア層として機能し得る。凹部 4 3 2 a の形成は、オプションであり、関連するプロセスシーケンスは、適宜に省略され得る。ステップ S 1 3 1 1 では、ボンドパッドなどの下にある金属特徴部へのアクセスを提供するために、1 つまたは複数のコンタクトパッド開口部またはビア 4 3 4 a および 4 3 4 b が、パッシベーション層 4 3 2 を貫通してパターン化され、エッチングされ得る。

【 0 0 8 7 】

図 1 4 A および図 1 4 B は、P M U T を製造するためのプロセスフローの別の例を示す。プロセスフロー 1 4 0 0 は、図 1 2 のステップ S 1 2 0 2 ~ S 1 2 0 4 に関して上記で説明したようなシリサイドベースの平坦化方法を利用して、圧電層スタックと下にある基板との間に実質的に配置された機械層を有する P M U T のための金属相互接続の 3 つの層を提供する。第 1 のステップ S 1 4 0 1 では、上に P M U T を製造するための基板 3 6 0 が設けられる。酸化物バッファ層またはバリア層などの第 1 の層部分 4 7 2 が、基板 3 6 0 上に堆積され得る。アモルファスシリコンまたは多結晶シリコンの犠牲層 4 2 5 が、バッファ層上に堆積され得、ニッケル層 1 2 7 5 などの金属層の堆積が続く。ニッケル層 4 2 5 は、1 つまたは複数の内側犠牲領域 4 2 5 i および外側犠牲領域 4 2 5 o (図示せず) を露出させるようにパターン化され、エッチングされ得、エッチング液は、犠牲層 4 2 5 で停止する。ステップ S 1 4 0 2 では、ニッケル層 1 2 7 5 および下にある犠牲層 4 2 5 は、ニッケルシリサイドなどのシリサイド層 1 2 7 6 を局所的に形成するために、高温環境内で反応させられ得る。シリサイド層 1 2 7 6 の部分は、アンカー構造 4 7 0 のアンカー部分 4 7 4 を形成し得る。ステップ S 1 4 0 3 では、薄いバリア層 4 7 6 と、機械層 4 3 0 と、シード層として機能し得る圧電スタック 4 1 0 の第 1 の層 4 1 1 と、下部電極層 4 1 2 と、圧電層 4 1 5 と、上部電極層 4 1 4 とを含む多層スタックが堆積され得る。上部電極層 4 1 4 は、圧電層 4 1 5 と電氣的に接触する上部電極 4 1 4 a および 4 1 4 b を形成するようにパターン化され、エッチングされ得る。ステップ S 1 4 0 4 では、圧電層 4 1 5 は、パターン化され、エッチングされ得、下部電極層 4 1 2 で停止する。ステップ S 1 4 0 5 では、下部電極層 4 1 2 は、下にあるシード層 4 1 1 と共にパターン化され、エッチングされ得、機械層 4 3 0 で停止する。ステップ S 1 4 0 6 では、上部電極層 4 1 4 の一部および下部電極層 4 1 2 の一部をそれぞれ露出させる電気ビア 4 1 6 a および 4 1 6 b を形成するように、誘電体絶縁層 4 1 6 が堆積され、パターン化され、エッチングされ得る。

【 0 0 8 8 】

プロセスフロー 1 4 0 0 は、図 1 4 B において、ステップ S 1 4 0 7 における金属相互接続層 4 1 8 の堆積、パターン化、およびエッチングで継続する。金属相互接続層 4 1 8 は、それぞれ、電気ビア 4 1 6 a および 4 1 6 b を介する、上部電極層 4 1 4 の部分への電気トレースおよび電気接点 4 1 8 a と、下部電極層 4 1 2 の部分への電気接点 4 1 8 b とを提供し得る。ステップ S 1 4 0 8 では、1 つまたは複数の凹部 4 2 2 が、機械層 4 3 0 内にオプションで形成され得る。凹部 4 2 2 a および 4 2 2 b のための図 1 4 B における破線は、それらの部分が、使用されるとき、圧電層スタック 4 1 0 のエッチングされていない部分の直下ではない領域内に形成され得ることを示す。ステップ S 1 4 0 9 では、機械層 4 3 0 の一部および他の層の一部は、犠牲領域 4 2 5 i および 4 2 5 o へのアクセ

スを提供するために、パターン化され、エッチングされ得る（図示せず）。犠牲層 4 2 5 内の露出された犠牲材料の選択的な除去は、結果として、1つまたは複数の空洞 4 2 0 の形成をもたらす。放出穴、放出チャネル、および犠牲エッチングプロセスの詳細は、上記の図 4 A ~ 図 4 B に関して見出され得る。熱分解可能な犠牲材料を用いる実装形態は、図 4 A ~ 図 4 B に関して上記で説明したような放出穴および放出チャネルを介する空洞 4 2 0 への直接アクセスを必要としなくてもよい。ステップ S 1 4 1 0 において、パッシベーション層 4 3 2 は、相互接続層 4 1 8 と、下部電極層 4 1 2 および上部電極層 4 1 4 の露出された部分との上に堆積され得る。オプションで、1つまたは複数の上部凹部 4 3 2 a が、パッシベーション層 4 3 2 内に形成され得る。ステップ S 1 4 1 1 では、金属相互接続層 4 1 8 内のボンドパッドなどの下にある金属特徴部へのアクセスを提供するために、1つまたは複数のコンタクトパッド開口部またはビア 4 3 4 a および 4 3 4 b が、パッシベーション層 4 3 2 を貫通してパターン化され、エッチングされ得る。

10

【 0 0 8 9 】

図 1 5 A および図 1 5 B は、P M U T を製造するためのプロセスフローの別の例を示す。プロセスフロー 1 5 0 0 は、圧電層スタックと下にある基板との間に実質的に配置された機械層を有する P M U T のための金属相互接続の 2 つの層を利用する。第 1 のステップ S 1 5 0 1 では、上に P M U T を製造するための基板 3 6 0 が設けられる。酸化物バッファ層などの第 1 の層部分 4 7 2 が、基板 3 6 0 上に堆積され得る。犠牲材料の犠牲層 4 2 5 が、バッファ層上に堆積され得る。犠牲層 4 2 5 は、1つまたは複数の内側犠牲領域 4 2 5 i および外側犠牲領域 4 2 5 o （図示せず）を形成するようにパターン化され、エッチングされ得、エッチング液は、下にあるバッファ層または基板で停止する。ステップ S 1 5 0 2 a では、アンカー構造 4 7 0 のアンカー部分 4 7 4 は、バッファ層および犠牲領域上に堆積され得、次いで、ステップ S 1 5 0 2 b に示すように、犠牲領域の上方に小さい部分 4 7 4 i を維持しながら実質的に平坦な表面を形成するために C M P を使用して薄くされ得る。ステップ S 1 5 0 4 では、機械層 4 3 0 と、シード層として機能し得る圧電スタック 4 1 0 の第 1 の層 4 1 1 と、下部電極層 4 1 2 と、圧電層 4 1 5 とを含む多層スタックが堆積され得る。圧電層スタック 4 1 5 は、パターン化され、エッチングされ得、下部電極層 4 1 2 上で停止する。ステップ S 1 5 0 5 では、下部電極層 4 1 2 および下にあるシード層 4 1 1 は、パターン化され、エッチングされ得、機械層 4 3 0 上で停止する。ステップ S 1 5 0 6 では、圧電層 4 1 5 の一部および下部電極層 4 1 2 の一部をそれぞれ露出させる電気ビア 4 1 6 a および 4 1 6 b を形成するように、誘電体絶縁層 4 1 6 が堆積され、パターン化され、エッチングされ得る。代替的には、上部電極層 4 1 4 と圧電層 4 1 5 の下にある部分との間の電氣的結合は、誘電体絶縁層 4 1 6 を介して容量的に達成され得、以下でステップ S 1 5 0 7 に関して説明したように、直接の電氣的接触なしに、圧電層 4 1 5 の撓み運動および振動からの超音波の励起および検出を可能にする。この実装形態では、1つまたは複数の電気ビア 4 1 6 a は、省略され得、誘電体絶縁層 4 1 6 は、ビア領域（図示せず）内でエッチングされない。

20

30

【 0 0 9 0 】

プロセスフロー 1 5 0 0 は、図 1 5 B において、ステップ S 1 5 0 7 における金属相互接続層 4 1 8 の堆積、パターン化、およびエッチングで継続する。金属相互接続層 4 1 8 は、それぞれ、電気ビア 4 1 6 a および 4 1 6 b を介する、圧電層 4 1 5 の部分への電気トレースおよび電気接点 4 1 8 a と、下部電極層 4 1 2 の部分への電気接点 4 1 8 b とを提供し得る。ステップ S 1 5 0 6 に関して説明した容量結合実装形態では、金属相互接続層 4 1 8 は、圧電層 4 1 5 から誘電的に絶縁され得、1つまたは複数の電気ビア 4 1 6 a は、省略され得る。ステップ S 1 5 0 8 では、1つまたは複数の凹部 4 2 2 が、機械層 4 3 0 内に形成され得る。凹部 4 2 2 a および 4 2 2 b のためのステップ S 1 5 0 8 における破線は、それらの部分が、使用されるとき、圧電層スタック 4 1 0 のエッチングされた部分の下に形成され得ることを示す。ステップ S 1 5 0 9 では、機械層 4 3 0 の一部および他の層の一部は、犠牲領域 4 2 5 i へのアクセス（図示せず）を提供するために、パターン化され、エッチングされ得、これは、犠牲層 4 2 5 内の露出された犠牲材料の選択的

40

50

な除去を可能にし、結果として、1つまたは複数の空洞420の形成をもたらす。熱分解可能な犠牲材料を用いる実装形態は、図4A～図4Bに関して上記で説明したように、放出穴および放出チャネルを介する空洞420への直接アクセスを必要としなくてもよい。ステップS1510において、パッシベーション層432は、相互接続層418と、下部電極層412および上部電極層414の露出された部分との上に堆積され得る。オプションで、1つまたは複数の上部凹部432aが、パッシベーション層432内に形成され得る。ステップS1511では、金属相互接続層418内のボンドパッドなどの下にある金属特徴部へのアクセスを提供するために、1つまたは複数のコンタクトパッド開口部またはビア434aおよび434bが、パッシベーション層432を貫通してパターン化され、エッチングされ得る。

10

【0091】

図16Aおよび図16Bは、PMUTを製造するためのプロセスフローの別の例を示す。プロセスフロー1600は、図12のステップS1202～S1204に関して上記で説明したようなシリサイドベースの平坦化方法を利用して、圧電層スタックと下にある基板との間に実質的に配置された機械層を有するPMUTのための金属相互接続の2つの層を利用する。ステップS1601では、上にPMUTを製造するための基板360が設けられる。酸化物バッファ層またはバリア層などの第1の層部分472が、基板360上に堆積され得る。アモルファスシリコンまたは多結晶シリコンの犠牲層425が、バッファ層上に堆積され得、ニッケル層1275などの金属層の堆積が続く。ニッケル層425は、1つまたは複数の内側犠牲領域425iおよび外側犠牲領域425o（図示せず）を露出させるようにパターン化され、エッチングされ得、エッチング液は、犠牲層425で停止する。ステップS1602aでは、ニッケル層1275および下にある犠牲層425は、ニッケルシリサイドなどのシリサイド層1276を局所的に形成するために、高温環境内で反応させられ得る。シリサイド層1276の部分は、アンカー構造470のアンカー部分474を形成し得る。ステップS1602bでは、薄いバリア層476が堆積され得る。薄いバリア層476の部分476iは、犠牲領域425iおよび425oの上に存在し得る。ステップS1604では、機械層430と、シード層として機能し得る圧電スタック410の第1の層411と、下部電極層412と、圧電層415とを含む多層スタックが堆積され得る。圧電層スタック415は、パターン化され、エッチングされ得、下部電極層412上で停止する。ステップS1605では、下部電極層412および下にあるシード層411は、パターン化され、エッチングされ得、機械層430上で停止する。ステップS1606では、圧電層415の一部および下部電極層412の一部をそれぞれ露出させる電気ビア416aおよび416bを形成するように、誘電体絶縁層416が堆積され、パターン化され、エッチングされ得る。代替的には、上部電極層414と圧電層415の下にある部分との間の電氣的結合は、誘電体絶縁層416を介して容量的に達成され得、以下でステップS1607に関して説明したように、直接の電氣的接触なしに、圧電層415の撓み運動および振動からの超音波の励起および検出を可能にする。この実装形態では、1つまたは複数の電気ビア416aは、省略され得、誘電体絶縁層416は、ビア領域（図示せず）内でエッチングされない。

20

30

【0092】

プロセスフロー1600は、図16Bにおいて、ステップS1607における金属相互接続層418の堆積、パターン化、およびエッチングで継続する。金属相互接続層418は、それぞれ、電気ビア416aおよび416bを介する、圧電層415の部分への電気トレースおよび電気接点418aと、下部電極層412の部分への電気接点418bとを提供し得る。ステップS1606に関して説明した容量結合実装形態では、金属相互接続層418は、圧電層415から誘電的に絶縁され得、1つまたは複数の電気ビア416aは、省略され得る。ステップS1608では、1つまたは複数の凹部422が、機械層430内に形成され得る。凹部422aおよび422bのためのステップS1608における破線は、それらの部分が、使用されるとき、圧電層スタック410のエッチングされた部分の下に形成され得ることを示す。ステップS1609では、機械層430の一部およ

40

50

び他の層の一部は、犠牲領域 4 2 5 i へのアクセス（図示せず）を提供するために、パターン化され、エッチングされ得、これは、犠牲層 4 2 5 内の露出された犠牲材料の選択的な除去を可能にし、結果として、1つまたは複数の空洞 4 2 0 の形成をもたらす。熱分解可能な犠牲材料を用いる実装形態は、図 4 A ~ 図 4 B に関して上記で説明したように、放出穴および放出チャネルを介する空洞 4 2 0 への直接アクセスを必要としなくてもよい。ステップ S 1 6 1 0 において、パッシベーション層 4 3 2 は、相互接続層 4 1 8 と、下部電極層 4 1 2 および上部電極層 4 1 4 の露出された部分との上に堆積され得る。オプションで、1つまたは複数の上部凹部 4 3 2 a が、パッシベーション層 4 3 2 内に形成され得る。ステップ S 1 6 1 1 では、金属相互接続層 4 1 8 内のボンドパッドなどの下にある金属特徴部へのアクセスを提供するために、1つまたは複数のコンタクトパッド開口部またはビア 4 3 4 a および 4 3 4 b が、パッシベーション層 4 3 2 を貫通してパターン化され、エッチングされ得る。

10

【 0 0 9 3 】

図 1 7 A および図 1 7 B は、PMUT を製造するためのプロセスフローの別の例を示す。プロセスフロー 1 7 0 0 は、圧電層スタックと下にある基板との間に実質的に配置された機械層を有する PMUT のための金属相互接続の 3 つの層を設け、その後、積層または結合された上部機械層（ここには示さないが、図 6 A ~ 図 6 E に関して上記で説明されている）で封止され得る未封止 PMUT を提供する。第 1 のステップ S 1 7 0 1 では、上に PMUT を製造するための基板 3 6 0 が設けられる。酸化物バッファ層などの第 1 の層部分 4 7 2 が、基板 3 6 0 上に堆積され得る。犠牲材料の犠牲層 4 2 5 が、バッファ層上に堆積され得る。犠牲層 4 2 5 は、1つまたは複数の内側犠牲領域 4 2 5 i を形成するようにパターン化され、エッチングされ得、エッチング液は、下にあるバッファ層または基板で停止する。ステップ S 1 7 0 2 では、二酸化ケイ素層などのアンカー構造 4 7 0 のアンカー部分 4 7 4 は、バッファ層および犠牲領域上に堆積され得、次いで、犠牲領域 4 2 5 i の上方に二酸化ケイ素層の小さい部分 4 7 4 i を維持しながら実質的に平坦な表面を形成するために CMP を使用して薄くされ得る。ステップ S 1 7 0 3 では、機械層 4 3 0 と、シード層として機能し得る圧電スタック 4 1 0 の第 1 の層 4 1 1 と、下部電極層 4 1 2 と、圧電層 4 1 5 と、上部電極層 4 1 4 とを含む多層スタックが堆積され得る。上部電極層は、圧電層 4 1 5 と電氣的に接触する上部電極 4 1 4 a を形成するようにパターン化され、エッチングされ得る。ステップ S 1 7 0 4 では、圧電層 4 1 5 は、パターン化され、エッチングされ得、下部電極層 4 1 2 で停止する。ステップ S 1 7 0 5 では、下部電極層 4 1 2 は、下にあるシード層 4 1 1 と共にパターン化され、エッチングされ得、機械層 4 3 0 で停止する。ステップ S 1 7 0 6 では、上部電極層 4 1 4 の一部および下部電極層 4 1 2 の一部をそれぞれ露出させる電気ビア 4 1 6 a および 4 1 6 b を形成するように、誘電体絶縁層 4 1 6 が堆積され、パターン化され、エッチングされ得る。

20

30

【 0 0 9 4 】

プロセスフロー 1 7 0 0 は、図 1 7 B において、ステップ S 1 7 0 7 における金属相互接続層 4 1 8 の堆積、パターン化、およびエッチングで継続する。金属相互接続層 4 1 8 は、それぞれ、電気ビア 4 1 6 a および 4 1 6 b を介する、上部電極層 4 1 4 の部分への電気トレースおよび電気接点 4 1 8 a と、下部電極層 4 1 2 の部分への電気接点 4 1 8 b とを提供し得る。ステップ S 1 7 0 8 では、1つまたは複数の凹部 4 2 2 が、機械層 4 3 0 内に形成され得る。凹部 4 2 2 a および 4 2 2 b のためのステップ S 1 7 0 8 における破線は、それらの部分が、使用されるとき、圧電層スタック 4 1 0 のエッチングされた部分の下に形成され得ることを示す。ステップ S 1 7 0 9 では、パッシベーション層 4 3 2 が、相互接続層 4 1 8 と、下部電極層 4 1 2 の露出された部分および上部電極層 4 1 4 の露出された部分との上に堆積され得る。オプションで、1つまたは複数の上部凹部 4 3 2 a が、パッシベーション層 4 3 2 内に形成され得る。ステップ S 1 7 1 0 では、機械層 4 3 0 の一部、および誘電体絶縁層 4 1 6 などの他の層の一部は、犠牲領域 4 2 5 i へのアクセスを提供するために、パターン化され、エッチングされ得、これは、犠牲層 4 2 5 内の露出された犠牲材料の選択的な除去を可能にし、結果として、1つまたは複数の空洞 4

40

50

20の形成をもたらす。また、ステップS1710では、ボンドパッドなどの下にある金属特徴部へのアクセスを提供するために、1つまたは複数のコンタクトパッド開口部またはビア434aおよび434bが、パッシベーション層432を貫通してパターン化され、エッチングされ得る。ステップS1711では、犠牲領域425i内の犠牲材料425の露出された部分が、選択的にエッチングされ、アンカー部分474の露出された表面上、第1の層部分472の露出された表面上、および基板360の露出された表面上で停止し、結果として1つまたは複数の空洞420の形成をもたらす。いくつかの実装形態では、上部機械層630（図示せず）が、図6Bに関して説明したように、PMUTの上部表面に積層され得、または他の方法で結合され得る。いくつかの実装形態では、上部機械層630は、図6Dに関して説明したように、マイクロピラー636（図示せず）のアレ

10

【0095】

図18は、PMUTを製造するためのプロセスフローの別の例を示す。プロセスフロー1800は、圧電層スタックと下にある基板との間に実質的に配置された機械層を有するPMUTのための金属相互接続の2つの層を設け、その後、積層または結合された上部機械層（ここには示さないが、図6A～図6Eに関して上記で説明されている）で封止され得る未封止PMUTを提供する。第1のステップS1801では、上にPMUTを製造するための基板360が設けられる。酸化物バッファ層などの第1の層部分472が、基板360上に堆積され得る。犠牲材料の犠牲層425が、バッファ層上に堆積され得る。犠牲層425は、1つまたは複数の内側犠牲領域425iを形成するようにパターン化され、エッチングされ得、エッチング液は、下にあるバッファ層または基板で停止する。また、ステップS1801では、二酸化ケイ素層などのアンカー構造470のアンカー部分474は、バッファ層および犠牲領域上に堆積され得、次いで、犠牲領域425iの上方に二酸化ケイ素層の小さい部分474iを維持しながら実質的に平坦な表面を形成するためにCMPを使用して薄くされ得る。ステップS1802では、機械層430と、シード層として機能し得る圧電スタック410の第1の層411と、下部電極層412と、圧電層415と、上部電極層414とを含む多層スタックが堆積され得る。上部電極層414は、圧電層415と電気的に接触する上部電極414aを形成するようにパターン化され、エッチングされ得る。また、ステップS1802では、圧電層415は、エッチングされ得、下部電極層412で停止する。ステップS1803では、下部電極層412は、その後の追加の相互接続層（図示せず）のワイヤボンディングまたは包含を可能にするために、上部電極層414および下部電極層412の部分435aおよび435bをそれぞれ露出させるために、下にあるシード層411と共にパターン化され、エッチングされ得、機械層430で停止する。ステップS1804では、機械層430の部分、および任意の下にある層の部分は、1つまたは複数の放出穴430aを形成するためにパターン化され、エッチングされ得、犠牲領域425iへのアクセスを提供し得る。ステップS1805では、犠牲領域425i内の犠牲層425の露出された部分が選択的にエッチングされ得、結果として、1つまたは複数の空洞420の形成をもたらす。いくつかの実装形態では、上部機械層630（図示せず）は、図6Bに関して説明したように、PMUTの上面に積層され得、または他の方法で結合され得る。いくつかの実装形態では、上部機械層630は、図6Dに関して説明したように、マイクロピラー636（図示せず）のアレ

20

30

40

【0096】

したがって、圧電層スタックの上方または下方に配置され、下にある空洞のための封止を提供する機械層を有するPMUT、およびそのようなPMUTを製造するための技法が開示されている。いくつかの代替の構成および製造技法が企図され得ることは理解されるであろう。

【0097】

本明細書で使用される場合、項目のリスト「のうちの少なくとも1つ」を指す語句は、単一のメンバーを含む、それらの項目の任意の組合せを指す。一例として、「a、bまた

50

はcのうちの少なくとも1つ」は、a、b、c、a - b、a - c、b - c、およびa - b - cを包含することを意図している。

【0098】

本明細書で開示された実装形態に関連して説明した様々な例示的なロジック、論理ブロック、モジュール、回路、およびアルゴリズムプロセスは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得る。ハードウェアとソフトウェアの互換性について、概して機能に関して説明し、上記で説明した様々な例示的な構成要素、ブロック、モジュール、回路およびプロセスにおいて例示した。そのような機能がハードウェアまたはソフトウェアのどちらで実装されるのかは、システム全体に課される特定の用途および設計制約に依存する。

10

【0099】

本明細書で開示された態様に関連して説明した様々な例示的なロジック、論理ブロック、モジュール、および回路を実装するために使用されるハードウェアおよびデータ処理装置は、汎用シングルチッププロセッサもしくは汎用マルチチッププロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別のゲートもしくはトランジスタ論理、個別のハードウェア構成要素、または、本明細書に記載の機能を実行するように構成されたそれらの任意の組合せで実装または実行され得る。汎用プロセッサは、マイクロプロセッサもしくは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPおよびマイクロプロセッサの組合せ、複数のマイクロプロセッサ、DSPコアと組み合わせた1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。いくつかの実装形態では、特定のプロセスおよび方法は、所与の機能に特有の回路によって実行することができる。

20

【0100】

1つまたは複数の態様では、説明した機能は、本明細書で開示された構造またはそれらの構造的等価物を含む、ハードウェア、デジタル電子回路、コンピュータソフトウェア、ファームウェア、またはそれらの任意の組合せにおいて実装され得る。本明細書で説明した主題の実装形態はまた、データ処理装置の動作によって実行するため、またはデータ処理装置の動作を制御するためにコンピュータ記憶媒体上に符号化された、1つまたは複数のコンピュータプログラムとして、すなわち、コンピュータプログラム命令の1つまたは複数のモジュールとして実装され得る。

30

【0101】

ソフトウェアにおいて実装される場合、機能は、非一時的媒体などのコンピュータ可読媒体上で1つまたは複数の命令またはコードとして記憶または伝送され得る。本明細書において開示された方法またはアルゴリズムのプロセスは、コンピュータ可読媒体上に存在する場合があるプロセッサ実行可能ソフトウェアモジュールにおいて実施することができる。コンピュータ可読媒体は、コンピュータプログラムをある場所から別の場所に転送することを可能にし得る任意の媒体を含む、コンピュータ記憶媒体と通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、非一時的媒体には、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気ストレージデバイス、または、命令もしくはデータ構造の形式で、所望のプログラムコードを記憶するために使用され得、コンピュータによってアクセスされ得る任意の他の媒体が含まれ得る。また、任意の接続はコンピュータ可読媒体と適切に呼ぶことができる。本明細書において使用される、ディスク(disk)およびディスク(disc)は、コンパクトディスク(CD)(disc)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(DVD)(disc)、フロッピーディスク(disk)、およびブルーレイディスク(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザーで光学

40

50

的に再生する。上記の組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。加えて、方法またはアルゴリズムの動作は、コンピュータプログラム製品に組み込まれ得る機械可読媒体およびコンピュータ可読媒体上のコードおよび命令の1つまたは任意の組合せまたはセットとして存在し得る。

【0102】

本開示で説明した実装形態に対する様々な変更は、当業者には容易に明らかであり得、本明細書で定義された一般的な原理は、本開示の要旨または範囲から逸脱することなく他の実装形態に適用され得る。したがって、特許請求の範囲は、本明細書で示されている実装形態に限定されることを意図するものではなく、本開示、本明細書で開示する原理および新規の特徴と一致する最も広い範囲を与えられるべきである。加えて、当業者が容易に理解するように、「より上」および「より下」、「上部」および「底部」、「前」および「後」、ならびに、「覆う」、「重なる」、「上」、「下方」、および「下にある」という用語は、ときには図面の説明を容易にするために使用され、適切に向けられたページ上の図面の向きに対応する相対的な位置を示し、実装されたデバイスの適切な向きを反映しないことがある。

【0103】

別々の実装形態の文脈で本明細書において説明される特定の特徴はまた、単一の実装形態において組み合わせられて実装され得る。逆に、単一の実装形態の文脈で説明される様々な特徴も、複数の実装形態において別々に、または任意の適切な副組合せにおいて実装され得る。さらに、特徴は、上記では特定の組合せで作用するものとして説明されており、さらには最初にそのようなものとして特許請求される場合があるが、特許請求される組合せからの1つまたは複数の特徴は、場合によっては、組合せから削除することができ、特許請求される組合せは、副組合せまたは副組合せの変形形態を対象とする場合がある。

【0104】

同様に、動作は、特定の順序で図面に示されているが、これは、そのような動作が、示された特定の順序で、もしくは順番に実行されること、またはすべての図示の動作が所望の結果を達成するために実行されることを必要とするものとして理解されるべきではない。さらに、図面は、フロー図の形態で1つまたは複数の例示的なプロセスを概略的に示すことがある。しかしながら、概略的に示されている例示的なプロセスには、図示されていない他の動作を組み込むことができる。たとえば、図示した動作のうちの任意の動作の前、後、任意の動作と同時に、またはこれらの動作の間に、1つまたは複数の追加の動作を実行することができる。特定の状況では、マルチタスキングおよび並列処理が有利である場合がある。さらに、上記で説明した実装形態における様々なシステム構成要素の分離は、すべての実装形態においてそのような分離を必要とするものとして理解されるべきではなく、説明したプログラム構成要素およびシステムは、一般に、単一のソフトウェア製品内に共に統合され得、または複数のソフトウェア製品にパッケージ化され得ることが理解されるべきである。さらに、他の実装形態も以下の特許請求の範囲内にある。いくつかの場合には、請求項において列挙された動作は、異なる順序で実行され得、以前として望ましい結果を達成し得る。

【符号の説明】

【0105】

- 100 圧電超音波トランスデューサ
- 110 圧電層スタック
- 112 下部電極
- 114 上部電極
- 115 圧電層
- 120 空洞
- 130 機械層
- 160 半導体基板
- 200A PMUT

2 0 0 B	P M U T	
2 0 0 C	P M U T	
2 0 0 D	P M U T	
2 1 0	圧電層スタック	
2 1 2	下部電極	
2 1 4	上部電極	
2 1 5	圧電層	
2 2 0	空洞	
2 3 0	機械層	
2 3 2	凹部	10
2 5 0	中立軸	
2 6 0	基板	
3 0 0	P M U T	
3 1 0	圧電層スタック	
3 1 2	下部電極	
3 1 4	上部電極	
3 1 5	圧電層	
3 2 0 i	空洞	
3 2 0 o	放出穴	
3 3 0	機械層	20
3 5 0	中立軸	
3 6 0	基板	
3 7 0	アンカー構造	
4 1 0	圧電層スタック	
4 1 1	バリア層	
4 1 2	下部電極	
4 1 4	上部電極	
4 1 4 a	上部電極	
4 1 4 b	上部電極	
4 1 5	圧電層	30
4 1 6	絶縁層	
4 1 6 a	電気ビア	
4 1 6 b	電気ビア	
4 1 8	相互接続層	
4 1 8 a	電気トレースおよび電気接点	
4 1 8 b	電気接点	
4 2 0	空洞	
4 2 0 i	空洞	
4 2 0 o	放出穴	
4 2 2 a	凹部	40
4 2 2 b	凹部	
4 2 5	犠牲層	
4 2 5 i	内側犠牲領域	
4 2 5 o	外側犠牲領域	
4 3 0	機械層	
4 3 0 a	放出穴	
4 3 2	パッシベーション層	
4 3 2 a	上部凹部、凹部	
4 3 4 a	コンタクトパッド開口部またはビア	
4 3 4 b	コンタクトパッド開口部またはビア	50

4 3 5 a	上部電極層の部分	
4 3 5 b	下部電極層 4 1 2 の部分	
4 7 0	アンカー構造	
4 7 2	第 1 の層部分、酸化物バッファ層	
4 7 4	アンカー部分	
4 7 4 i	小さい部分	
4 7 6	薄いバリア層	
4 7 6 i	薄いバリア層 4 7 6 の部分	
5 0 0 A	P M U T	
5 0 0 B	P M U T	10
5 0 0 C	P M U T	
5 1 0	圧電層スタック	
5 1 2	下部電極層	
5 1 4	上部電極層	
5 1 5	圧電層	
5 2 0	空洞	
5 2 2	中央放出穴	
5 3 0	機械層	
5 3 0 a	下部機械層	
5 3 0 b	上部機械層	20
5 5 0	中立軸	
5 6 0	基板	
5 7 0	アンカー構造	
5 8 0	音響ポート	
6 0 0	P M U T	
6 0 0 A	P M U T アレイ	
6 0 0 B	P M U T アレイ	
6 0 0 C	P M U T アレイ	
6 0 0 D	P M U T アレイ	
6 0 0 E	P M U T アレイ	30
6 3 0	結合機械層	
6 3 2	接着剤層	
6 3 4	接着剤層	
6 3 6	マイクロピラー	
6 6 0	共通基板	
6 9 0	プラテン	
6 9 2	音響インピーダンス整合層	
7 0 0	P M U T	
7 1 0	圧電層スタック	
7 2 0	空洞	40
7 2 2	中央放出穴	
7 3 0	機械層	
7 5 0	機械的中立軸	
7 6 0	基板	
7 7 0	アンカー構造	
8 0 0	P M U T、円形 P M U T、正方形 P M U T、矩形 P M U T	
8 3 0	円形機械層	
8 7 0	中央アンカー構造、周辺アンカー構造	
8 7 0 a	側面アンカー構造	
8 7 0 b	側面アンカー構造	50

1 1 0 0 A 超音波センサアレイ
 1 1 0 0 B ディスプレイアレイ
 1 1 0 0 C 超音波センサおよびディスプレイアレイ
 1 1 0 2 物体
 1 1 6 0 P M U Tセンサアレイ基板
 1 1 6 0 a センサアレイ基板
 1 1 6 0 b ディスプレイアレイ基板
 1 1 6 2 P M U Tセンサ要素
 1 1 6 4 超音波
 1 1 6 5 音響結合媒体
 1 1 6 5 a 音響結合媒体
 1 1 6 5 b 光学結合および音響結合媒体
 1 1 6 6 ディスプレイピクセル
 1 1 9 0 a プラテン
 1 1 9 0 b プラテン、カバーガラス
 1 1 9 0 c カバーガラス
 1 2 7 5 ニッケル層
 1 2 7 6 犠牲層 4 2 5 の部分、シリサイド層
 1 3 0 0 プロセスフロー
 1 4 0 0 プロセスフロー
 1 5 0 0 プロセスフロー
 1 6 0 0 プロセスフロー
 1 7 0 0 プロセスフロー

10

20

【図 1】

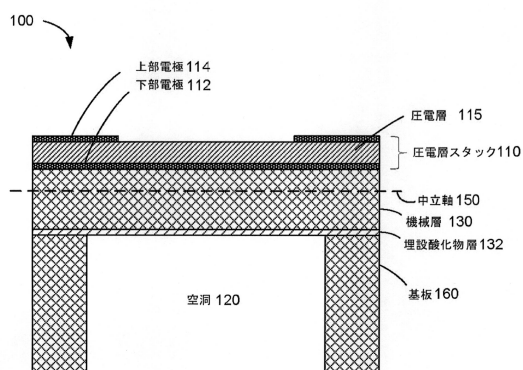


Figure 1

【図 2 A】

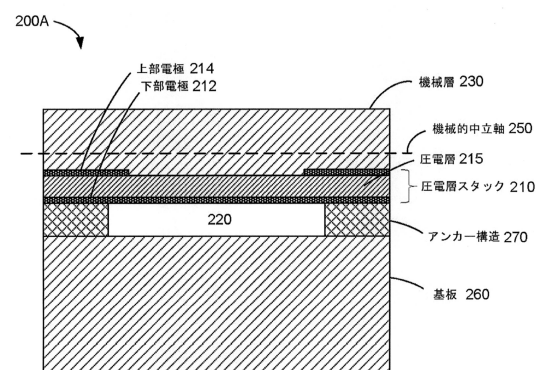


Figure 2A

【図 2 B】

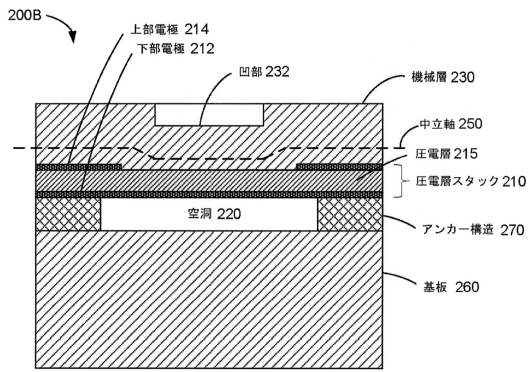


Figure 2B

【図 2 C】

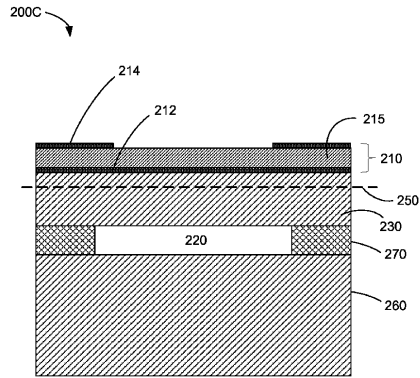


Figure 2C

【図 2 D】

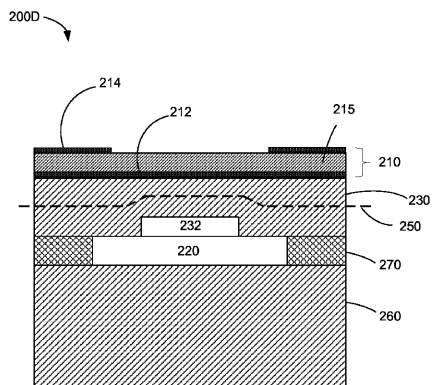


Figure 2D

【図 3】

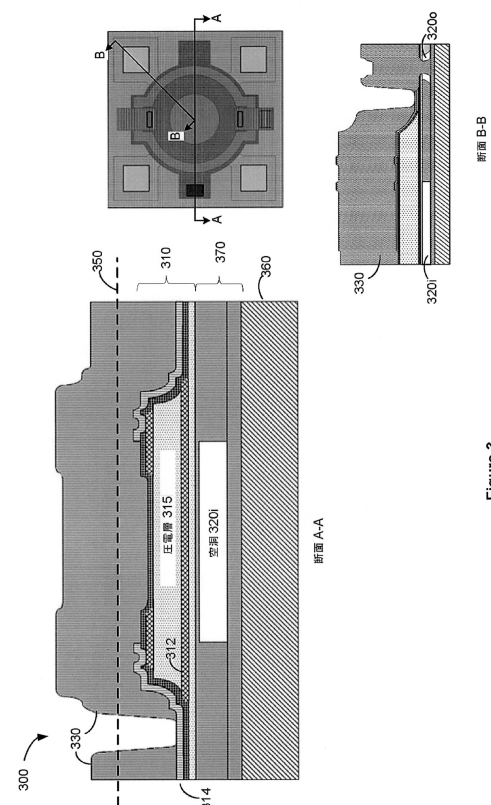
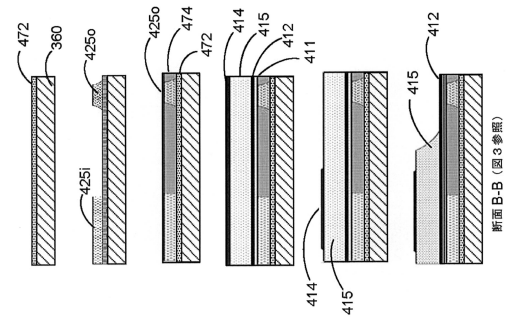
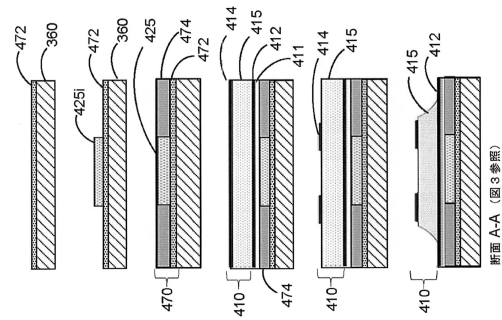


Figure 3

【図 4 A】



S401 — S402 — S403 — S404 — S405 — S406 — To S407



【図 5 A】

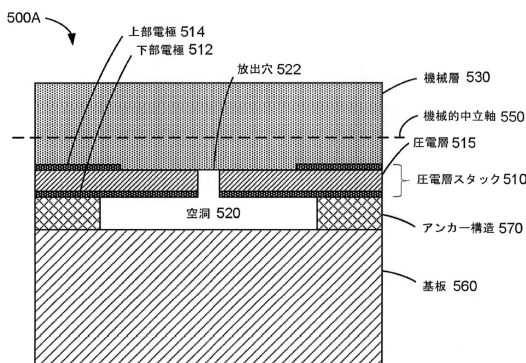
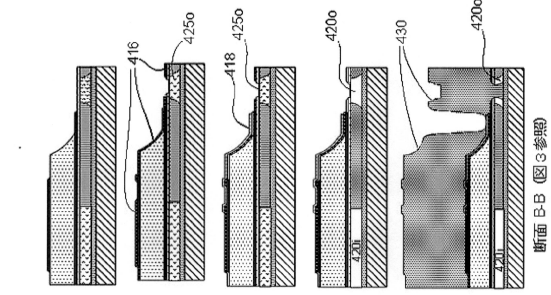


Figure 5A

【図 4 B】



From S406 — S407 — S408 — S409 — S410 — S411

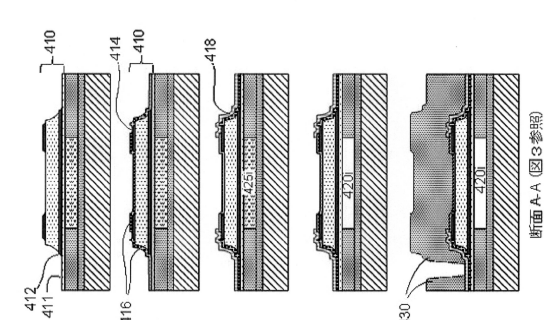


Figure 4B

【図 5 B】

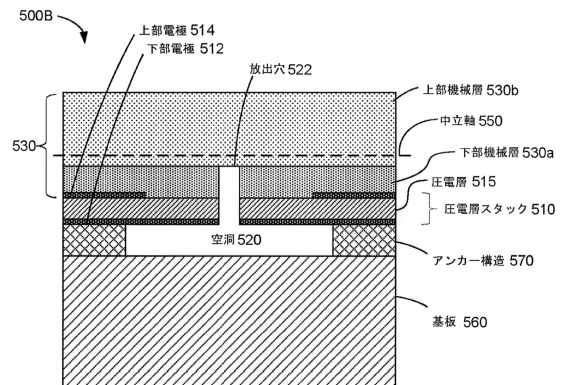


Figure 5B

【図 5 C】

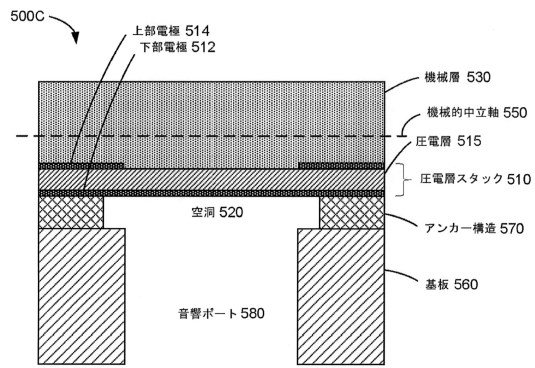


Figure 5C

【図 6 A】

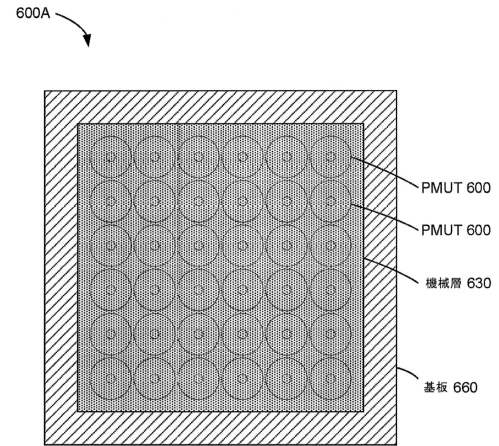


Figure 6A

【図 6 B】

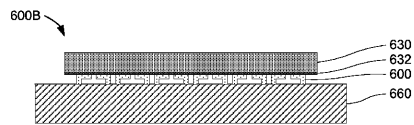


Figure 6B

【図 6 C】

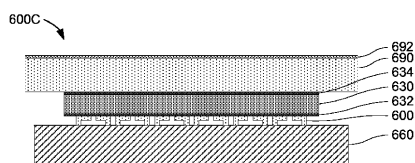


Figure 6C

【図 6 D】

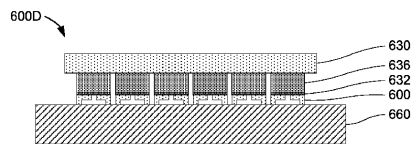


Figure 6D

【図 6 E】

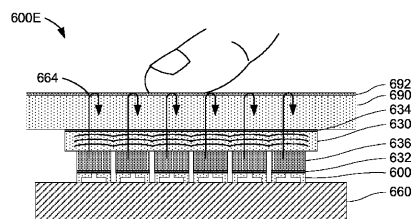


Figure 6E

【図 7 A】

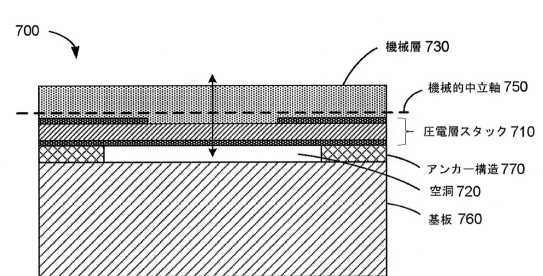


Figure 7A

【図 7 B】

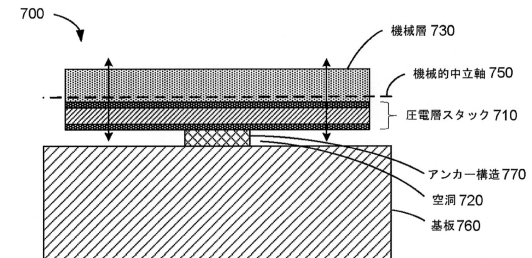


Figure 7B

【図 7 C】

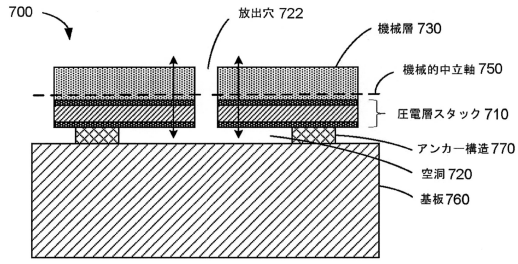


Figure 7C

【図 7 E】

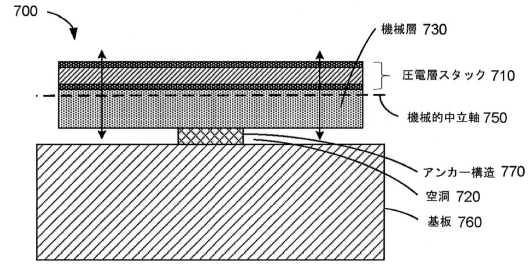


Figure 7E

【図 7 D】

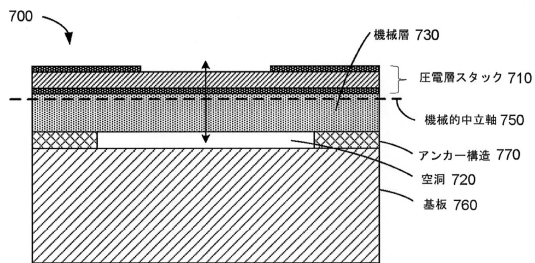


Figure 7D

【図 7 F】

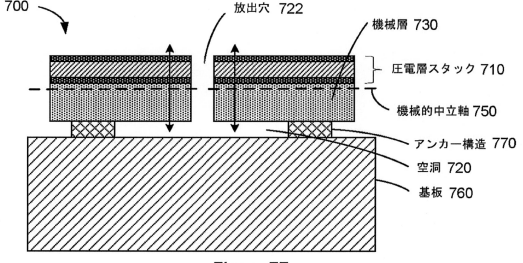


Figure 7F

【図 8 A】

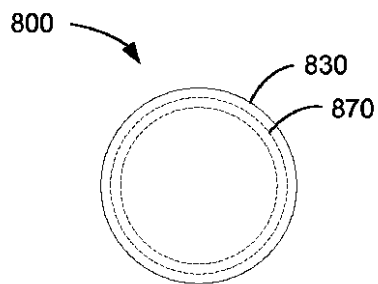


Figure 8A

【図 8 C】

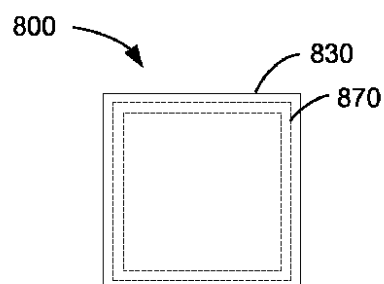


Figure 8C

【図 8 B】

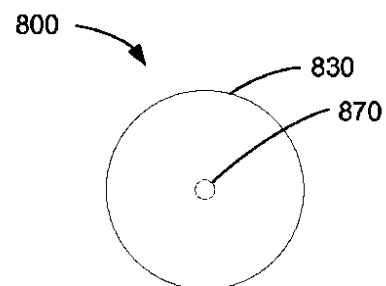


Figure 8B

【図 8 D】

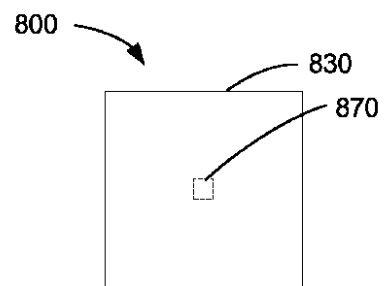


Figure 8D

【図 8 E】

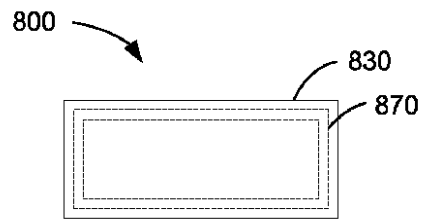


Figure 8E

【図 8 G】

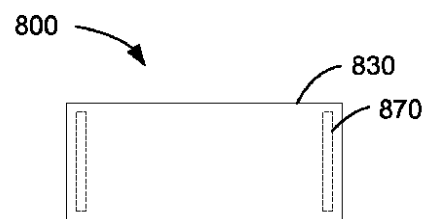


Figure 8G

【図 8 F】

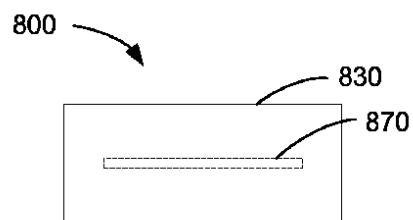


Figure 8F

【図 8 H】

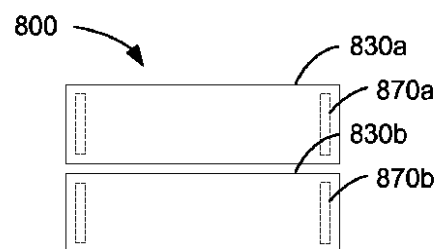


Figure 8H

【図 9】

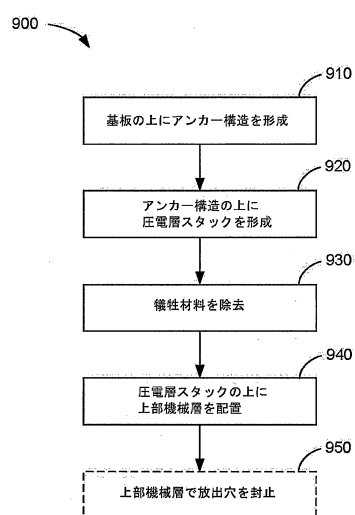


Figure 9

【図 10 A】

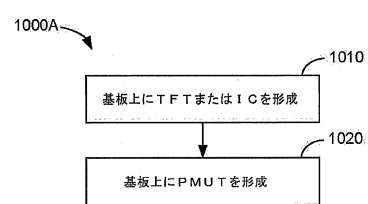


Figure 10A

【図 10 B】

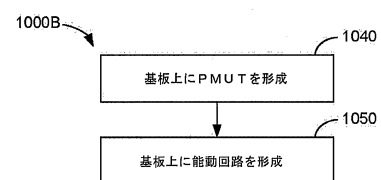


Figure 10B

【図 10C】

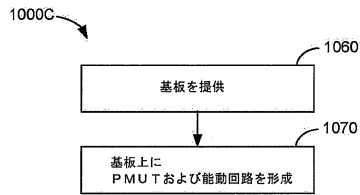


Figure 10C

【図 11C】

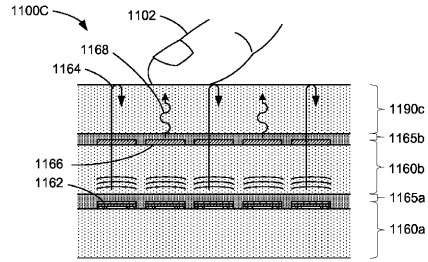


Figure 11C

【図 11A】

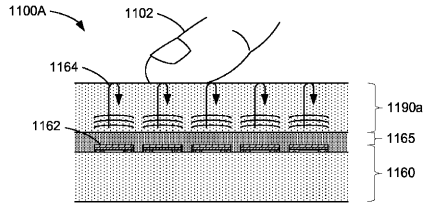


Figure 11A

【図 11B】

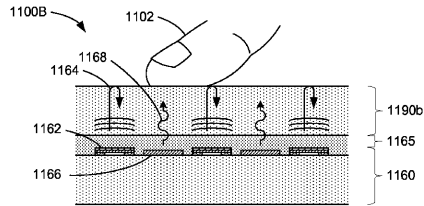


Figure 11B

【図 12】

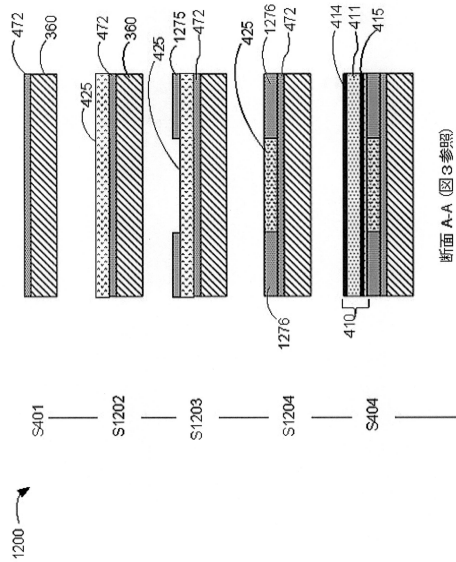


Figure 12

To S405-S411
図 4 A、図 4 B

【図 13A】

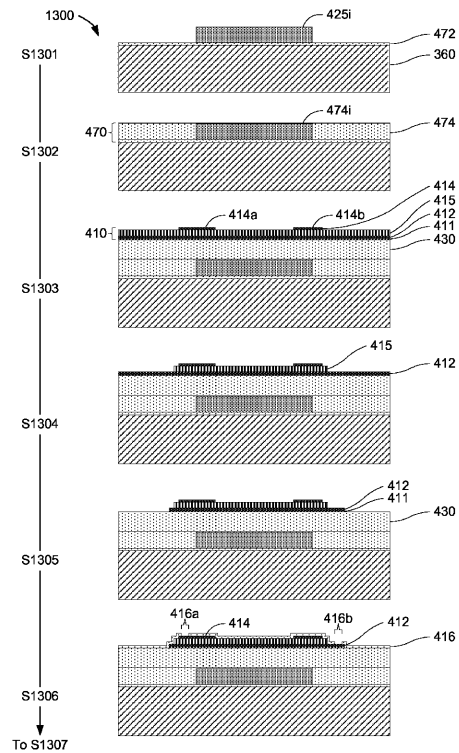
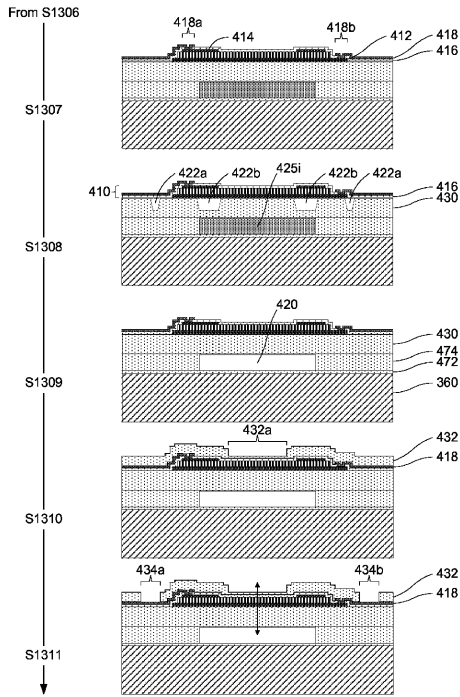
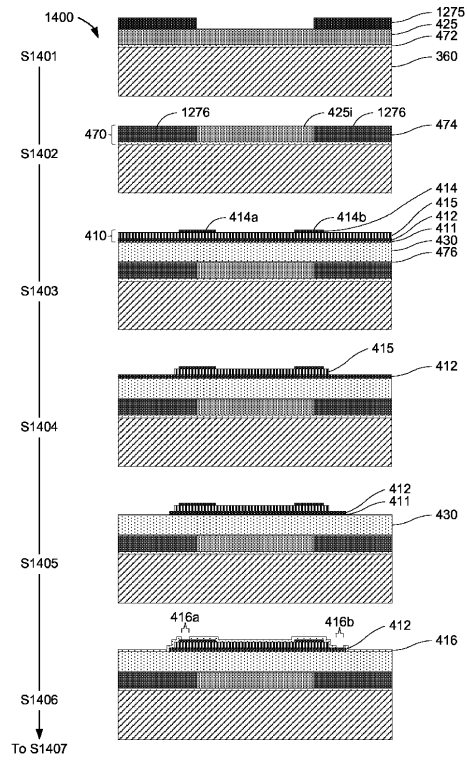


Figure 13A

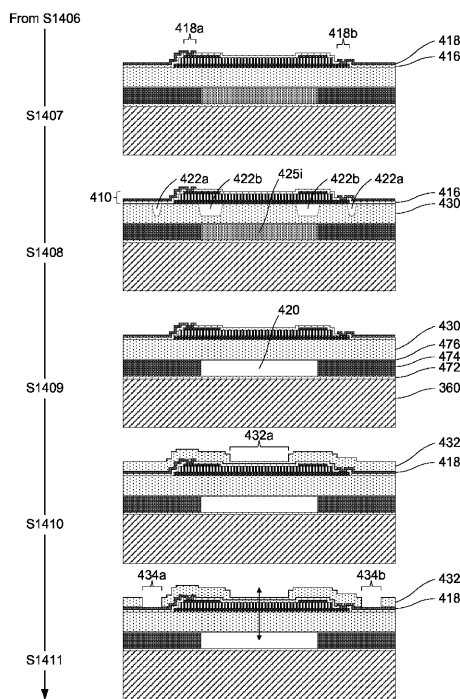
【図 13 B】



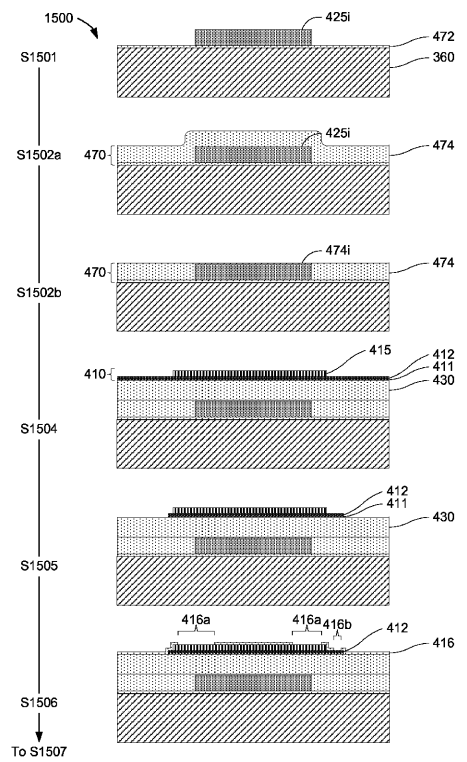
【図 14 A】



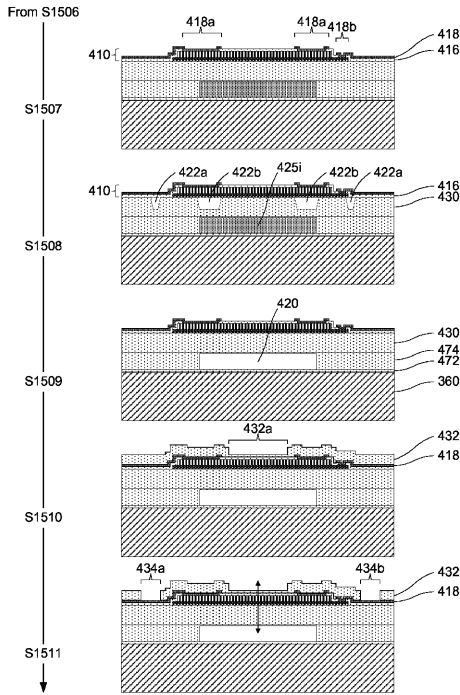
【図 14 B】



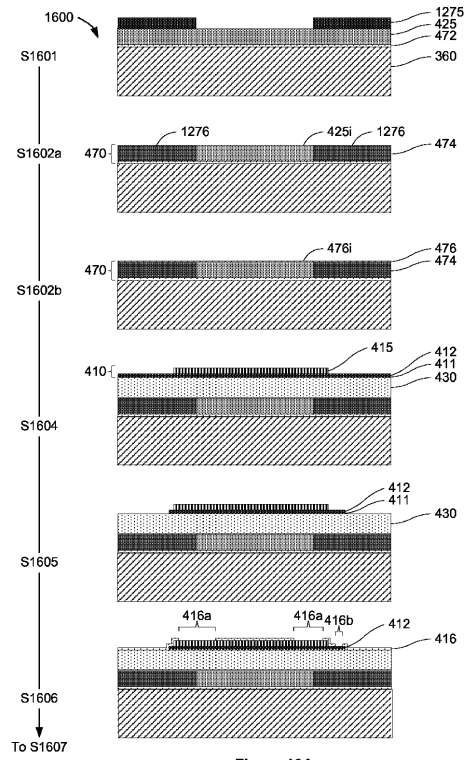
【図 15 A】



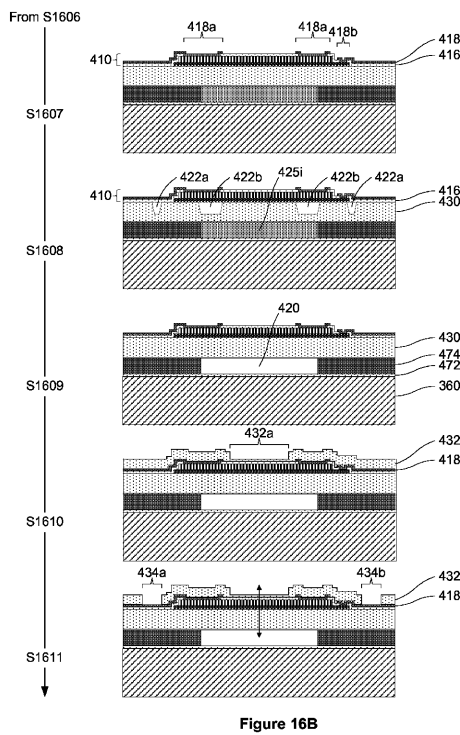
【図 15 B】



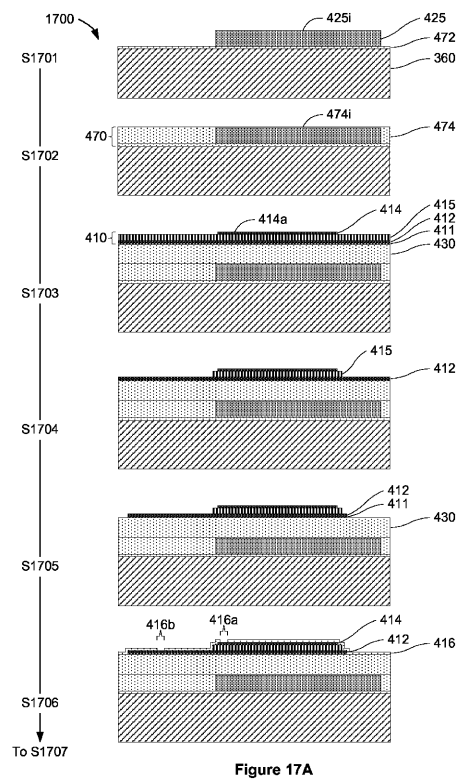
【図 16 A】



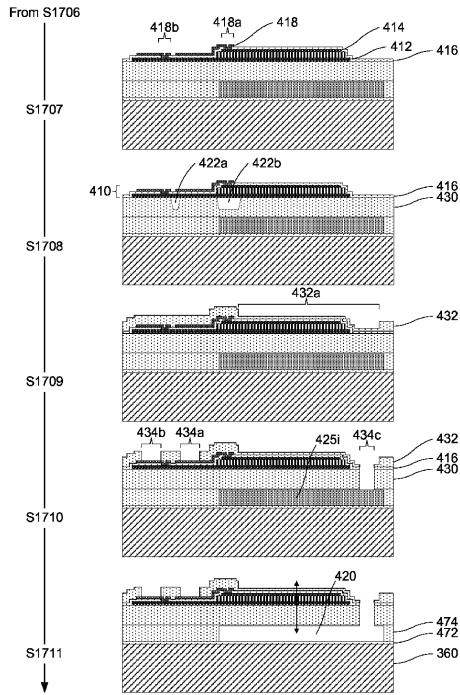
【図 16 B】



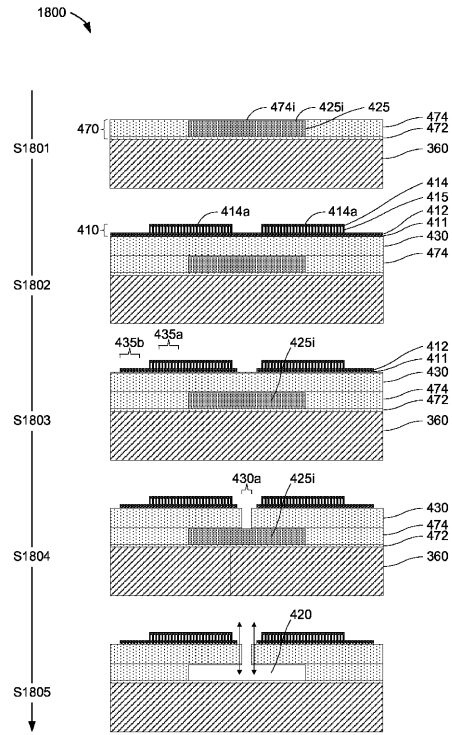
【図 17 A】



【図 17 B】



【図 18】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 41/09 (2006.01) H 0 1 L 41/113
H 0 1 L 41/09

- (72)発明者 ラヴィンドラ・ヴァマン・シェノイ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5
- (72)発明者 エフゲニー・ペトロヴィチ・ゲーセフ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5
- (72)発明者 ヒリシケシュ・パンチャワグ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5
- (72)発明者 デイヴィッド・ウィリアム・バーンズ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5
- (72)発明者 ナイ・クエイ・クオ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5
- (72)発明者 ジョナサン・チャールズ・グリフィス
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5
- (72)発明者 スリャブラカシュ・ガンティ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5

審査官 渡邊 正宏

(56)参考文献 特開2 0 0 9 - 2 6 0 7 2 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

B 8 1 B 1 / 0 0 - 7 / 0 4
B 8 1 C 1 / 0 0 - 9 9 / 0 0
H 0 1 L 4 1 / 0 0 - 4 1 / 4 7
H 0 4 R 1 / 0 0 - 1 / 0 2
H 0 4 R 1 / 0 6
H 0 4 R 1 / 2 0 - 1 / 3 4
H 0 4 R 1 / 4 0
H 0 4 R 1 / 4 4
H 0 4 R 3 / 0 0
H 0 4 R 9 / 0 0
H 0 4 R 1 3 / 0 0
H 0 4 R 1 5 / 0 0
H 0 4 R 1 7 / 0 0 - 1 7 / 0 2
H 0 4 R 1 7 / 1 0
H 0 4 R 1 9 / 0 0
H 0 4 R 2 3 / 0 0
H 0 4 R 2 9 / 0 0 - 3 1 / 0 0