(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3856249号
(P3856249)
(45)発行日　平成18年12月13日(2006.12.13)　(24)登録日　平成18年9月22日(2006.9.22)

(51)Int.Cl.		F I		
G11C 11/407	(2006.01)	G11C	11/34	354F
G11C 11/409	(2006.01)	G11C	11/34	353E

請求項の数 5　(全 22 頁)

(21)出願番号　特願平9-103923
(22)出願日　平成9年4月7日(1997.4.7)
(65)公開番号　特開平10-283780
(43)公開日　平成10年10月23日(1998.10.23)
審査請求日　平成15年1月28日(2003.1.28)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　三村　晃満
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

審査官　堀田　和義

(56)参考文献　特開平０９－０６３２７１（ＪＰ，Ａ）
特開平０９－０６２３８０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/4074

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

外部端子から供給された電源電圧で動作し、基準電圧と内部降圧電圧とを受け、第１の動作制御信号より増幅動作を行うようにされた第１の差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、

上記外部端子から供給された電源電圧で動作し、上記基準電圧と上記内部降圧電圧とを受け、上記第１の動作制御信号によるレベル引上げ回路の動作開始時に第２の動作制御信号により一時的に動作する第２の差動回路と、上記内部降圧電圧で動作し、第２の差動回路の出力信号を増幅する複数の縦列形態のＣＭＯＳインバータ回路と、上記縦列形態の終段ＣＭＯＳインバータ回路の出力端子と回路の接地電位との間に設けられた抵抗手段とを含み、上記基準電圧に対して上記内部降圧電圧が高くされたときに上記終段ＣＭＯＳインバータ回路のＰチャネルＭＯＳＦＥＴのオン状態と上記抵抗手段により上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路と、

上記外部端子から供給された電源電圧により定常的に動作し、上記基準電圧と上記内部降圧電圧とを受けて上記基準電圧に対応した上記内部降圧電圧を形成するとともに、上記内部降圧電圧により動作させられる内部回路が非動作状態におけるリーク電流に対応した電流供給能力しか持たないようにされた内部降圧電圧発生回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項２】

外部端子から供給された電源電圧で動作し、第１の基準電圧と内部降圧電圧とを受け、動作制御信号より増幅動作を行うようにされた第１の差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が上記第１の基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、

外部端子から供給された電源電圧で動作し、上記基準電圧に対して微小電圧だけ高くされた第２の基準電圧と内部降圧電圧とを受ける第２の差動回路と、上記内部降圧電圧で動作し、第２の差動回路の出力信号を増幅する複数の縦列形態のＣＭＯＳインバータ回路と、上記縦列形態の終段ＣＭＯＳインバータ回路の出力端子と回路の接地電位との間に設けられた抵抗手段とを含み、上記第２の基準電圧に対して上記内部降圧電圧が高くされたときに上記終段ＣＭＯＳインバータ回路のＰチャネルＭＯＳＦＥＴのオン状態と上記抵抗手段により上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路と、

上記外部端子から供給された電源電圧により定常的に動作し、上記第１の基準電圧と内部降圧電圧とを受けて上記第１の基準電圧に対応した内部降圧電圧を形成するとともに、上記内部降圧電圧により動作させられる内部回路が非動作状態におけるリーク電流に対応した電流供給能力しか持たないようにされた内部降圧電圧発生回路とを備えてなることを特徴とする請求項３の半導体集積回路装置。

【請求項３】

請求項１又は２において、

複数のワード線と複数の相補ビット線対と、

上記ワード線と上記相補ビット線の一方との間に設けられ、ゲートが上記ワード線に接続され、一方のソース，ドレインが対応する上記一方の相補ビット線に接続されたアドレス選択ＭＯＳＦＥＴ及び上記アドレス選択ＭＯＳＦＥＴの他方のソース，ドレインが一方の電極に接続され、他方の電極に所定の電圧が印加されてなる記憶キャパシタからなるダイナミック型メモリセルと、

ゲートとドレインが交差接続され、かかる交差接続されたゲートとドレインが上記複数の相補ビット線対にそれぞれ接続され、電源電圧側の増幅部を構成する複数対のＰチャンネル型ＭＯＳＦＥＴと、ゲートとドレインが交差接続され、かかる交差接続されたゲートとドレインが上記複数の相補ビット線対にそれぞれ接続され、接地電位側の増幅部を構成する複数対のＮチャンネル型ＭＯＳＦＥＴとからなるセンスアンプと、

上記センスアンプの上記複数対のＰチャンネル型ＭＯＳＦＥＴのソースが共通化されてなる第１共通ソース線と、

上記センスアンプの上記複数対のＮチャンネル型ＭＯＳＦＥＴのソースが共通化されてなる第２共通ソース線と、

上記外部端子から供給された電源電圧がドレインに供給され、ゲートに昇圧された定電圧が印加されて、ソースから上記内部降圧電圧より高くされたオーバードライブ用電圧を出力させるＮチャンネル型の電圧クランプＭＯＳＦＥＴと、

上記電圧クランプＭＯＳＦＥＴのソースにソースが接続され、ゲートに増幅動作開始時に一定期間だけ発生されられるオーバードライブ用センスアンプ活性化信号が印加されてドレインから上記第１共通ソース線に供給する動作電圧を出力させるＰチャンネル型の第１パワーＭＯＳＦＥＴと、

ゲートにセンスアンプ活性化信号が供給され、ドレインに上記内部降圧電圧発生回路で形成された内部降圧電圧が供給され、ソースから上記第１共通ソース線に供給する動作電圧を出力させるＮチャンネル型の第２パワーＭＯＳＦＥＴと、

ゲートにセンスアンプ活性化信号が供給され、ソースに回路の接地電位が供給され、ドレインから上記第２コモンソース線に供給する接地電位を出力させるＮチャンネル型の第３パワーＭＯＳＦＥＴとを更に備えてなることを特徴とする半導体集積回路装置。

【請求項４】

請求項３において、

上記Ｐチャンネル型の第１パワーＭＯＳＦＥＴ及び内部降圧電圧側の増幅部を構成するＰチャンネル型ＭＯＳＦＥＴが形成されるＮ型ウェル領域に、上記電圧クランプ用ＭＯＳ

ＦＥＴのソースから出力させる定電圧が供給されるものであることを特徴とする半導体集積回路装置。

【請求項５】

請求項４において、

上記第２パワーＭＯＳＦＥＴのゲートに供給されるセンスアンプ活性化信号は、上記オーバードライブ用電圧を供給する上記第１パワーＭＯＳＦＥＴのゲートに供給される活性化信号と同じく上記外部端子から供給される電源電圧を用いて形成されるものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関し、例えばセンスアンプの動作電圧を内部降圧電圧で形成するとともに、オーバードライブ方式のセンスアンプを動作させるダイナミック型ＲＡＭ（ランダム・アクセス・メモリ）に利用して有効な技術に関するものである。

【０００２】

【従来の技術】

ダイナミック型ＲＡＭに関しては、日経マグロウヒル社１９９５年７月３１日発行「日経エレクトロニクス」No.641、pp.99-214 がある。また、選択されるメモリセルが設けられる必要なメモリブロックのみを動作させ、動作させるメモリエリアをできるだけ少なくして低消費電力を図ること、及びメモリセルが接続されるサブワード線の選択動作の高速化を図るために、メインワード線に対してメモリセルが接続される複数のサブワード線を設けるようにした分割ワード線方式が提案されている。

【０００３】

【発明が解決しようとする課題】

記憶キャパシタとアドレス選択ＭＯＳＦＥＴからなるダイナミック型メモリセルにビット線のハイレベルを書き込むとき、ワード線の選択レベルを上記ビット線のハイレベルに対して、上記アドレス選択ＭＯＳＦＥＴのしきい値電圧分だけ昇圧された高電圧とする必要がある。つまり、ワード線の選択レベルは、上記ビット線のハイレベルを基準にして決められるものである。大記憶容量化による素子の微細化に伴い、上記アドレス選択ＭＯＳＦＥＴのゲート酸化膜も薄膜化され、それに伴いゲート酸化膜の電界強度が問題となる。そこで、外部端子から供給された電源電圧を降圧して定電化された内部電圧を形成し、上記ワード線の選択レベルを低くすることが考えられる。しかしながら、このようにすると、上記ビット線のハイレベルの増幅信号を形成するセンスアンプにおいて動作電圧が低くなって動作速度が遅くなってしまう。

【０００４】

上記センスアンプの動作速度を速くするためにセンスアンプの動作開始時に動作電圧を高くして増幅開始時におけるビット線のハイレベルを立ち上がりを速くするというオーバードライブ方式が考えられる。このようなオーバードライブ方式においては、センスアンプの本来の動作電圧が上記オーバードライブ電圧により持ち上げられてしまうためにそれを引き抜く回路が必要になる。このため、内部電圧を発生させる電源回路として、上記内部電圧を形成するレベル引上げ回路と、レベル引抜き回路とが必要となり、センスアンプ動作開始時にはこれらの回路に上記オーバードライブ電圧が加わって上記内部電圧が不安定になるという問題の生じることが判明した。

【０００５】

この発明の目的は、内部降圧電源回路の低消費電力化を図りつつ動作の安定化を実現した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００６】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通り

である。すなわち、外部端子から供給された電源電圧で動作し、基準電圧と内部降圧電圧とを受け、第１の動作制御信号より増幅動作を行うようにされた第１の差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、上記外部端子から供給された電源電圧で動作し、上記基準電圧と内部降圧電圧とを受け、上記動作制御信号によるレベル引上げ回路の動作開始時に第２の動作制御信号により一時的に動作する第２の差動回路を含み、上記基準電圧に対して内部降圧電圧が高くされたときに上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路とを組み合わせて内部降圧電源回路を構成する。

【０００７】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給された電源電圧で動作し、第１の基準電圧と内部降圧電圧とを受け、動作制御信号より増幅動作を行うようにされた差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が上記第１の基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、外部端子から供給された電源電圧で動作し、上記基準電圧に対して微小電圧だけ高くされた第２の基準電圧と内部降圧電圧とを受け、上記動作制御信号より増幅動作を行うようにされた差動回路を含み、上記第２の基準電圧に対して内部降圧電圧が高くされたときに上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路とを組み合わせて内部降圧電源回路を構成する。

【０００８】

【発明の実施の形態】

図１には、この発明に係る内部降圧電源回路の一実施例のブロック図が示されている。同図の各回路ブロックは、それが搭載される他の回路とともに公知の半導体集積回路の製造技術より、単結晶シリコンのような１個の半導体基板上において形成される。

【０００９】

この実施例の内部降圧電源回路は、３つの回路ブロックを組み合わせて構成される。内部降圧電圧発生回路ＶＬＤＧ１は、外部端子から供給された電源電圧ＶＤＤを受けて定常的に動作し、基準電圧ＶＬＲと一致するような内部降圧電圧ＶＤＬを形成する。この内部降圧電圧発生回路ＶＤＬＧ１は、それが搭載される半導体集積回路装置が非動作（スタンバイ）状態のときの電流消費を小さくすために、上記内部降圧電圧ＶＤＬを受けて動作する内部回路におけるリーク電流を補う程度の小さな電流供給能力しか持たないようにされる。つまり、内部降圧電圧発生回路ＶＤＬＧ１は、内部回路が非動作状態のときに上記内部降圧電圧ＶＤＬが所望のレベルを維持するような動作しか行わない。

【００１０】

上記内部降圧電圧発生回路ＶＤＬＧ１に対して、実質的な内部降圧電圧を形成する内部降圧電圧発生回路ＶＤＬＧ２が設けられる。この内部降圧電圧発生回路ＶＤＬＧ２は、いわばレベル引上げ回路としての機能を持つものであり、第１の動作制御信号ＥＡにより動作状態にされ、上記基準電圧ＶＬＲと内部降圧電圧ＶＤＬとを比較し、上記内部降圧電圧ＶＤＬが基準電圧ＶＬＲに対して低くなると、電流供給用の出力ＭＯＳＦＥＴが動作状態になり、上記内部降圧電圧ＶＤＬのレベルの引上げを行う。回路形式的には、内部降圧電圧発生回路ＶＤＬＧ２は、差動増幅回路を利用したボルテージフォロワ回路により構成されるが、低消費電力化のためにその機能は専らハイレベルを引き上げる方向のみに使われる。

【００１１】

上記レベル引上げ回路としての内部降圧電圧発生回路ＶＤＬＧ２が動作制御信号ＥＡにより動作状態にされて、基準電圧ＶＤＬより越えて大きくなったときにそれを基準電圧ＶＬＲに戻すようにするためにレベル引抜き回路ＬＤＷが設けられる。この回路は、上記基準電圧ＶＬＲと内部降圧電圧ＶＤＬとを比較し、上記内部降圧電圧ＶＤＬが基準電圧ＶＬＲを越えて高くなると、内部降圧電圧ＶＤＬと回路の接地電位との間に電流経路を形成して

、そのレベルを引き下げるように動作する。

【００１２】

この実施例では、上記レベル引上げ回路としての内部降圧電圧発生回路ＶＤＬＧ２と上記レベル引抜き回路ＬＤＷとが同時動作させると、そのレベル引上げ動作と、レベル引抜き動作とによって内部降圧電圧ＶＤＬが安定するまでに時間がかかるため、上記レベル引抜き回路ＬＤＷの動作期間を短い一定時間だけに設定する。

【００１３】

図２には、上記内部降圧電源回路の動作を説明するためのタイミング図が示されている。制御信号／ＳＡＥにより内部降圧電圧ＶＤＬで動作させられる内部回路が活性化されるとすると、上記信号／ＳＡＥにより上記第１の制御信号ＥＡをロウレベルからハイレベルに変化させ、レベル引上げ回路としての内部降圧電圧発生回路ＶＬＤＧ２を動作状態にさせる。上記信号／ＳＡＥのロウレベルにより内部回路が動作して内部電圧ＶＤＬが低下すると、上記内部降圧電圧発生回路ＶＬＤＧ２がそれを感知してレベルの引上げ動作を行う。このとき、内部降圧電圧ＶＤＬにオーバーシュートが発生する。このオーバーシュートは、第２の動作制御信号により活性化されたレベル引抜き回路ＬＤＷによって検知されるとともに、そのレベル引抜き用の電流経路が形成されていったん引き下げられる。

【００１４】

上記レベル引抜き回路ＬＤＷの動作によって逆にアンダーシュートが発生するが、このアンダーシュートは上記レベル引上げ回路としての内部降圧電圧発生回路ＶＬＤＧ２が動作状態であるから比較的小さく抑えられ、逆方向に発生するオーバーシュートも小さくなる。そして、上記レベル引抜き回路ＬＤＷを第２の制御信号ＥＢにより比較的短い期間しか動作させないから、上記レベル引上げ回路としての第２の内部降圧電圧発生回路ＶＤＬＧ２との引張合いが継続しないため、内部回路での動作電流等により速やかに安定電圧ＶＤＬに落ち着かせることができる。

【００１５】

図３には、この発明に係る内部降圧電源回路の他の一実施例のブロック図が示されている。同図の各回路ブロックは、前記同様にそれが搭載される他の回路とともに公知の半導体集積回路の製造技術より、単結晶シリコンのような１個の半導体基板上において形成される。

【００１６】

この実施例の内部降圧電源回路は、上記同様な３つの回路ブロックを組み合わせて構成される。内部降圧電圧発生回路ＶＤＬＧ１は、前記同様に内部回路が非動作状態のときに上記内部降圧電圧ＶＤＬが所望のレベルを維持するような動作しか行わないものであり、内部降圧電圧発生回路ＶＤＬＧ２は、実質的な内部降圧電圧を形成するいわばレベル引上げ回路としての機能を持つものであり、第１の動作制御信号ＥＡにより動作状態にされる。

【００１７】

この実施例では、上記レベル引上げ回路としての内部降圧電圧発生回路ＶＤＬＧ２に対して設けられるレベル引抜き回路ＬＤＷの制御を上記のような動作制御信号によるものに代えて、基準電圧にオフセットを持たせるようにすることによって実質的な動作制御を行うようにするものである。つまり、レベル引抜き回路ＬＤＷに供給される基準電圧は、上記基準電圧ＶＬＲにΔＶだけ高くした基準電圧ＶＬＲ＋ΔＶとするものである。

【００１８】

図４には、上記内部降圧電源回路の動作を説明するためのタイミング図が示されている。制御信号／ＳＡＥにより内部降圧電圧ＶＤＬで動作させられる内部回路が活性化されるとすると、上記信号／ＳＡＥにより上記第１の制御信号ＥＡをロウレベルからハイレベルに変化させ、レベル引上げ回路としての内部降圧電圧発生回路ＶＬＤＧ２を動作状態にさせる。上記信号／ＳＡＥのロウレベルにより内部回路が動作して内部電圧ＶＤＬが低下すると、上記内部降圧電圧発生回路ＶＬＤＧ２がそれを感知してレベルの引上げ動作を行う。このとき、内部降圧電圧ＶＤＬにオーバーシュートが発生する。このオーバーシュートは、上記のようにΔＶだけオフセットを持たせられた基準電圧ＶＬＲ＋ΔＶを越えたときに

、レベル引抜き回路ＬＤＷによって検知されるとともに、そのレベル引抜き用の電流経路が形成されていったんレベル引き下げが行われ、その動作はＶＬＲ＋ΔＶに到達した時点で停止される。

【００１９】

上記レベル引抜き回路ＬＤＷの動作によって逆に発生するアンダーシュートは、上記のようにΔＶの設定と、上記レベル引上げ回路としての内部降圧電圧発生回路ＶＬＤＧ２が動作状態であるから比較的小さく抑えられ、逆方向に発生するオーバーシュートも小さくなる。そして、上記内部降圧電圧ＶＤＬが、ＶＬＲとＶＬＲ＋ΔＶの間では、上記両方の回路が動作しないから上記レベル引上げ回路としての第２の内部降圧電圧発生回路ＶＤＬＧ２との引張合いが弱められて速やかに安定電圧ＶＤＬに落ち着かせることができる。

【００２０】

図５には、上記内部降圧電圧発生回路及びレベル引抜き回路の一実施例の回路図が示されている。同図において、Ｐチャンネル型ＭＯＳＦＥＴは、ＭＯＳＦＥＴＱ２２のようにチャンネル部分に矢印を付することによりＮチャンネル型ＭＯＳＦＥＴと区別して表されている。同図（Ａ）には、内部降圧電圧発生回路が示され、同図（Ｂ）にはレベル引抜き回路が示されている。

【００２１】

同図（Ａ）において、Ｎチャンネル型ＭＯＳＦＥＴＱ２０とＱ２１は、ソースが共通接続されることにより差動形態にされる。これらのＭＯＳＦＥＴＱ２０とＱ２１のドレインと外部端子から供給された電源電圧ＶＤＤとの間には、電流ミラー形態にされたＰチャンネル型ＭＯＳＦＥＴＱ２２とＱ２３が設けられる。つまり、ＭＯＳＦＥＴＱ２３の共通接続されたゲートとドレインにＭＯＳＦＥＴＱ２２のゲートが接続される。上記差動ＭＯＳＦＥＴＱ２０とＱ２１のソースと回路の接地電位との間には、動作電流を流すＮチャンネル型ＭＯＳＦＥＴＱ２４が設けられる。このＭＯＳＦＥＴＱ２４のゲートには、かかる差動回路が上記レベル引上げ回路としての内部降圧電圧発生回路ＶＤＬＧ２を構成するときには、動作制御信号ＥＡが供給され、上記内部降圧電圧発生回路ＶＬＧ１を構成するときには所定のバイアス電圧が定常的に供給されて定電流動作を行うようにされる。

【００２２】

上記差動ＭＯＳＦＥＴＱ２０のゲートには基準電圧ＶＬＲが供給され、差動ＭＯＳＦＥＴＱ２１のゲートには、次に説明する内部降圧電圧ＶＤＬが供給される。上記ＭＯＳＦＥＴＱ２０のドレイン出力は、Ｐチャンネル型の出力ＭＯＳＦＥＴＱ２５のゲートに供給される。このＭＯＳＦＥＴＱ２５のソースは、電源電圧ＶＤＤが印加され、ドレインから内部降圧電圧ＶＤＬを形成する。そして、ＭＯＳＦＥＴＱ２５のドレインには、負荷として作用するＮチャンネル型ＭＯＳＦＥＴＱ２６が設けられる。このＭＯＳＦＥＴＱ２６は、上記動作制御信号ＥＡにより動作制御が行われるとともに、動作時における消費電流を小さくするためにＭＯＳＦＥＴＱ２５を通して流れるリーク電流を吸収するような小さな電流しか流さないようにされる。

【００２３】

つまり、上記内部降圧電圧発生回路ＶＤＬＧ２は、出力電圧としての内部降圧電圧ＶＤＬが上記差動ＭＯＳＦＥＴＱ２１のゲートに１００％負帰還されることによって回路形式的にはボルテージフォロワ回路とされるが、Ｐチャンネル型ＭＯＳＦＥＴＱ２５は、所望の電流供給能力を持つようされる反面、直流電流を削減させるために上記ＭＯＳＦＥＴＱ２６が小さな電流しか流さないようにされることにより、レベル引抜き機能を殆ど持たないために、レベル引上げ回路としての動作しか行わない。

【００２４】

同図（Ｂ）において、Ｎチャンネル型ＭＯＳＦＥＴＱ３０とＱ３１は、ソースが共通接続されることにより差動形態にされる。これらのＭＯＳＦＥＴＱ３０とＱ３１のドレインと外部端子から供給された電源電圧ＶＤＤとの間には、電流ミラー形態にされたＰチャンネル型ＭＯＳＦＥＴＱ３２とＱ３３が設けられる。つまり、ＭＯＳＦＥＴＱ３３の共通接続されたゲートとドレインにＭＯＳＦＥＴＱ３２のゲートが接続される。上記差動ＭＯＳＦ

ＥＴＱ３０とＱ３１のソースと回路の接地電位との間には、動作電流を流すＮチャンネル型ＭＯＳＦＥＴＱ３４が設けられる。このＭＯＳＦＥＴＱ３４のゲートには、上記図１の実施例のように用いるきには、動作制御信号ＥＢが印加され、図３の実施例のように用いるときには、動作制御信号ＥＡが印加される。

【００２５】

上記差動ＭＯＳＦＥＴＱ３１のゲートには、上記内部降圧電圧ＶＤＬが供給される。これに対して、差動ＭＯＳＦＥＴＱ３０のゲートには、上記図１の実施例のように用いることときには基準電圧ＶＬＲが供給され、図２の実施例のように用いることときには基準電圧としてＶＬＲ＋ΔＶが印加される。この差動回路は、電圧比較回路としての動作を行うものである。つまり、上記基準電圧ＶＬＲ（又はＶＬＲ＋ΔＶ）と内部降圧電圧ＶＤＬとを比較し、基準電圧ＶＬＲ（又はＶＬＲ＋ΔＶ）に対して内部降圧電圧ＶＤＬが高くなると、ＭＯＳＦＥＴＱ３１に流れる電流が相対的に増大し、その電流が電流ミラー回路を介してＭＯＳＦＥＴＱ３０のドレインに供給されるため、ＭＯＳＦＥＴＱ３０の相対的に減少されたドレイン電流の差分によりハイレベルの電圧信号を形成する。逆に、基準電圧ＶＬＲ（又はＶＬＲ＋ΔＶ）に対して内部降圧電圧ＶＤＬが低くなると、ＭＯＳＦＥＴＱ３１に流れる電流が相対的に減少し、その電流が電流ミラー回路を介してＭＯＳＦＥＴＱ３０のドレインに供給されるため、ＭＯＳＦＥＴＱ３０の相対的に増大したドレイン電流の差分によりロウレベルの電圧信号を形成する。

【００２６】

レベル引抜き回路は、内部降圧電圧ＶＤＬと回路の接地電位との間に設けられた２つのＣＭＯＳインバータ回路とＮチャンネル型ＭＯＳＦＥＴＱ３９から構成される。つまり、上記ＭＯＳＦＥＴＱ３０のドレイン出力は、Ｐチャンネル型ＭＯＳＦＥＴＱ３５とＮチャンネル型ＭＯＳＦＥＴＱ３６からなるＣＭＯＳインバータ回路に供給されここで増幅される。この増幅信号は、Ｐチャンネル型ＭＯＳＦＥＴＱ３７とＮチャンネル型ＭＯＳＦＥＴＱ３８からＣＭＯＳインバータ回路に供給され、かかるＣＭＯＳインバータ回路の出力と回路の接地電位との間にＮチャンネル型ＭＯＳＦＥＴＱ３９が設けられる。このＭＯＳＦＥＴＱ３９のゲートには、電源電圧ＶＤＤが印加されることによって抵抗素子として動作させられる。

【００２７】

上記差動回路のＭＯＳＦＥＴＱ３０のドレイン出力がハイレベルになると、上記ＣＭＯＳインバータ回路（Ｑ３５とＱ３６）は、増幅されたロウレベルの出力信号を形成する。これにより、ＣＭＯＳインバータ回路のＰチャンネル型ＭＯＳＦＥＴＱ３７がオン状態となり、ＭＯＳＦＥＴＱ３９との間で直流電流経路を形成して内部降圧電圧ＶＤＬをロウレベルに引き抜くような電流経路を形成するものである。もしも、差動回路のＭＯＳＦＥＴＱ３０のドレイン出力がロウレベルでなるならば、上記ＣＭＯＳインバータ回路（Ｑ３５とＱ３６）は、増幅されたハイレベルの出力信号を形成する。これにより、ＣＭＯＳインバータ回路のＰチャンネル型ＭＯＳＦＥＴＱ３７がオフ状態となり、ＭＯＳＦＥＴＱ３９との間で直流電流経路を形成しなくなる。

【００２８】

図６には、上記基準電圧ＶＬＲを形成する電圧発生回路の一実施例の回路図が示されている。電圧発生回路は、基準電圧発生回路Ｖｒ－Ｇとレベル変換回路ＬＶＣから構成される。基準電圧発生回路Ｖｒ－Ｇで形成される基準定電圧Ｖｒは、シリコンバンドギャップに対応した約１．２Ｖのように比較的小さな電圧値であり、半導体集積回路装置の内部電源として必要な電圧と異なるものである。そこで、上記基準定電圧Ｖｒを必要な定電圧ＶＬＲに変換するのが、レベル変換回路ＬＶＣである。

【００２９】

基準電圧発生回路Ｖｒ－Ｇは、ＰＮＰトランジスタＴ１とＴ２のエミッタ面積比を異ならせ、それに同じ電流ＩＲが流れるようにしてエミッタ電流密度を異ならせる。これにより、ΔＶＢＥのようなシリコンバンドギャップに対応した定電圧を形成する。上記トランジスタＴ１とＴ２に同じ電流ＩＲを流すようにするために、Ｐチャンネル型ＭＯＳＦＥＴＱ

Ｐ１０、ＱＰ１１、Ｎチャンネル型ＭＯＳＦＥＴＱＮ１０とＱＮ１１が設けられる。つまり、トランジスタＴ１のエミッタ電位をＭＯＳＦＥＴＱＮ１０のソース－ゲート、ＭＯＳＦＥＴＱＮ１１のゲート－ソースを介して抵抗Ｒ３の一端に印加し、この抵抗Ｒ３の他端を上記トランジスタＴ２のエミッタに接続する。これにより、抵抗Ｒ３には上記シリコンバンドギャップに対応した定電圧ΔＶＢＥが印加され、定電流ＩＲが流れる。

【００３０】

この定電流ＩＲは、上記ＭＯＳＦＥＴＱＮ１１を通してＰチャンネル型ＭＯＳＦＥＴＱＰ１０～ＱＰ１２からなる電流ミラー回路とＮチャンネル型ＭＯＳＦＥＴＱＮ１０を介してトランジスタＴ１のエミッタに供給する。また、Ｐチャンネル型ＭＯＳＦＥＴＱＰ１２を通して抵抗Ｒ４に流して定電圧Ｖｒを得るものである。上記抵抗Ｒ４の他端には、上記トランジスタＴ２と同じサイズにされたトランジスタＴ３が設けられ温度補償を行うようにする。基準電圧Ｖｒの出力ノードには、キャパシタＣか設けられて電圧Ｖｒを安定化させる。

【００３１】

特に制限されないが、上記バイポーラ型トランジスタは、コレクタをＰ型基板とし、ベースをＰチャンネル型ＭＯＳＦＥＴを形成するためのＮ型ウェル領域と、エミッタを上記Ｐチャンネル型ＭＯＳＦＥＴを形成するためのＰ型のソース，ドレイン領域を利用すればＣＭＯＳ回路技術をそのまま利用して簡単に形成することができる。

【００３２】

上記基準定電圧Ｖｒは、ゲートとドレインが接続されてダイオード形態にされたＮチャンネル型ＭＯＳＦＥＴＱＮ３のソースに供給される。このＭＯＳＦＥＴＱＮ３のゲートは、それと同じサイズにされたＮチャンネル型ＭＯＳＦＥＴＱＮ４のゲートと共通に接続される。上記ＭＯＳＦＥＴＱＮ４のソースと基準電位点としての回路の接地電位点との間には抵抗Ｒ１が設けられる。

【００３３】

上記抵抗Ｒ１で形成された電流は、上記ＭＯＳＦＥＴＱＮ４を通してゲートとドレインが接続されてダイオード形態とされたＰチャンネル型ＭＯＳＦＥＴＱＰ３に流れるようにされる。このＭＯＳＦＥＴＱＰ３に対してＰチャンネル型ＭＯＳＦＥＴＱＰ１、ＱＰ２及びＱＰ４が電流ミラー形態にされる。これらのＰチャンネル型ＭＯＳＦＥＴＱＰ１～ＱＰ４は、それぞれが同じ電流を流すようにするために、同じ素子サイズで形成される。

【００３４】

上記Ｐチャンネル型ＭＯＳＦＥＴＱＰ２で形成された電流は、上記ＭＯＳＦＥＴＱＮ３のドレインに供給される。このＭＯＳＦＥＴＱＮ３のソースには、上記Ｐチャンネル型ＭＯＳＦＥＴＱＰ１で形成された電流を受けるＮチャンネル型ＭＯＳＦＥＴＱＮ１とＱＮ２で構成された電流ミラー回路が設けられる。これにより、ＮチャンネルＭＯＳＦＥＴＱＮ３のドレイン電流及びソース電流は、上記抵抗Ｒ１で形成された電流と等しい電流値にされる。

【００３５】

上記ＮチャンネルＭＯＳＦＥＴＱＰ４のドレインと回路の接地電位との間には、抵抗Ｒ２が設けられる。この抵抗Ｒ２は、上記抵抗Ｒ１に対して所望の比を持つようにされる。つまり、ＭＯＳＦＥＴＱＮ３のソースに供給される基準定電圧Ｖｒは、同じ電流が流れ、同じ素子サイズからなるＭＯＳＦＥＴＱＮ４のソース電位と等しくなる。したがって、抵抗Ｒ１には、Ｖｒ／Ｒ１のような定電流が流れることなる。この定電流と等しい定電流が上記Ｐチャンネル型ＭＯＳＦＥＴＱＰ４を通して抵抗Ｒ２にも流れるから、出力電圧ＶＬＲは、（Ｖｒ／Ｒ１）×Ｒ２となる。

【００３６】

したがって、抵抗Ｒ１とＲ２の比（Ｒ２／Ｒ１）の比に比例して、上記基準定電圧Ｖｒが増大され、所望の電圧値にされた出力電圧ＶＬＲを得ることができる。このとき、半導体集積回路で形成される抵抗は、その抵抗値のバラツキは比較的大きいが、その相対比は高精度で形成することができるから、出力電圧ＶＬＲを上記基準定電圧Ｖｒに対応した高安

定化を図ることができる。この実施例のレベル変換回路では、帰還により利得を決めるものではないので、上記抵抗Ｒ１に流れる電流を小さく設定しても高安定で動作させることができる。前記ΔＶを形成するときには、ΔＶに対応させて抵抗Ｒ２’を設けるようにすればよい。

【００３７】

図７には、この発明に係る内部降圧電源回路が搭載されたダイナミック型ＲＡＭの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型ＲＡＭを構成する各回路ブロックのうち、この発明に関連する部分が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上において形成される。

【００３８】

この実施例では、特に制限されないが、メモリアレイは、全体として４個に分けられる。半導体チップの長手方向に対して左右に２個ずつのメモリアレイが分けられて、中央部分１４にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等が設けられる。これら中央部分１４の両側のメモリアレイに接する部分には、カラムデコーダ領域１３が配置される。

【００３９】

上述のように半導体チップの長手方向に対して左右に２個、上下に２個ずつに分けられた４個からなる各メモリアレイにおいて、長手方向に対して上下中央部にメインロウデコーダ領域１１が設けられる。このメインロウデコーダの上下には、メインワードドライバ領域が形成されて、上記上下に分けられたメモリアレイのメインワード線をそれぞれが駆動するようにされる。上記半導体チップの長手方向を２分する中央部分には、内部電圧発生回路９が設けられる。この内部電圧発生回路９は、上記内部降圧電源回路の他、後述するような昇圧回路や基板電圧発生回路も含むものである。

【００４０】

上記メモリセルアレイ（サブアレイ）１５は、その拡大図に示すように、メモリセルアレイ１５を挟んでセンスアンプ領域１６、サブワードドライバ領域１７に囲まれて形成されるものである。上記センスアンプアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域（クロスエリア）１８とされる。上記センスアンプ領域１６に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリセルアレイの相補ビット線に選択的に接続される。

【００４１】

上述のように半導体チップの長手方向に対して左右に４個ずつに分けられたメモリアレイは、２個ずつ組となって配置される。このように２個ずつ組となって配置された２つのメモリアレイは、その中央部分にメインワードドライバ１１が配置される。このメインワードドライバ１１は、それを中心にして上下に振り分けられた２個のメモリアレイに対応して設けられる。メインワードドライバ１１は、上記１つのメモリアレイを貫通するように延長されるメインワード線の選択信号を形成する。また、上記メインワードドライバ１１にサブワード選択用のドライバも設けれら、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。

【００４２】

拡大図として示された１つのメモリセルアレイ（サブアレイ）１５は、図示しないがサブワード線が２５６本と、それと直交する相補ビット線（又はデータ線）が２５６対とされる。上記１つのメモリアレイにおいて、上記メモリセルアレイ（サブアレイ）１５がワードビット線方向に１６個設けられるから、全体としての上記サブワード線は約４Ｋ分設けられ、ワード線方向に８個設けられるから、相補ビット線は全体として約２Ｋ分設けられる。このようなメモリアレイが全体で８個設けられるから、全体では８×２Ｋ×４Ｋ＝６４Ｍビットのような大記憶容量を持つようにされる。

【００４３】

上記１つのメモリアレイは、メインワード線方向に対して８個に分割される。かかる分割されたメモリセルアレイ１５毎にサブワードドライバ（サブワード線駆動回路）１７が設けられる。サブワードドライバ１７は、メインワード線に対して１／８の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、１つのメインワード線に対して、相補ビット線方向に４本からなるサブワード線を配置させる。このようにメインワード線方向には８本に分割され、及び相補ビット線方向に対して４本ずつが割り当てられたサブワード線の中から１本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される４本のサブワード選択線の中から１つを選択する選択信号を形成する。

【００４４】

上記１つのメモリアレイに着目すると、１つのメインワード線に割り当てられる８個のメモリセルアレイのうち選択すべきメモリセルが含まれる１つのメモリセルアレイに対応したサブワードドライバにおいて、１本のサブワード選択線が選択される結果、１本のメインワード線に属する８×４＝３２本のサブワード線の中から１つのサブワード線が選択される。上記のようにメインワード線方向に２Ｋ（２０４８）のメモリセルが設けられるので、１つのサブワード線には、２０４８／８＝２５６個のメモリセルが接続されることとなる。なお、特に制限されないが、リフレッシュ動作（例えばセルフリフレッシュモード）においては、１本のメインワード線に対応する８本のサブワード線が選択状態とされる。

【００４５】

上記のように１つのメモリアレイは、相補ビット線方向に対して４Ｋビットの記憶容量を持つ。しかしながら、１つの相補ビット線に対して４Ｋものメモリセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対しても１６分割される。つまり、太い黒線で示されたセンスアンプ１６により　相補ビット線が１６分割に分割される。特に制限されないが、センスアンプ１６は、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプ１６を除いて、センスアンプ１６を中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【００４６】

図８には、この発明に係るダイナミック型ＲＡＭを説明するための概略レイアウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、８分割された１つのメモリアレイのレイアウトが示されている。同図は、図７の実施例を別の観点から図示したものである。つまり、図７と同様にメモリチップは、長手方向（ワード線方向）対して左右と上下にそれぞれ２個ずつのメモリアレイ（Array)が４分割され、その長方向における中央部分には複数らなるボンディングパッド及び周辺回路（Bonding Pad & peripheral Circuit）が設けられる。

【００４７】

上記２個ずつのメモリアレイは、それぞれが約８Ｍビットの記憶容量を持つようにされるものであり、そのうちの一方が拡大して示されているように、ワード線方向に８分割され、ビット線方向に１６分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ（Sence Amplifier)が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ（Sub-Word Driver)が配置される。

【００４８】

上記１つのアレイには、全体で４０９６本のワード線と２０４８対の相補ビット線が設けられる。これにより、全体で約８Ｍビットの記憶容量を持つようにされる。上記のように４０９６本のワード線が１６個のサブアレイに分割して配置されるので、１つのサブアレ

イには２５６本のワード線（サブワード線）が設けられる。また、上記のように２０４８対の相補ビット線が８個のサブアレイに分割して配置されるので、１つのサブアレイには２５６対の相補ビット線が設けられる。

【００４９】

上記２つのアレイの中央部には、メインロウデコーダが設けられる。つまり、同図に示されたアレイの左側には、その右側に設けられるアレイと共通に設けられる前記メインロウデコーダに対応して、アレイコントロール（Array control)回路及びメインワードドライバ(Main Word driver)が設けられる。上記アレイコントロール回路には、第１のサブワード選択線を駆動するドライバが設けられる。上記アレイには、上記８分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第１のサブワード選択線も上記８分割されたサブアレイを貫通するように延長される。上記アレイの上部には、Ｙデコーダ（YDecoder）及びＹ選択線ドライバ（YSdriver）が設けられる。

【００５０】

図９には、上記ダイナミック型ＲＡＭのセンスアンプ部と、その周辺回路の一実施例の要部回路図が示されている。同図においては、２つのサブアレイに挟まれて配置されたセンスアンプとそれに関連した回路が例示的に示されている。また、各素子が形成されるウェル領域が点線で示され、それに与えられるバイアス電圧も併せて示されている。

【００５１】

ダイナミック型メモリセルは、上記１つのサブアレイに設けられたサブワード線ＳＷＬと、相補ビット線ＢＬ，／ＢＬのうちの一方ＢＬとの間に設けられた１つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択ＭＯＳＦＥＴＱｍと記憶キャパシタＣｓから構成される。アドレス選択ＭＯＳＦＥＴＱｍのゲートは、サブワード線ＳＷＬに接続され、このＭＯＳＦＥＴＱｍのドレインがビット線ＢＬに接続され、ソースに記憶キャパシタＣｓが接続される。記憶キャパシタＣｓの他方の電極は共通化されてプレート電圧が与えられる。上記サブワード線ＳＷＬの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択ＭＯＳＦＥＴＱｍのしきい値電圧分だけ高くされた高電圧ＶＰＰとされる。

【００５２】

センスアンプを上記内部降圧電源回路で形成された内部降圧電圧ＶＤＬで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧ＶＤＬに対応したレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧ＶＰＰはＶＤＬ＋Ｖthにされる。センスアンプの左側に設けられたサブアレイの一対の相補ビット線ＢＬと／ＢＬは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線ＢＬと／ＢＬは、シェアードスイッチＭＯＳＦＥＴＱ１とＱ２によりセンスアンプの単位回路の入出力ノードと接続される。

【００５３】

センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたＮチャンネル型の増幅ＭＯＳＦＥＴＱ５，Ｑ６及びＰチャンネル型の増幅ＭＯＳＦＥＴＭＯＳＦＥＴＱ７，Ｑ８から構成される。Ｎチャンネル型ＭＯＳＦＥＴＱ５とＱ６のソースは、共通ソース線ＣＳＮに接続される。Ｐチャンネル型ＭＯＳＦＥＴＱ７とＱ８のソースは、共通ソース線ＣＳＰに接続される。上記共通ソース線ＣＳＮとＣＳＰには、それぞれパワースイッチＭＯＳＦＥＴが設けられる。特に制限されないが、Ｎチャンネル型の増幅ＭＯＳＦＥＴＱ５とＱ６のソースが接続された共通ソース線ＣＳＮには、上記ＡとＢ側のクロスエリアに設けられたＮチャンネル型のパワースイッチＭＯＳＦＥＴＱ１２とＱ１３により接地電位に対応した動作電圧が与えられる。

【００５４】

特に制限されないが、上記Ｐチャンネル型の増幅ＭＯＳＦＥＴＱ７とＱ８のソースが接続された共通ソース線ＣＳＰには、オーバードライブ用のＰチャンネル型のパワーＭＯＳＦ

ＥＴＱ１５と、上記内部電圧ＶＤＬを供給するＮチャンネル型のパワーＭＯＳＦＥＴＱ１６が設けられる。上記オーバードライブ用の電圧は、昇圧電圧ＶＰＰがゲートに供給されたＮチャンネル型ＭＯＳＦＥＴＱ１４により形成されたクランプ電圧ＶＤＤＣＬＰが用いられる。このＭＯＳＦＥＴＱ１４のドレインには、外部端子から供給された電源電圧ＶＤＤが供給され、上記ＭＯＳＦＥＴＱ１４をソースフォロワ出力回路として動作させ、上記昇圧電圧ＶＰＰを基準にしてＭＯＳＦＥＴＱ１４のしきい値電圧分だけ低下したクランプ電圧ＶＤＤＣＬＰを形成する。

【００５５】

特に制限されないが、上記昇圧電圧ＶＰＰは、チャージポンプ回路の動作を基準電圧を用いて制御して３．８Ｖのような安定化された高電圧とされる。そして、上記ＭＯＳＦＥＴＱ１４のしきい値電圧は、メモリセルのアドレス選択ＭＯＳＦＥＴＱｍに比べて低い低しきい値電圧に形成されており、上記クランプ電圧ＶＤＤＣＬＰを約２．９Ｖのような安定化された定電圧にする。ＭＯＳＦＥＴＱ２６は、リーク電流経路を形成するＭＯＳＦＥＴであり、約１μＡ程度の微小な電流した流さない。これにより、長期間にわたってスタンバイ状態（非動作状態）にされた時や、電源電圧ＶＤＤのバンプにより上記ＶＤＤＣＬＰが過上昇するのを防止し、かかる過上昇時の電圧ＶＤＤＣＬＰが与えられる増幅ＭＯＳＦＥＴＱ７，Ｑ８のバックバイアス効果による動作遅延を防止する。

【００５６】

この実施例では、上記のようなクランプ電圧ＶＤＤＣＬＰによりセンスアンプのオーバードライブ電圧を形成するものであることに着目し、その電圧を供給するＰチャンネル型のパワーＭＯＳＦＥＴＱ１５と、センスアンプのＰチャンネル型の増幅ＭＯＳＦＥＴＱ７，Ｑ８とを同図で点線で示したような同じＮ型ウェル領域ＮＷＥＬＬに形成するとともに、そのバイアス電圧として上記クランプ電圧ＶＤＤＣＬＰを供給するものである。そして、センスアンプのＰチャンネル型の増幅ＭＯＳＦＥＴＱ７とＱ８の共通ソース線ＣＳＰに本来の動作電圧ＶＤＬを与えるパワーＭＯＳＦＥＴＱ１６は、Ｎチャンネル型として上記オーバードライブ用のＭＯＳＦＥＴＱ１４と電気的に分離して形成する。

【００５７】

上記Ｎチャンネル型のパワーＭＯＳＦＥＴＱ１６のゲートに供給されるセンスアンプ活性化信号ＳＡＰ２は、上記Ｐチャンネル型ＭＯＳＦＥＴＱ１５のゲートに供給されるオーバードライブ用の活性化信号／ＳＡＰ１と逆相の信号とされ、特に制限されないが、そのハイレベルが電源電圧ＶＤＤに対応された信号とされる。つまり、前記のようにＶＤＤＣＬＰは、約＋２．９Ｖ程度であり、電源電圧ＶＤＤの許容最小電圧ＶＤＤmin は、約３．０Ｖであるので、上記Ｐチャンネル型ＭＯＳＦＥＴＱ１５をオフ状態にさせることができるとともに、上記Ｎチャンネル型ＭＯＳＦＥＴＱ１６を低しきい値電圧のものを用いることにより、ソース側から内部電圧ＶＤＬに対応した電圧を出力させることができる。

【００５８】

上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズＭＯＳＦＥＴＱ１１と、相補ビット線にハーフプリチャージ電圧を供給するスイッチＭＯＳＦＥＴＱ９とＱ１０からなるプリチャージ回路が設けられる。これらのＭＯＳＦＥＴＱ９～Ｑ１１のゲートは、共通にプリチャージ信号ＢＬＥＱが供給される。このプリチャージ信号ＢＬＥＱを形成するドライバ回路は、上記クロスエリアにＮチャンネル型ＭＯＳＦＥＴＱ１８を設けて、その立ち下がりを高速にする。つまり、メモリアクセスの開始によりワード線を選択タイミングを早くするために、各クロスエリアに設けられたＮチャンネル型ＭＯＳＦＥＴＱ１８をオン状態にして上記プリチャージ回路を構成するＭＯＳＦＥＴＱ９～Ｑ１１を高速にオフ状態に切り替えるようにするものである。

【００５９】

これに対して、プリチャージ動作を開始させる信号を形成するＰチャンネル型ＭＯＳＦＥＴＱ１７は、上記のように個々のクロスエリアに設けられるのではなく、Ｙデコーダ＆ＹＳドライバ部に設けるようにする。つまり、メモリアクセスの終了によりプリチャージ動作が開始されるものであるが、その動作には時間的な余裕が有るので、信号ＢＬＥＱの立

ち上がを高速にすることが必要ないからである。この結果、一方のクロスエリアに設けられるＰチャンネル型ＭＯＳＦＥＴは、上記オーバードライブ用のパワーＭＯＳＦＥＴＱ１５のみとなり、他方のクロスエリアに設けられるＰチャンネル型ＭＯＳＦＥＴは、次に説明する入出力線のスイッチ回路ＩＯＳＷを構成するＭＯＳＦＥＴＱ２４，Ｑ２５及び共通入力線ＭＩＯを内部電圧ＶＤＬにプリチャージさせるプリチャージ回路を構成するＭＯＳＦＥＴにできる。そして、これらのＮ型ウェル領域には、上記ＶＤＤＣＬＰとＶＤＬのようなバイアス電圧が与えられるから１種類のＮ型ウェル領域となり、寄生サイリスタ素子が形成されない。

【００６０】

センスアンプの単位回路は、シェアードスイッチＭＯＳＦＥＴＱ３とＱ４を介して右側のサブアレイの同様な相補ビット線ＢＬ，／ＢＬに接続される。スイッチＭＯＳＦＥＴＱ１２とＱ１３は、カラムスイッチ回路を構成するものであり、選択信号ＹＳを受けて、上記センスアンプの単位回路の入出力ノードをサブ共通入出力線ＬＩＯに接続させる。例えば、左側のサブアレイのサブワード線ＳＷＬが選択されたときには、センスアンプの右側シェアードスイッチＭＯＳＦＥＴＱ３とＱ４とがオフ状態にされる。これにより、センスアンプの入出力ノードは、上記左側の相補ビット線ＢＬ，／ＢＬに接続されて、選択されたサブワード線ＳＷＬに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路を通してサブ共通入出力線ＬＩＯに伝える。上記サブ共通入出力線ＬＩＯは、クロスエリアに設けられたＮチャンネル型ＭＯＳＦＥＴＱ１９と２０及び上記Ｐチャンネル型ＭＯＳＦＥＴＱ２４とＱ２５からなるスイッチ回路ＩＯＳＷを介してメインアンプの入端子に接続される入出力線ＭＩＯに接続される。

【００６１】

サブワード線駆動回路ＳＷＤは、そのうちの１つが代表として例示的に示されているように、上記深い深さのＮ型ウェル領域ＤＷＥＬＬ（ＶＰＰ）に形成されたＰチャンネル型ＭＯＳＦＥＴＱ２１と、かかるＤＷＥＬＬ内に形成されるＰ型ウェル領域ＰＷＥＬＬ（ＶＢＢ）に形成されたＮチャンネル型ＭＯＳＦＥＴＱ２２及びＱ２３とを用いて構成される。インバータ回路Ｎ１は、特に制限されないが、前記図３に示したようなサブワード選択線駆動回路ＦＸＤを構成するものであり、前記のようにクロスエリアに設けられるものである。サブアレイのアドレス選択ＭＯＳＦＥＴＱｍも、上記ＤＷＥＬＬ内に形成されるＰ型ウェル領域ＰＷＥＬＬ（ＶＢＢ）に形成されるものである。

【００６２】

図１０には、上記サブアレイのメインワード線とサブワード線との関係を説明するための要部ブロック図が示されている。同図は、主に回路動作を説明するものであり、サブワード選択線の実際的な幾何学的な配置を無視してサブワード選択線ＦＸ０Ｂ～７Ｂを１つに纏めて表している。同図においては、サブワード線の選択動作を説明するために２本のメインワード線ＭＷＬ０とＭＷＬ１が代表として示されている。これらのメインワード線ＭＷＬ０は、メインワードドライバＭＷＤ０により選択される。他のメインワード線ＭＷＬ１は、上記同様なメインワードドライバにより同様に選択される。

【００６３】

上記１つのメインワード線ＭＷＬ０には、それの延長方向に対して８組のサブワード線が設けられる。同図には、そのうちの２組のサブワード線が代表として例示的に示されている。サブワード線は、偶数０～６と奇数１～７の合計８本のサブワード線が１つのサブアレイに交互に配置される。メインワードドライバに隣接する偶数０～６と、メインワード線の遠端側（ワードドライバの反対側）に配置される奇数１～７を除いて、サブアレイ間に配置されるサブワードドライバは、それを中心にした左右のサブアレイのサブワード線を駆動する。

【００６４】

これにより、前記のようにサブアレイとしては、８分割されるが、上記のように実質的にサブワードドライバＳＷＤにより２つのサブアレイに対応したサブワード線が同時に選択されるので、実質的には上記サブアレイが４組に分けられることとなる。上記のようにサ

ブワード線ＳＷＬを偶数０～６と偶数１～７に分け、それぞれメモリブロックの両側にサブワードドライバＳＷＤを配置する構成では、メモリセルの配置に合わせて高密度に配置されるサブワード線ＳＷＬの実質的なピッチがサブワードドライバＳＷＤの中で２倍に緩和でき、サブワードドライバＳＷＤとサブワード線ＳＷＬとを効率よく半導体チップ上にレイアウトすることができる。

【００６５】

この実施例では、上記サブワードドライバＳＷＤは、４本のサブワード線０～６（１～７）に対して共通にメインワード線ＭＷＬから選択信号を供給する。上記４つのサブワード線の中から１つのサブワード線を選択するためのサブワード選択線ＦＸＢが設けられる。サブワード選択線は、ＦＸＢ０～ＦＸＢ７の８本から構成され、そのうちの偶数ＦＸＢ０～ＦＸＢ６が上記偶数列のサブワードドライバ０～６に供給され、そのうち奇数ＦＸＢ１～ＦＸＢ７が上記奇数列のサブワードドライバ１～７に供給される。

【００６６】

サブワード選択線ＦＸＢ０～ＦＸＢ７は、サブアレイ上では第２層目の金属（メタル）配線層Ｍ２により形成され、同じく第２層目の金属配線層Ｍ２により構成されるメインワード線ＭＷＬ０～ＭＷＬｎと平行に延長される第１サブワード選択線と、そこから直交する方向に延長される第２のサブワード選択線からなる。特に制限されないが、上記第２のサブワード選択線は、メインワード線ＭＷＬとの交差するために第３層目の金属配線層Ｍ３により構成される。

【００６７】

サブワードドライバＳＷＤは、そのうちの１つが例示的に示されているように、メインワード線ＭＷＬに入力端子が接続され、出力端子にサブワード線ＳＷＬが接続されたＰチャンネル型ＭＯＳＦＥＴＱ２１とＮチャンネル型ＭＯＳＦＥＴＱ２２からなる第１のＣＭＯＳインバータ回路と、上記サブワード線ＳＷＬと回路の接地電位との間に設けられ、上記サブワード選択信号ＦＸＢを受けるスイッチＭＯＳＦＥＴＱ２３から構成される。このスイッチＭＯＳＦＥＴＱ２３のゲートを接続するために、実際には０、２、４、６からなるサブワードドライバ列にそってＦＸとＦＸＢとの合計８本のサブワード選択線が配置されるが、同図では１つの線で表している。

【００６８】

上記サブワード選択信号ＦＸＢの反転信号ＦＸを形成する第２のＣＭＯＳインバータ回路Ｎ１がサブワード選択線駆動回路ＦＸＤとして設けられ、その出力信号を上記第１のＣＭＯＳインバータ回路の動作電圧端子であるＰチャンネル型ＭＯＳＦＥＴＱ２１のソース端子に供給する。この第２のＣＭＯＳインバータ回路Ｎ１は、特に制限されないが、前記図３のようにクロスエリアに形成され、複数からなるサブワードドライバＳＷＤに対応して共通に用いられる。

【００６９】

上記のようなサブワードドライバＳＷＤの構成においては、メインワード線ＭＷＬがワード線の選択レベルに対応した昇圧電圧ＶＰＰのようなハイレベルのとき、上記第１のＣＭＯＳインバータ回路のＮチャンネル型ＭＯＳＦＥＴＱ２２がオン状態となり、サブワード線ＳＷＬを回路の接地電位のようなロウレベルにする。このとき、サブワード選択信号ＦＸＢが回路の接地電位のようなロウレベルのような選択レベルとなり、サブワード選択線駆動回路ＦＸＤとしての第２のＣＭＯＳインバータ回路Ｎ１の出力信号が上記昇圧電圧ＶＰＰに対応した選択レベルにされても、上記メインワード線ＭＷＬの非選択レベルにより、Ｐチャンネル型ＭＯＳＦＥＴＱ２１がオフ状態であるので、上記サブワード線ＳＷＬは上記Ｎチャンネル型ＭＯＳＦＥＴＱ２２のオン状態による非選択状態にされる。

【００７０】

上記メインワード線ＭＷＬが選択レベルに対応した回路の接地電位のようなロウレベルのとき、上記第１のＣＭＯＳインバータ回路のＮチャンネル型ＭＯＳＦＥＴＱ２２がオフ状態となり、Ｐチャンネル型ＭＯＳＦＥＴＱ２１がオン状態になる。このとき、サブワード選択信号ＦＸＢが上記回路の接地電位のようなロウレベルなら、サブワード選択線駆動回

路ＦＸＤとしての第２のＣＭＯＳインバータ回路Ｎ１の出力信号が上記昇圧電圧ＶＰＰに対応した選択レベルにされて、サブワード線ＳＷＬをＶＰＰのような選択レベルにする。もしも、サブワード選択信号ＦＸＢが昇圧電圧ＶＰＰのような非選択レベルなら、上記第２のＣＭＯＳインバータ回路Ｎ２の出力信号がロウレベルとなり、これとともに上記Ｎチャンネル型ＭＯＳＦＥＴＱ２３がオン状態になってサブワード線ＳＷＬをロウレベルの非選択レベルにする。

【００７１】

上記メインワード線ＭＷＬ及びそれと平行に配置される第１のサブワード選択線ＦＸＢは、上記のように非選択レベルが共にＶＰＰのようなハイレベルにされている。それ故、ＲＡＭが非選択状態（スタンバイ）状態のときに上記平行に配置されるメインワード線ＭＷＬと第１のサブワード選択線ＦＸＢとの間に絶縁不良が発生しても、リーク電流が流れることがない。この結果、メインワード線ＭＷＬの間に第１のサブワード選択線ＦＸＢ形成してサブアレイ上に配置させることができ、レアウトの高密度化としても、上記リーク電流による直流不良を回避することができ高信頼性となるものである。

【００７２】

図１１には、上記メモリアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図が示されている。同図においては、代表として１本のメインワード線ＭＷＬが示されている。このメインワード線ＭＷＬは、メインワードドライバＭＷＤにより選択される。上記メインワードドライバに隣接して、上記偶数サブワード線に対応したサブワードドライバＳＷＤが設けられる。

【００７３】

同図では、省略されてるが上記メインワード線ＭＷＬと平行に配置されるサブワード線と直交するように相補ビット線（Pair Bit Line)が設けられる。この実施例では、特に制限されないが、相補ビット線も偶数列と奇数列に分けられ、それぞれに対応してサブアレイ（メモリセルアレイ）を中心にして左右にセンスアンプＳＡが振り分けられる。センスアンプＳＡは、前記のようにシェアードセンス方式とされるが、端部のセンスアンプＳＡでは、実質的に片方にした相補ビット線が設けられないが、シェアードスイッチＭＯＳＦＥＴを介して相補ビット線と接続される。

【００７４】

上記のようにサブアレイの両側にセンスアンプＳＡを分散して配置する構成では、奇数列と偶数列に相補ビット線が振り分けられるために、センスアンプ列のピッチを緩やかにすることができる。逆にいうならば、高密度に相補ビット線を配置しつつ、センスアンプＳＡを形成する素子エリアを確保することができるものとなる。上記センスアンプＳＡの配列に沿って上記サブ入出力線が配置される。このサブ入出力線は、カラムスイッチを介して上記相補ビット線に接続される。カラムスイッチは、スイッチＭＯＳＦＥＴから構成される。このスイッチＭＯＳＦＥＴのゲートは、カラムデコーダCOLUMN DECORDER の選択信号が伝えられるカラム選択線ＹＳに接続される。

【００７５】

図１２には、上記ダイナミック型ＲＡＭの周辺部分の一実施例の概略ブロック図が示されている。タイミング制御回路ＴＧは、外部端子から供給されるロウアドレスストローブ信号／ＲＡＳ、カラムアドレスストローブ信号／ＣＡＳ、ライトイネーブル信号／ＷＥ及びアウトプットイネーブル信号／ＯＥを受けて、動作モードの判定、それに対応して内部回路の動作に必要な各種のタイミング信号を形成する。この明細書及び図面では、／はロウレベルがアクティブレベルであることを意味するのに用いている。

【００７６】

信号Ｒ１とＲ３は、ロウ系の内部タイミング信号であり、ロウ系の選択動作のために使用される。タイミング信号φＸＬは、ロウ系アドレスを取り込んで保持させる信号であり、ロウアドレスバッファＲＡＢに供給される。すなわち、ロウアドレスバッファＲＡＢは、上記タイミング信号φＸＬによりアドレス端子Ａ０～Ａｉから入力されたアドレスを取り込んでラッチ回路に保持させる。タイミング信号φＹＬは、カラム系アドレスを取り込ん

で保持させる信号であり、カラムアドレスバッファＣＡＢに供給される。すなわち、カラムアドレスバッファＲＡＢは、上記タイミング信号φＹＬによりアドレス端子Ａ０～Ａｉから入力されたアドレスを取り込んでラッチ回路に保持させる。

【００７７】

信号φＲＥＦは、リフレッシュモードのときに発生される信号であり、ロウアドレスバッファの入力部に設けられたマルチプレクサＡＭＸに供給されて、リフレッシュモードのときにリフレッシュアドレスカウンタ回路ＲＦＣにより形成されたリフレッシュ用アドレス信号に切り替えるよう制御する。リフレッシュアドレスカウンタ回路ＲＦＣは、タイミング制御回路ＴＧにより形成されたリフレッシュ用の歩進パルスφＲＣを計数してリフレッシュアドレス信号を生成する。この実施例では後述するようなオートリフレッシュとセルフリフレッシュを持つようにされる。タイミング信号φＸは、ワード線選択タイミング信号であり、デコーダＸＩＢに供給されて、下位２ビットのアドレス信号の解読された信号に基づいて４通りのワード線選択タイミング信号Ｘｉ Ｂが形成される。タイミング信号φＹはカラム選択タイミング信号であり、カラム系プリデコーダＹＰＤに供給されてカラム選択信号ＡＹix、ＡＹjx、ＡＹkxが出力される。

【００７８】

タイミング信号φＷは、書き込み動作を指示する制御信号であり、タイミング信号φＲは読み出し動作を指示する制御信号である。これらのタイミング信号φＷとφＲは、入出力回路Ｉ／Ｏに供給されて、書き込み動作のときには入出力回路Ｉ／Ｏに含まれる入力バッファを活性化し、出力バッファを出力ハイインピーダンス状態にさせる。これに対して、読み出し動作のときには、上記出力バッファを活性化し、入力バッファを出力ハイインピーダンス状態にする。タイミング信号φＭＳは、特に制限されないが、メモリアレイ選択動作を指示する信号であり、ロウアドレスバッファＲＡＢに供給され、このタイミングに同期して選択信号ＭＳｉが出力される。タイミング信号φＳＡは、センスアンプの動作を指示する信号である。このタイミング信号φＳＡに基づいて、センスアンプの活性化パルスが形成される。

【００７９】

この実施例では、ロウ系の冗長回路Ｘ－ＲＥＤが代表として例示的に示されている。すなわち、上記回路Ｘ－ＲＥＤは、不良アドレスを記憶させる記憶回路と、アドレス比較回路とを含んでいる。記憶された不良アドレスとロウアドレスバッファＲＡＢから出力される内部アドレス信号ＢＸｉとを比較し、不一致のときには信号ＸＥをハイレベルにし、信号ＸＥＢをロウレベルにして、正規回路の動作を有効にする。上記入力された内部アドレス信号ＢＸｉと記憶された不良アドレスとが一致すると、信号ＸＥをロウレベルにして正規回路の不良メインワード線の選択動作を禁止させるとともに、信号ＸＥＢをハイレベルにして、１つの予備メインワード線を選択する選択信号ＸＲｉＢを出力させる。

【００８０】

内部電圧発生回路ＶＧは、外部端子から供給された３．３Ｖのような電源電圧ＶＤＤと０Ｖの接地電位ＶＳＳとを受け、上記昇圧電圧ＶＰＰ（＋３．８Ｖ）、内部電圧ＶＤＬ（＋２．２Ｖ）、プレート電圧（プリチャージ電圧）ＶＰＬ（１．１Ｖ）及び基板電圧ＶＢＢ（－１．０Ｖ）を形成する複数の回路から構成される。特に制限されないが、上記昇圧電圧ＶＰＰと基板電圧ＶＢＢとは、チャージポンプ回路と、その制御回路とを用いて上記電圧ＶＰＰ及びＶＢＢを安定的に形成する。上記内部電圧ＶＤＬは、上記基準電圧ＶＬＲを用いた前記内部降圧電源回路により形成されるものである。上記プレート電圧ＶＰＬやハーフプリチャージ電圧は、内部降圧電圧ＶＤＬを１／２に分圧して形成される。

【００８１】

図１３には、この発明に係るダイナミック型ＲＡＭの動作の一例を説明するためのタイミング図が示されている。／ＲＡＳのロウレベルによりロウ系のメモリアクセスが開始され、ロウアドレス系の選択タイミング信号ＲＡＣが発生され、それによりワード線ＳＷＬが選択される。この信号ＲＡＣを遅延回路により遅延させて、センスアンプ活性化信号／ＳＡＥが形成される。上記センスアンプ活性化信号／ＳＡＥをタイミング発生回路に供給し

て、オーバードライブパルスとセンスアンプの活性化信号を形成する。これにより、オーバードライブ時間だけコモンソース線ＣＳＰの電位が内部電圧ＶＤＬ以上に高くされて、ビット線ＢＬ又は／ＢＬのハイレベルへの立ち上がりを高速にする。この後に、上記信号／ＳＡＥを遅延回路で遅延させてＹ選択信号ＹＳを立ち上げる。

【００８２】

上記オーバードライブパルスを利用して、上記図１の実施例のタイミング信号ＥＢを形成するようにしてもよい。つまり、レベル引抜き回路ＬＤＷの動作が必要なのは、上記オーバードライブ用電圧ＶＤＤＣＬＰによって内部電圧ＶＤＬが基準電圧ＶＬＲより高くなるときであるからである。これにより、格別なタイミング発生回路を用いることなく、上記レベル引抜き回路ＬＤＷの動作タイミング信号を形成することができる。

【００８３】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）　外部端子から供給された電源電圧で動作し、基準電圧と内部降圧電圧とを受け、第１の動作制御信号より増幅動作を行うようにされた第１の差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、上記外部端子から供給された電源電圧で動作し、上記基準電圧と内部降圧電圧とを受け、上記動作制御信号によるレベル引上げ回路の動作開始時に第２の動作制御信号により一時的に動作する第２の差動回路を含み、上記基準電圧に対して内部降圧電圧が高くされたときに上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路とを組み合わせることにより、低消費電力化を図りつつ、動作開始時に短い時間内に安定化できる内部降圧電源回路を得ることができるという効果が得られる。

【００８４】

（２）　外部端子から供給された電源電圧で動作し、第１の基準電圧と内部降圧電圧とを受け、動作制御信号より増幅動作を行うようにされた差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が上記第１の基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、外部端子から供給された電源電圧で動作し、上記基準電圧に対して微小電圧だけ高くされた第２の基準電圧と内部降圧電圧とを受け、上記動作制御信号より増幅動作を行うようにされた差動回路を含み、上記第２の基準電圧に対して内部降圧電圧が高くされたときに上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路とを組み合わせることにより、低消費電力化を図りつつ、動作開始時に短い時間内に安定化できる内部降圧電源回路を得ることができるという効果が得られる。

【００８５】

（３）　外部端子から供給された電源電圧により定常的に動作し、上記基準電圧と上記内部降圧電圧とを受けて上記基準電圧に対応した上記内部降圧電圧を形成するとともに、上記内部降圧電圧により動作させられる内部回路が非動作状態におけるリーク電流に対応した電流供給能力しか持たないようにされた内部降圧電圧発生回路を更に備えることにより、内部回路が待機時の内部降圧電圧を確保することができるという効果が得られる。

【００８６】

（４）　動作開始時には内部降圧電圧よりも高くされた電圧よりオーバードライブされるセンスアンプの動作電圧として上記内部降圧電源回路を用いることにより、センスアンプが動作開始時に短い時間内に内部降圧電圧の安定化できるためにカラム選択動作を早いタイミングで行うようにすることができるという効果が得られる。

【００８７】

（５）　上記第１の動作制御信号を上記センスアンプ活性化信号とし、上記第２の制御信号は上記オーバードライブ用センスアンプ活性化信号とすることより、格別なタイミング発生回路を設けることなく最適なタイミングで内部降圧電源回路を構成するレベル引上げ回路とレベル引抜き回路とを動作させることができるという効果が得られる。

【００８８】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図５（Ｂ）のレベル引抜き回路を構成するレベル引抜き用の電流経路として、ＣＭＯＳインバータ回路を構成するＭＯＳＦＥＴＱ３８は省略できるものである。ＭＯＳＦＥＴＱ３９は抵抗素子に置き換えることができる。このようにレベル引抜き用の経路は種々の実施形態を採ることができる。

【００８９】

この発明が適用されるダイナミック型ＲＡＭを構成するサブアレイの構成、または半導体チップに搭載される複数のメモリアレイの配置は、その記憶容量等に応じて種々の実施形態を採ることができる。また、サブワードドライバの構成は、種々の実施形態を採ることができる。入出力インターフェイスの部分は、クロック信号に同期して動作を行うようにされたシンクロナスダイナミック型ＲＡＭとしてもよい。１つのメインワード線に割り当てられるサブワード線の数は、前記のように４本の他に８本等種々の実施形態を採ることができる。この発明は、前記ダイナミック型ＲＡＭの他に、外部端子から供給された電源電圧を降圧して、内部回路の動作に必要な内部降圧電源回路を備えた半導体集積回路装置に広く利用できるものである。

【００９０】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給された電源電圧で動作し、基準電圧と内部降圧電圧とを受け、第１の動作制御信号より増幅動作を行うようにされた第１の差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、上記外部端子から供給された電源電圧で動作し、上記基準電圧と内部降圧電圧とを受け、上記動作制御信号によるレベル引上げ回路の動作開始時に第２の動作制御信号により一時的に動作する第２の差動回路を含み、上記基準電圧に対して内部降圧電圧が高くされたときに上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路とを組み合わせることにより、低消費電力化を図りつつ、動作開始時に短い時間内に安定化できる内部降圧電源回路を得ることができる。

【００９１】

本願において開示される発明のうち他の代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。外部端子から供給された電源電圧で動作し、第１の基準電圧と内部降圧電圧とを受け、動作制御信号より増幅動作を行うようにされた差動回路及び電流増幅ＭＯＳＦＥＴにより構成されて、上記内部降圧電圧が上記第１の基準電圧よりも低くされたときに上記電流増幅ＭＯＳＦＥＴにより上記内部降圧電圧を引き上げるレベル引上げ回路と、外部端子から供給された電源電圧で動作し、上記基準電圧に対して微小電圧だけ高くされた第２の基準電圧と内部降圧電圧とを受け、上記動作制御信号より増幅動作を行うようにされた差動回路を含み、上記第２の基準電圧に対して内部降圧電圧が高くされたときに上記内部降圧電圧を低くする電流経路を形成するレベル引抜き回路とを組み合わせることにより、低消費電力化を図りつつ、動作開始時に短い時間内に安定化できる内部降圧電源回路を得ることができる。

【図面の簡単な説明】

【図１】この発明に係る内部降圧電源回路の一実施例を示すブロック図である。

【図２】図１の内部降圧電源回路の動作を説明するためのタイミング図である。

【図３】この発明に係る内部降圧電源回路の他の一実施例を示すブロック図である。

【図４】図３の内部降圧電源回路の動作を説明するためのタイミング図である。

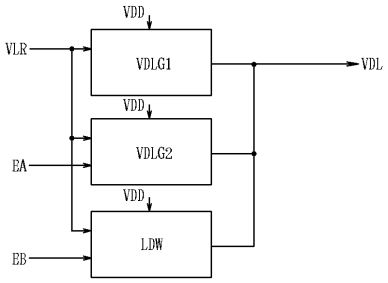
【図５】図１及び図３の内部降圧電圧発生回路及びレベル引抜き回路の一実施例を示す回路図である。

【図６】この発明に用いられる基準電圧を形成する電圧発生回路の一実施例を示す回路図である。

【図７】この発明に係る内部降圧電源回路が搭載されたダイナミック型ＲＡＭの一実施例を示すレイアウト図である。
【図８】上記ダイナミック型ＲＡＭを説明するための概略レイアウト図である。
【図９】上記ダイナミック型ＲＡＭのセンスアンプ部とその周辺回路の一実施例を示す要部回路図である。
【図１０】図７に示したサブアレイのメインワード線とサブワード線との関係を説明するための要部ブロック図である。
【図１１】図７のサブアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図である。
【図１２】図１のダイナミック型ＲＡＭの周辺部分の一実施例を示す概略ブロック図である。
【図１３】この発明に係るダイナミック型ＲＡＭの動作の一例を説明するための波形図である。
【符号の説明】
９…内部電圧発生回路、１０…メモリチップ、１１…メインロウデコーダ領域、１２…メインワードドライバ領域、１３…カラムデコーダ領域、１４…周辺回路、ポンディングパッド領域、１５…メセリセルアレイ（サブアレイ）、１６…センスアンプ領域、１７…サブワードドライバ領域、１８…交差領域（クロスエリア）
ＳＡ…センスアンプ、ＳＷＤ…サブワードドライバ、ＭＷＤ…メインワードドライバ、ＡＣＴＲＬ…メモリアレイ制御回路、ＭＷＬ０～ＭＷＬｎ…メインワード線、ＳＷＬ，ＳＷＬ０…サブワード線、ＹＳ…カラム選択線、ＳＢＡＲＹ…サブアレイ、ＴＧ…タイミング制御回路、Ｉ／Ｏ…入出力回路、ＲＡＢ…ロウアドレスバッファ、ＣＡＢ…カラムアドレスバッファ、ＡＭＸ…マルチプレクサ、ＲＦＣ…リフレッシュアドレスカウンタ回路、ＸＰＤ，ＹＰＤ…プリテコーダ回路、Ｘ－ＤＥＣ…ロウ系冗長回路、ＸＩＢ…デコーダ回路、
Ｑ１～Ｑ４９…ＭＯＳＦＥＴ、ＣＳＰ，ＣＳＮ…共通ソース線、ＹＳ…カラム選択信号、ＬＩＯ…サブ共通入出力線、ＭＩＯ…共通入出力線、
Ｍ１～Ｍ３…メタル層、ＳＮ…ストレージノード、ＰＬ…プレート電極、ＢＬ…ビット線、ＳＤ…ソース，ドレイン、ＦＧ…１層目ポリシリコン層。

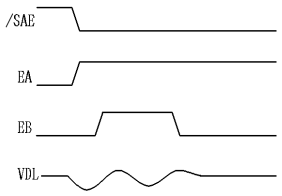
【図１】

図1



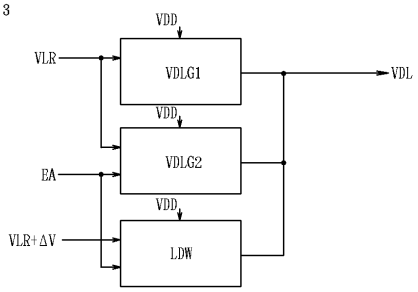
【図２】

図2



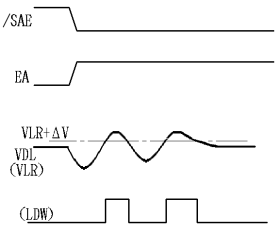
【図３】

図3



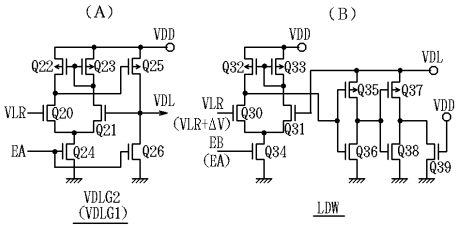
【図４】

図4



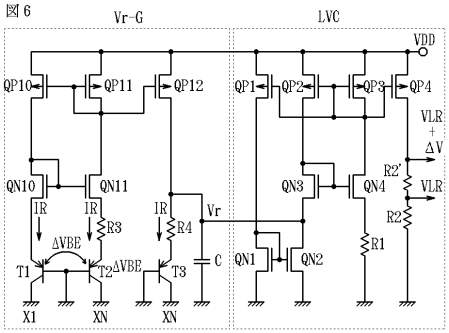
【図５】

図5



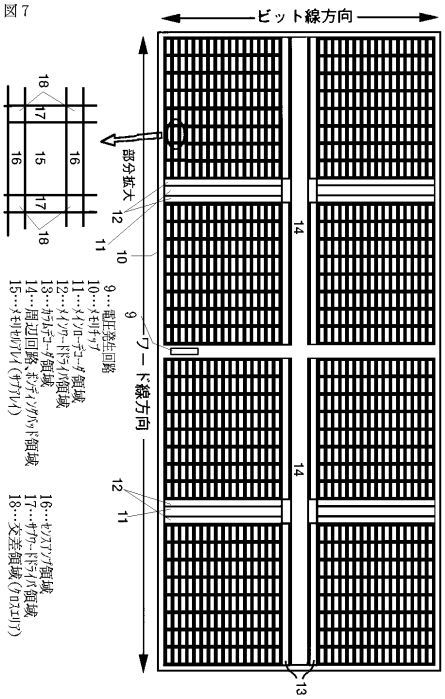
【図６】

図6

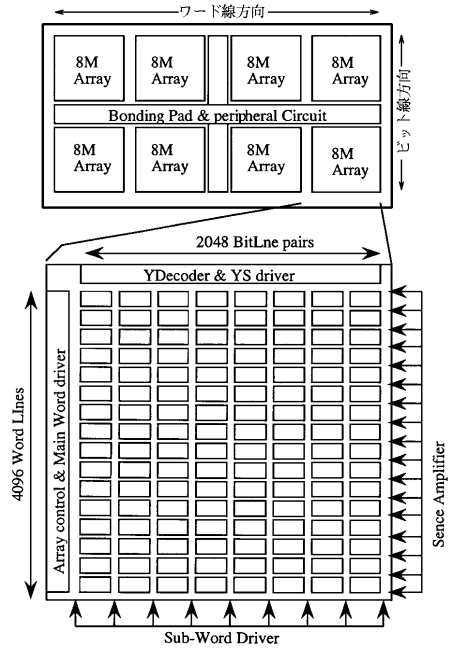


【図７】

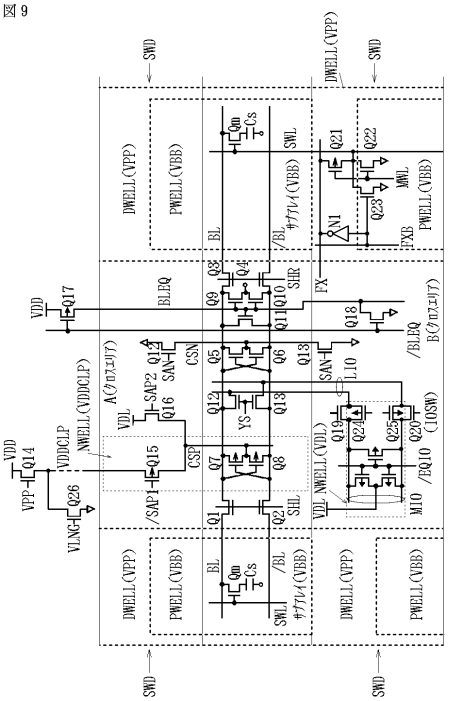
図7



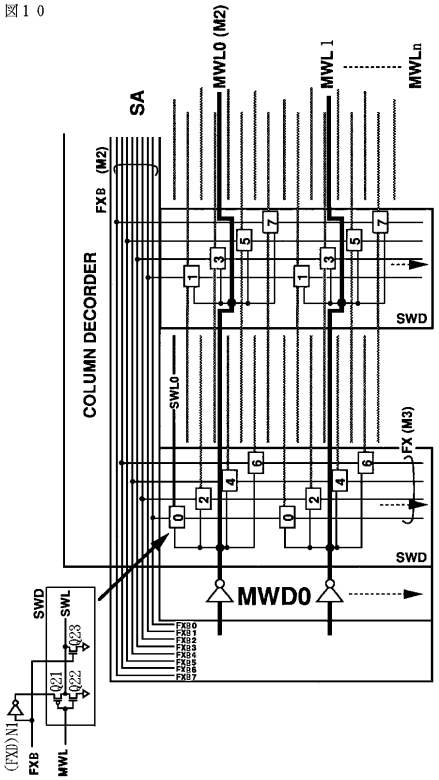
【図８】
図８



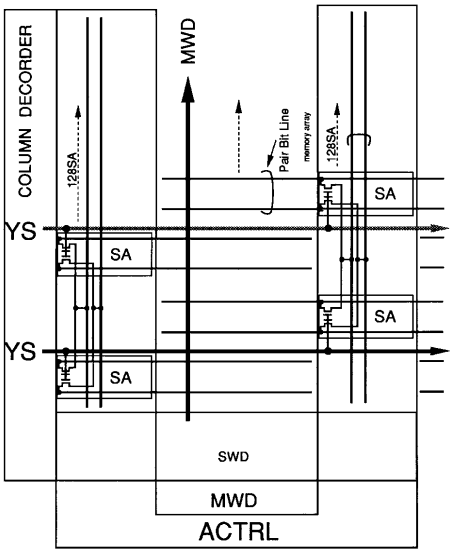
【図９】
図９



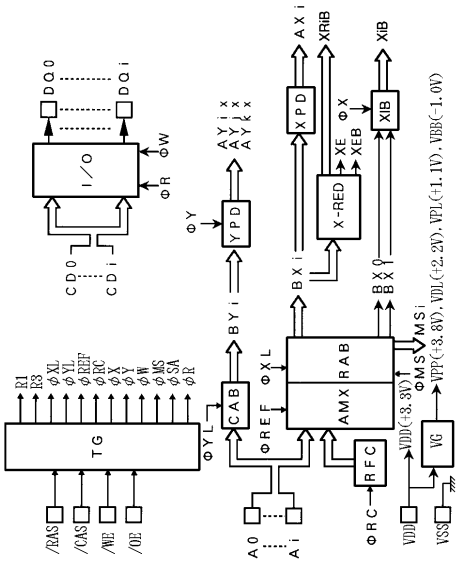
【図１０】
図１０



【図１１】
図１１



【図１２】
図１２



【図１３】
図１３

