(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G06F 15/06

(45) 공고일자 1992년07월20일
(11) 공고번호 92-005836

| | | | |
|---|---|---|---|
| (21) 출원번호 | 특1988-0011450 | (65) 공개번호 | 특1989-0005622 |
| (22) 출원일자 | 1988년09월05일 | (43) 공개일자 | 1989년05월16일 |
| (30) 우선권주장 | 62-223918 1987년09월09일 일본(JP)<br>63-91563 1988년04월15일 일본(JP) | | |
(71) 출원인 가부시기가이샤 히다찌세이사꾸쇼 미다 가쓰시게
일본국 도오교도 지요다구 간다 스루가다이 4-6

(72) 발명자 사와세 데루미
일본국 사이따마겐 사야마시 오오아자끼따이리소 755-1, 1-506
노구찌 고우끼
일본국 도오교도 고꾸분지시 히가시꼬이가꾸보 1-217, 히다찌 덴노우우에샤따꾸 B-11
나까무라 히데오
일본국 도오교도 니시따마군 히노데마찌 히라이 2196-287
아까오 야스시
일본국 도오교도 고꾸분지시 히가시꼬이가꾸보 4-15-9-505
바바 시로우
일본국 사이따마겐 도꼬로자와시 야마구찌 5043, 39-2-407
하기와라 요시무네
일본국 도오교도 하찌오우지시 나가후사쵸우 6258

(74) 대리인 백남기

*심사관 : 김연호 (책자공보 제2859호)*

**(54) 단일칩 마이크로 컴퓨터**

*요약*

내용 없음.

*대표도*

*도1*

*명세서*

[발명의 명칭]

단일칩 마이크로 컴퓨터

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 단일칩 마이크로 컴퓨터의 블럭도.

제2도는 제1도중의 PLA를 상세하게 설명한 블럭도.

제3도 및 제4도는 제1도중의 PLA의 회로구성을 더욱 상세하게 설명하기 위한 회로도.

제5도(a)~(d)는 제1도의 실시예의 기능을 설명하기 위한 도면.

제6도는 본 발명의 제2실시예에 의한 단일칩 마이크로 컴퓨터의 블럭도.

제7도는 제6도중의 서브 프로세서(100)을 상세하게 설명한 블럭도.

제8도는 소프트웨어 저장용의 불휘발성 메모리 블럭을 칩내에 내장한 본 발명의 제3실시예에 의한 단일칩 마이크로 컴퓨터의 블럭도.

제9도는 제8도중의 제어신호 생성회로를 상세하게 설명한 블럭도.

제10도는 제8도중의 프로그래머블 논리회로장치를 상세하게 설명한 블럭도.

제11도(a)는 본 발명의 실시예의 단일칩 마이크로 컴퓨터의 어드레스 공간을 도시한 도면.

제11도(b)는 본 발명의 실시예의 단일칩 마이크로 컴퓨터의 데이타의 라이트 및 테스트 리드의 타이밍 챠트를 도시한 도면.

제12도는 본 발명의 제4실시예에 의한 단일칩 마이크로 컴퓨터의 블럭도.

제13도는 본 발명의 제5실시예에 의한 단일칩 마이크로 컴퓨터의 블럭도.

제14도는 본 발명의 제6실시예에 의한 단일칩 마이크로 컴퓨터의 블럭도.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체 기판 5 : 프로세서

6 : PLA 100 : 서브 프로세서

500 : 제어 신호 재생회로 900 : 프로그래머블 논리회로

800 : 제어회로 600 : 마이크로 EPROM

[발명의 상세한 설명]

본 발명은 반도체 집적회로, 특히 단일칩 마이크로 컴퓨터(이하 마이컴이라 한다)에 관한 것으로, 시스템을 구성할 때 부품개수의 삭감 효과가 크고, 내장 불휘발성 메모리로의 라이트 또는 검증동작을 공통으로 하는데 가장 적합한 것이다.

종래의 장치는 일본국 특허 공개 공보 소화 61-285567호에 기재된 바와 같이 마이컴과 PLA(Programmable Logic Array)를 단일칩화해서 마이컴의 프로그램과는 관계없이 외부 입력에 응답해서 PLA가 동작하고, PLA 출력으로 여러가지 기능을 동작시켜 그 결과로 마이컴을 기동하게 되어 있었다.

PLA는 불휘발성 반도체 메모리 소자로의 전기적인 라이트에 의해 그 논리 기능을 임의로 구성할 수 있는 가변 논리 구조를 갖는 논리 회로장치이다.

한편, 미국 특허 제4609986호에는 EPROM 기술을 사용한 개량형의 PLA가 기술되어 있다.

또, CPU 등의 데이타 처리 유니트와 소프트 웨어 저장용의 불휘발성 메모리 블럭을 동일 칩내에 보유하는 반도체 집적회로 장치로서는 일본국 특허 공개 공보 소화 60-198667호가 알려져 있다.

한편, 전기적으로 라이트 가능한 논리 디바이스로서는 Altera사의 제품 카탈로그의 p.12 또는 Electronic Design, 1986년 8월 7일 호 p.94~97에서 거론되고 있다.

상기 일본국 특허 공개 공보 소화 61-285567호는 어떤 종류의 응용에 있어서는 부품개수의 삭감 효과가 있지만, 범용성에 대해서는 그다지 배려되어 있지 않고, 광범위한 응용을 커버할 수가 없다는 문제가 있었다. 또, 상기 미국 특허 제4609986호는 PLA 자체를 기술하는데 그치고, PLA 즉, 프로그래머블 논리회로와 마이컴을 단일칩화해서 단일칩 마이컴의 범용성을 향상하기 위한 연구에 대해서 고려되어 있지 않았다.

한편, 일본국 특허 공개 공보 소화 60-198667호는 단일칩 마이컴의 소프트 웨어인 프로그램을 저장하기 위한 메모리 블럭을 불휘발성 메모리로 구성하고, 이 프로그램 저장용 불휘발성 메모리를 사용자 자신이 칩 외부에서 라이트하는 것에 의해 사용자가 바라는 단일칩 마이컴을 짧은 납입 기간으로 제공하는 것을 기술하는데 그치고, 단일칩 마이컴의 하드웨어를 실현하기 위한 논리 장치를 사용자 자신이 자유롭게 구성하기 위한 연구에 대해서는 고려되어 있지 않았다.

단일칩 마이컴의 소프트 웨어(프로그램)은 사용자 자신에 의해 개발되고, 개발된 소프트 웨어는 단일칩 마이컴의 메모리 블럭의 ROM(Read Only Memory)에 라이트된다. 따라서, 이 ROM을 불휘발성 메모리로 구성하고, 이 불휘발성 메모리를 칩외부에서 사용자 자신이 자유롭게 라이트하는 것에 의해 사용자는 희망하는 소프트 웨어를 갖는 단일칩 마이컴을 단기간내에 입수할 수가 있다.

한편, 단일칩 마이컴의 하드웨어에 관해서도 각 사용자가 여러가지 요구 사항이 많으므로 통일된 하드웨어로 사용자의 각종 요구사항을 동시에 만족시키는 것은 불가능하다. 따라서, 종래 각 사용자는 각자의 요구사항을 실현하기 위해 단일칩 마이컴의 외부 회로로서 랜덤 논리 회로등을 부가하였으므로 시스템 전체의 부품개수가 많다는 문제점이 있었다.

각 사용자가 독자적인 요구사항을 갖고 있는 단일칩 마이컴의 하드웨어로서는 키입력 인코더(키보드에서의 입력정보를 변환해서 단일칩 마이컴에 입력하기 위한 인코더), 표시 디코더(단일칩 마이컴의 출력 정보를 변환해서 표시장치를 구동하기 위한 디코더), 시계용 타이머등 여러가지가 있다.

따라서, 본 발명의 목적으로 하는 것은 단일칩 마이크로 프로세서의 하드웨어에 관계된 논리장치(랜덤 논리회로장치)를 이 마이크로 프로세서 내부에 구성하여 이 마이크로 프로세서 외부에서의 라이트 정보에 따라서 이 논리장치의 논리기능을 임의로 구성하는데 있다.

본 출원에서 개시되는 대표적인 발명에 있어서 단일칩 마이크로 프로세서 내부에 구성된 논리장치는 전기적을 라이트 가능한 불휘발성 반도체 메모리 소자에 의해 구성된다.

이 논리장치를 구성하는 불휘발성 반도체 메모리를 외부에서 라이트하는 것에 의해 이 논리장치의 논리 기능은 사용자의 요구사항을 만족시키도록 임의로 구성될 수가 있다.

외부에서 라이트된 정보에 따라서 논리 장치의 논리기능은 임의로 구성될 수가 있으므로 이 임의로 구성된 논리 기능에 의해 여러가지 사용자의 요구 사항을 만족시킬 수가 있다.

논리 장치를 구성하는 불휘발성 반도체 메모리 소자의 라이트는 단시간내에 실행할 수 있으므로 사용자는 각자의 요구 사항의 하드웨어를 갖는 단일칩 마이컴을 단기간내에 입수할 수가 있다.

따라서, 본 발명은 소량 다품종의 단일칩 마이컴을 단기간내에 입수하는데 가장 적합하다.

본 발명의 다른 목적 및 다른 특징은 다음의 실시예에서 명백할 것이다.

이하, 본 발명의 실시예를 도면에 따라서 설명한다.

제1도에 제1실시예의 단일칩 마이크로 컴퓨터의 구성을 도시한다. 마이크로 컴퓨터는 동일한 반도체 기판(1)상에 CPU(2), RAM(3), ROM(4)로 되는 프로세서(5)와 가변 논리 구조의 논리 회로 장치로서의 PLA(6) 및 입출력 포트(I/O)(7)로 구성되고, 각각의 블럭은 공통 버스(8)에 의해 결합된다. 또 PLA(6)은 신호선(9) 및 (10)에 의해 I/O(7) 및 CPU(2)에 직접 결선된다.

ROM(4)는 단일칩 마이컴의 소프트 웨어(프로그램)을 저장하기 위한 것이고, PLA(6)은 단일칩 마이컴의 하드웨어를 실현하기 위한 논리 장치로서 동작하고, 이 PLA(6)은 전기적으로 라이트 가능한 불휘발성 메모리 소자를 포함하고 있다.

제2도는 제1도에서의 PLA(6)의 구성을 중심으로 상세하게 설명한 블럭도이다. PLA(6)은 AND(논리곱)회로(20), OR(논리합)회로(21), 출력 래치(22), 입력래치(23) 및 셀렉터(24)의 각 회로와 회로 사이를 결선하는 배선으로 구성된다. 프로세서(5)와 PLA(6)의 접속은 프로세서(5)에서 생성된 제어 신호를 PLA(6)의 입력 래치(23)에 입력하기 위한 제어 신호(8a), 어드레스 버스(8b), 데이타 버스(8c)에 의해 행하여 진다. 반도체기판(1)과 기판 외부의 통신은 데이타 버스(8c)와 접속되어 있는 출력 포트(7a), 입출력 포트(7b), 입력 포트(7c)로 행하여지며, 다음에 결선을 상세하게 설명한다.

PLA(6)의 입력 래치(23)으로의 입력은 상기 제어 신호선(8a), 어드레스 버스(8b), 데이타 버스(8c), 입력 포트(7c)의 출력(70c), 출력 셀렉터(24)의 출력(9c)이고, 입력 래치(23)에서 AND 회로(20)의 입력으로 변환한다. AND 회로(20)의 출력은 OR 회로(21)의 입력으로 되고, OR 회로의 출력은 출력 래치(22)로 입력된다. 출력 래치(22)의 출력(22a)는 셀렉터(24)로 입력함과 동시에 그 일부 신호(22b)는 AND회로(20)의 입력으로한다. 셀렉터(24)의 출력중(9a), (9b)는 각각 출력 포트 (7a), 입출력포트(7b)의 입력으로 하고, 출력(9c)는 데이타 버스(8c)에 결선한다.

제3도에 제2도의 AND 회로(20)을 자외선 소거형의 전기적으로 라이트 가능한 불휘발성 메모리 (EPROM) 소자로 구성된 예를 도시한다. 본 실시예는 AND 회로로의 입력을 4입력($I_0$~$I_3$)으로 하여 4개의 독립된 논리곱 출력($A_0$~$A_3$)이 얻어지는 구성으로 나타내었다. 소자 매트릭스(40)은 8행 4열의 EPROM 소자 M(0, 0)~M(7, 3)으로 구성된다. EPROM 소자는 널리 알려져 있는 소자로서 상세한 설명은 생략하지만 여기서 상기 소자의 임계값 $V_{te}$가 저레벨(1V 정도)인 경우를 소거상태, 고레벨(5V 이상)인 경우의 임계값 $V_{tw}$ 상태를 라이트 상태라고 정의한다.

소자로의 라이트는 열(4비트)단위로 다음과 같이 행한다. 라이트 데이타를 데이타 입력($D_0$~$D_3$)에 부여하여 선택선 $S_0$~$S_3$중 하나를 선택("1"레벨)함과 동시에 라이트 인에이블 신호 WE를 "1"레벨, 라이트 전기단자 VP를 라이트 전압(예를들면 12V 정도)으로 한다. 이때 입력 $I_1$의 상태에 의해 정논리를 라이트하는 가부논리를 라이트 하는가가 결정된다. 즉 $I_0$을 예로하면, $I_0$="1"에서는 워드선 $W_{0P}$가 선택되고, $I_0$="0"에서는 Won이 선택된다. 이때 선택된 워드(메모리 소자의 게이트)는 저항 Rj (j=0~7)를 거쳐서 $V_P$ 전위로 상승하고, 또 $D_0$~$D_3$에 주어진 데이타에 따라 전압 변환기 $W_0$~$W_3$은 상기 D가 0인 경우는 0을, 또 D가 1인 경우는 메모리 소자의 라이트에 필요한 드레인 전압 $V_0$를 발생하며, 각각 데이타선 $d_0$~$d_3$을 거쳐서 메모리 소자에 라이트 전압을 공급한다. 이것에 의해 초기에 소거상태에 있는 메모리 소자의 $V_{th}$는 선택된 워드 W에 대해서 데이타 입력 D에 "0"이 주어진 경우는 소거상태의 임계값 $V_{te}$를 유지하고, 데이타 임력 D에 "1"이 주어진 경우는 라이트 상태의 임계값 $V_{tw}$로 된다.

이상의 동작을 모든 행에 걸쳐서 실행하는 것으로 매트릭스의 전체 에리어 M(0,0)~M(7,3)의 프로그램이 완료된다.

리드, 즉 논리곱 회로로서 동작시키는 경우는 VP 전압을 주전원전압 Vc 또는 접지전압으로 하여 라이트 인에이블 WE를 "0"으로 한다.

또, $S_0$~$S_3$을 모두 "1"로 하는 것으로 $I_0$~$I_3$의 값에 따라서 단위의 논리곱 데이타가 데이타선 $d_0$~$d_3$을 거쳐서 센스 앰프 회로 $SA_0$~$SA_3$에서 검출된 논리곱으로서 출력($A_0$~$A_3$)된다.

제4도에 제2도의 논리합(OR)회로(21)의 구성을 도시한다. OR회로는 AND 출력 $A_0$과 $A_1$을 입력으로 하는 $OR_1$, $A_2$와 $A_3$을 입력으로 하는 $OR_2$, $OR_1$과 $OR_2$를 입력으로 하는 $OR_3$ 및 $OR_1$ 출력과 $OR_3$ 출력을 선택하는 출력선택회로(50)으로 구성된다.

선택회로의 입력(51)에 "1"이 입력되면 트랜지스터 $T_1$이 ON, $T_2$가 OFF하여 각 출력에는 다음의 논리식이 얻어진다.

$O_0=A_0+A_1$

$O_1=A_2+A_3$

또 입력(51)에 "0"이 입력되면 트랜지스터 $T_1$이 OFF, $T_2$가 OFF하여 각 출력에는 다음의 논리식이 얻어진다.

$O_0=A_0+A_1+A_2+A_3$

$O_1=A_2+A_3$

본 실시예에 의하면 제2도에 도시한 입력 래치(23) 및 셀렉터(24)를 전환하는 것에 의해 제5도(a)~(d)에 도시한 바와 같은 여러가지 사용 방법이 가능하게 된다.

제5도 (a) : 제2도의 입력 래치(23)으로의 입력을 버스(8a)~(8c)로 하고, 셀렉터(24)의 출력을 포트(7a),(7b)로 하는 것에 의해 프로세서(5)에서의 출력을 PLA(6)에서 변환해서 반도체 기판(1)의 외부로 출력할 수가 있다.

제5도 (b) : 입력래치(23)으로의 입력을 포트(7b), (7c)로 하고, 셀렉터(24)의 출력을 (9c)로 선택하는 것에 의해 반도체기판(1)의 외부에서의 신호를 PLA(6)에서 변환하여 프로세서(5)의 입력으로 할 수가 있다.

제5도 (c) : 입력 래치(23)의 입력을 버스(8a)~(8c)로 하고, 셀렉터(24)의 출력도 버스(8c)로 하는 것에 의해 프로세서(5)의 출력 신호를 PLA(6)에서 변환하여 다시 프로세서(5)의 입력으로 할 수가 있다.

제5도 (d) : 입력 래치(23)의 입력을 포트 (7b), (7c)로 하고, 셀렉터(24)의 출력을 (9a), (9b)로 하는 것에 의해 프로세서(5)와는 관계없이 반도체 기판(1) 외부에서의 신호를 PLA(6)에 입력하고, PLA(6)에서 변환한 신호를 반도체 기판(1)의 외부로 출력할 수가 있다.

또, 상기 제5도(a)~(d)는 2개 이상을 조합해서 사용하는 것도 가능하다. 예를들면, 제5도(a)와 (d)의 조합에서는 PLA(6)의 입력을 분할하여 한쪽을 프로세서(5)의 출력(8a~8c), 다른쪽을 반도체 기판(1)의 외부에서의 입력(7b,7c)로 하고, PLA(6)의 출력도 분할해서 한쪽을 프로세서(5)의 입력(8c), 다른쪽을 반도체 기판(1)의 외부로의 출력(7a,7c)로 할 수도 있다.

또, PLA를 자외선 소거형의 전기적으로 라이트 가능한 PROM 소자로 구성한 것이므로 창을 갖는 패키지에 봉입하여 창에서 자외선을 조사해서 정보를 소거한 후에 새로운 논리 정보를 전기적으로 라이트하여 반복 사용하는 것도 가능하다.

또한, PLA의 PROM 소자는 EEPROM(전기적으로 소거 또한 라이트 가능한 것)으로 구성할 수 있는 것은 물론이다.

상기 제1실시예는 프로그래머블 논리 회로 장치로서 PLA를 사용한 것이지만 PLA는 입력 데이타 $D_1$에 대해서 논리곱, 논리합의 형으로 출력 $D_0=F(D_1)$의 함수를 주는 기능을 갖고 있다.

다음에 제2실시예로서 프로그래머블 회로에 프로세서 구조의 제2프로그래머블 논리회로(서브 프로세서)를 부가해서 제1실시예보다 복잡한 기능을 실현할 수 있는 반도체 집적회로의 예를 기술한다. 제6도에 도시한 반도체 집적회로는 제1도의 구성에 대해서 공통버스(8), PLA(6) 및 I/O(7)에 접속한 서브프로세서(100)을 부가한 구성이다.

제7도에 서브프로세서(100)의 구성 및 서브프로세서(100), PLA(6), I/O(7), 공통버스(8) 사이의 접속관계를 도시한다.

서브프로세서(100)은 명령을 저장하기 위한 ROM(101), ROM(101)의 정보에 따라 제어 신호를 발생하기 위한 제어 회로(102), ROM의 다음 어드레스를 저장하는 어드레스 래치(103), 제1, 제2, 제3의 데이타 버스(104), (105), (106)에 접속된 ALU (산술 논리 연산 유니트) (107), 레지스터 파일(108), ALU에 접속되어 프로그래머블 시켄스 제너레이터 (PSG) (109)로 제어되는 스테이터스 레지스터(ST) (110), 서브프로세서와 공통버스(8)을 접속하기 위한 버스 인터페이스 회로(IF) (111)로 구성된다.

PLA(6)은 배선(112a)에 의해 공통버스(8)에, 배선 (112b)에 의해 I/O(7)에 각각 결선됨과 동시에 배선(112c)에 의해 서브 프로세서(100)의 제어 회로(102)에서 발생되는 제어 신호(102a)에 배선(112d)에 의해 스테이터스 레지스터(110)의 출력(110a)에, I/O(7)에서 ALU(107)에 입력되는 신호(107a)에 각각 접속된다.

본 실시예에서 상기 PSG(109) 및 ROM(101)은 전기적으로 라이트 가능한 PROM 소자를 사용해서 구성한다.

또, PLA(6)은 당연히 전기적으로 라이트 가능한 PROM 소자로 구성되어 있다.

제8도는 제3실시예로서 칩 내부에 소프트 웨어 저장용의 불휘발성 메모리 블럭(4)를 내장한 단일칩 마이크로 컴퓨터의 블럭도이다.

제8도에 있어서 (1)은 단일칩 마이크로 컴퓨터인 반도체 집적회로, (2)는 CPU 등의 데이타 처리장치, (4)는 소프트웨어 자장용 ROM으로서의 불휘발성 메모리 블럭, (41)은 어드레스 버스, (42)는 데이타 버스, (500)은 제어신호 생성 회로, (61)~(63) 및 (66)은 스위치 소자, (525)와 (527)은 3상태 인버터, (526) 및 (528)은 3상태 드라이버, (81) 및 (82)는 인버터이다. 데이타 처리장치(2), 불휘발성 메모리 블럭(4), 불휘발성 메모리 소자를 사용한 PLA, 서브 프로세서들의 프로그래머블 논리회로(900)은 각각 어드레스 버스(41) 및 데이타 버스(42)와 직접 또는 스위치 소자를 거쳐서 접속하고 있다. 어드레스 버스(41) 및 데이타 버스(42)는 또 칩 외부와 신호선(518) 및 (519)로 접속되어 데이타의 입출력을 행할 수 있게 구성되어 있다. 신호(5101)~(5104)는 데이타 처리장치(2)에 의해서 생성되는 데이타를 전송하기 위한 제어 신호, 신호(5111)~(5122)는 칩 외부에서 부여되는 제어 신호, 신호(520)~(528)은 어드레스 버스(41) 및 데이타 버스(42)와 CPU(2), 불휘발성 메모리 블럭(4), 프로그래머블 논리회로 장치(900), 외부 입출력 신호(518) 및 (519) 사이의 신호 전송 타이밍을 제어하는 제어 신호이다. 신호(514)는 LSI(1)의 외부에서의 데이타 리드 신호, (515)는 LSI(1)의 외부로의 라이트 신호, (518)은 외부 데이타 신호, (519)는 외부 어드레스 신호, (516)은

불휘발성 메모리 블럭(4) 및 프로그래머블 논리 회로 장치(900)의 불휘발성 소자의 라이트 또는 소거에 필요한 고전압 신호이다.

제8도의 실시예에 있어서 공통의 데이타 버스(42) 및 어드레스 버스(41)에 접속된 불휘발성 메모리 블럭(4)와 프로그래머블 논리 회로 장치(900)은 어드레스가 동일한 공간에 배치되어 있으므로 각각 할당된 어드레스를 지정하는 것에 의해 동일한 데이타 포매트 및 동일 시퀀스에 의해 라이트 및 검증처리를 행할 수가 있다. 이 결과, 불휘발성 메모리 블럭(4)와 프로그래머블 논리 회로(900)에 다른 라이트 시퀀스가 필요하지 않고, 공통의 라이트 장치가 사용된다. 또, 내장한 데이타 처리장치(2)를 사용해서 라이트 및 검증을 행하는 경우에 있어서도 동일한 시퀀스로 액세스할 수 있다.

제9도는 제8도의 제어 신호 생성 회로(500)을 구성하는 실시예로서, AND 회로(51)과 OR 회로(52)로 구성된다. (5101) 및 (5102)는 LSI에 내장하는 CPU 블럭(2)에 의해 발생하는 신호군이고, (5121), (5122), (513)은 칩 외부에서 부여하는 신호군이다. (514)~ (528)은 제어 신호 생성 회로(500)에서 생성된 신호군이다. 이하 제어 신호 생성 회로(500)의 동작을 설명한다. 외부 동작을 지정하는 신호(513)이 로우일때, 이 반전 신호(5131)이 하이로 되어 CPU 블럭에서의 신호군(5101)~(5104)가 유효하게 된다. 이 상태에서 (5101) 및 (5104)가 하이일 때 LSI 외부 디바이스 리드 모드(5291)이 하이로 되고 칩 외부에서의 리드 신호(514)가 하이로 된다. 또 (520), (528)이 하이로 되어 CPU 블럭(2)에서 어드레스 신호가 (201), 스위치(61), 어드레스 버스(41), 출력 드라이버스(72)를 경유해서 외부 어드레스 신호(519)를 출력한다. 리드 신호(514)와 어드레스 신호(519)에 응답한 외부 데이타는 제어 신호(527)이 ON으로 되는 것으로 (518), 입력 게이트(81), 내부 버스 드라이버(64), 데이타 버스(42) 및 (423)을 경유해서 CPU 블럭(2)에서 리드된다. 이때 제어 신호(524)는 로우 상태이므로 내부 버스 (42)에 접속되어 있는 불휘발성 메모리 블럭(4), 프로그래머블 논리 회로 (900)에서 데이타의 혼입은 생기지 않는다.

(5131)이 하이에 의해 (5102) 및 (5104)가 하이인 경우, 외부 디바이스 라이트 모드(5292)가 하이로 된다. 이 결과 LSI 외부로 라이트 신호(515)가 하이로 되고, 또 (520), (521), (526), (528)이 하이로 된다. 이 결과, CPU(2)에서의 어드레스 신호는 (201), (61), (41), (72)를 경유해서 (519)로 송출되고, 동시에 CPU(2)에서의 데이타는 (202), (62), (42), (421), (71)을 경유해서 (518)로 송출해서 외부 디바이스로의 라이트가 행하여진다.

(5131)이 하이에 의해 (5101) 및 (5103)이 하이인 상태에서는 CPU에서의 내부 디바이스 리드 모드(5293)이 하이로 되어 제어 신호 (520), (522), (524)가 ON으로 된다. 이 결과, CPU(2)에서의 어드레스 신호는 (201), (61), (41)을 경유해서 불휘발성 메모리 블럭(4)로의 어드레스 신호(426) 및 프로그래머블 논리 회로(900)으로의 어드레스 신호(5172)를 송출하고, 동시에 리드 신호(522)가 주어진다. 불휘발성 메모리 블럭(4)와 프로그래머블 논리 회로(900)에 동일 어드레스 공간상의 다른 어드레스를 할당해 두는 것으로 어느 한쪽의 어드레스가 지정된 회로에서 리드 데이타가 (302), (63)의 경로, 또는 (5173), (66)의 경로에서 데이타 버스(42)로 송출되어 CPU(2)로의 데이타 신호(423)으로서 리드된다.

한편, (513)이 하이일때 (5131)은 로우로 되므로 (520)과 (521)은 로우로 되어 CPU(2)에서 어드레스 버스(41), 데이타 버스(42)로의 신호 송출은 금지되고 CPU 블럭(2)는 내부 버스에서 분리된다. 이 상태에서 (5121)이 하이로 되면 외부 단자에서의 리드 모드(5294)가 하이로 되어 제어신호(522), (524), (525), (526)이 생성된다. 이 결과, 외부 단자에서의 어드레스 신호(519)가 입력 게이트(82), 내부 어드레스 드라이버(65)를 경유해서 불휘발성 메모리 블럭(4)로의 어드레스(426)을 송출하고, 또 프로그래머블 논리 회로로의 어드레스(5172)를 송출하며, 동시에 리드 신호(522)를 불휘발성 메모리 블럭(4) 및 프로그래머블 논리 회로(900)에 부여한다. 이 결과, 외부 단자(519)에서의 어드레스 지정에 응답해서 (4) 및 (900)중 어느 회로에서의 리드 신호가 (302), (63) 또는 (5173), (66)을 경유해서 데이타 버스(42)로 송출되어 (42), (421), (71)을 경유해서 데이타 신호(518)로서 리드된다.

(513)이 하이이고, (5122)가 하이인 경우는 외부 단자에서의 라이트 모드(5295)가 하이로 되고, 제어 신호(525) 및 (527)이 하이로 된다. 이 결과, 어드레스 신호(519)는 리드 모드와 동일한 경로로 불휘발성 메모리 블럭(4)와 프로그래머블 논리 회로(900)에 주어지고, 동시에 라이트 데이타(518)은 입력 게이트(81), 내부 버스 드라이버(64), 데이타 버스(42)를 경유해서 불휘발성 메모리 블럭(4)로의 데이타 신호(424) 및 프로그래머블 논리 회로(900)으로의 데이타 산호(5171)로 된다. 이 상태에서 외부 단자에서 라이트 신호(516)을 (4) 및 (900)에 부여하는 것으로 지정된 어드레스에 따라서 불휘발성 메모리 블럭(4) 또는 프로그래머블 논리 회로(900)으로 데이타의 라이트가 행하여진다. 라이트 신호(516)의 전압은 불휘발성 메모리 블럭(4) 및 프로그래머블 논리회로(900)에 사용되는 불휘발성 디바이스에 대응해서 통상 10~25V정도의 라이트하기에 충분한 전압으로 한다. 전기적으로 리라이트 가능한 디바이스를 사용하는 경우는 (513)이 하이인 상태에서 어드레스를 라이트 모드와 동일 경로에서 부여하고, 소거 전압을 외부 단자에서 (4) 및 (900)에 부여하던가 LSI의 내부에서 소거 전압을 생성하여 (4) 및 (900)에 부여하는 것으로 라이트 및 소거를 실현할 수 있다.

(5131)이 하이이고, (5102) 및 (5103)이 하이인 상태에서는 CPU에서의 내부 디바이스 라이트 모드(5296)이 하이로 되어 제어 신호(520), (521), (523)이 하이로 된다. 이 결과, CPU(2)에서의 어드레스는 (201), (61), (41), (5172)를 경유해서 프로그래머블 논리 회로(900)으로 전송된다. 또 CPU(2)에서의 데이타는 (202), (62), (42), (5171)을 경유해서 (900)으로 전송되며, 동시에 라이트 신호(523)이 부여된다. 이것에 의해 프로그래머블 논리 회로(900)이 지정한 어드레스로 데이타의 라이트가 행하여진다.

다음에 프로그래머블 논리 회로 장치(900)의 구성의 실시예를 제10도에 도시한다. 제10도에 있어서 (91)은 불휘발성 디바이스로 구성한 NOR 어레이, (961)~(963)은 논리 모듈, (9461)~(9463)은 셀렉터, (9433)은 센스 앰프, (9434)는 라이트 회로, (9431) 및 (9432)는 어드레스 디코더, (941)은 데이타 레지스터, (942)는 어드레스 레지스터, (9435)는 멀티플랙서이다. 논리 모듈(961)은 NOR 게이트(922), 플립플롭(921), 셀렉터(923) 및 (924), 출력 드라이버(925), AND 게이트(926) 및 (927)

로 구성된다. 회로(961)은 NOR 어레이(91)의 논리의 조합을 불휘발성 디바이스를 라이트하는 것으로 변경하고, 논리 모듈(961)의 셀렉터(923) 및 (924)의 선택 조건을 미리 정하는 것으로 여러가지의 논리 구조를 부여할 수 있는 가변 논리구조이다. 회로(961)~(963)은 (5171)~(5173)을 경유해서 데이타 버스(42), 어드레스 버스(41)과 접속하여 단자(991)~(993)에 의해 칩외부와 데이타의 입출력이 가능하다. (513)이 로우, 즉 내부 동작지정의 경우, 데이타의 입출력의 대상은 논리 모듈(961), 내부의 플립플롭(921)로 되고, (513)이 하이, 즉 외부 동작지정의 경우는 NOR 어레이(91)이 NOR 논리를 구성하는 불휘발성 디바이스로의 라이트 및 리드를 행한다. 다음에 이 회로의 동작을 설명한다. CPU 블럭(2)에서의 리드 모드에서는 (513)이 로우로 되고, 어드레스가 (5172)로 전송되어 리드신호(522)가 하이로 된다.

따라서, (5172)에서 주어진 어드레스는 어드레스 레지스터(942)에 세트된후, AND 게이트(951), 어드레스 디코더(9432)에서 디코드된다. 디코더(9432)는 (961)~(963)의 일련의 논리 모듈에 대해서 데이타버스(42)의 비트폭에 대응하는 비트폭마다 고유의 어드레스를 할당한다. 디코더(5310)에서 선택된 논리 듈의 AND 게이트(926)을 경유해서 플립플롭(921)의 데이타가 출력하여 신호선(5311) 및 셀렉터(9435)를 통해서 (5173)에 데이타버스(42)의 비트폭 상당의 데이타가 리드된다. CPU(2)에서의 라이트에 대해서는 (513)이 로우로 되고, 어드레스가 (5172), 데이타가 (5171)로 전송되어 라이트 신호(523)이 하이로 된다. 따라서 데이타는 AND 게이트(953)을 경유해서 논리 모듈(961)의 AND 게이트(927)의 입력으로 되어 선택된 어드레스에 대응하는 플립플롭에 대하여 라이트 신호에 동기해서 데이타가 라이트된다.

한편, (513)이 하이, 즉 외부 단자에서의 액세스에 대해서는 어드레스 레지스터(942) 출력은 AND 게이트(952), 어드레스 디코더(9431)을 경유해서 NOR 어레이(91)의 워드선(986)~(989)중 어느 것인가가 선택된다. 라이트에 대해서는 (5171)로 전송된 데이타가 데이타 레지스터(941)에 세트되어 AND 게이트(954)를 거쳐서 라이트 회로(9434)로 입력된다. 칩의 외부에서 부여되는 고전압의 라이트 신호에 동기해서 라이트 데이타가 셀렉터(9461)~(9463)의 입력으로 되는 어드레스 디코더(9431)에서의 셀렉터 선택 신호(5312)로 데이타 버스의 비트폭 상당의 비트선을 선택하는 것에 의해 비트선 (981)~(985)의 선택된 비트선에 데이타가 부여되어 불휘발성 디바이스로의 라이트가 데이타 버스의 비트폭 단위로 행하여진다. 이때, 논리 모듈(961)내의 셀렉터(924)는 신호(513)에 의해서 출력을 하이 임피던스 상태로 하여 논리 모듈에서 워드선(986)~(989)로의 신호의 혼입이 금지된다. 외부 단자에서의 리드에 대해서는 라이트시와 마찬가지로 어드레스 디코더(9431)에서 지정된 NOR 어레이의 비트선 데이타가 셀렉터(9461)~(9463)을 경유해서 센스 앰프(9433)에서 리드되어 셀렉터(9435)를 통해서 (5173)으로 출력된다.

이상과 같이 외부 모드 지정 신호(513)의 상태에 의해서 (513)이 로우일 때는 논리 모듈(961)내의 플립플롭과의 데이타의 입출력, 또 (513)이 하이의 상태에서는 불휘발성 디바이스로 구성된 NOR 어레이(91)의 라이트 및 리드가 행하여지고, 데이타 길이를 내부 데이타 버스의 폭과 동일하게 취급할 수가 있다. NOR 어레이에 전기적으로 소거가능한 디바이스를 사용하는 경우는 소거 회로를 추가하는 것으로 라이트와 마찬가지의 회로 구성으로 소거 동작을 실현할 수 있다.

이 회로는 NOR 어레이(91)의 불휘발성 디바이스의 라이트 및 소거에 대해서 프로그래머블 논리 회로(900)의 어드레스 공간을 불휘발성 메모리 블럭(4)와 동일하게 해서 할당되는 어드레스를 바꾸는 것으로 LSI의 외부 단자에서의 라이트 및 소거 동작을 공통으로 할 수 있다. 그리고, (513)이 하이의 상태에서 CPU(2)에서의 신호의 송출선은 제8도의 게이트(61) 및 (62)에서 절단되어 있으므로 전기적으로 단일체의 불휘발성 메모리와 동일하게 된다.

프로그래머블 논리 회로의 구성이 바뀌어도, 예를들면 NOR 어레이가 여러개 있는 경우나 논리 모듈내의 논리의 구조가 다른 경우, 플립플롭의 개수가 다른 경우, 논리 모듈에서 외부 단자로의 신호선(991)~(993)이 존재하지 않는 경우등에 있어서도 칩 내부의 CPU와 외부 단자에서의 액세스에 대해서 본 실시예에서 제시한 방법을 실현할 수 있다.

제11도(a)는 제8도의 데이타 처리 장치(2)에 제13도에 도시한 프로세서(2) 및 EPROM 장치(4)를 사용한 경우의 불휘발성 기억 소자를 사용한 회로, 즉 마이크로 EPROM(μEPROM) (600), EPROM(4) 및 프로그래머블 논리회로 장치(900)의 라이트 및 테스트 리드시의 어드레스 맵을 도시한 것이다. 본 실시예에서는 어드레스 버스(41) 및 데이타 버스 (42)를 상기 불휘발성 기억 소자를 사용한 회로에 공통으로 사용해서 동일한 어드레스 공간에 배치하고 있다. 즉, EPROM은 $A_0$~$A_E$ , μEPROM은 $B_0$~$B_E$ , 프로그래머블 논리 회로는 $C_0$~$C_E$이다. 이와 같이 동일한 어드레스 공간에 배치하고, 또 라이트 및 테스트 리드에 필요한 어드레스, 데이타, 제어 신호의 전압 레벨, 타이밍등을 표준의 단일체 EPROM과 동일하게 하는 것으로 상기 단일체 EPROM과 동일한 라이트 장치를 사용해서 라이트 및 테스트 리드를 행할 수가 있다.

제11도(b)에 데이타의 라이트 및 테스트 리드의 타이밍 챠트를 도시한다. 라이트 및 테스트 리드에 필요한 단자는 주전원단자(Vcc), 어드레스 입력단자, 데이타 입출력 단자, 데이타 입출력 방향 제어와 라이트용 고전압(약 12V)를 겸용한 $\overline{OE}$/VPP 단자, 칩 선택 단자 $\overline{CE}$이다. 어드레스 입력의 개수는 제11도(a)에서 도시한 어드레스 공간을 커버하는 개수, 즉 32키로 바이트(데이타폭 8비트=1바이트)의 경우는 15개로 구성된다.

Vcc 단자에 소정의 전압(5V정도)을 인가한 후, 어드레스 단자에 어드레스정보를 부여하여 $\overline{OE}$/VPP 단자를 0V에서 약 12V로 변화시킴과 동시에 데이타 단자에 라이트 데이타를 부여하여 $\overline{CE}$를 5V에서 0V로 변화시키면 상기 어드레스 정보에서 선택된 EPROM 소자에 상기 데이타의 라이트가 개시된다. $\overline{CE}$ 를 0V로 유지하는 기간은 EPROM 소자의 특성으로 결정되지만 약 1m정도이다. $\overline{CE}$를 0V에서 5V로 변화시켜 $\overline{OE}$/VPP를 0V로 하면 라이트 모두가 종료된다.

라이트된 데이타가 정상으로 라이트되었는가 아닌가는 어드레스 정보를 유지하고, $\overline{OE}$/VPP를 0V인

채로 $\overline{CE}$를 0V로 하면 데이타 단자에 상기 어드레스에서 선택된 소자의 데이타를 리드할 수가 있다. 즉, 리드 테스트를 행할 수가 있다. 동일 어드레스에서의 라이트 데이타와 리드 데이타의 일치, 불일치에 의해 정상적인 라이트가 행하여졌는가 아닌가를 알 수가 있다.

상기 테스트의 결과, 정상적인 라이트가 행하여지고 있는 것을 확인할 수 있었던 경우 단일칩 마이크로 컴퓨터의 논리 회로 장치의 불휘발성 반도체 메모리 소자에 라이트된 상기 데이타에 의존한 데이타 처리를 단일칩 마이크로 컴퓨터에 실행하게 하는 것이 가능하게 된다.

제12도에 제4실시예로서 버스(8)에 결합된 프로세서(2), EPROM(4)와 불휘발성 기억소자를 포함하는 여러개의 프로그래머블 논리회로(801) 및 (802)를 갖는 반도체 집적회로(1)의 예를 도시한다. 제1논리회로(801), 제2논리회로(802)는 각각 I/O(803), (804)에 결합되어 집적회로의 외부와의 통신을 행한다. 또 버스(8)도 별도의 I/O(805)를 거쳐서 집적회로의 외부와의 통신을 행할 수 있다. 제어 회로(800)은 반도체 집적회로(1)의 모드, 즉 정상 동작이나 내장한 불휘발성 기억소자로의 라이트, 리드 테스트를 제어하는 것이며 제어 입력선(813)에 주어지는 제어 정보에 따라서 집적회로를 제어한다.

즉 반도체 집적회로(1)는 정상모드에서 제어선(806)~(812)에 정상 동작 신호를 부여하여 통상의 동작을 행한다.

한편, 불휘발성 기억소자를 포함하는 EPROM, 논리회로(801) 및 (802)등의 장치로의 데이타의 라이트는 제어 입력선(813)에 테스트 모드가 지정되면 프로세서(2)에서 버스(8)로의 출력이 금지되고 나서 다음과 같이 동작한다.

(1) 제어 입력선(813)에서 EPROM(4)와 I/O(805)가 선택된 경우 : 버스(80)로의 출력은 EPROM(4)와 I/O(805)만으로 되고, 라이트시에는 외부선(816)에서 EPROM(4)의 어드레스 및 라이트 데이타를 부여하여 I/O(805)와 버스(8)을 거쳐서 EPROM(4)에 라이트에 필요한 정보를 전달함과 동시에 제어 입력(813)에, 예를들면 제11도(b)에서 도시한 제어 신호($\overline{CE}$, $\overline{OE}$/VPP)와 같은 라이트 신호를 부여한다. 테스트 리드는 제어선에 리드 신호를 부여해서 버스(8)을 거쳐 I/O(805)에서 데이타를 리드한다.

(2) 제어 입력선(813)에서 EPROM(4)와 I/O(803)이 선택된 경우 : 버스(8)로의 출력은 EPROM(4)와 논리회로(801)만으로 되고, 라이트시에는 I/O(803)에서 라이트에 필요한 정보를 부여하는 논리회로(801) 및 버스(8)을 거쳐서 EPROM(4)에 라이트한다. 리드 테스트도 마찬가지로 EPROM(4)의 데이타를 버스(8), 논리회로(801), I/O(803)을 거쳐서 외부선(814)에 데이타를 리드한다.

(3) 제어 입력선(813)에서는 논리회로(801) 또는 (802)와 I/O(805)가 선택된 경우 : 버스(8)로의 출력은 I/O(805)와 논리회로(801) 또는 (802)만으로 되고, I/O(803), 버스(8)을 거쳐서 논리회로(801) 또는 (802)로 라이트한다. 리드 테스트는 논리회로(801) 또는 (802)에서 버스(8), I/O(805)를 거쳐서 리드한다.

(4) 제어 입력선 (813)에서 논리회로(801) 또는 논리회로(802) 및 I/O(803) 또는 I/O(804)가 선택된 경우 : 라이트시에는 I/O(803) 또는 I/O(804)를 거쳐서 외부선(814) 또는 (815)에서 집적 논리회로(801) 또는 (802)로 불휘발성 기억소자의 라이트에 필요한 정보를 부여하여 상기 (1)과 마찬가지로 제어입력선(813)에 라이트 신호를 인가하는 것으로 행한다. 테스트 리드도 버스를 거치지 않고 집적 논리회로(801) 또는 (802)에서 I/O(803) 또는 I/O(804)를 거쳐서 데이타를 리드한다.

다음에 제5실시예로서 마이크로 프로그램 제어방식 사용한 프로세서의 예를 제13도에 따라 설명한다. 본 실시예에서는 불휘발성 기억소자를 포함하는 장치로서 상기 마이크로 프로그램 저장용 EPROM(이하 마이크로 EPROM이라 한다) (600)과 프로그램 기억용의 EPROM(624)를 동일 반도체 기판상에 갖고 있다.

프로세서중의 CPU(2)를 구성하는 마이크로 EPROM(600)은 그 데이타를 라이트하기 위해 어드레스 버스(41) 및 데이타 버스(42)에 배선(653) 및 (652)로 접속되어 있는 라이트 회로(601), 라이트한 데이타를 테스트하기 위해 어드레스 버스(41) 및 데이타 버스(42)에 배선(651) 및 (650)으로 접속되어 있는 테스트 리드 회로(603), 데이타 버스(42)에 접속되어 있는 명령 래치 회로(602)에 접속되고, 또 정상동작시에는 상기 마이크로 EPROM의 데이타를 리드하기 위한 리드 회로(604)에 접속된다. 리드회로(604)의 출력은 상기 명령 래치 및 메모리의 어드레스를 만들어 내기 위해 배선(648)로 어드레스 버스(41)에 접속된 어드레스 발생회로(606) 및 배선(646)으로 데이타 버스(42)에 접속된 연산회로(605)에 접속되어 있다. 또 상기 리드회로(604), 제어회로(607), 연산회로(605)는 클럭 ø(670)에도 접속된다.

EPROM 장치(4)는 각각이 어드레스 버스(41) 및 데이타 버스(42)에 접속된 리드회로(621), 라이트 회로(622), 테스트 리드회로(623)에 접속된 EPROM(624)로 구성된다. 또 상기 리드회로(621)은 프로세서(2)의 제어회로(607)에도 접속된다. 어드레스 버스(41) 및 데이타 버스(42)는 배선(654), (655)에 의해 클럭 ø (670)으로 제어되는 프리차지 회로(671)에 접속되고, 또 어드레스 버스(41)은 배선(612)에 의해 반도체 집적회로 외부에서 입력되는 배선(611)에 접속된 입력회로(608)에 접속되며, 데이타 버스(42)는 배선(614)에 의해 외부 배선(613)에 대해서 데이타를 입출력하는 입출력 회로(609)에 접속된다.

외부에서의 제어신호선(601)에 접속된 제어 신호 생성 회로(500)의 출력(630)~(639)는 정상 동작과 EPROM 소자(600), (624)로의 라이트 테스트 동작을 제어하기 위해서 상기 각 회로에 접속된다.

다음에 동작에 대해서 설명한다.

마이크로 EPROM(600)으로의 라이트는 제어 신호 입력선(610)에 라이트 모드 신호를 부여하고, 이 상태에서는 제어신호 생성 회로(500)의 출력(630)~(639)중 라이트 회로(601)의 제어신호(636), 입력

회로(608)의 제어신호(638), 입출력 회로(609)의 제어신호(639)만 유효하게 되며, 그 이외의 신호는 금지 상태로 제어된다. 즉 프로세서(2), EPROM 장치(4) 및 버스 프리차지회로(671)에서 데이타버스(42) 및 어드레스버스(41)로의 출력은 금지되고, 상기 각 버스는 라이트회로(601)을 거쳐서 마이크로 EPROM(600)으로의 라이트만으로 사용된다. 입력회로(608)의 외부접속선(611)에 마이크로 EPROM(600)을 구성하는 불휘발성 기억소자군에서 소자를 선택하기 위한 어드레스 정보를 부여하고, 입력방향으로 제어된 입출력 회로(609)의 외부접속선(613)에 대해서는 상기 어드레스에서 선택된 기억소자로의 라이트 데이타를 부여하여 제어입력선(610)에 라이트 신호를 부여한다. 라이트된 데이타가 바르게 라이트되었는가 아닌가의 테스트는 제어 입력선(610)에 마이크로 EPROM(600)이 테스트 리드 신호를 부여하면 제어신호 생성회로(500)의 출력(630)~(639)중 테스트 리드회로(603)이 제어신호(635), 입력회로(608)의 제어신호(638), 입출력회로(609)의 제어 신호(639)가 유효하게 된다.

이 상태에서 외부입력선(611)에 어드레스 정보를 부여하고, 제어입력선(610)에 마이크로 EPROM(600)의 테스트 리드 신호를 부여하면 입출력 회로(609)는 출력방향으로 제어되어 선택된 마이크로 EPROM(600)의 내용이 테스트 리드 회로(603), 접속선(650), 데이타 버스(42), 접속선(614), 입출력 회로(609)를 거쳐서 외부접속선(613)에 데이타가 출력된다.

EPROM 장치(4)의 EPROM 소자군(624)로의 라이트 및 테스트 리드도 상기 마이크로 EPROM(600)의 라이트 및 테스트 리드와 마찬가지로 제어 신호 생성 회로(500)에서의 제어 신호에 의해 라이트 회로(622), 테스트 리드 회로(623) 및 입력회로(608), 입출력 회로(609)를 제어해서 행한다.

정상 모드에서의 반도체 집적회로의 동작은 클럭 ø(670)에 동기해서 다음과 같이 동작한다.

프로세서중의 CPU(2)의 어드레스 발생회로(606)에서 발생된 어드레스 정보가 어드레스 버스(41)을 거쳐서 EPROM 장치(4)의 리드회로(621)로 보내지고, 또 CPU(2)의 제어회로(607)에서의 리드신호선(671)의 신호에 따라 EPROM 소자군(624)의 데이타가 리드되어 데이타 버스(42)를 거쳐서 프로세서(2)의 명령 래치(602)에 입력된다. 명령래치(602)에 유지되어 있는 정보가 마이크로 EPROM(600)에 부여되고, 그 정보에 따라 마이크로 EPROM(600)이 선택되어 리드회로(604)에서 리드된다.

이 리드된 정보가 프로세서 및 반도체 집적회로의 제어 정보로 된다.

즉, 리드회로(604)에서 리드된 마이크로 EPROM(600)의 데이타가 제어회로(607)에 입력되어 연산회로(605), 어드레스 발생회로(606), 명령 래치(602), 메모리 리드회로(621)등의 제어가 행하여진다. 또 정상 동작에서는 클럭 ø (670)에 동기해서 동작하는 버스 프리차지회로(671)에 의해 데이타 버스(42), 어드레스 버스(41)은 프리차지에 의해 동작하는 버스로 된다.

즉, 반도체 집적회로의 일련의 동작은 프로세서에 공급되는 클럭에 동기해서 동작한다. 상기 CPU(2)의 테스트 리드회로(603)과 리드회로(604)의 병렬 출력 비트수가 같을 필요는 없지만, 또 본 실시예에서는 테스트 리드 회로(603)에서의 병렬 출력 비트수를 데이타 버스(42)의 비트수와 동일하게 되어 있다.

제14도에서 제6실시예로서 집적회로에 내장한 프로세서에 의해 내장 EPROM 또는 프로그래머블 논리회로로의 라이트 및 리드 테스트를 행하는 구성예를 도시한다.

제어 입력선(700)에 접속되어 반도체 집적회로(1)의 모드를 제어하기 위한 제어 입력회로(701)에 의해 제어되는 프로세서(2), 라이트 프로그램 및 테스트 프로그램을 기억하기 위한 ROM(702), EPROM(4), 불휘발성 메모리 소자로 구성된 프로그래머블 논리회로(900)은 각각 데이타 버스(42) 및 어드레스 버스(41)에 접속되어 있다.

또, 반도체 집적회로(1)과 외부와의 데이타, 어드레스 등의 통신을 행하기 위한 프로세서(2)로 제어되는 입출력 회로(7)도 데이타 버스(42)에 접속되어 있다. 또 반도체 집적회로(1)의 외부 장치에 대해서 제어 정보를 부여하기 의한 제어 출력회로(703)은 프로세서(2)에 의해 제어된다. 제어입력선(700)에 대해서 PROM을 갖는 EPROM(4), 또는 논리회로(900)으로의 라이트 모드를 부여하면 제어입력회로(701)을 거쳐서 프로세서(2)에 정보가 전달되고, 프로세서(2)는 라이트 프로그램이 기억되는 있는 ROM(702)의 프로그램에 따라서 다음과 같이 동작한다.

프로세서(2)는 제어출력회로(703)을 거쳐서 집적회로의 외부에 대해서 라이트에 필요한 정보, 즉 어드레스 정보 및 데이타를 요구하고, 입출력 회로(7)을 입력방향으로 제어하여 데이타 버스(42)를 거쳐서 프로세서(2)에 정보를 입력한다. 다음에 프로세서(2)는 그 정보에 따라 EPROM(4) 또는 논리장치를 식별하여 라이트를 실행하고, 라이트가 종료한 후, 라이트된 데이타를 리드 프로세서로 입력하고, 라이트 데이타와의 비교를 행하여 정상인 라이트인가 정상이 아닌 라이트인가를 판정하고, 그 결과를 제어 출력 회로(703)을 거쳐서 집적회로의 외부로 출력한다. 이 경우, 만일 정상이 아닌 라이트의 경우는 결과가 출력된 후, 프로세서를 정지하고 라이트 프로그램을 정지한다.

한편, 정상인 라이트가 행하여지면 다시 라이트에 필요한 정보를 얻기 위한 요구 신호를 출력하고, 이후 그 동작을 반복한다.

상기 동작의 예는 하나의 예이며, ROM(702)의 프로그램의 라이트 방식에 의해서 여러가지의 라이트 및 테스트 방식을 실현할 수 있다.

이상의 실시예에 의해 상세히 설명된 바와 같이, 본 발명에 의하면 단일칩 마이컴의 범용성을 높일 수 있으므로 상기 마이컴 주변을 구성하는 부품개수를 삭감할 수가있다. 또, 사용자가 자신의 손으로 논리 정보를 라이트 할 수 있기 때문에 회로 변경이 생긴 경우도 신속하게 대처할 수 있으므로 코스트의 저감 효과도 크다.

또, 불휘발성 디바이스를 포함하는 프로그래머블 논리회로와 불휘발성 메모리와 데이타 처리장치(CPU 등)를 포함하는 반도체 회로에 있어서 프로그래머블 논리회로내의 불휘발성 디바이스로의 라이트 및 소거에 대해서 어드레스 지정, 데이타의 부여 방식을 동일하게 할 수 있다. 불휘발성 디바이

스로의 라이트 및 소거는 통상, 휘발성의 반도체 소자에 의해 구성된 메모리, 예를들면 RAM으로의 라이트 및 리드에 비하여 라이트 또는 소거의 시간이 길어 고전압을 필요로 하는 경우에서는 특정한 순서로 처리하는 것이 필요하고, 이를 위한 라이트 또는 소거회로를 전용으로 준비할 필요가 있다. 본 발명에 의하면 프로그래머블 논리 회로에 포함되는 불휘발성 디바이스에 대해서 불휘발성 메모리와 동일한 어드레스, 데이타 제어신호 인터페이스로 하는 것으로, 이들의 라이트 또는 소거 회로를 불휘발성 메모리와 공통화할 수 있는 효과가 있다. 특히, 외부 단자에서 라이트 및 소거를 행하는데 종래 불휘발성 메모리의 규격에 있었던 라이트 장치를 사용해서 라이트 및 소거 또는 테스트를 행한다. 본 발명에 의하면 내장하는 프로그래머블 논리 회로장치에 대해서도 동일한 라이트 장치를 사용할 수 있는 효과가 있다.

## *(57) 청구의 범위*

### 청구항 1

단일칩 마이크로 컴퓨터(1)에 있어서, 데이타를 처리하는 CPU(2), 상기 단일칩 마이크로컴퓨터를 동작시키기 위한 프로그램을 저장하는 ROM(4), 상기 CPU와 상기 ROM에 접속되는 어드레스버스(8b, 41) 상기 CPU와 상기 ROM에 접속되는 데이타버스(8c, 42)와 상기 어드레스버스 및 데이타버스에 접속되고, 불휘발성 반도체메모리소자(40)을 포함하며, 상기 불휘발성 반도체메모리소자로의 전기적인 라이트정보에 의해서 논리기능이 프로그램가능하게 가변으로 되도록 구성되는 논리회로(6,900)을 칩내에 구비한 단일칩 마이크로컴퓨터.

### 청구항 2

특허청구의 범위 제1항에 있어서, 상기 ROM(4)와 상기 논리회로는 동일한 어드레스 공간을 갖는 단일칩 마이크로컴퓨터.

### 청구항 3

특허청구의 범위 제1항에 있어서, 상기 논리회로는 상기 CPU(2)와 상기 단일칩 마이크로컴퓨터(1)의 외부와의 데이타통신을 제어하는 단일칩 마이크로컴퓨터.

### 청구항 4

특허청구의 범위 제1항에 있어서, 상기 논리회로는 논리곱 실행부(20,51)과 논리합 실행부(21,52)를 구비하고, 상기 데이타버스에 접속된 I/O 포트수단(7)과 상기 논리회로의 상기 논리곱 실행부의 입력과 상기 어드레스버스 및 상기 데이타버스사이에 접속된 입력선택수단(23)을 칩내에 구비한 단일칩 마이크로컴퓨터.

### 청구항 5

특허청구의 범위 제4항에 있어서, 상기 논리회로의 상기 논리합 실행부의 출력과 상기 데이타버스 및 상기 I/O 포트수단(7)과의 사이에 접속된 출력선택수단(22,23)을 칩내에 구비한 단일칩 마이크로컴퓨터.

### 청구항 6

특허청구의 범위 제1항에 있어서, 상기 어드레스버스 및 데이타버스에 접속되고, 데이타를 저장하는 RAM(3)을 칩내에 구비한 단일칩 마이크로컴퓨터.

### 청구항 7

특허청구의 범위 제1항에 있어서, 상기 ROM(101)을 포함하고, 상기 ROM의 정보에 따라 제어신호를 발생하기 위한 제어회로(102), 산술논리연산을 실행하는 ALU(107), 레지스터 파일(108)을 적어도 구비한 서브 프로세서(100)을 칩내에 구비한 단일칩 마이크로컴퓨터.

### 청구항 8

특허청구의 범위 제1항에 있어서, 상기 어드레스버스 및 상기 데이타버스와 상기 CPU 사이에 접속되는 제1신호전달수단(201,61,423,202,62,425), 상기 어드레스버스 및 상기 데이타버스와 상기 ROM 사이에 접속되는 제2신호전달수단(426,424,302,63), 상기 어드레스버스 및 상기 데이타버스와 상기 논리회로사이에 접속되는 제3신호전달수단(5172,5171,5173,66), 상기 단일칩 마이크로컴퓨터의 외부와 상기 어드레스버스 및 상기 데이타버스사이에 접속되는 제4신호전달수단
(72,519,82,65,421,71,518,81,64,422)와 상기 단일칩 마이크로컴퓨터의 외부로부터의 외부 제어신호(5111,5121,513,5122)에 응답하여 상기 제1신호전달수단, 상기 제2신호전달수단, 상기 제3신호전달수단 및 상기 제4신호전달수단중에서 적어도 어느 것인가 하나의 신호전달기능을 정지하는 내부제어신호(520~528)을 발생하는 제어신호 생성수단(500)을 칩내에 구비한 단일칩 마이크로컴퓨터.

### 청구항 9

특허청구의 범위 제1항에 있어서, 상기 논리회로는 상기 CPU내의 마이크로 ROM(600)의 단일칩 마이크로컴퓨터.

### 청구항 10

CPU(2), ROM(4), 불휘발성 반도체메모리소자(40)을 포함하고, 상기 불휘발성 반도체메모리소자로의 전기적인 라이트 정보에 의해서 논리기능이 프로그램 가능하게 가변으로 되도록 구성되는 논리회로(6,900)을 구비한 단일칩 마이크로컴퓨터(1)을 사용한 데이타 처리방법에 있어서, 상기 CPU(2)로부

터 상기 논리회로의 불휘발성 반도체메모리 소자에 데이타를 전기적으로 라이트하는 제1의 스텝, 상기 제1의 스텝에서 전기적으로 라이트된 데이타를 리드하여 정상인 라이트가 실행되었는가 아닌가를 상기 CPU(2)에 의해 테스트하는 제2의 스텝과 상기 제2의 스텝의 테스트 결과가 정상인 경우, 상기 제1의 스텝에서 전기적으로 라이트된 상기 데이타에 관계된 데이타 처리동작을 상기 단일칩 마이크로컴퓨터에 실행시키는 제3의 스텝을 구비한 데이타 처리방법.

**청구항 11**

입력신호에 응답해서 출력신호를 생성하는 기능회로 블럭(2)를 칩내에 내장하는 반도체 집적회로장치(1)에 있어서, 상기 기능회로 블럭(2)의 동작에 관련된 상기 반도체 집적회로장치의 동작을 제어하기 위한 제어회로블럭(6,900)을 상기 칩내에 또 구비해서 이루어지며, 상기 제어회로 블럭은 전기적으로 라이트 가능한 불휘발성 반도체메모리소자(40)을 포함하는 논리회로(20,21,51,52)를 구비한 반도체 집적회로장치.

**청구항 12**

특허청구의 범위 제11항에 있어서, 상기 반도체 집적회로장치는 단일칩 마이크로컴퓨터(1)로, 상기 기능회로블럭은 CPU(2)로서 각각 구성되고, 상기 불휘발성 반도체메모리소자로의 전기적인 라이트 정보에 의해서 상기 논리회로의 논리기능이 프로그램 가능하게 가변으로 되도록 구성되는 반도체 집적회로장치.

**청구항 13**

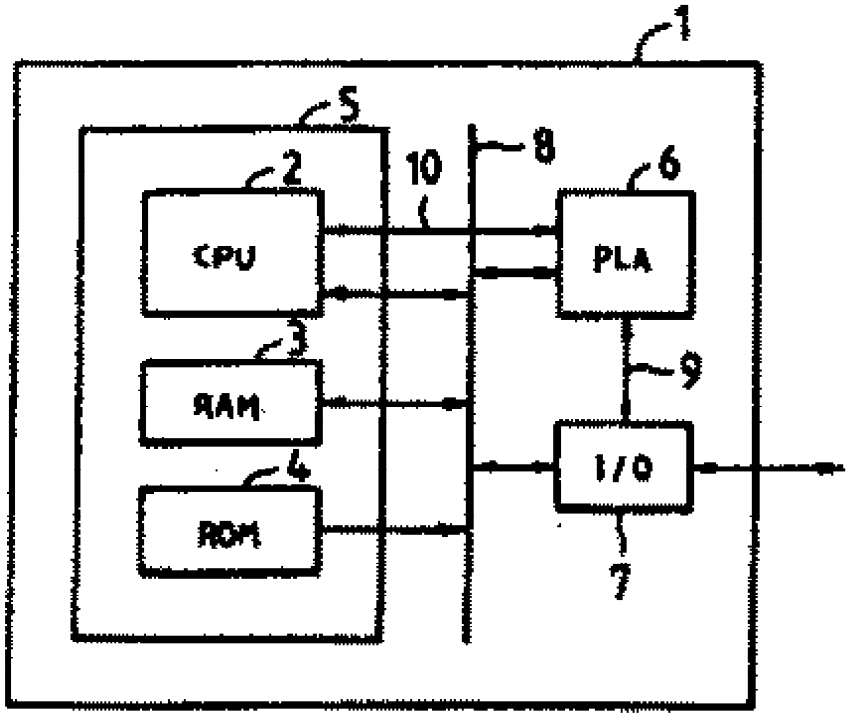
기능회로 블럭(2), 불휘발성 반도체메모리소자(40)을 포함하고, 상기 불휘발성 반도체메모리소자로의 전기적인 라이트정보에 의해서 논리기능이 프로그램 가능하게 가변으로 되도록 구성되는 논리회로(20,21,51,52)를 포함하는 제어회로 블럭(6,900)을 구비한 반도체 집적회로장치(1)을 사용한 신호처리방법에 있어서, 상기 기능회로 블럭으로부터 상기 제어회로블럭의 상기 논리회로의 불휘발성 반도체메모리소자에 데이타를 전기적으로 라이트하는 제1의 스텝, 상기 제1의 스텝에서 전기적으로 라이트된 데이타를 리드하여 정상인 라이트가 실행되었는가 아닌가를 상기 기능회로 블럭에 의해 테스트하는 제2의 스텝과 상기 제2의 스텝의 테스트 결과가 정상인 경우, 상기 제1의 스텝에서 전기적으로 라이트된 상기 데이타에 관계된 신호처리동작을 상기 반도체 집적회로장치에 실행시키는 제3의 스텝을 구비한 신호 처리방법.

**청구항 14**

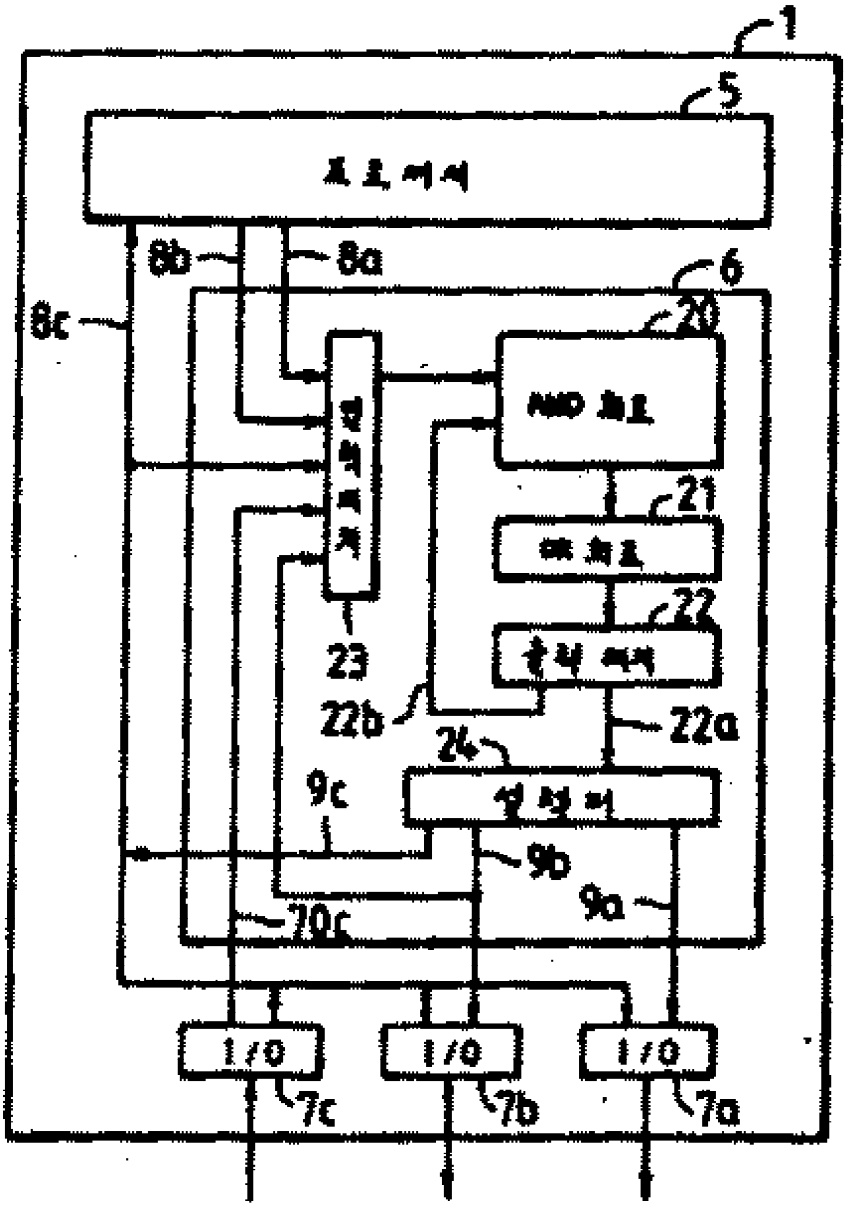
단일칩 마이크로컴퓨터(1)에 있어서, 데이타를 처리하는 CPU(2), 데이타를 저장하는 RAM(3), 상기 단일칩 마이크로컴퓨터를 동작시키기 위한 프로그램을 저장하는 ROM(4), 상기 CPU, 상기 RAM 및 상기 ROM에 접속되는 어드레스버스(8b,41), 상기 CPU, 상기 RAM 및 상기 ROM에 접속되는 데이타버스(8c,42)와 상기 어드레스버스 및 데이타버스에 접속되고, 불휘발성 반도체메모리소자(40)을 포함하며, 상기 불휘발성 반도체메모리소자로의 전기적인 라이트 정보에 의해서 논리기능이 프로그램 가능하게 가변으로 되도록 구성되는 논리회로(6,900)을 칩내에 구비한 단일칩 마이크로컴퓨터.

*도면*

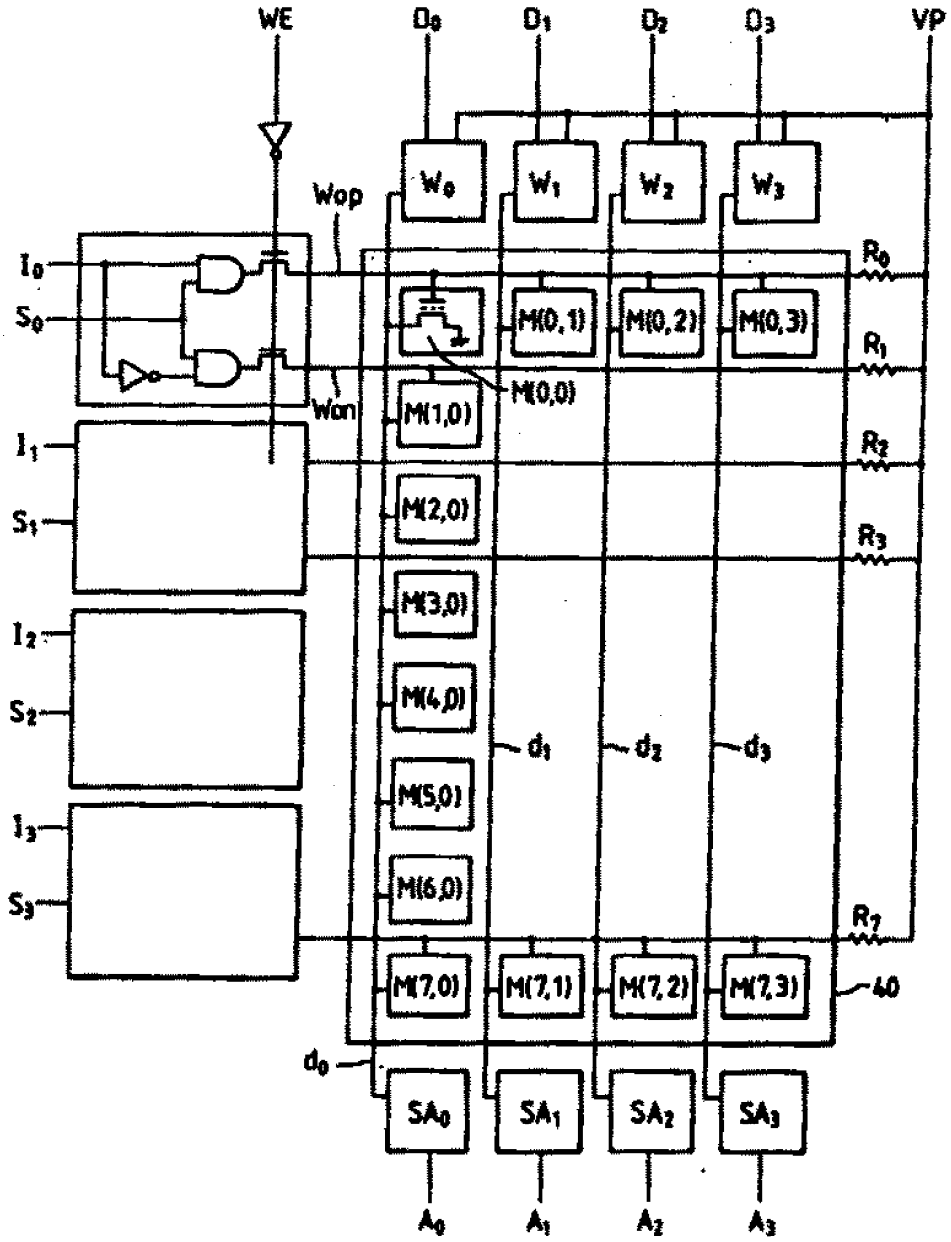
*도면1*



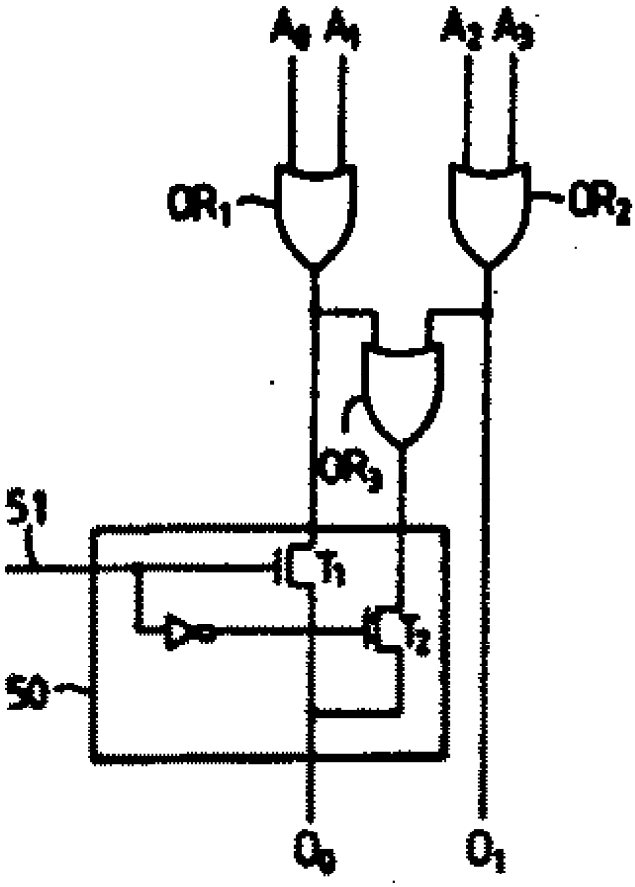
도면2



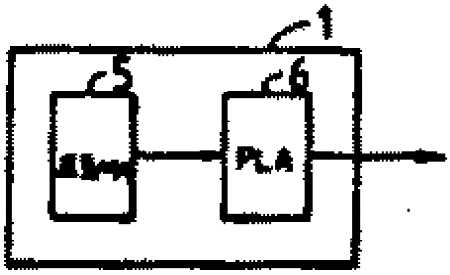
도면3


WE
$D_0$
$D_1$
$D_2$
$D_3$
VP
Wop
$W_0$
$W_1$
$W_2$
$W_3$
$I_0$
$S_0$
Wan
M(0,0)
M(0,1)
M(0,2)
M(0,3)
M(1,0)
M(2,0)
M(3,0)
M(4,0)
M(5,0)
M(6,0)
M(7,0)
M(7,1)
M(7,2)
M(7,3)
$I_1$
$S_1$
$I_2$
$S_2$
$I_3$
$S_3$
$R_0$
$R_1$
$R_2$
$R_3$
$R_7$
40
$d_0$
$d_1$
$d_2$
$d_3$
$SA_0$
$SA_1$
$SA_2$
$SA_3$
$A_0$
$A_1$
$A_2$
$A_3$

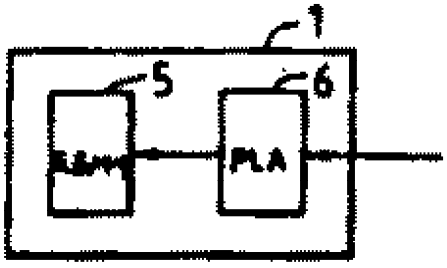
도면4



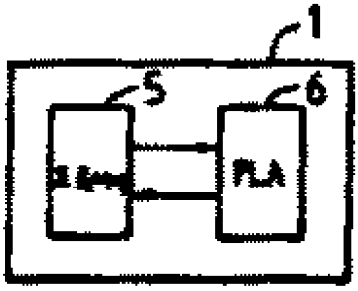

도면5A



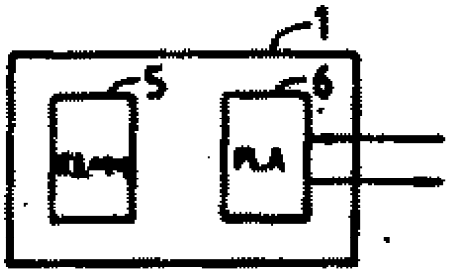

도면5B



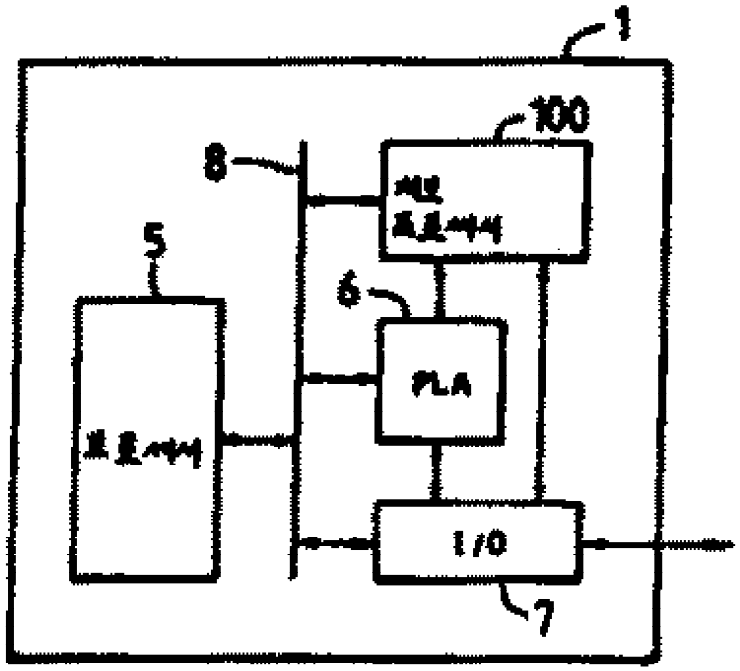
도면5C



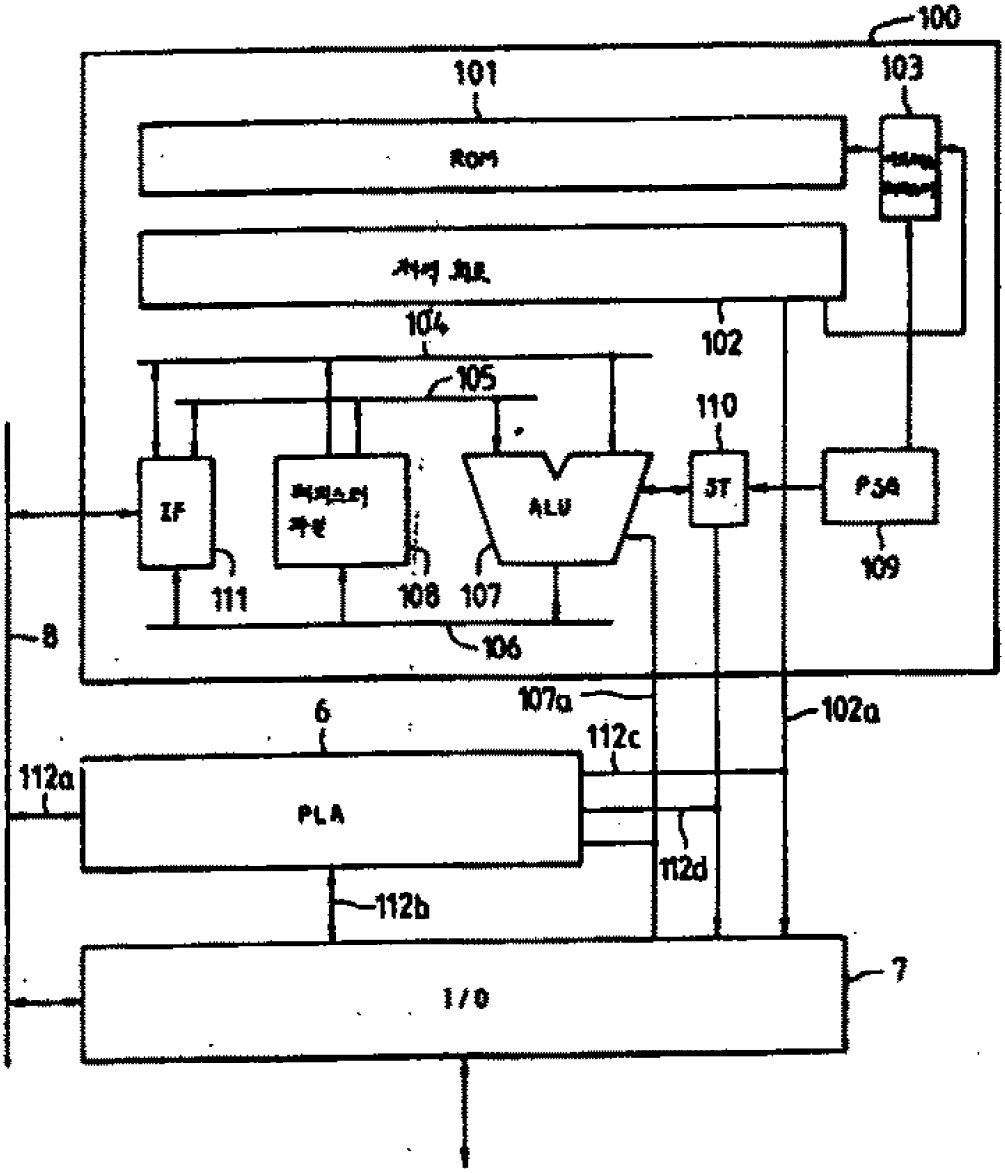

도면5D



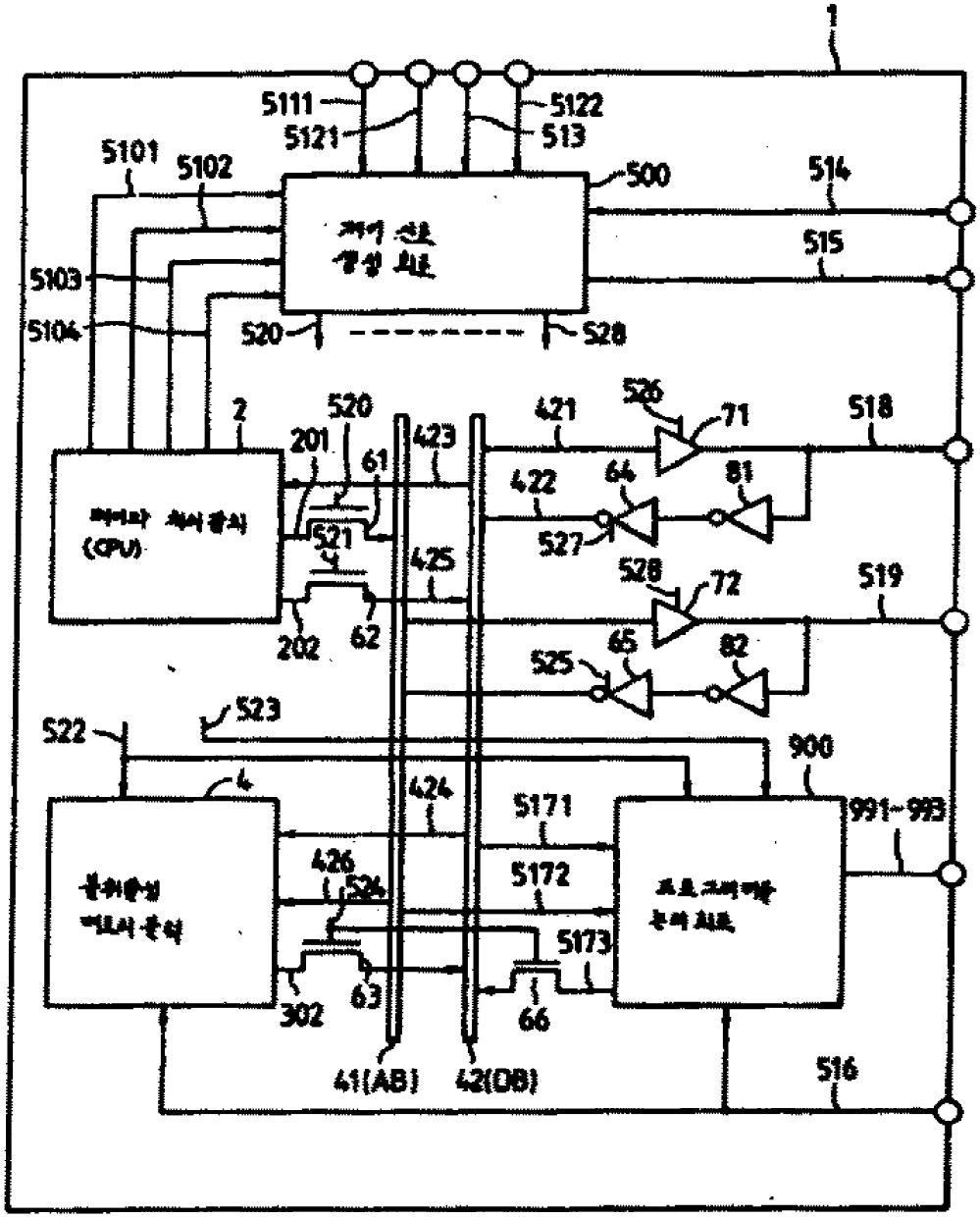

도면6



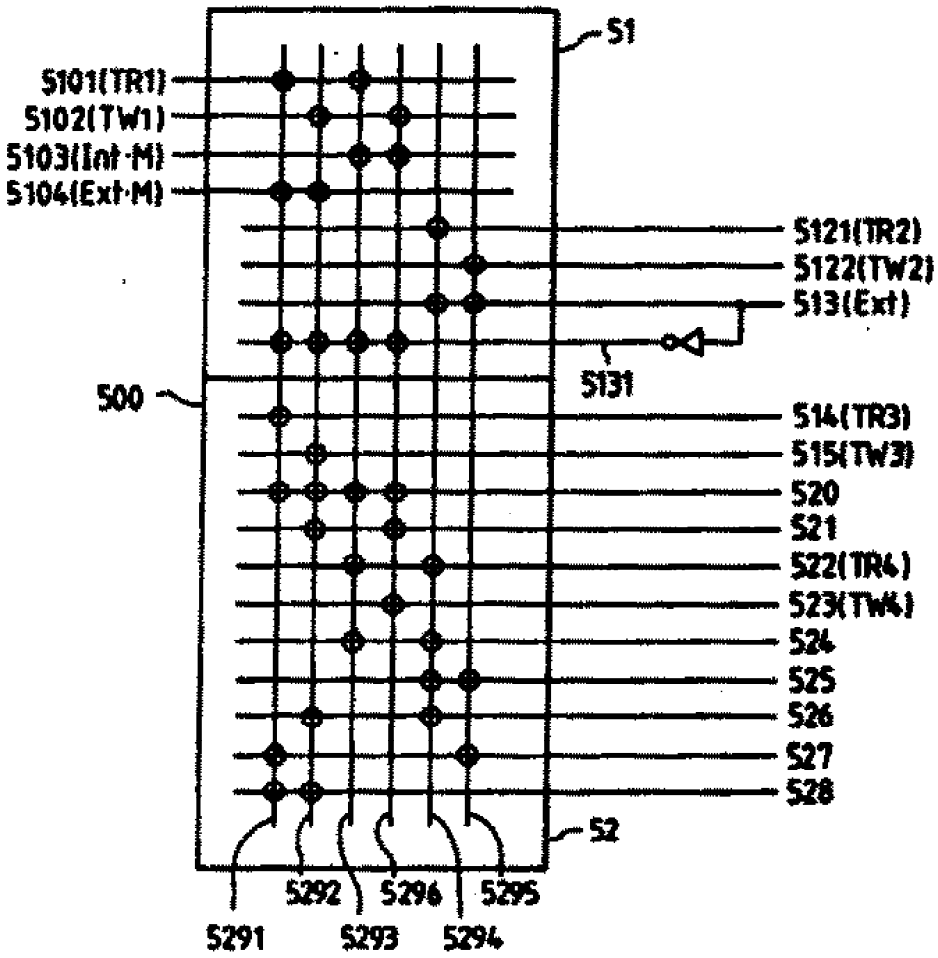
도면7


100
101
103
ROM
104
102
105
110
IF
ALU
ST
PSR
109
111
108
107
106
8
107a
102a
6
112c
112a
PLA
112d
112b
I/O
7

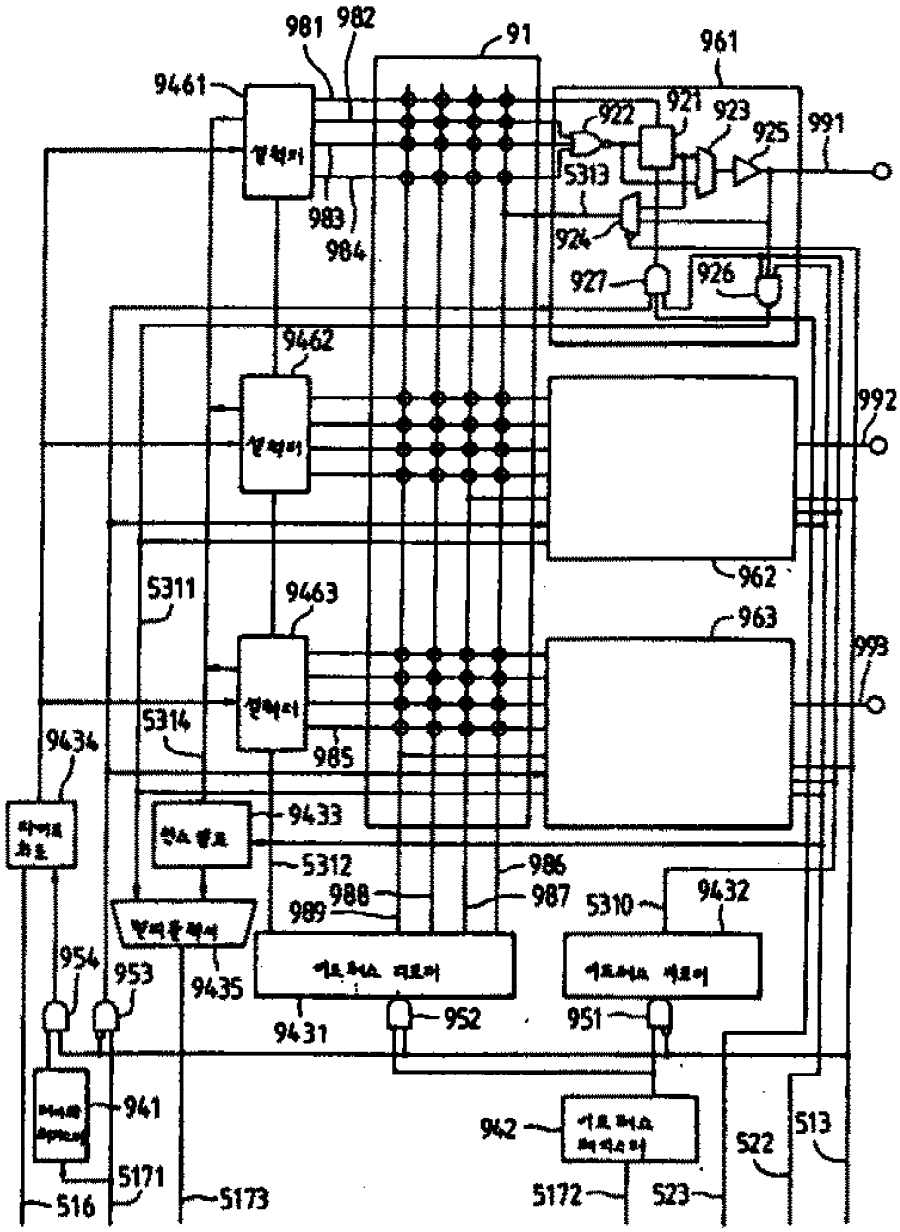
도면8


1
5111
5121
5122
513
5101
5102
500
514
515
5103
5104
520
528
2
520
201
61
423
421
526
71
518
422
64
81
527
521
425
528
72
519
202
62
65
82
525
522
523
900
4
424
5171
991-993
426
5172
526
5173
302
63
66
41(AB)
42(DB)
516

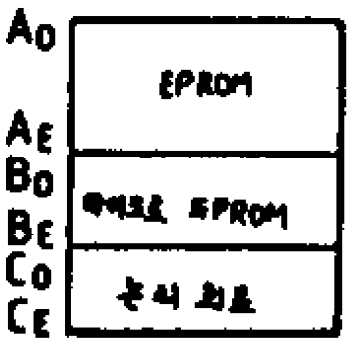
도면9


S1
S101(TR1)
S102(TW1)
S103(Int·M)
S104(Ext·M)
S121(TR2)
S122(TW2)
S13(Ext)
S131
500
S14(TR3)
S15(TW3)
S20
S21
S22(TR4)
S23(TW4)
S24
S25
S26
S27
S28
S2
S292
S296
S295
S291
S293
S294

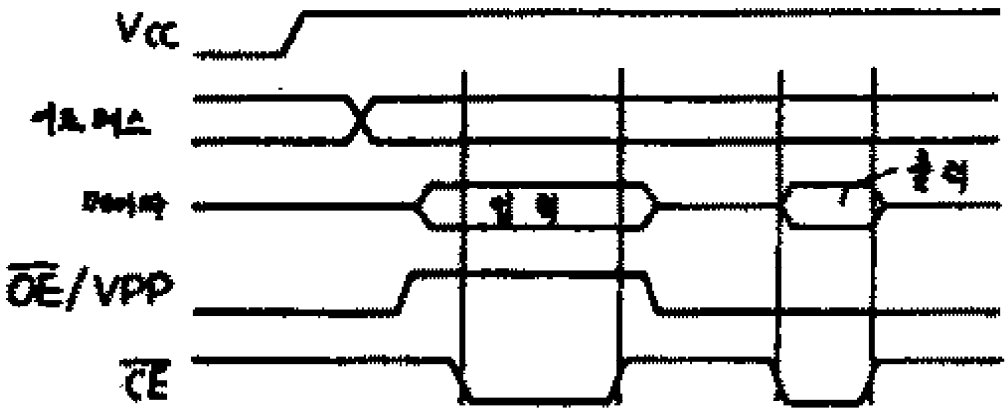
도면10


981
982
91
961
9461
922
921
923
925
991
5313
983
984
924
927
926
9462
992
962
5311
9463
963
993
5314
985
9434
9433
5312
986
988
987
5310
9432
989
954
953
9435
952
951
9431
941
942
513
522
5171
516
5173
5172
523

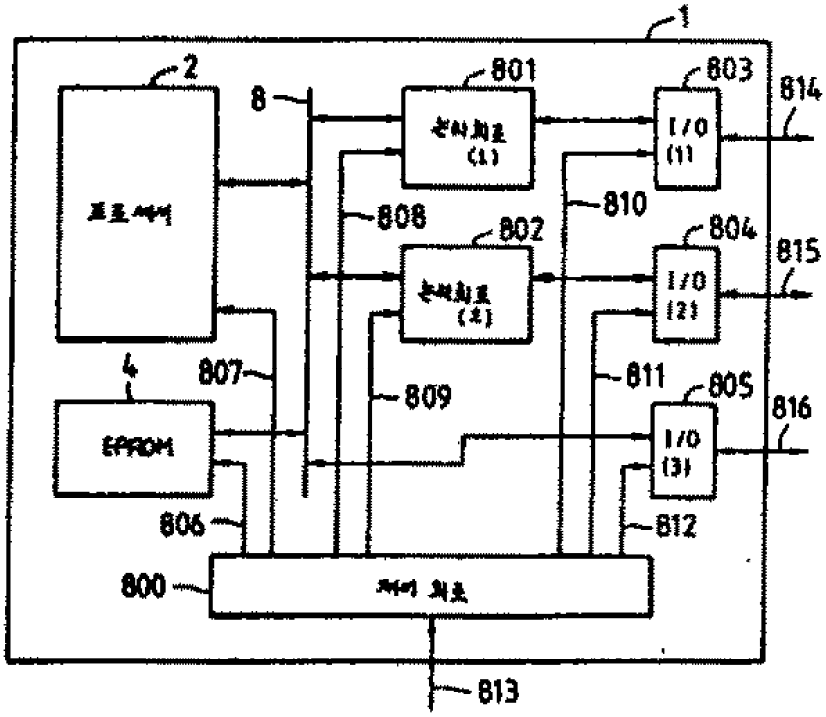
도면11A


A0
AE
B0
BE
C0
CE
EPROM

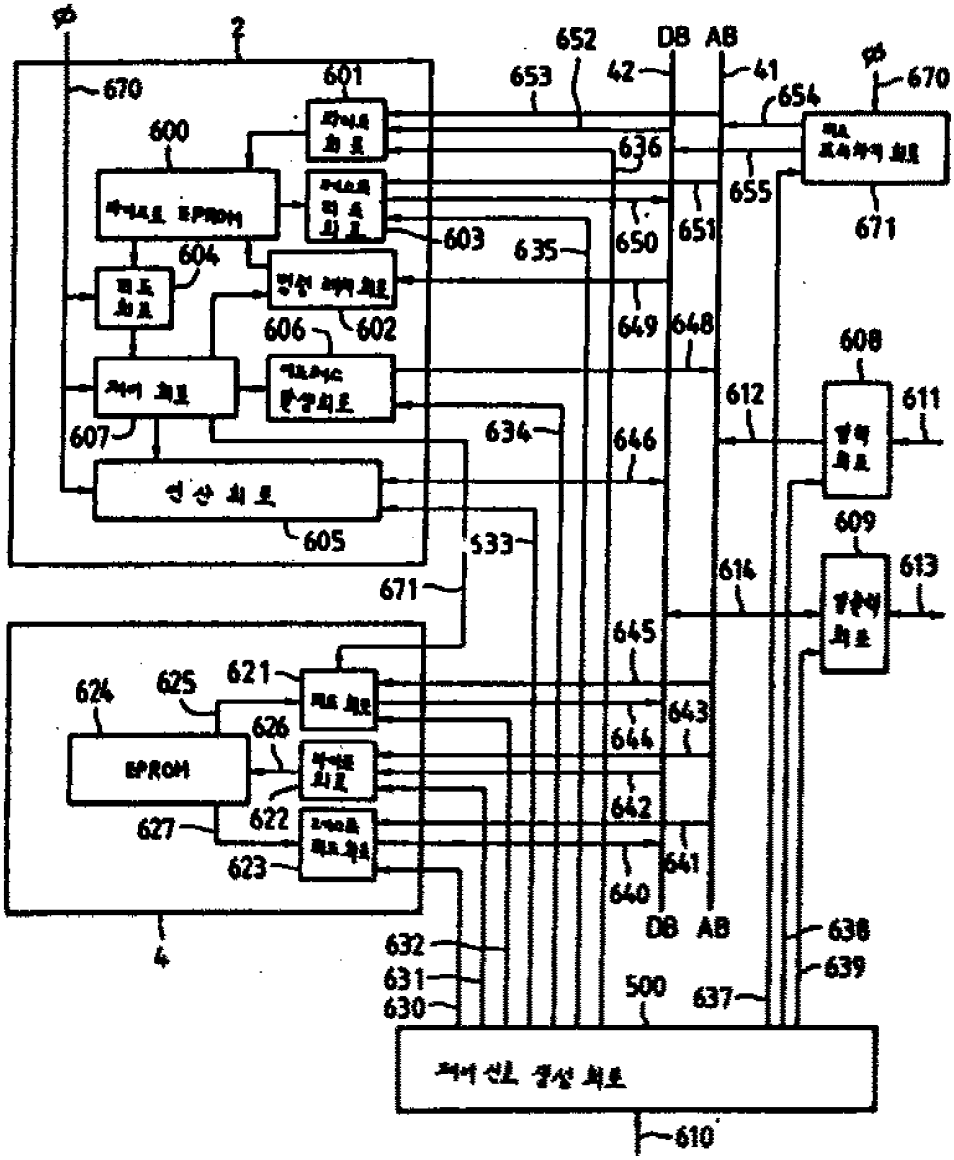
도면11B


Vcc
OE/VPP
CE

도면12


1
2
8
801
803
814
I/O (1)
808
810
802
804
815
I/O (2)
4
807
809
811
805
816
EPROM
I/O (3)
806
812
800
813

도면13



2
670
601
600
EPROM
603
604
602
606
607
605
652
653
42
DB
AB
41
654
670
636
655
671
650
651
635
649
648
608
612
611
634
646
609
614
613
533
671
645
621
624
625
626
643
644
EPROM
642
627
622
641
623
640
DB
AB
4
632
631
630
500
637
638
639
610

도면14

