

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4137568号
(P4137568)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl. F I
 HO 1 L 31/107 (2006.01) HO 1 L 31/10 B
 HO 1 L 27/14 (2006.01) HO 1 L 27/14 J

請求項の数 3 (全 18 頁)

<p>(21) 出願番号 特願2002-278799 (P2002-278799)</p> <p>(22) 出願日 平成14年9月25日(2002.9.25)</p> <p>(65) 公開番号 特開2004-119563 (P2004-119563A)</p> <p>(43) 公開日 平成16年4月15日(2004.4.15)</p> <p>審査請求日 平成16年8月13日(2004.8.13)</p> <p>前置審査</p>	<p>(73) 特許権者 301005371 日本オブネクスト株式会社 神奈川県横浜市戸塚区戸塚町2 1 6 番地</p> <p>(74) 代理人 100080001 弁理士 筒井 大和</p> <p>(72) 発明者 伊藤 和弘 神奈川県横浜市戸塚区戸塚町2 1 6 番地 日本オブネクスト株式会社内</p> <p>(72) 発明者 田中 滋久 東京都国分寺市東恋ヶ窪一丁目2 8 0 番地 株式会社日立製作所 中央研究所内</p> <p>(72) 発明者 藤崎 寿美子 東京都国分寺市東恋ヶ窪一丁目2 8 0 番地 株式会社日立製作所 中央研究所内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 受信器

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第1導電型半導体結晶層と、前記第1導電型半導体結晶層の上部に形成された第2導電型半導体結晶層とによってpn接合が形成され、

前記第2導電型半導体結晶層には、その底部が前記pn接合に達しない第1メサが形成され、

前記第1メサの周囲には、前記第1メサを取り囲む半導体結晶からなる埋込み層を含み、その底部が少なくとも前記pn接合に達する第2メサが形成されたアバランシェフォトダイオードを有する受信器であって、

前記埋込み層は、半絶縁性結晶層と前記半絶縁性結晶層よりも低抵抗の導電性結晶層とを含む複数の半導体結晶層で構成されていることを特徴とする受信器。

10

【請求項 2】

前記埋込み層は、前記第1メサに接触する導電性結晶層からなる第1埋込み層と、前記第1埋込み層上に直接または他の埋込み層を介して形成された半絶縁性結晶層からなる第2埋込み層とを含むことを特徴とする請求項1記載の受信器。

【請求項 3】

前記埋込み層は、前記第1メサに接触する膜厚1μm以下の半絶縁性結晶層からなる第1埋込み層と、前記第1埋込み層上に形成された導電性結晶層からなる第2埋込み層と、前記第2埋込み層上に直接または他の埋込み層を介して形成された半絶縁性結晶層からなる第3埋込み層とを含むことを特徴とする請求項1記載の受信器。

20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、光通信などの分野で使用される受信器およびその製造技術に関し、特に、アバランシェフォトダイオード（APD）などからなる埋込みメサ型の受光素子を有する受信器に適用して有効な技術に関する。

【0002】**【従来の技術】**

アバランシェフォトダイオード（APD）は、光通信用受信器の受光素子として広く使用されている。

10

【0003】

アバランシェフォトダイオードを受光素子に用いる利点は、信号光により発生した電流を同一素子内で増幅できるので、増幅機能がないPIN型フォトダイオードを用いた場合と比較して、受信器の光受信感度が高くなることにある（以下この増幅の大きさを、増倍率（M）という）。

【0004】

一般に、アバランシェフォトダイオードを用いた受光素子は、プレーナ型とメサ型とに大別される。このうち、メサ型は、製造工程が簡単である反面、pn接合の周辺部に電界が集中し易いことや、露出面に形成された表面準位や表面欠陥によってミクロな電流パスができ易いといった理由から暗電流が高く、信頼性が低い欠点があった。他方、プレーナ型は、pn接合の高電界強度領域が結晶内部に形成され、表面に現れる部分は低電界強度となるように工夫されているので暗電流が低く、信頼性が高い利点がある反面、製造工程が複雑になる欠点があった。

20

【0005】

メサ型アバランシェフォトダイオードの上記した欠点を改善する技術として、基板上に形成したpn接合を含むメサの周囲に適当な濃度の不純物を含む半導体結晶からなる埋込み層を形成し、この埋込み層でpn接合を覆うことによって、表面準位や表面欠陥を低減して暗電流を低くする構造（以下、この構造を埋込みメサ型という）が提案されている。この種の埋込みメサ型構造を備えたアバランシェフォトダイオードについては、例えば特開2001-177143号公報に記載がある。

30

【0006】**【発明が解決しようとする課題】**

上記したアバランシェフォトダイオードの光結合の良否を判定したり、増倍率（M）の制御を行うためには、増幅が開始される前の電圧領域、すなわち増倍率（M）= 1における光感度を求め、これを基準値とする必要がある。

【0007】

これは、アバランシェフォトダイオードの主要な特性であるダイナミックレンジ（例えば増倍率M = 10で帯域10GHz）などが増倍率（M）= 1における光感度に基づいて決まるため、製造者にとっては受信器の仕様を決める重要な要素となるからである。また、購入者や使用者にとっては、増倍率（M）= 1における光感度が受入れ検査を実施する上での基準となるため、購入者や使用者がこの光感度を自ら測定、評価できるようにする必要があるからである。

40

【0008】

前述したプレーナ型アバランシェフォトダイオードの場合は、光電流 - 電圧特性に増倍率（M）= 1の平坦部が現れるので、増倍率（M）= 1における光感度が容易に求められる。これに対し、埋込みメサ型アバランシェフォトダイオードの場合、光電流 - 電圧特性に増倍率（M）= 1の平坦部が現れるようにするためには、埋込み層を導電性の半導体結晶で構成し、増倍開始前、すなわちメサの内部で増倍が起きる電圧よりも低い電圧領域で光電流（ホットキャリア）が埋込み層内を流れるようにしてやる必要がある。

【0009】

50

ところが、メサの周囲の埋込み層をn型またはp型の導電性結晶で構成すると、埋込み層の表面を覆う絶縁性の保護膜と埋込み層との界面に電流のリークパスが形成されて暗電流が高くなるという問題が生じる。他方、上記リークパスの形成を抑制するために、埋込み層を高抵抗の半絶縁性結晶で構成すると、増倍開始前に埋込み層内を流れる光電流（ホットキャリア）の移動が阻害され、光電流 - 電圧特性に増倍率（ M ）= 1の平坦部が現れ難くなるという問題が生じる。

【0010】

本発明の目的は、信頼性が高く、増倍率（ M ）= 1で平坦性の良い光感度特性(以下、 M = 1光感度特性ともいう)を示す埋込みメサ型受光素子を備えた受信器を提供することにある。

10

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本発明による受信器は、半導体基板上に形成された第1導電型半導体結晶層と、前記第1導電型半導体結晶層の上部に形成された第2導電型半導体結晶層とによってpn接合が形成され、前記第2導電型半導体結晶層には、その底部が前記pn接合に達しない第1メサが形成され、前記第1メサの周囲には、前記第1メサを取り囲む半導体結晶からなる埋込み層を含み、その底部が少なくとも前記pn接合に達する第2メサが形成された半導体受光素子を有し、前記埋込み層は、半絶縁性結晶層と前記半絶縁性結晶層よりも低抵抗の導電性結晶層とを含む複数の半導体結晶層で構成されているものである。

20

【0014】

また、本発明による受信器の製造方法は、

(a) 半導体基板上に第1導電型化合物半導体結晶層を成長させ、前記第1導電型化合物半導体結晶層の上部に、前記第1導電型と反対導電型の第2導電型化合物半導体結晶層を成長させる工程と、

30

(b) 前記第2導電型化合物半導体結晶層の上部に所定形状の第1マスクを形成し、前記第1マスクで覆われていない領域の前記第2導電型化合物半導体結晶層を、前記第1導電型化合物半導体結晶層との界面に達しない程度の深さにエッチングすることによって第1メサを形成する工程と、

(c) 前記第1メサの周囲に、半絶縁性結晶層と前記半絶縁性結晶層よりも低抵抗の導電性結晶層とを含む複数の半導体結晶層からなる埋込み層を成長させる工程と、

(d) 前記第1メサとその周囲の前記埋込み層のそれぞれの上部に第2マスクを形成し、前記第2マスクで覆われていない領域の前記埋込み層およびその下部の前記第2導電型化合物半導体結晶層を、少なくとも前記第1導電型化合物半導体結晶層との界面に達する程度の深さにエッチングすることによって、前記第1メサの周囲に第2メサを形成する工程とを含んでいる。

40

【0015】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】

(実施の形態1)

本実施の形態の受信器に使用する受光素子の製造方法を図1～図8を用いて工程順に説明する。

50

【0017】

まず、図1に示すように、n型InP結晶からなる基板（不純物濃度： $1 \times 10^{18} / \text{cm}^3$ ）101を用意し、その主面上にn型InAlAs結晶からなるバッファ層（不純物濃度： $1 \times 10^{18} / \text{cm}^3$ 、膜厚： $0.5 \mu\text{m}$ ）102、n型InAlAs結晶からなる増倍層（不純物濃度： $1 \times 10^{14} / \text{cm}^3$ 、膜厚： $0.3 \mu\text{m}$ ）103、p型InAlAs結晶とp型InGaAs結晶の積層体からなる電界調整層（不純物濃度： $8 \times 10^{17} / \text{cm}^3$ 、膜厚： $0.04 \mu\text{m}$ ）104、p型InGaAs結晶からなる光吸収層（不純物濃度： $1 \times 10^{15} / \text{cm}^3$ 、膜厚： $1.3 \mu\text{m}$ ）105、p型InAlAs結晶からなるキャップ層（不純物濃度： $3 \times 10^{18} / \text{cm}^3$ 、膜厚： $0.7 \mu\text{m}$ ）106およびp型InGaAs結晶からなるコンタクト層（不純物濃度： $5 \times 10^{18} / \text{cm}^3$ 、膜厚： $0.1 \mu\text{m}$ ）107をMBE（分子線エピタキシー）法で順次成長させた後、コンタクト層107の上部にCVD法で酸化シリコン膜108を堆積する。

10

ここで、基板101（n型InP結晶）およびn型半導体層（バッファ層102、増倍層103）の不純物には、周知のn型不純物を使用し、p型半導体層（電界調整層104、光吸収層105、キャップ層106、コンタクト層107）の不純物には、周知のp型不純物を使用する。

【0018】

次に、図2に示すように、酸化シリコン膜108をフォトリソグラフィ技術でパターニングすることによって、コンタクト層107の上部に酸化シリコン膜108からなるハードマスク108aを形成する。このハードマスク108aは、円形の平面パターンを有しており、その直径は $30 \mu\text{m}$ である。

20

【0019】

次に、図3に示すように、上記ハードマスク108aをマスクにしてコンタクト層107、キャップ層106、光吸収層105および電界調整層104をリン酸系のエッチング液でエッチングする。このとき、電界調整層104の途中でエッチングを停止し、pn接合面（電界調整層104とその下層の増倍層103との界面）が露出しないようにする。ここまでの工程により、基板101上に第1メサ109が形成される。

【0020】

次に、図4に示すように、MOVPE（有機金属気相成長）法を用いて第1メサ109の周囲の基板101上にp型InP結晶からなる第1埋込み層110aを選択成長させ、続いて第1埋込み層110aの上部にInP結晶からなる第2埋込み層110bを選択成長させる。第1埋込み層110aを構成するp型InP結晶の不純物濃度は $1 \times 10^{15} / \text{cm}^3$ であり、その膜厚は $0.5 \mu\text{m}$ である。また、第2埋込み層110bは、第1埋込み層110aよりも高抵抗の半絶縁性結晶で構成し、その膜厚は $1.5 \mu\text{m}$ である。

30

ここで、第1埋込み層110a（p型InP結晶）の不純物には、周知のp型不純物を使用する。また、第2埋込み層110b（InP結晶）には、半絶縁性結晶の不純物として一般的に使用される周知の不純物をドーピング（不純物濃度： $1 \times 10^{15} / \text{cm}^3$ ）することにより、高抵抗の半絶縁性結晶とする。

【0021】

次に、ハードマスク108aを除去した後、図5に示すように、コンタクト層107および第2埋込み層110bの上部に第1メサ109よりも径の大きい、直径 $40 \mu\text{m}$ 程度の円形の平面パターンを有するフォトレジスト膜111を形成し、このフォトレジスト膜111をマスクにして第2埋込み層110b、第1埋込み層110a、電界調整層104、増倍層103、バッファ層102および基板101の表面をBr（臭素）系のエッチング液でエッチングする。

40

【0022】

ここまでの工程により、第1メサ109の周囲の基板101上に第2メサ112が形成される。この第2メサ112は、第1メサ109に対して同心円状の平面パターンを有し、その側壁の一部には、pn接合面（電界調整層104とその下層の増倍層103との界面）が露出する。

50

【0023】

次に、フォトレジスト膜111を除去した後、図6に示すように、基板101の表面全体を絶縁性の保護膜113で被覆する。保護膜113は、例えば基板101上にCVD法で膜厚0.3 μ mの酸化シリコン膜と膜厚0.2 μ mの窒化シリコン膜とを堆積することによって形成する。

【0024】

次に、図7に示すように、保護膜113をフォトリソグラフィ技術で加工することにより、コンタクト層107および基板101のそれぞれの一部を露出させ、そこに電極114、115を形成する。電極114、115は、基板101上に蒸着法で堆積した膜厚0.5 μ mのTi膜/Pt膜/Au膜をフォトリソグラフィ技術でパターンングすることによって形成する。

10

【0025】

次に、図8に示すように、基板101の裏面側に膜厚0.12 μ mの窒化シリコン膜からなる反射防止膜116を形成することにより、アバランシェフォトダイオード(APD)のチップが得られる。その後、配線基板(図示せず)の電極上にAu/Sn半田を介して上記電極114、115をボンディングすることにより、受光素子が完成する。

【0026】

配線基板の電極を通じて上記受光素子に逆バイアスを印加したところ、降伏電圧は30Vであり、暗電流は27Vで20nAと良好であった。また、波長1.55 μ m、1 μ Wの光を照射した時の電流(光電流)は8~13Vにおいて0.9 μ Aで一定であった。さらに、高温逆バイアス通電試験(200、100 μ A:一定)の1000時間前後で、降伏電圧、暗電流、増倍率とも変化がなく、良好であった。

20

【0027】

このように、本実施の形態の受光素子は、第1メサ109の周囲の埋込み層を低抵抗の第1埋込み層110aとその上部に形成した高抵抗の第2埋込み層110bとで構成する。

【0028】

これにより、増倍開始前の低電圧領域において、第1メサ109の近傍に形成された低抵抗の第1埋込み層110a内をホットキャリアが流れるので、光電流-電圧特性に増倍率(M)=1の平坦部が現れるようになり、増倍率(M)=1における光感度を容易に測定することが可能になる。また、受光素子の表面を覆う保護膜113と接する埋込み層は、大部分が高抵抗の第2埋込み層110bであるために、保護膜113と埋込み層との界面に電流のリークパスが形成され難くなり、暗電流が低い受光素子を実現することができる。

30

【0029】

図9は、受光素子の電流-電圧特性を示すグラフであり、図中の曲線[A]は、本実施の形態の受光素子、曲線[B]は、埋込み層を高抵抗の半絶縁性InP結晶(不純物濃度: $1 \times 10^{15} / \text{cm}^3$ 、膜厚: 2 μ m)のみで構成した比較例を示している。図に示すように、本実施の形態の受光素子は、増倍率(M)=1の平坦部が明瞭に現れたのに対し、比較例の受光素子は、増倍率(M)=1の平坦部が僅かしか現れなかった。

【0030】

また、本実施の形態の受光素子は、バイアス電圧13V以上でアバランシェ増倍による電流増加が起き、最大の増倍率は90であった。これに対し、埋込み層を低抵抗のp型InP結晶(不純物濃度: $1 \times 10^{15} / \text{cm}^3$ 、膜厚: 2 μ m)のみで構成した比較例の場合、初期状態での電圧-電流特性は同じであったが、高温逆バイアス通電試験の50時間において降伏電圧は2V低下し、20Vの暗電流は3 μ Aに増加、増倍率は10となる劣化を示した。

40

【0031】

上記の結果から、本実施の形態の受光素子は、従来技術に比べて信頼性が向上することが分かった。

【0032】

50

図10は、本実施の形態のアバランシェフォトダイオードを使用した受信器のブロック図である。

【0033】

受信器89は、アバランシェフォトダイオード81とプリアンプ82とで構成されたフロントエンドモジュール83と、その後段に設けられたACGアンプ84、位相制御ループ85、分離回路86、クロック発生器87および調整回路88からなる。

【0034】

上記受信器89のアバランシェフォトダイオード81に光ファイバから光信号80を入れて電気信号90を取り出し、最小受信感度を測定した。最小受信感度の製造バラツキは、 $-27 \pm 0.5 \text{ dBm}$ (ビットエラーレート = 1×10^{-12}) であった。また、通電試験の結果、受信器89の信頼性は20年以上を確保していることが分かった。

10

【0035】

比較のため、上記アバランシェフォトダイオード81を従来構造の埋込みメサ型アバランシェフォトダイオードに置き換えた受信器の場合、最小受信感度の製造バラツキは $-26 \pm 1 \text{ dBm}$ であった。これは、上記受信器89に使用されているアバランシェフォトダイオード81が、従来のものに比べて $M = 1$ 光感度を有しており、高精度の測定が容易にできるためである。

【0036】

(実施の形態2)

本実施の形態による受光素子の製造方法を図11～図15を用いて工程順に説明する。本実施の形態の受光素子は、基板および各半導体結晶層の導電型を前記実施の形態1の受光素子と逆にしたことに特徴がある。

20

【0037】

まず、図11に示すように、p型InP結晶からなる基板(不純物濃度: $1 \times 10^{18} / \text{cm}^3$) 401の主面上にp型InAlAs結晶からなるバッファ層(不純物濃度: $1 \times 10^{18} / \text{cm}^3$ 、膜厚: $0.5 \mu\text{m}$) 402、p型InAlAs結晶からなる増倍層(不純物濃度: $1 \times 10^{14} / \text{cm}^3$ 、膜厚: $0.3 \mu\text{m}$) 403、n型InAlAs結晶とn型InGaAs結晶の積層体からなる電界調整層(不純物濃度: $8 \times 10^{17} / \text{cm}^3$ 、膜厚: $0.04 \mu\text{m}$) 404、n型InGaAs結晶からなる光吸収層(不純物濃度: $1 \times 10^{15} / \text{cm}^3$ 、膜厚: $1.4 \mu\text{m}$) 405、n型InAlAs結晶からなるキャップ層(不純物濃度: $3 \times 10^{18} / \text{cm}^3$ 、膜厚: $0.7 \mu\text{m}$) 406およびn型InGaAs結晶からなるコンタクト層(不純物濃度: $5 \times 10^{18} / \text{cm}^3$ 、膜厚: $0.1 \mu\text{m}$) 407をMBE法で順次成長させた後、コンタクト層407の上部に形成した酸化シリコンからなるハードマスク408aをマスクにしてコンタクト層407、キャップ層406、光吸収層405および電界調整層404をエッチングすることにより、基板401上に第1メサ409を形成する。ここまでの工程は、前記実施の形態1の図1～図3に示す工程と同じである。

30

【0038】

次に、図12に示すように、MOVPE法を用いて第1メサ409の周囲の基板401上にn型InP結晶からなる第1埋込み層410aを選択成長させ、続いて第1埋込み層410aの上部にInP結晶からなる第2埋込み層410bを選択成長させる。第1埋込み層410aを構成するn型InP結晶の不純物濃度は $1 \times 10^{15} / \text{cm}^3$ であり、膜厚は約 $0.1 \mu\text{m}$ である。また、第2埋込み層410bは、第1埋込み層410aよりも高抵抗の半絶縁性結晶で構成し、膜厚は約 $1.9 \mu\text{m}$ である。

40

【0039】

次に、ハードマスク408aを除去した後、図13に示すように、コンタクト層407および第2埋込み層410bの上部に、第1メサ409に対して同心円状の平面パターンを有する外径 $2.4 \mu\text{m}$ 、内径 $1.8 \mu\text{m}$ のハードマスク408bを形成し、このハードマスク408bをマスクにして第1メサ409の周囲の第2埋込み層410bを塩酸系のエッチング液でエッチングすることにより、深さ約 $1 \mu\text{m}$ 、幅約 $2 \mu\text{m}$ の凹状部420を形成す

50

る。ハードマスク408bは、基板401上にCVD法で堆積した酸化シリコン膜をフォトリソグラフィ技術で加工することによって形成する。

【0040】

次に、ハードマスク408bを除去した後、図14に示すように、コンタクト層407および第2埋込み層410bの上部に第1メサ409よりも径の大きい、直径40 μ m程度の円形の平面パターンを有するフォトレジスト膜411を形成し、このフォトレジスト膜411をマスクにして第2埋込み層410b、第1埋込み層410a、電界調整層404、増倍層403、バッファ層402および基板401の表面をBr系のエッチング液でエッチングすることにより、第1メサ409の周囲の基板401上に、第1メサ409に対して同心円状の平面パターンを有する第2メサ412を形成する。

10

【0041】

次に、フォトレジスト膜411を除去した後、図15に示すように、前記実施の形態1の図6～図8に示す工程に従って保護膜413、電極414、415および反射防止膜116を形成することにより、アバランシェフォトダイオード(APD)のチップが得られる。その後、配線基板(図示せず)の電極上にAu/Sn半田を介して上記電極414、415をボンディングすることにより、受光素子が完成する。

【0042】

配線基板の電極を通じて上記受光素子に波長1.55 μ mの光を1 μ W入射しながら逆バイアスを印加したところ、電圧8～14Vの範囲で光感度が一定となるM=1感度特性が得られた。また、降伏電圧は30V、暗電流は27Vで10nAと高温逆バイアス通電前後で変化がなく、良好であった。

20

【0043】

(実施の形態3)

本実施の形態による受光素子の製造方法を図16～図18を用いて工程順に説明する。前記実施の形態1、2の受光素子は、第1メサの周囲に2層の埋込み層(第1埋込み層および第2埋込み層)を設けたが、本実施の形態の受光素子は、第1メサの周囲に3層の埋込み層(第1、第2、第3埋込み層)を設けたことに特徴がある。

【0044】

まず、図16に示すように、前記実施の形態1の図1～図3に示す工程に従い、n型InP結晶からなる基板501の主面上にn型InAlAs結晶からなるバッファ層502、n型InAlAs結晶からなる増倍層503、n型InAlAs結晶とn型InGaAs結晶の積層体からなる電界調整層504、n型InGaAs結晶からなる光吸収層505、n型InAlAs結晶からなるキャップ層506およびn型InGaAs結晶からなるコンタクト層507をMBE法で順次成長させた後、コンタクト層507の上部に形成した酸化シリコンからなるハードマスク508aをマスクにしてコンタクト層507、キャップ層506、光吸収層505および電界調整層504をエッチングすることにより、基板501上に第1メサ509を形成する。なお、基板501および各半導体結晶層(502～507)の導電型は、上記と逆であってもよい。

30

【0045】

次に、図17に示すように、MOVPE法を用いて第1メサ509の周囲の基板501上にp型InP結晶からなる第1埋込み層510a、p型InP結晶からなる第2埋込み層510bおよびInP結晶からなる第3埋込み層510cを選択成長させる。第1埋込み層510aを構成するp型InP結晶の不純物濃度は $5 \times 10^{15} / \text{cm}^3$ であり、膜厚は約0.1 μ mである。また、第2埋込み層510bを構成するp型InP結晶の不純物濃度は $1 \times 10^{15} / \text{cm}^3$ であり、膜厚は約0.9 μ mである。第3埋込み層510cは、高抵抗の半絶縁性InP結晶で構成し、膜厚は約1 μ mである。

40

ここで、第1埋込み層510a(p型InP結晶)の不純物および第2埋込み層510b(p型InP結晶)の不純物には、周知のp型不純物を使用する。

【0046】

次に、図18に示すように、前記実施の形態1の図5～図8に示す工程に従って第2メサ

50

512、保護膜513、電極514、515および反射防止膜516を形成することにより、アパランシェフォトダイオード（APD）のチップが得られる。その後、配線基板（図示せず）の電極上にAu/Sn半田を介して上記電極514、515をボンディングすることにより、受光素子が完成する。

【0047】

配線基板の電極を通じて上記受光素子に電圧を印加したところ、5～14VでM=1光感度が観察された。また、降伏電圧は30V、暗電流は27Vで1nAであり、電圧-電流特性、増倍率などは高温逆バイアス通電試験の前後で変化がなく、良好であった。

【0048】

（実施の形態4）

本実施の形態による受光素子の製造方法を図19～図24を用いて工程順に説明する。本実施の形態の受光素子は、前記実施の形態1、2の受光素子と同じく、第1メサの周囲に2層の埋込み層（第1埋込み層および第2埋込み層）を設けるが、第1埋込み層が第2メサの側壁に露出していないことに特徴がある。

【0049】

まず、図19に示すように、前記実施の形態1または前記実施の形態2に示す工程に従い、InP結晶からなる基板601の主面上にInAlAs結晶からなるバッファ層602、InAlAs結晶からなる増倍層603、InAlAs結晶とInGaAs結晶の積層体からなる電界調整層604、InGaAs結晶からなる光吸収層605、InAlAs結晶からなるキャップ層606およびInGaAs結晶からなるコンタクト層607をMBE法で順次成長させた後、コンタクト層607の上部に形成した酸化シリコンからなるハードマスク608aをマスクにしてコンタクト層607、キャップ層606、光吸収層605および電界調整層604をエッチングすることにより、基板601上に第1メサ609を形成する。なお、基板601および各半導体結晶層（602～607）の導電型は、前記実施の形態1と同一であってもよく、あるいは前記実施の形態2と同一であってもよい。

【0050】

次に、図20に示すように、MOVPE法を用いて第1メサ609の周囲の基板601上にInP結晶からなる第1埋込み層610aを選択成長させる。第1埋込み層610aを構成するInP結晶の導電型はp型、n型のいずれでもよく、不純物濃度は $1 \times 10^{15} / \text{cm}^3$ 、膜厚は1 μm である。

【0051】

次に、ハードマスク608aを除去した後、図21に示すように、コンタクト層607の上部と、第1メサ609の近傍の第1埋込み層610aの上部を覆う直径40 μm のハードマスク608bを形成し、このハードマスク608bをマスクにして第1埋込み層610aを塩酸系のエッチング液でエッチングする。ハードマスク608bは、基板601上にCVD法で堆積した酸化シリコン膜をフォトリソグラフィ技術で加工することによって形成する。

【0052】

次に、ハードマスク608bを除去した後、図22に示すように、コンタクト層607の上部をハードマスク608cで覆い、基板601上に半絶縁性InP結晶からなる膜厚0.7 μm の第2埋込み層610bを選択成長させる。

【0053】

次に、ハードマスク608cを除去した後、図23に示すように、コンタクト層607および第2埋込み層610bの上部に第1メサ609よりも径の大きい、直径40 μm 程度の円形の平面パターンを有するフォトレジスト膜611を形成し、このフォトレジスト膜611をマスクにして第2埋込み層610b、電界調整層604、増倍層603、バッファ層602および基板601の表面をBr系のエッチング液でエッチングすることにより、第1メサ609の周囲の基板601上に、第1メサ609に対して同心円状の平面パターンを有する第2メサ612を形成する。

10

20

30

40

50

【0054】

次に、フォトリジスト膜611を除去した後、図24に示すように、前記実施の形態1の図6～図8に示す工程に従って保護膜613、電極614、615および反射防止膜616を形成することにより、アバランシェフォトダイオード(APD)のチップが得られる。その後、配線基板(図示せず)の電極上にAu/Sn半田を介して上記電極614、615をボンディングすることにより、受光素子が完成する。

【0055】

本実施の形態の受光素子は、低抵抗の第1埋込み層610aと保護膜613とが完全に分離されているので、保護膜613と埋込み層との界面に形成される電流のリークパスをより低減することができる。

10

【0056】

配線基板の電極を通じて上記受光素子に逆バイアスを印加したところ、電圧5～14VでM=1光感度が観察された。また、降伏電圧は30V、暗電流は27Vで25nAであり、高温逆バイアス通電試験前後で特性に変化がなく、良好であった。

【0057】

(実施の形態5)

本実施の形態による受光素子の製造方法を図25～図27を用いて工程順に説明する。本実施の形態の受光素子は、第1メサの近傍の埋込層に凹状部を設けた以外は、前記実施の形態1の受光素子と同一の構造を有している。

【0058】

本実施の形態の受光素子を製造するには、まず、図25に示すように、前記実施の形態1の図1～図3に示す工程に従い、n型InP結晶からなる基板701の主面上にn型InAlAs結晶からなるバッファ層702、n型InAlAs結晶からなる増倍層703、n型InAlAs結晶とn型InGaAs結晶の積層体からなる電界調整層704、n型InGaAs結晶からなる光吸収層705、n型InAlAs結晶からなるキャップ層706およびn型InGaAs結晶からなるコンタクト層707をMBE法で順次成長させた後、コンタクト層707の上部に形成した酸化シリコンからなるハードマスク708aをマスクにしてコンタクト層707、キャップ層706、光吸収層705および電界調整層704をエッチングすることにより、基板701上に第1メサ709を形成する。

20

【0059】

次に、図26に示すように、MOVPE法を用いて第1メサ709の周囲の基板701上にp型InP結晶からなる第1埋込み層710aを選択成長させ、続いて第1埋込み層710aの上部に半絶縁性InP結晶からなる第2埋込み層710bを選択成長させる。このとき、ハードマスク708aの下部領域で結晶の成長が抑制される現象を利用し、第1メサ709の近傍の第2埋込み層710bに深さ1μm程度の凹状部720を形成する。

30

【0060】

次に、図27に示すように、前記実施の形態1の図5～図8に示す工程に従って第2メサ712、保護膜713、電極714、715および反射防止膜716を形成することにより、アバランシェフォトダイオード(APD)のチップが得られる。その後、配線基板(図示せず)の電極上にAu/Sn半田を介して上記電極714、715をボンディングすることにより、受光素子が完成する。

40

【0061】

配線基板の電極を通じて上記受光素子に逆バイアスを印加したところ、降伏電圧は30Vであり、15V、27Vにおける暗電流はそれぞれ0.1nA、20nAと良好であった。また、波長1.55μm、1μWの光照射において、7～13Vの電流は0.9μAで一定となるM=1光感度特性を示した。13V以上でアバランシェ増倍による電流増加が起き、最大の増倍率は90であった。高温逆バイアス通電試験前後で、降伏電圧、暗電流、増倍率とも変化がなく、良好であった。

【0062】

上記の結果から、第1メサ709の近傍の第2埋込み層710bに凹状部711を設ける

50

ことにより、暗電流が少なく、かつ $M = 1$ 光感度も良好な受光素子を実現できることが分かった。

【0063】

(実施の形態6)

本実施の形態の受光素子は、第1メサおよび第2メサの平面形状を矩形にした以外は、前記実施の形態1の受光素子と同一の構造を有している。この受光素子の製造方法は、前記図2に示すハードマスク108aを矩形の平面パターン(幅 $7\mu\text{m}$ 、長さ $30\mu\text{m}$)で構成し、前記図5に示すフォトリソ膜111を矩形の平面パターン(幅 $12\mu\text{m}$ 、長さ $26\mu\text{m}$)で構成する以外は、前記実施の形態1の製造方法と同一である。

【0064】

配線基板の電極を通じて上記受光素子に逆バイアスを印加したところ、降伏電圧は 30V であり、 15V 、 27V における暗電流はそれぞれ 2nA 、 30nA であった。また、波長 $1.55\mu\text{m}$ 、 $1\mu\text{W}$ の光照射において、 $7\sim 13\text{V}$ の電流は $0.9\mu\text{A}$ で一定となる $M = 1$ 光感度特性を示した。さらに、高温逆バイアス通電試験(200 、 $100\mu\text{A}$:一定)の 1000 時間前後で、降伏電圧、暗電流、増倍率とも変化がなく、良好であった。

【0065】

上記の結果から、メサの平面形状を円形以外の形状で構成した場合でも、良好な受光素子を実現できることが分かった。

【0066】

(実施の形態7)

本実施の形態の受光素子は、前記実施の形態3の受光素子と同じく、第1メサの周囲に3層の埋込み層(第1、第2、第3埋込み層)を設けたものであるが、第2埋込み層を構成するp型InP結晶中の不純物濃度プロファイルが前記実施の形態3と異なっている。

【0067】

すなわち、本実施の形態の受光素子は、前記図18に示す第1埋込み層510aが不純物濃度 $= 5 \times 10^{15} / \text{cm}^3$ のp型InP結晶で構成され、第3埋込み層510cが半絶縁性結晶InP結晶で構成されている。これに対し、第2埋込み層510bを構成するp型InP結晶の不純物濃度は、第1埋込み層510aとの界面近傍で最も高く、第3埋込み層510cに近づくにつれて次第に低くなり、第3埋込み層510cとの界面近傍で半絶縁性となっている。なお、第1埋込み層510a(p型InP結晶)の不純物には、周知のp型不純物を使用する。

【0068】

不純物濃度が連続的に変化する上記第2埋込み層510bは、第1埋込み層510aの上部にMOVPE法を用いてInP結晶を選択成長させる際、不純物ソースの濃度を徐々に減らすことによって形成する。

【0069】

配線基板の電極を通じて上記受光素子に電圧を印加したところ、 $5\sim 14\text{V}$ で $M = 1$ 光感度が観察された。また、降伏電圧は 30V 、暗電流は 27V で 1nA であった。さらに、高温逆バイアス通電試験の前後で、降伏電圧、暗電流、増倍率は変化がなく、良好であった。

【0070】

上記の結果から、埋込み層の不純物濃度を連続的に変化させた場合でも、良好な受光素子を実現できることが分かった。

【0071】

(実施の形態8)

本実施の形態の受光素子は、前記実施の形態3の受光素子と同じく、第1メサの周囲に3層の埋込み層(第1、第2、第3埋込み層)を設けたものであるが、第1埋込み層を半絶縁性結晶で構成した点が前記実施の形態3と異なっている。

【0072】

10

20

30

40

50

すなわち、本実施の形態の受光素子は、前記図18に示す第1埋込み層（膜厚：0.1 μm ）510aおよび第3埋込み層（膜厚：1.8 μm ）510cが半絶縁性InP結晶で構成され、第2埋込み層（膜厚：0.1 μm ）510bが不純物濃度 = $1 \times 10^{15} / \text{cm}^3$ のp型InP結晶で構成されている。

ここで、第2埋込み層510b（p型InP結晶）の不純物には、周知のp型不純物を使用する。

【0073】

配線基板の電極を通じて上記受光素子に電圧を印加したところ、6～15VでM=1光感度が観察された。また、降伏電圧は30Vであり、暗電流は27Vで1nAであった。さらに、高温逆バイアス通電試験の前後で、電圧-電流特性、増倍率等は変化がなく、良好であった。

10

【0074】

本実施の形態の受光素子は、第1メサ109に接する第1埋込み層510aが高抵抗の半絶縁性結晶で構成されているにもかかわらず、M=1光感度が発生している。これは、第1埋込み層510aの膜厚が十分に薄く、ホットキャリアが移動できる範囲内にあるためである。従って、第1埋込み層510aの膜厚が厚い場合は、ホットキャリアの移動が困難になるので、好ましくない。第1埋込み層510aの膜厚を変えて素子を作製したところ、膜厚が1 μm 以内であればM=1光感度が生じることが分かった。

【0075】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

20

【0076】

前記実施の形態では、埋込み層を2層または3層で構成したが、これに限定されるものではなく、4層以上であってもよい。また、埋込み層の層間の型の遷移は、前記実施の形態のように、ステップ状の他、連続的に変化していても実質的に2層以上と考えられ、本発明を逸脱するものではない。各半導体結晶層の不純物濃度、組成、導電型も自由に変更できる。

【0077】

例えば、増倍層と光吸収層との間の電界調整層は、省略してもよい。また、メサを構成する半導体材料は、InGaAsやInAlAs以外にもInP、GaAsなどの2元系半導体やInGaAsP、InAlGaAsなどの4元系半導体あるいは5元系以上の多元系半導体を使用してよい。埋込層材料は、InP以外にもGaAs、InAlAs、GaAlAs、InAlGaAs、InGaAsPなどが使用できる。さらに、受光素子の形態は、光信号が素子の表面、裏面、横側から入射する構造であってもよい。

30

【0078】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0079】

従来の埋込みメサ型受光素子では不可能であったM=1光感度の平坦性を保有し、かつ高信頼性の受光装置を簡単、かつ安価に提供できる効果があり、工業上重要である。

40

【図面の簡単な説明】

【図1】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図2】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図3】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図4】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である

50

。【図5】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

。【図6】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

。【図7】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

。【図8】本発明の一実施の形態である受光素子の製造方法を示す基板の要部断面図である。

。【図9】本発明の一実施の形態である受光素子および比較例の電流 - 電圧特性を示すグラフである。

10

【図10】本発明の一実施の形態である受光素子を使用した受信器のブロック図である。

【図11】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図12】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図13】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図14】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

20

【図15】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図16】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図17】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図18】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図19】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

30

【図20】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図21】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図22】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図23】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図24】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

40

【図25】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図26】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【図27】本発明の他の実施の形態である受光素子の製造方法を示す基板の要部断面図である。

【符号の説明】

80 光信号

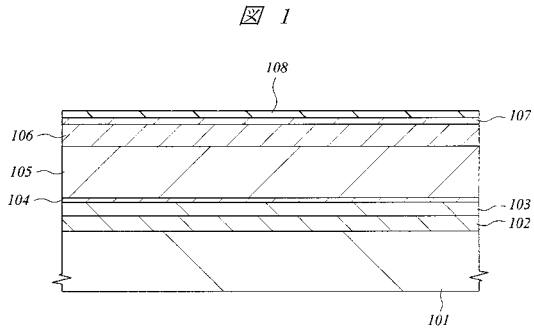
81 アバランシェホトダイオード

82 プリアンプ

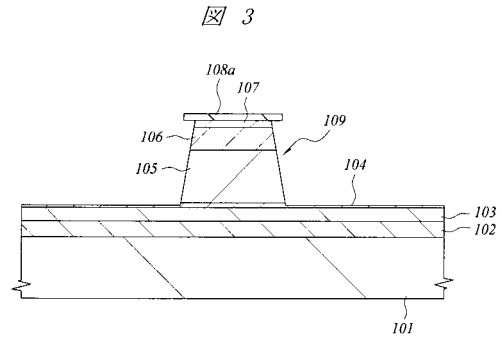
50

8 3	フロントエンドモジュール	
8 4	A C G アンプ	
8 5	位相制御ル - プ	
8 6	分離回路	
8 7	クロック発生器	
8 8	調整回路	
8 9	受信器	
9 0	電流信号	
1 0 1、4 0 1、5 0 1、6 0 1、7 0 1	基板	
1 0 2、4 0 2、5 0 2、6 0 2、7 0 2	バッファ層	10
1 0 3、4 0 3、5 0 3、6 0 3、7 0 3	増倍層	
1 0 4、4 0 4、5 0 4、6 0 4、7 0 4	電界調整層	
1 0 5、4 0 5、5 0 5、6 0 5、7 0 5	光吸収層	
1 0 6、4 0 6、5 0 6、6 0 6、7 0 6	キャップ層	
1 0 7、4 0 7、5 0 7、6 0 7、7 0 7	コンタクト層	
1 0 8	酸化シリコン膜	
1 0 8 a、4 0 8 a、6 0 8 a、7 0 8 a	ハードマスク	
1 0 8 b、4 0 8 b、6 0 8 b	ハードマスク	
6 0 8 c	ハードマスク	
1 0 9、4 0 9、5 0 9、6 0 9、7 0 9	第 1 メサ	20
1 1 0 a、4 1 0 a、5 1 0 a、6 1 0 a、7 1 0 a	第 1 埋込み層	
1 1 0 b、4 1 0 b、5 1 0 b、6 1 0 b、7 1 0 b	第 2 埋込み層	
5 1 0 c	第 3 埋込み層	
1 1 1、4 1 1、6 1 1	フォトリジスト膜	
1 1 2、4 1 2、5 1 2、6 1 2、7 1 2	第 2 メサ	
1 1 3、4 1 3、5 1 3、6 1 3、7 1 3	保護膜	
1 1 4、1 1 5、4 1 4、4 1 5、5 1 4、5 1 5、6 1 4、6 1 5、7 1 4、7 1 5		
電極		
1 1 6、4 1 6、5 1 6、6 1 6、7 1 6	反射防止膜	
4 2 0、7 2 0	凹状部	30

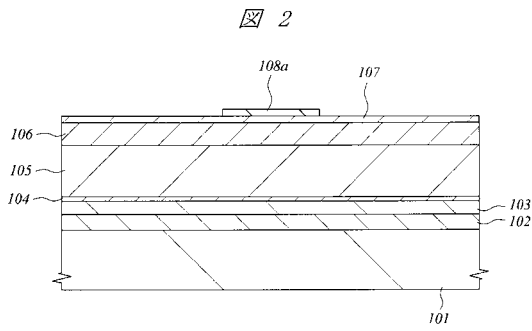
【図1】



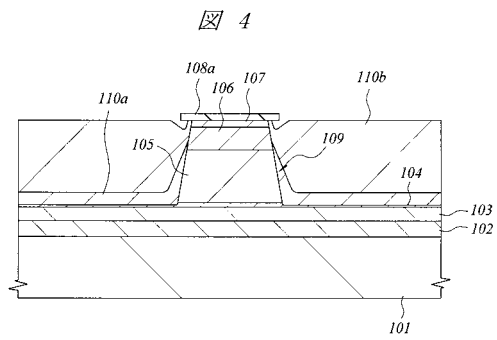
【図3】



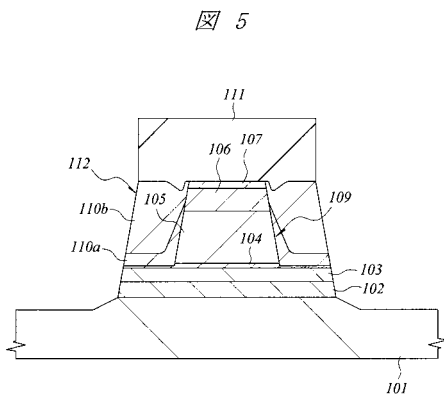
【図2】



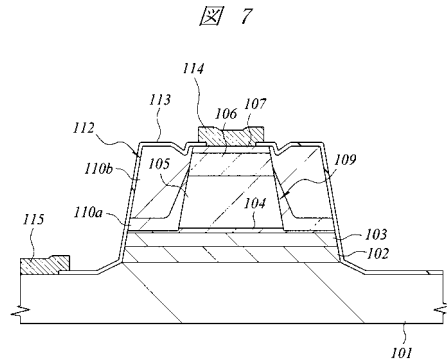
【図4】



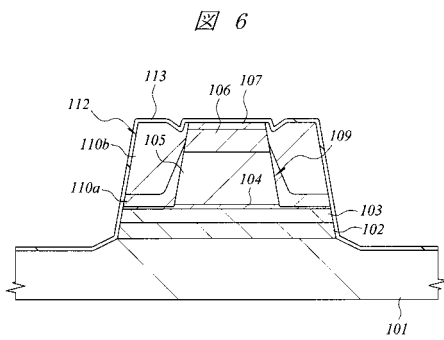
【図5】



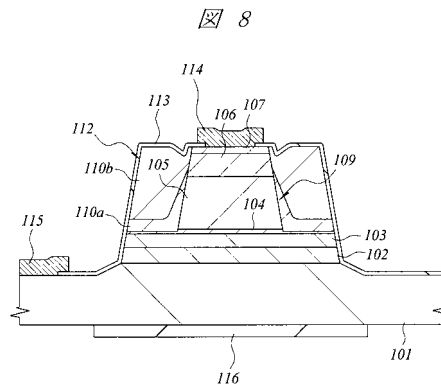
【図7】



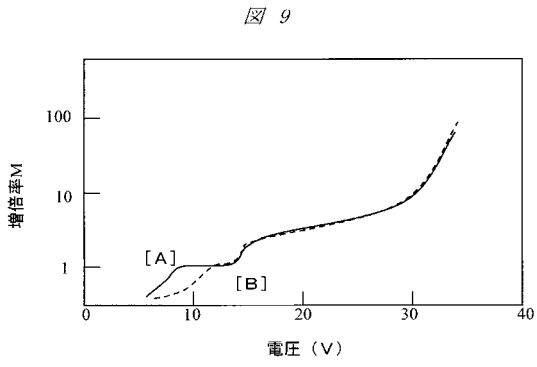
【図6】



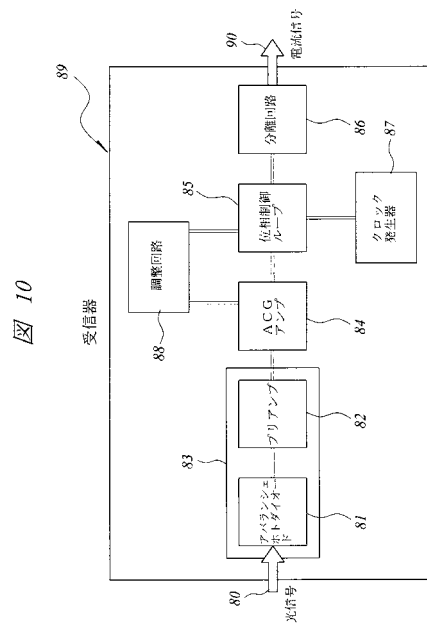
【図8】



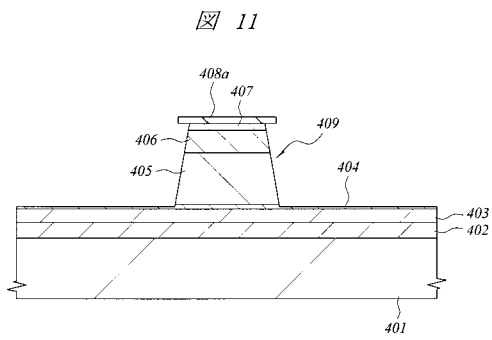
【図9】



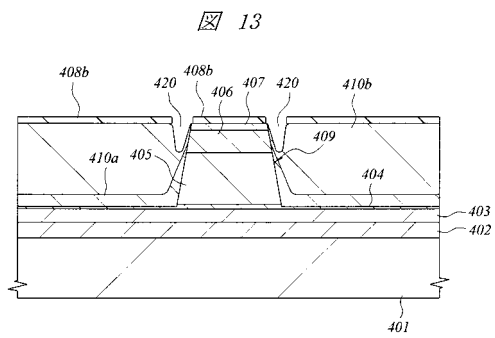
【図10】



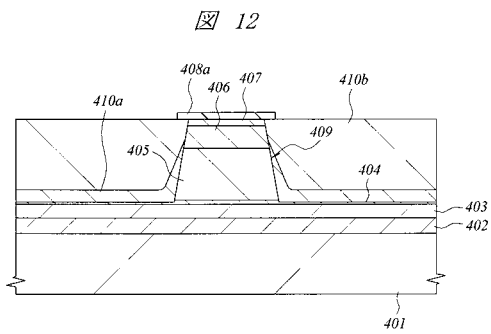
【図11】



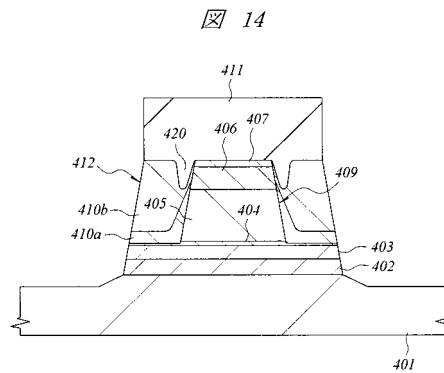
【図13】



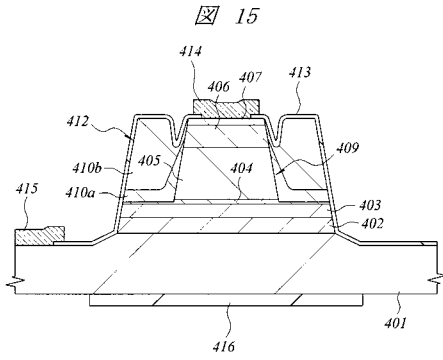
【図12】



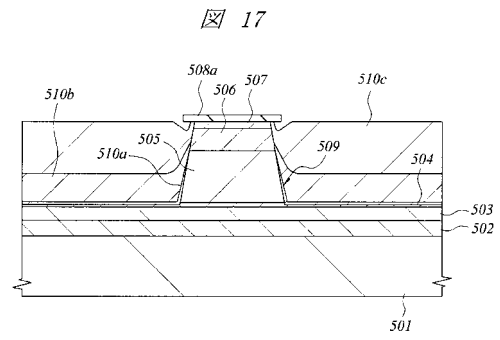
【図14】



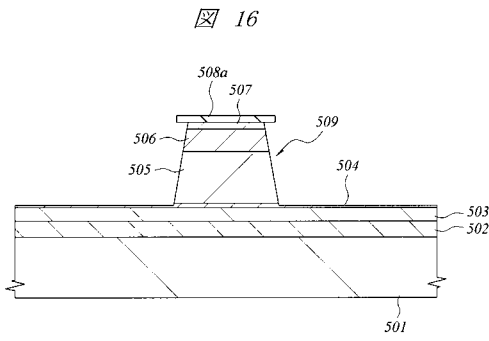
【図15】



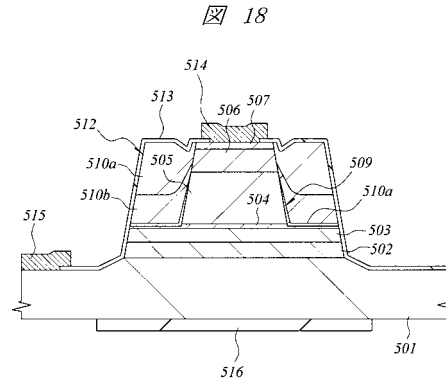
【図17】



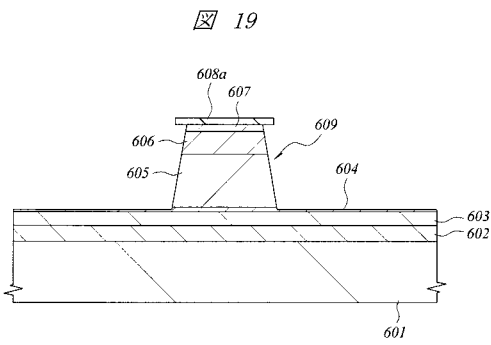
【図16】



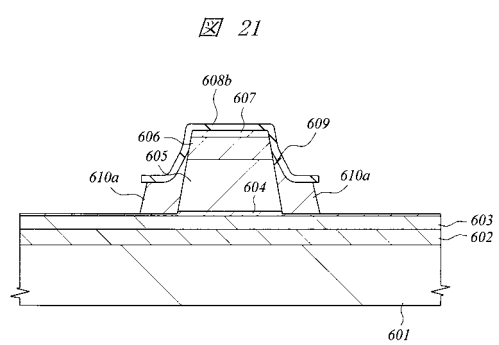
【図18】



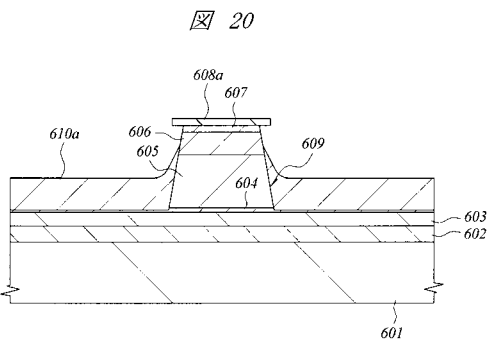
【図19】



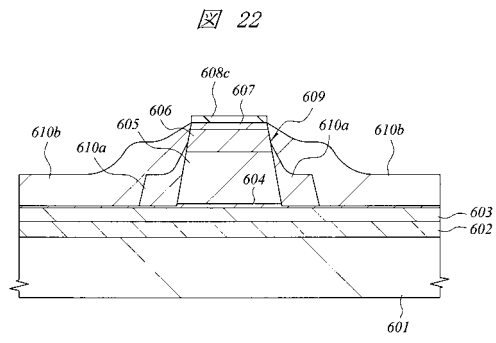
【図21】



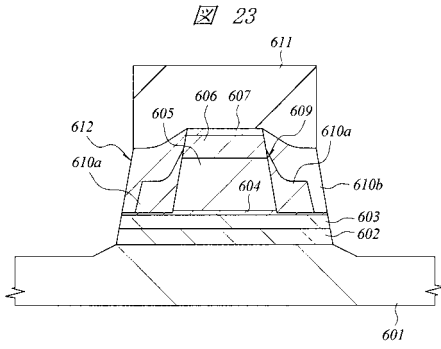
【図20】



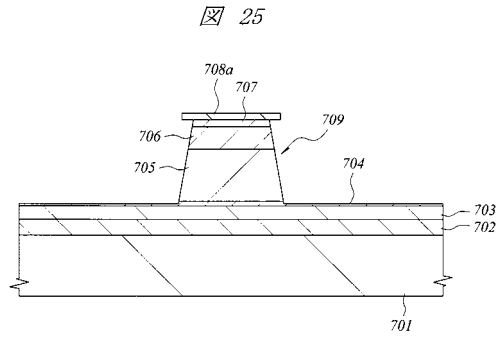
【図22】



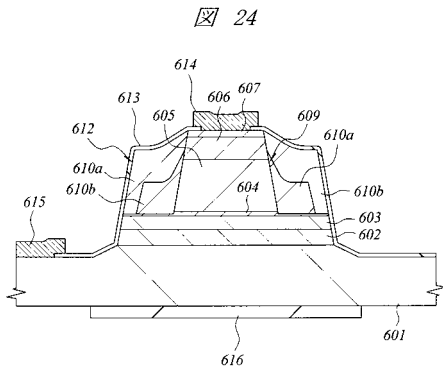
【図 23】



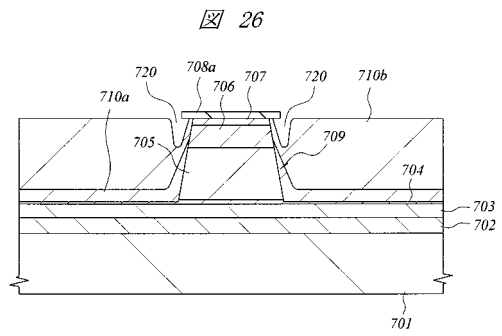
【図 25】



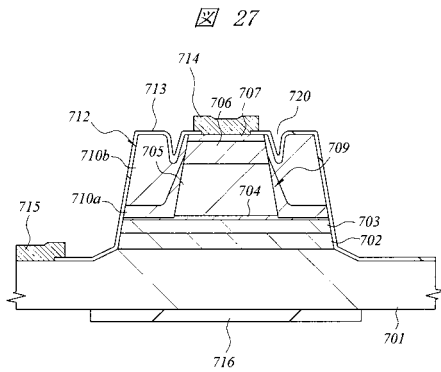
【図 24】



【図 26】



【図 27】



フロントページの続き

- (72)発明者 豊中 隆司
神奈川県横浜市戸塚区戸塚町2 1 6番地 日本オプネクスト株式会社内
- (72)発明者 神山 博幸
神奈川県横浜市戸塚区戸塚町2 1 6番地 日本オプネクスト株式会社内

審査官 加藤 昌伸

- (56)参考文献 特開2001-177143(JP,A)
特開平11-087758(JP,A)
特開平08-162663(JP,A)
特開2000-022197(JP,A)
特開平01-143364(JP,A)
特開平03-163880(JP,A)
特開平06-232443(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 31/10