

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 8 月 8 日 (08.08.2024)



(10) 国际公布号
WO 2024/159352 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01) **G09G 3/32** (2016.01)

(21) 国际申请号: PCT/CN2023/073816

(22) 国际申请日: 2023 年 1 月 30 日 (30.01.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 袁长龙(YUAN, Changlong); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张振华(ZHANG, Zhenhua); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。冯靖伊(FENG, Jingyi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。朱莉(ZHU, Li); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司(DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街 32 号院枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: PIXEL CIRCUIT, PIXEL DRIVING METHOD AND DISPLAY DEVICE

(54) 发明名称: 像素电路、像素驱动方法和显示装置

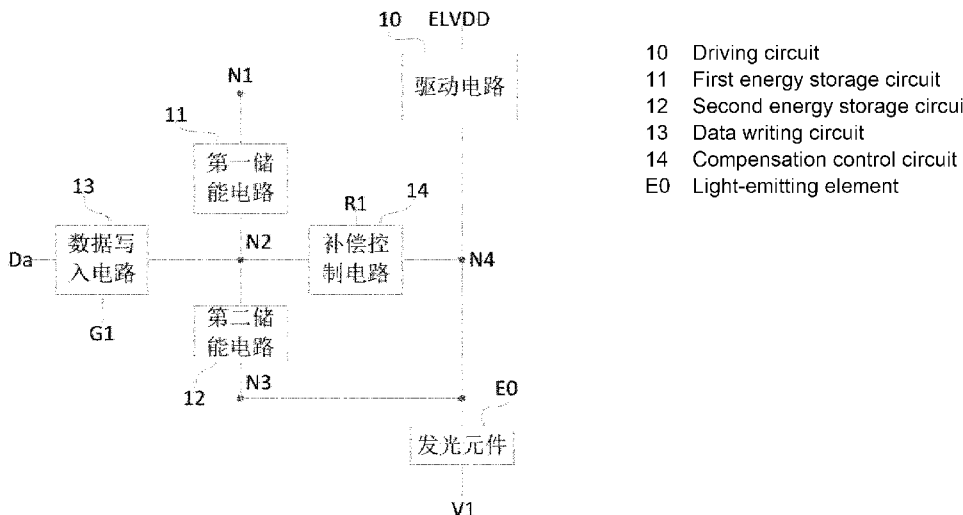


图 1

(57) Abstract: The present disclosure provides a pixel circuit, a pixel driving method and a display device. The pixel circuit comprises a light-emitting element, a driving circuit, a first energy storage circuit, a second energy storage circuit, a data writing circuit and a compensation control circuit. The data writing circuit controls a data voltage on a data line to be written into a data writing node under the control of a scanning signal; the compensation control circuit controls connection or disconnection between a second node and a compensation node under the control of a first reset signal; and the compensation node is electrically connected to a third node, and/or the compensation node is electrically connected to a second end of the driving circuit. According to the present disclosure, high-frequency driving can be achieved on the premise of fully compensating for a threshold voltage of a driving transistor comprised in the driving circuit.



CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种像素电路、像素驱动方法和显示装置。像素电路包括发光元件、驱动电路、第一储能电路、第二储能电路、数据写入电路和补偿控制电路; 数据写入电路在扫描信号的控制下, 控制将数据线上的数据电压写入数据写入节点; 补偿控制电路在第一复位信号的控制下, 控制第二节点与补偿节点之间连通或断开; 补偿节点与第三节点电连接, 和/或, 补偿节点与驱动电路的第二端电连接。本公开能在对驱动电路包括的驱动晶体管的阈值电压充分进行补偿的前提下, 实现高频驱动。

像素电路、像素驱动方法和显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种像素电路、像素驱动方法和显示装置。

背景技术

在相关技术中，像素电路不能在对驱动电路包括的驱动晶体管的阈值电压充分进行补偿的前提下，实现高频驱动。

发明内容

在一个方面中，本公开实施例提供一种像素电路，包括发光元件、驱动电路、第一储能电路、第二储能电路、数据写入电路和补偿控制电路；

所述第一储能电路的第一端与第一节点电连接，所述第一储能电路的第二端与第二节点电连接，所述第一储能电路用于储存电能；

所述第二储能电路的第一端与所述第二节点电连接，所述第二储能电路的第二端与第三节点电连接，所述第二储能电路用于储存电能；

所述驱动电路的控制端与所述第一节点电连接，所述驱动电路用于在其控制端的电位的控制下，驱动所述发光元件；

所述第三节点与所述发光元件的第一极电连接，所述发光元件的第二极与第一电压端电连接；

所述数据写入电路分别与扫描线、数据线和数据写入节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制将所述数据线上的数据电压写入所述数据写入节点；

所述补偿控制电路分别与第一复位端、第二节点和补偿节点电连接，用于在所述第一复位信号的控制下，控制所述第二节点与所述补偿节点之间连通或断开；

所述补偿节点与所述第三节点电连接，和/或，所述补偿节点与所述驱动电路的第二端电连接；所述数据写入节点为所述第二节点或所述第三节点。

可选的，本公开至少一实施例所述的像素电路还包括第一复位电路和第二复位电路；

所述第一复位电路分别与第一复位端、参考电压端和所述第一节点电连接，用于在所述第一复位端提供的第一复位信号的控制下，将所述参考电压端提供的参考电压写入所述第一节点；

所述第二复位电路分别与第二复位端、第一初始电压端和复位节点电连接，用于在所述第二复位端提供的第二复位信号的控制下，将所述第一初始电压端提供的第一初始电压写入所述复位节点；

所述复位节点为第二节点或第三节点。

可选的，本公开至少一实施例所述的像素电路还包括第三复位电路；

所述第三复位电路分别与所述扫描线、第二初始电压端和复位节点电连接，用于在所述扫描信号的控制下，将所述第二初始电压端提供的第二初始电压写入所述复位节点；

所述数据写入节点为所述第二节点，所述复位节点为所述第三节点；或者，所述数据写入节点为所述第三节点，所述复位节点为所述第二节点。

可选的，本公开至少一实施例所述的像素电路还包括第一发光控制电路；

所述驱动电路的第一端通过所述第一发光控制电路与电源电压端电连接；所述驱动电路的第二端与所述发光元件的第一极电连接；

所述第一发光控制电路的控制端与发光控制线电连接，所述第一发光控制电路用于在所述发光控制线提供的发光控制信号的控制下，控制所述电源电压端与所述驱动电路的第一端之间连通或断开。

可选的，本公开至少一实施例所述的像素电路还包括第二发光控制电路；

所述驱动电路的第一端与电源电压端电连接，所述驱动电路的第二端通过所述第二发光控制电路与所述发光元件的第一极电连接；

所述第二发光控制电路的控制端与发光控制线电连接，所述第二发光控制电路用于在所述发光控制线提供的发光控制信号的控制下，控制所述驱动电路的第二端与所述发光元件的第一极之间连通或断开。

可选的，所述数据写入电路包括第一晶体管，所述补偿控制电路包括第二晶体管；

所述第一晶体管的栅极与所述扫描线电连接，所述第一晶体管的第一极与所述数据线电连接，所述第一晶体管的第二极与所述数据写入节点电连接；

所述第二晶体管的栅极与所述第一复位端电连接，所述第二晶体管的第一极与所述第二节点电连接，所述第二晶体管的第二极与所述补偿节点电连接。

可选的，所述驱动电路包括驱动晶体管，所述第一复位电路包括第三晶体管，所述第二复位电路包括第四晶体管；

所述驱动晶体管的栅极与所述第一节点电连接，所述驱动晶体管的第一极与所述驱动电路的第一端电连接，所述驱动晶体管的第二极与所述驱动电路的第二端电连接；

所述第三晶体管的栅极与所述第一复位端电连接，所述第三晶体管的第一极与所述参考电压端电连接，所述第三晶体管的第二极与所述第一节点电连接；

所述第四晶体管的栅极与所述第二复位端电连接，所述第四晶体管的第一极与所述第一初始电压端电连接，所述第四晶体管的第二极与所述复位节点电连接。

可选的，所述第一储能电路包括第一电容，所述第二储能电路包括第二电容；

所述第一电容的第一端与第一节点电连接，所述第一电容的第二端与第二节点电连接；

所述第二电容的第一端与所述第二节点电连接，所述第二电容的第二端与第三节点电连接。

可选的，所述第三复位电路包括第五晶体管；

所述第五晶体管的栅极与所述扫描线电连接，所述第五晶体管的第一极与所述第二初始电压端电连接，所述第五晶体管的第二极与所述复位节点电连接。

可选的，所述第一发光控制电路包括第六晶体管；

所述第六晶体管的栅极与所述发光控制线电连接，所述第六晶体管的第一极与所述电源电压端电连接，所述第六晶体管的第二极与所述驱动电路的

第一端电连接。

可选的，所述第二发光控制电路包括第七晶体管；

所述第七晶体管的栅极与所述发光控制线电连接，所述第七晶体管的第一极与所述驱动电路的第二端电连接，所述第七晶体管的第二极与所述发光元件的第一极电连接。

在第二个方面中，本公开实施例提供一种像素驱动方法，应用于上述的像素电路，显示周期包括先后设置的补偿阶段、写入阶段和发光阶段，所述像素驱动方法包括：

在补偿阶段，所述补偿控制电路在第一复位信号的控制下，控制第二节点与补偿节点之间连通；

在所述补偿阶段开始时，驱动电路在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间连通，以通过电源电压端为第一储能电路和第二储能电路充电，直至所述驱动电路在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间断开；

在写入阶段，所述数据写入电路在扫描信号的控制下，将数据线上的数据电压写入数据写入节点，补偿控制电路在第一复位信号的控制下，控制第二节点与补偿节点之间断开；

在发光阶段，驱动电路驱动发光元件。

可选的，所述显示周期还包设置于所述补偿阶段之前的重置阶段；所述像素驱动方法还包括：

在重置阶段和补偿阶段，第一复位电路在第一复位信号的控制下，将参考电压写入第一节点；

在重置阶段，第二复位电路在第二复位信号的控制下，将第一初始电压写入复位节点。

可选的，本公开至少一实施例所述的像素驱动方法还包括：

在所述重置阶段，所述补偿控制电路在所述第一复位信号的控制下，控制第二节点与补偿节点之间连通。

可选的，所述像素驱动方法包括：

在写入阶段，第二复位电路在第二复位信号的控制下，将第一初始电压

写入复位节点。

可选的，所述像素电路还包括第三复位电路；所述像素驱动方法还包括：

在所述写入阶段，所述第三复位电路在扫描信号的控制下，将第二初始电压写入复位节点。

可选的，所述像素电路还包括第一发光控制电路；所述像素驱动方法还包括：

在补偿阶段和发光阶段，第一发光控制控制电路在发光控制信号的控制下，控制电源电压端与驱动电路的第一端之间连通。

可选的，所述像素电路还包括第二发光控制电路；所述像素驱动方法还包括：

在补偿阶段和发光阶段，第二发光控制控制电路在发光控制信号的控制下，控制驱动电路的第二端与发光元件的第一极之间连通。

在第三个方面中，本公开实施例提供一种显示装置，包括上述的像素电路。

附图说明

图 1 是本公开至少一实施例所述的像素电路的结构图；

图 2 是本公开至少一实施例所述的像素电路的结构图；

图 3 是本公开至少一实施例所述的像素电路的结构图；

图 4 是本公开至少一实施例所述的像素电路的结构图；

图 5 是本公开至少一实施例所述的像素电路的结构图；

图 6 是本公开至少一实施例所述的像素电路的结构图；

图 7 是本公开至少一实施例所述的像素电路的结构图；

图 8 是本公开至少一实施例所述的像素电路的结构图；

图 9 是本公开至少一实施例所述的像素电路的结构图；

图 10 是本公开至少一实施例所述的像素电路的结构图；

图 11 是本公开至少一实施例所述的像素电路的结构图；

图 12 是本公开至少一实施例所述的像素电路的结构图；

图 13 是本公开至少一实施例所述的像素电路的电路图；

图 14 是本公开图 13 所示的像素电路的至少一实施例的工作时序图；
图 15 是本公开至少一实施例所述的像素电路的电路图；
图 16 是本公开图 15 所示的像素电路的至少一实施例的工作时序图；
图 17 是本公开至少一实施例所述的像素电路的电路图；
图 18 是本公开图 17 所示的像素电路的至少一实施例的工作时序图；
图 19 是本公开至少一实施例所述的像素电路的电路图；
图 20 是本公开图 19 所示的像素电路的至少一实施例的工作时序图；
图 21 是本公开至少一实施例所述的像素电路的电路图；
图 22 是本公开图 21 所示的像素电路的至少一实施例的工作时序图；
图 23 是本公开至少一实施例所述的像素电路的电路图；
图 24 是本公开图 23 所示的像素电路的至少一实施例的工作时序图；
图 25 是本公开至少一实施例所述的像素电路的电路图；
图 26 是本公开至少一实施例所述的像素电路的电路图；
图 27 是本公开图 26 所示的像素电路的至少一实施例的工作时序图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本公开实施例中，为区分晶体管除栅极之外的两极，将其中一极称为第一电极，另一极称为第二电极。

在实际操作时，当所述晶体管为薄膜晶体管或场效应管时，所述第一电极可以为漏极，所述第二电极可以为源极；或者，所述第一电极可以为源极，所述第二电极可以为漏极。

本公开实施例所述的像素电路包括发光元件、驱动电路、第一储能电路、第二储能电路、数据写入电路和补偿控制电路；

所述第一储能电路的第一端与第一节点电连接，所述第一储能电路的第

二端与第二节点电连接，所述第一储能电路用于储存电能；

所述第二储能电路的第一端与所述第二节点电连接，所述第二储能电路的第二端与第三节点电连接，所述第二储能电路用于储存电能；

所述驱动电路的控制端与所述第一节点电连接，所述驱动电路用于在其控制端的电位的控制下，驱动所述发光元件；

所述第三节点与所述发光元件的第一极电连接，所述发光元件的第二极与第一电压端电连接；

所述数据写入电路分别与扫描线、数据线和数据写入节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制将所述数据线上的数据电压写入第二节点；

所述补偿控制电路分别与第一复位端、第二节点和补偿节点电连接，用于在所述第一复位信号的控制下，控制所述第二节点与所述补偿节点之间连通或断开；

所述补偿节点与所述第三节点电连接，和/或，所述补偿节点与所述驱动电路的第二端电连接；所述数据写入节点为所述第二节点或所述第三节点。

本公开实施例所述的像素电路在工作时，分时进行阈值电压补偿和数据电压写入，以能够在充分进行阈值电压补偿的前提下，实现高频驱动。

在本公开至少一实施例中，由于分时进行阈值电压补偿和数据电压写入，可以在较长时间内进行阈值电压补偿，从而可以对驱动电路包括的驱动晶体管的阈值电压充分进行补偿，并能够提升所述扫描线提供的扫描信号的频率，从而能够进行高频驱动。

在本公开至少一实施例中，所述驱动电路的第一端可以与电源电压端电连接，所述驱动电路的第二端可以与发光元件的第一极电连接；或者，

所述驱动电路的第一端可以通过第一发光控制电路与电源电压端电连接，所述驱动电路的第二端可以与发光元件的第一极电连接；或者，

所述驱动电路的第一端可以与电源电压端电连接，所述驱动电路的第二端可以通过第二发光控制电路与发光元件的第一极电连接；或者，

所述驱动电路的第一端可以通过第一发光控制电路与电源电压端电连接，所述驱动电路的第二端可以通过第二发光控制电路与发光元件的第一极电连

接；

但不以此为限。

如图 1 所示，本公开至少一实施例所述的像素电路包括发光元件 E0、驱动电路 10、第一储能电路 11、第二储能电路 12、数据写入电路 13 和补偿控制电路 14；

所述第一储能电路 11 的第一端与第一节点 N1 电连接，所述第一储能电路 11 的第二端与第二节点 N2 电连接，所述第一储能电路 11 用于储存电能；

所述第二储能电路 12 的第一端与所述第二节点 N2 电连接，所述第二储能电路 12 的第二端与第三节点电连接，所述第二储能电路用于储存电能；

所述驱动电路 10 的控制端与所述第一节点 N1 电连接，所述驱动电路 10 的第一端与电源电压端 ELVDD 电连接，所述驱动电路 10 的第二端与发光元件 E0 的第一极电连接，所述驱动电路 10 用于在其控制端的电位的控制下，驱动所述发光元件 E0；

所述发光元件 E0 的第二极与第一电压端 V1 电连接，所述第三节点 N3 与所述发光元件 E0 的第一极电连接；

所述数据写入电路 13 分别与扫描线 G1、数据线 Da 和第二节点 N2 电连接，用于在所述扫描线 G1 提供的扫描信号的控制下，控制将所述数据线 Da 上的数据电压 Vdata 写入第二节点 N2；

所述补偿控制电路 14 分别与第一复位端 R1、第二节点 N2 和补偿节点 N4 电连接，用于在所述第一复位信号的控制下，控制所述第二节点 N2 与补偿节点 N4 之间连通或断开；

所述补偿节点 N4 与所述第三节点 N3 电连接。

在图 1 所示的至少一实施例中，数据写入节点为所述第二节点 N2。

可选的，所述第一电压线可以为低电压线，但不以此为限。

本公开图 1 所示的像素电路的至少一实施例在工作时，显示周期包括先后设置的补偿阶段、写入阶段和发光阶段；

在补偿阶段，所述补偿控制电路 14 在第一复位信号的控制下，控制第二节点 N2 与补偿节点 N4 之间连通；

在所述补偿阶段开始时，驱动电路 10 在其控制端的电位的控制下，控制

所述驱动电路 10 的第一端与所述驱动电路 10 的第二端之间连通，以通过电源电压端为第一储能电路 11 和第二储能电路 12 充电，直至所述驱动电路 10 在其控制端的电位的控制下，控制所述驱动电路 10 的第一端与所述驱动电路 10 的第二端之间断开；

在写入阶段，所述数据写入电路 13 在扫描信号的控制下，将数据线 Da 上的数据电压 V_{data} 写入第二节点 N2，补偿控制电路 14 在第一复位信号的控制下，控制第二节点 N2 与补偿节点 N4 之间断开；

在发光阶段，驱动电路 10 驱动发光元件 E0。

本公开图 1 所示的像素电路的至少一实施例在工作时，在补偿阶段，进行阈值电压补偿，在写入阶段进行数据电压写入，分时进行阈值电压补偿和数据电压写入，以能够在充分补偿阈值电压的同时，实现高频驱动。

本公开至少一实施例所述的像素电路还包括第一复位电路和第二复位电路；

所述第一复位电路分别与第一复位端、参考电压端和所述第一节点电连接，用于在所述第一复位端提供的第一复位信号的控制下，将所述参考电压端提供的参考电压写入所述第一节点；

所述第二复位电路分别与第二复位端、第一初始电压端和复位节点电连接，用于在所述第二复位端提供的第二复位信号的控制下，将所述第一初始电压端提供的第一初始电压写入所述复位节点；

所述复位节点为第二节点或第三节点，所述第三节点与所述发光元件的第一极电连接。

在具体实施时，所述像素电路还可以包括第一复位电路和第二复位电路，第一复位电路在第一复位信号的控制下，将参考电压写入第一节点，第二复位电路在第二复位信号的控制下将第一初始电压写入复位节点。

如图 2 所示，在图 1 所示的像素电路的至少一实施例的基础上，本公开至少一实施例所述的像素电路还包括第一复位电路 21 和第二复位电路 22；

所述第一复位电路 21 分别与第一复位端 R1、参考电压端 VR 和所述第一节点 N1 电连接，用于在所述第一复位端 R1 提供的第一复位信号的控制下，将所述参考电压端 VR 提供的参考电压 V_{ref} 写入所述第一节点 N1；

所述第二复位电路 22 分别与第二复位端 R2、第一初始电压端 I1 和第三节点 N3 电连接,用于在所述第二复位端 42 提供的第二复位信号的控制下,将所述第一初始电压端 I1 提供的第一初始电压 Vinit1 写入所述第三节点 N3。

在图 2 所示的至少一实施例中,所述复位节点为所述第三节点。

如图 3 所示,在图 1 所示的像素电路的至少一实施例的基础上,本公开至少一实施例所述的像素电路还包括第一复位电路 21 和第二复位电路 22;

所述第一复位电路 21 分别与第一复位端 R1、参考电压端 VR 和所述第一节点 N1 电连接,用于在所述第一复位端 R1 提供的第一复位信号的控制下,将所述参考电压端 VR 提供的参考电压 Vref 写入所述第一节点 N1;

所述第二复位电路 22 分别与第二复位端 R2、第一初始电压端 I1 和第二节点 N2 电连接,用于在所述第二复位端 42 提供的第二复位信号的控制下,将所述第一初始电压端 I1 提供的第一初始电压 Vinit1 写入所述第二节点 N2。

在图 3 所示的至少一实施例中,所述复位节点为所述第二节点。

本公开至少一实施例所述的像素电路还包括第三复位电路;

所述第三复位电路分别与所述扫描线、第二初始电压端和复位节点电连接,用于在所述扫描信号的控制下,将所述第二初始电压端提供的第二初始电压写入所述复位节点;

所述数据写入节点为所述第二节点,所述复位节点为所述第三节点;或者,所述数据写入节点为所述第三节点,所述复位节点为所述第二节点。

在具体实施时,所述像素电路还可以包括第三复位电路,第三复位电路在扫描信号的控制下,将第二初始电压写入复位节点。

如图 4 所示,在图 2 所示的像素电路的至少一实施例的基础上,本公开至少一实施例所述的像素电路还包括第三复位电路 41;

所述第三复位电路 41 分别与所述扫描线 G1、第二初始电压端 I2 和所述第三节点 N3 电连接,用于在所述扫描信号的控制下,将所述第二初始电压端 I2 提供的第二初始电压 Vinit2 写入所述第三节点 N3。

在图 4 所示的至少一实施例中,复位节点为所述第三节点 N3。

如图 5 所示,在图 3 所示的像素电路的至少一实施例的基础上,本公开至少一实施例所述的像素电路还包括第三复位电路 41;

所述第三复位电路 41 分别与所述扫描线 G1、第二初始电压端 I2 和所述第三节点 N3 电连接，用于在所述扫描信号的控制下，将所述第二初始电压端 I2 提供的第二初始电压 Vinit2 写入所述第三节点 N3。

在本公开至少一实施例中，所述像素电路还包括第一发光控制电路；

所述驱动电路的第一端通过所述第一发光控制电路与所述电源电压端电连接；所述驱动电路的第二端与所述发光元件的第一极电连接；

所述第一发光控制电路的控制端与发光控制线电连接，所述第一发光控制电路用于在所述发光控制线提供的发光控制信号的控制下，控制所述电源电压端与所述驱动电路的第一端之间连通或断开。

在具体实施时，所述像素电路还可以包括第一发光控制电路，第一发光控制电路在发光控制信号的控制下，控制电源电压端与驱动电路的第一端之间连通或断开。

如图 6 所示，在图 4 所示的像素电路的至少一实施例的基础上，本公开至少一实施例所述的像素电路还包括第一发光控制电路 61；

所述驱动电路 10 的第一端通过所述第一发光控制电路 61 与所述电源电压端 ELVDD 电连接；

所述第一发光控制电路 61 的控制端与发光控制线 EM 电连接，所述第一发光控制电路 61 用于在所述发光控制线 EM 提供的发光控制信号的控制下，控制所述电源电压端 ELVDD 与所述驱动电路 10 的第一端之间连通或断开。

如图 7 所示，在图 5 所示的像素电路的至少一实施例的基础上，本公开至少一实施例所述的像素电路还包括第一发光控制电路 61；

所述驱动电路 10 的第一端通过所述第一发光控制电路 61 与所述电源电压端 ELVDD 电连接；

所述第一发光控制电路 61 的控制端与发光控制线 EM 电连接，所述第一发光控制电路 61 用于在所述发光控制线 EM 提供的发光控制信号的控制下，控制所述电源电压端 ELVDD 与所述驱动电路 10 的第一端之间连通或断开。

本公开至少一实施例所述的像素电路还包括第二发光控制电路；

所述驱动电路的第一端与电源电压端电连接，所述驱动电路的第二端通过所述第二发光控制电路与所述发光元件的第一极电连接；

所述第二发光控制电路的控制端与发光控制线电连接，所述第二发光控制电路用于在所述发光控制线提供的发光控制信号的控制下，控制所述驱动电路的第二端与所述发光元件的第一极之间连通或断开。

在具体实施时，所述像素电路还可以包括第二发光控制电路，第二发光控制电路在发光控制电路的控制下，控制驱动电路的第二端与发光元件的第一极之间连通或断开。

如图 8 所示，在图 4 所示的像素电路的至少一实施例的基础上，本公开至少一实施例所述的像素电路还包括第二发光控制电路 62；

所述驱动电路 10 的第二端通过所述第二发光控制电路 62 与所述发光元件 E0 的第一极电连接；

所述第二发光控制电路 62 的控制端与发光控制线 EM 电连接，所述第二发光控制电路 62 用于在所述发光控制线 EM 提供的发光控制信号的控制下，控制所述驱动电路 10 的第二端与所述发光元件 E0 的第一极之间连通或断开；

第二复位电路 22 与第三节点 N3 电连接，所述补偿节点 N4 与第三节点 N3 电连接。

如图 9 所示，在图 5 所示的像素电路的至少一实施例的基础上，本公开至少一实施例所述的像素电路还包括第二发光控制电路 62；

所述驱动电路 10 的第二端通过所述第二发光控制电路 62 与所述发光元件 E0 的第一极电连接；

所述第二发光控制电路 62 的控制端与发光控制线 EM 电连接，所述第二发光控制电路 62 用于在所述发光控制线 EM 提供的发光控制信号的控制下，控制所述驱动电路 10 的第二端与所述发光元件 E0 的第一极之间连通或断开；

所述补偿节点 N4 与第三节点 N3 电连接。

本公开图 10 所示的像素电路的至少一实施例与本公开图 8 所示的像素电路的至少一实施例的区别如下：所述补偿节点 N4 与驱动电路 10 的第二端电连接。

本公开图 11 所示的像素电路的至少一实施例与本公开图 9 所示的像素电路的至少一实施例的区别如下：所述补偿节点 N4 与驱动电路 10 的第二端电连接。

本公开图 12 所示的像素电路的至少一实施例与本公开图 6 所示的像素电路的至少一实施例的区别在于：数据写入节点为第三节点 N3，复位节点为第二节点 N2。

在本公开图 12 所示的像素电路的至少一实施例中，所述数据写入电路 13 分别与扫描线 G1、数据线 Da 和第三节点 N3 电连接，用于在所述扫描线 G1 提供的扫描信号的控制下，控制将所述数据线 Da 上的数据电压 Vdata 写入第三节点 N3；

所述第三复位电路 41 分别与所述扫描线 G1、第二初始电压端 I2 和所述第二节点 N2 电连接，用于在所述扫描信号的控制下，将所述第二初始电压端 I2 提供的第二初始电压 Vinit2 写入所述第二节点 N2。

可选的，所述数据写入电路包括第一晶体管，所述补偿控制电路包括第二晶体管；

所述第一晶体管的栅极与所述扫描线电连接，所述第一晶体管的第一极与所述数据线电连接，所述第一晶体管的第二极与所述数据写入节点电连接；

所述第二晶体管的栅极与所述第一复位端电连接，所述第二晶体管的第一极与所述第二节点电连接，所述第二晶体管的第二极与所述补偿节点电连接。

可选的，所述驱动电路包括驱动晶体管，所述第一复位电路包括第三晶体管，所述第二复位电路包括第四晶体管；

所述驱动晶体管的栅极与所述第一节点电连接，所述驱动晶体管的第一极与所述驱动电路的第一端电连接，所述驱动晶体管的第二极与所述驱动电路的第二端电连接；

所述第三晶体管的栅极与所述第一复位端电连接，所述第三晶体管的第一极与所述参考电压端电连接，所述第三晶体管的第二极与所述第一节点电连接；

所述第四晶体管的栅极与所述第二复位端电连接，所述第四晶体管的第一极与所述第一初始电压端电连接，所述第四晶体管的第二极与所述复位节点电连接。

可选的，所述第一储能电路包括第一电容，所述第二储能电路包括第二

电容；

所述第一电容的第一端与第一节点电连接，所述第一电容的第二端与第二节点电连接；

所述第二电容的第一端与所述第二节点电连接，所述第二电容的第二端与第三节点电连接。

可选的，所述第三复位电路包括第五晶体管；

所述第五晶体管的栅极与所述扫描线电连接，所述第五晶体管的第一极与所述第二初始电压端电连接，所述第五晶体管的第二极与所述复位节点电连接。

可选的，所述第一发光控制电路包括第六晶体管；

所述第六晶体管的栅极与所述发光控制线电连接，所述第六晶体管的第一极与所述电源电压端电连接，所述第六晶体管的第二极与所述驱动电路的第一端电连接。

可选的，所述第二发光控制电路包括第七晶体管；

所述第七晶体管的栅极与所述发光控制线电连接，所述第七晶体管的第一极与所述驱动电路的第二端电连接，所述第七晶体管的第二极与所述发光元件的第一极电连接。

如图 13 所示，在图 6 所示的像素电路的至少一实施例的基础上，所述发光元件为有机发光二极管 O1；所述数据写入电路包括第一晶体管 T1，所述补偿控制电路包括第二晶体管 T2；

所述第一晶体管 T1 的栅极与所述扫描线 G1 电连接，所述第一晶体管 T1 的漏极与所述数据线 Da 电连接，所述第一晶体管 T1 的源极与所述第二节点 N2 电连接；

所述第二晶体管 T2 的栅极与所述第一复位端 R1 电连接，所述第二晶体管 T2 的漏极与所述第二节点 N2 电连接，所述第二晶体管 T2 的源极与补偿节点 N4 电连接；所述补偿节点 N4 与第三节点 N3 电连接，所述第三节点 N3 与所述有机发光二极管 O1 的阳极电连接；

所述驱动电路包括驱动晶体管 T0，所述第一复位电路包括第三晶体管 T3，所述第二复位电路包括第四晶体管 T4；

所述驱动晶体管 T0 的栅极与所述第一节点 N1 电连接；

所述第三晶体管 T3 的栅极与所述第一复位端 R1 电连接，所述第三晶体管 T3 的漏极与所述参考电压端 VR 电连接，所述第三晶体管 T3 的源极与所述第一节点 N1 电连接；

所述第四晶体管 T4 的栅极与所述第二复位端 R2 电连接，所述第四晶体管 T4 的漏极与所述第一初始电压端 I1 电连接，所述第四晶体管 T4 的源极与所述第三节点 N3 电连接；

所述第一储能电路包括第一电容 C1，所述第二储能电路包括第二电容 C2；

所述第一电容 C1 的第一端与第一节点 N1 电连接，所述第一电容 C1 的第二端与第二节点 N2 电连接；

所述第二电容 C2 的第一端与所述第二节点 N2 电连接，所述第二电容 C2 的第二端与第三节点 N3 电连接；

所述第三复位电路包括第五晶体管 T5；

所述第五晶体管 T5 的栅极与所述扫描线 G1 电连接，所述第五晶体管 T5 的漏极与所述第二初始电压端 I2 电连接，所述第五晶体管 T5 的源极与所述第三节点 N3 电连接；

所述第一发光控制电路包括第六晶体管 T6；

所述第六晶体管 T6 的栅极与所述发光控制线 EM 电连接，所述第六晶体管 T6 的漏极与所述电源电压端 ELVDD 电连接，所述第六晶体管 T6 的源极与所述驱动晶体管 T0 的源极电连接；

所述驱动晶体管 T0 的漏极与有机发光二极管 O1 的阳极电连接；

有机发光二极管 O1 的阴极与低电压端 ELVSS 电连接。

在图 13 所示的至少一实施例中，所有晶体管都为 n 型晶体管，但不以此为限。

在本公开至少一实施例中，T2 的栅极和 T3 的栅极也可以与不同的控制端电连接，T1 的栅极和 T5 的栅极也可以与不同的控制端电连接。

可选的，Vinit1 的电压值可以与 Vinit2 的电压值相同，且都可以等于 VSS，Vref 也可以等于 VDD，但不以此为限。

在本公开至少一实施例中，VDD 为 ELVDD 提供的电源电压的电压值，VSS 为 ELVSS 提供的低电压信号的电压值。

如图 14 所示，本公开图 13 所示的像素电路的至少一实施例在工作时，显示周期可以包括先后设置的重置阶段 S1、补偿阶段 S2、写入阶段 S3 和发光阶段 S4；

在重置阶段 S1，EM 提供低电压信号，R1 提供高电压信号，R2 提供高电压信号，G1 提供低电压信号，T2 和 T3 打开，以将参考电压端 VR 提供的参考电压 V_{ref} 至第一节点 N1，以使得在补偿阶段 S2 开始时，所述驱动晶体管 T0 能够导通，T4 打开，I1 提供的第一初始电压 V_{init1} 写入 N2 和 N4，完成对 N2 的电位和 N4 的电位的重置，由于 N3 与 N4 之间没有晶体管，可以同时完成对 O1 的阳极电压和 N3 的电位的重置；

在补偿阶段 S2，EM 提供高电压信号，R1 提供高电压信号，R2 提供低电压信号，G1 提供低电压信号，T2、T3 和 T6 打开；

在补偿阶段 S2 开始时，T0 打开，ELVDD 提供的电源电压通过 T6、T0、T2 为电容充电，以改变 N4 的电位，直至 N4 的电位变为 $V_{ref}-V_{th}$ 时，T0 关断，完成对 T0 的阈值电压补偿； $V_{ref}-V_{DD}$ 需要小于 T0 的阈值电压 V_{th} ，以使得 T0 能够关断；

在写入阶段 S3，EM 提供低电压信号，R1 和 R2 提供低电压信号，G1 提供高电压信号，Da 提供数据电压 V_{data} ，T5 和 T1 开启，数据线 Da 将数据电压 V_{data} 写入第二节点 N2，I2 将第二初始电压 V_{init2} 写入第三节点 N3，第一节点 N1 处于浮空状态，N1 的电位随着 N2 的电位的变化而变化，变化量相等， V_{data} 通过 T1 写入 N2，N2 的电位由 $V_{ref}-V_{th}$ 变为 V_{data} ，N2 的电位的变化量为 $V_{data}-(V_{ref}-V_{th})$ ，此时 N1 的电位变为 $V_{ref}+V_{data}-(V_{ref}-V_{th})$ ，也即 N1 的电位变为 $V_{data}+V_{th}$ ；T5 开启，N3 的电位变为 V_{init2} ，N1 的电位与 N3 的电位的差值为 $V_{data}+V_{th}-V_{init2}$ ；

在发光阶段 S4，EM 提供高电压信号，R1 和 R2 提供低电压信号，G1 提供低电压信号，T0 和 T6 打开，N1 和 N2 处于浮空状态，N1 的电位和 N2 的电位随着 N3 的电位变化而变化，变化量相等，T0 驱动 O1 充电，直到 O1 稳定发光，此时 N3 的电位为 $V_{SS}+V_{oled}$ ， V_{oled} 为 O1 的启亮电压，N3 的电

位变化量为 $VSS + V_{oled} - V_{init2}$, N1 的电位为 $VSS + V_{oled} - V_{init2} + V_{data} + V_{th}$; T0 的栅源电压为 $V_{data} + V_{th} - V_{init2}$, T0 工作于饱和和工作区间;

在发光阶段 S4, T0 驱动 O1 发光的驱动电流 I 等于 $K(V_{data} - V_{init2})^2$;

其中, K 为 T0 的电流系数, 可见驱动电流 I 与驱动晶体管 T0 的阈值电压、VSS 和 V_{oled} 均不相关, 也即, 本公开图 13 所示的像素电路的至少一实施例能够补偿驱动晶体管 T0 的阈值电压不均匀、低电压端 ELVSS 的压降, 和有机发光二极管老化所导致的显示不均的问题, 从而提升显示效果。

本公开图 13 所示的像素电路的至少一实施例在工作时, 由于阈值电压补偿过程和数据电压写入的过程是分离的, 阈值电压补偿可以进行较长时间, 保证能够更好的进行阈值电压补偿, 并可以提升驱动速率, 例如, 驱动频率可以为 120Hz、180Hz 或 240Hz, 有利于游戏等领域场景的效果的改善, 且可提高发光电流的精度, 改善显示质量。

本公开图 13 所示的像素电路的至少一实施例在工作时, 仅需要采用四组 GOA (Gate On Array, 设置于阵列基板上的栅极驱动电路), 以分别提供发光控制信号, 第一复位信号、第二复位信号和扫描信号, 可以减少采用的 GOA 的数目, 利于实现窄边框。

本公开图 15 所示的像素电路的至少一实施例与本公开图 12 所示的像素电路的至少一实施例的区别在于: 不设置有助于发光控制的第六晶体管 T6。

本公开图 15 所示的像素电路的至少一实施例可以仅采用三组 GOA, 以能进一步实现窄边框。

图 16 是本公开图 15 所示的像素电路的至少一实施例的工作时序图。

本公开图 17 所示的像素电路的至少一实施例与本公开图 15 所示的像素电路的至少一实施例的区别在于: T4 的源极与第二节点 N2 电连接。

如图 18 所示, 本公开图 17 所示的像素电路的至少一实施例在工作时, 显示周期可以包括先后设置的重置阶段 S1、补偿阶段 S2、数据写入阶段 S3 和发光阶段 S4;

在重置阶段 S1, R1 和 R2 都提供高电压信号, G1 提供低电压信号, T2、T3 和 T4 都打开, I1 将第一初始电压 V_{init1} 写入 N2、N3 和 N4, VR 提供参考电压 V_{ref} 写入 N1;

在补偿阶段 S2, R1 提供高电压信号, R2 提供低电压信号, G1 提供低电压信号, T2 和 T3 打开;

在补偿阶段 S2 开始时, T0 打开, ELVDD 提供的电源电压通过 T0 和 T2 为电容充电, 以改变 N4 的电位, 直至 N4 的电位变为 $V_{ref}-V_{th}$ 时, T0 关断, 完成对 T0 的阈值电压补偿; $V_{ref}-V_{DD}$ 需要小于 T0 的阈值电压 V_{th} ;

在写入阶段 S3, R1 和 R2 提供低电压信号, G1 提供高电压信号, Da 提供数据电压 V_{data} , T5 和 T1 开启, 数据线 Da 将数据电压 V_{data} 写入第二节点 N2, I2 将第二初始电压 V_{init2} 写入第三节点 N3, 第一节点 N1 处于浮空状态, N1 的电位随着 N2 的电位的变化而变化, 变化量相等, V_{data} 通过 T1 写入 N2, N2 的电位由 $V_{ref}-V_{th}$ 变为 V_{data} , N2 的电位的变化量为 $V_{data}-(V_{ref}-V_{th})$, 此时 N1 的电位变为 $V_{ref}+V_{data}-(V_{ref}-V_{th})$, 也即 N1 的电位变为 $V_{data}+V_{th}$; T5 开启, N3 的电位变为 V_{init2} , N1 的电位与 N3 的电位的差值为 $V_{data}+V_{th}-V_{init2}$;

在发光阶段 S4, R1 和 R2 提供低电压信号, G1 提供低电压信号, T0 和 N1 和 N2 处于浮空状态, N1 的电位和 N2 的电位随着 N3 的电位变化而变化, 变化量相等, T0 驱动 O1 充电, 直到 O1 稳定发光, 此时 N3 的电位为 $V_{SS}+V_{oled}$, V_{oled} 为 O1 的启亮电压, N3 的电位变化量为 $V_{SS}+V_{oled}-V_{init2}$, N1 的电位为 $V_{SS}+V_{oled}-V_{init2}+V_{data}+V_{th}$; T0 的栅源电压为 $V_{data}+V_{th}-V_{init2}$, T0 工作于饱和和工作区间;

在发光阶段 S4, T0 驱动 O1 发光的驱动电流 I 等于 $K(V_{data}-V_{init2})^2$;

其中, K 为 T0 的电流系数, 可见驱动电流 I 与驱动晶体管 T0 的阈值电压、 V_{SS} 和 V_{oled} 均不相关, 也即, 本公开图 17 所示的像素电路的至少一实施例能够补偿驱动晶体管 T0 的阈值电压不均匀、低电压端 ELVSS 的压降, 和有机发光二极管老化所导致的显示不均的问题, 从而提升显示效果。

本公开图 17 所示的像素电路的至少一实施例可以仅采用三组 GOA, 以能进一步实现窄边框。

本公开图 19 所示的像素电路的至少一实施例与本公开图 15 所示的像素电路的至少一实施例的区别在于: 不设置 T5。

如图 20 所示, 本公开图 19 所示的像素电路的至少一实施例在工作时,

显示周期包括先后设置的重置阶段 S1、补偿阶段 S2、数据写入阶段 S3 和发光阶段 S4;

在重置阶段 S1, R1 和 R2 都提供高电压信号, G1 提供低电压信号, T2、T3 和 T4 都打开, I1 将第一初始电压 V_{init1} 写入 N2、N3 和 N4, VR 提供参考电压 V_{ref} 写入 N1;

在补偿阶段 S2, R1 提供高电压信号, R2 提供低电压信号, G1 提供低电压信号, T2 和 T3 打开;

在补偿阶段 S2 开始时, T0 打开, ELVDD 提供的电源电压通过 T0 和 T2 为电容充电, 以改变 N4 的电位, 直至 N4 的电位变为 $V_{ref}-V_{th}$ 时, T0 关断, 完成对 T0 的阈值电压补偿; $V_{ref}-V_{DD}$ 需要小于 T0 的阈值电压 V_{th} ;

在数据写入阶段 S3, R1 提供低电压信号, R2 提供高电压信号, G1 提供高电压信号, T4 打开, I1 提供第一初始电压 V_{init1} 至 N3, Da 提供数据电压 V_{data} , T2 打开, 数据线 Da 将数据电压 V_{data} 写入第二节点 N2, 第一节点 N1 处于浮空状态, N1 的电位随着 N2 的电位的变化而变化, 变化量相等, V_{data} 通过 T1 写入 N2, N2 的电位由 $V_{ref}-V_{th}$ 变为 V_{data} , N2 的电位的变化量为 $V_{data}-(V_{ref}-V_{th})$, 此时 N1 的电位变为 $V_{ref}+V_{data}-(V_{ref}-V_{th})$, 也即 N1 的电位变为 $V_{data}+V_{th}$; T4 开启, N3 的电位变为 V_{init1} , N1 的电位与 N3 的电位的差值为 $V_{data}+V_{th}-V_{init1}$;

在发光阶段 S4, R1 和 R2 提供低电压信号, G1 提供低电压信号, T0 和 N1 和 N2 处于浮空状态, N1 的电位和 N2 的电位随着 N3 的电位变化而变化, 变化量相等, T0 驱动 O1 充电, 直到 O1 稳定发光, 此时 N3 的电位为 $V_{SS}+V_{oled}$, V_{oled} 为 O1 的启亮电压, N3 的电位变化量为 $V_{SS}+V_{oled}-V_{init2}$, N1 的电位为 $V_{SS}+V_{oled}-V_{init1}+V_{data}+V_{th}$; T0 的栅源电压为 $V_{data}+V_{th}-V_{init1}$, T0 工作于饱和和工作区间;

在发光阶段 S4, T0 驱动 O1 发光的驱动电流 I 等于 $K(V_{data}-V_{init1})^2$;

其中, K 为 T0 的电流系数, 可见驱动电流 I 与驱动晶体管 T0 的阈值电压、 V_{SS} 和 V_{oled} 均不相关, 也即, 本公开图 19 所示的像素电路的至少一实施例能够补偿驱动晶体管 T0 的阈值电压不均匀、低电压端 ELVSS 的压降, 和有机发光二极管老化所导致的显示不均的问题, 从而提升显示效果。

本公开图 19 所示的像素电路的至少一实施例可以仅采用三组 GOA，以能进一步实现窄边框。

在本公开图 19 所示的像素电路的至少一实施例中，T4 的源极可以被替换为与第二节点 N2 电连接。

本公开图 21 所示的像素电路的至少一实施例与本公开图 19 所示的像素电路的至少一实施例的区别在于：增设了第六晶体管 T6；

所述第六晶体管 T6 的栅极与所述发光控制线 EM 电连接，所述第六晶体管 T6 的漏极与所述电源电压端 ELVDD 电连接，所述第六晶体管 T6 的源极与所述驱动晶体管 T0 的源极电连接。

如图 22 所示，本公开图 21 所示的像素电路的至少一实施例在工作时，显示周期包括先后设置的重置阶段 S1、补偿阶段 S2、数据写入阶段 S3 和发光阶段 S4；

在重置阶段 S1，EM 提供低电压信号，R1 和 R2 都提供高电压信号，G1 提供低电压信号，T2、T3 和 T4 都打开，I1 将第一初始电压 V_{init1} 写入 N2、N3 和 N4，VR 提供参考电压 V_{ref} 写入 N1；

在补偿阶段 S2，R1 提供高电压信号，R2 提供低电压信号，G1 提供低电压信号，T2 和 T3 打开；EM 提供高电压信号，T6 打开，

在补偿阶段 S2 开始时，T0 打开，ELVDD 提供的电源电压通过 T6、T0 和 T2 为电容充电，以改变 N4 的电位，直至 N4 的电位变为 $V_{ref}-V_{th}$ 时，T0 关断，完成对 T0 的阈值电压补偿； $V_{ref}-V_{DD}$ 需要小于 T0 的阈值电压 V_{th} ；

在数据写入阶段 S3，EM 提供低电压信号，R1 提供低电压信号，R2 提供高电压信号，G1 提供高电压信号，T4 打开，I1 提供第一初始电压 V_{init1} 至 N3，Da 提供数据电压 V_{data} ，T2 打开，数据线 Da 将数据电压 V_{data} 写入第二节点 N2，第一节点 N1 处于浮空状态，N1 的电位随着 N2 的电位的变化而变化，变化量相等， V_{data} 通过 T1 写入 N2，N2 的电位由 $V_{ref}-V_{th}$ 变为 V_{data} ，N2 的电位的变化量为 $V_{data}-(V_{ref}-V_{th})$ ，此时 N1 的电位变为 $V_{ref}+V_{data}-(V_{ref}-V_{th})$ ，也即 N1 的电位变为 $V_{data}+V_{th}$ ；T4 开启，N3 的电位变为 V_{init1} ，N1 的电位与 N3 的电位的差值为 $V_{data}+V_{th}-V_{init1}$ ；

在发光阶段 S4，EM 提供高电压信号，T6 打开，R1 和 R2 提供低电压信

号, G1 提供低电压信号, T0 和 N1 和 N2 处于浮空状态, N1 的电位和 N2 的电位随着 N3 的电位变化而变化, 变化量相等, T0 驱动 O1 充电, 直到 O1 稳定发光, 此时 N3 的电位为 $VSS+V_{oled}$, V_{oled} 为 O1 的启亮电压, N3 的电位变化量为 $VSS+V_{oled}-V_{init2}$, N1 的电位为 $VSS+V_{oled}-V_{init1}+V_{data}+V_{th}$; T0 的栅源电压为 $V_{data}+V_{th}-V_{init1}$, T0 工作于饱和工作区间;

在发光阶段 S4, T0 驱动 O1 发光的驱动电流 I 等于 $K(V_{data}-V_{init1})^2$;

其中, K 为 T0 的电流系数, 可见驱动电流 I 与驱动晶体管 T0 的阈值电压、VSS 和 V_{oled} 均不相关, 也即, 本公开图 21 所示的像素电路的至少一实施例能够补偿驱动晶体管 T0 的阈值电压不均匀、低电压端 ELVSS 的压降, 和有机发光二极管老化所导致的显示不均的问题, 从而提升显示效果。

本公开图 21 所示的像素电路的至少一实施例可以仅采用四组 GOA, 以能进一步实现窄边框。

本公开图 21 所示的像素电路的至少一实施例增设了用于发光控制的第六晶体管 T6, T6 在重置阶段和数据写入阶段处于关闭状态, 避免在重置阶段和数据写入阶段, 在 ELVDD 与 I1 之间产生电流, 增加功耗。

本公开图 23 所示的像素电路的至少一实施例与本公开图 13 所示的像素电路的至少一实施例的区别在于: 不设置有第六晶体管 T6; 还包括第七晶体管 T7;

第七晶体管 T7 设置于驱动晶体管 T0 的漏极与有机发光二极管 O1 的阳极之间;

补偿节点 N4 与第三节点 N3 电连接; 第三节点 N3 与 O1 的阳极电连接;

T7 的栅极与发光控制线 EM 电连接;

T7 的源极与驱动晶体管 T0 的漏极电连接, T7 的漏极与 O1 的阳极电连接。

如图 24 所示, 本公开图 23 所示的像素电路的至少一实施例在工作时,

显示周期可以包括先后设置的重置阶段 S1、补偿阶段 S2、写入阶段 S3 和发光阶段 S4;

在重置阶段 S1, EM 提供低电压信号, R1 提供高电压信号, R2 提供高电压信号, G1 提供低电压信号, T2 和 T3 打开, 以将参考电压端 VR 提供的

参考电压 V_{ref} 至第一节点 $N1$ ，以使得在补偿阶段 $S2$ 开始时，所述驱动晶体管 $T0$ 能够导通， $T4$ 打开， $I1$ 提供的第一初始电压 V_{init1} 写入 $N2$ 和 $N4$ ，完成对 $N2$ 的电位和 $N4$ 的电位的重置，由于 $N3$ 与 $N4$ 之间没有晶体管，可以同时完成对 $O1$ 的阳极电压和 $N3$ 的电位的重置；

在补偿阶段 $S2$ ， EM 提供高电压信号， $R1$ 提供高电压信号， $R2$ 提供低电压信号， $G1$ 提供低电压信号， $T2$ 、 $T3$ 和 $T7$ 打开；

在补偿阶段 $S2$ 开始时， $T0$ 打开， $ELVDD$ 提供的电源电压通过 $T7$ 、 $T0$ 、 $T2$ 为电容充电，以改变 $N4$ 的电位，直至 $N4$ 的电位变为 $V_{ref}-V_{th}$ 时， $T0$ 关断，完成对 $T0$ 的阈值电压补偿； $V_{ref}-VDD$ 需要小于 $T0$ 的阈值电压 V_{th} ；

在写入阶段 $S3$ ， EM 提供低电压信号， $R1$ 和 $R2$ 提供低电压信号， $G1$ 提供高电压信号， Da 提供数据电压 V_{data} ， $T5$ 和 $T1$ 开始，数据线 Da 将数据电压 V_{data} 写入第二节点 $N2$ ， $I2$ 将第二初始电压 V_{init2} 写入第三节点 $N3$ ，第一节点 $N1$ 处于浮空状态， $N1$ 的电位随着 $N2$ 的电位的变化而变化，变化量相等， V_{data} 通过 $T1$ 写入 $N2$ ， $N2$ 的电位由 $V_{ref}-V_{th}$ 变为 V_{data} ， $N2$ 的电位的变化量为 $V_{data}-(V_{ref}-V_{th})$ ，此时 $N1$ 的电位变为 $V_{ref}+V_{data}-(V_{ref}-V_{th})$ ，也即 $N1$ 的电位变为 $V_{data}+V_{th}$ ； $T5$ 开启， $N3$ 的电位变为 V_{init2} ， $N1$ 的电位与 $N3$ 的电位的差值为 $V_{data}+V_{th}-V_{init2}$ ；

在发光阶段 $S4$ ， EM 提供高电压信号， $R1$ 和 $R2$ 提供低电压信号， $G1$ 提供低电压信号， $T0$ 和 $T7$ 打开， $N1$ 和 $N2$ 处于浮空状态， $N1$ 的电位和 $N2$ 的电位随着 $N3$ 的电位变化而变化，变化量相等， $T0$ 驱动 $O1$ 充电，直到 $O1$ 稳定发光，此时 $N3$ 的电位为 $VSS+V_{oled}$ ， V_{oled} 为 $O1$ 的启亮电压， $N3$ 的电位变化量为 $VSS+V_{oled}-V_{init2}$ ， $N1$ 的电位为 $VSS+V_{oled}-V_{init2}+V_{data}+V_{th}$ ； $T0$ 的栅源电压为 $V_{data}+V_{th}-V_{init2}$ ， $T0$ 工作于饱和和工作区间；

在发光阶段 $S4$ ， $T0$ 驱动 $O1$ 发光的驱动电流 I 等于 $K(V_{data}-V_{init2})^2$ ；

其中， K 为 $T0$ 的电流系数，可见驱动电流 I 与驱动晶体管 $T0$ 的阈值电压、 VSS 和 V_{oled} 均不相关，也即，本公开图 23 所示的像素电路的至少一实施例能够补偿驱动晶体管 $T0$ 的阈值电压不均匀、低电压端 $ELVSS$ 的压降，和有机发光二极管老化所导致的显示不均的问题，从而提升显示效果。

在本公开至少一实施例中， VDD 为 $ELVDD$ 提供的电源电压的电压值，

VSS 为 ELVSS 提供的低电压信号的电压值。

本公开图 25 所示的像素电路的至少一实施例与本公开图 23 所示的像素电路的至少一实施例的区别在于：补偿节点 N4 与 T0 的漏极电连接。

本公开图 26 所示的像素电路的至少一实施例与本公开图 13 所示的像素电路的至少一实施例的区别在于：数据写入节点为第三节点 N3，复位节点为第二节点 N2。

在本公开图 26 所示的像素电路的至少一实施例中，

所述第一晶体管 T1 的栅极与所述扫描线 G1 电连接，所述第一晶体管 T1 的漏极与所述数据线 Da 电连接，所述第一晶体管 T1 的源极与所述第三节点 N3 电连接；

所述第五晶体管 T5 的栅极与所述扫描线 G1 电连接，所述第五晶体管 T5 的漏极与所述第二初始电压端 I2 电连接，所述第五晶体管 T5 的源极与所述第二节点 N2 电连接。

如图 27 所示，本公开图 26 所示的像素电路的至少一实施例在工作时，显示周期可以包括先后设置的重置阶段 S1、补偿阶段 S2、写入阶段 S3 和发光阶段 S4；

在重置阶段 S1，EM 提供低电压信号，R1 提供高电压信号，R2 提供高电压信号，G1 提供低电压信号，T2 和 T3 打开，以将参考电压端 VR 提供的参考电压 V_{ref} 至第一节点 N1，以使得在补偿阶段 S2 开始时，所述驱动晶体管 T0 能够导通，T4 打开，I1 提供的第一初始电压 V_{init1} 写入 N2 和 N4，完成对 N2 的电位和 N4 的电位的重置，由于 N3 与 N4 之间没有晶体管，可以同时完成对 O1 的阳极电压和 N3 的电位的重置；

在补偿阶段 S2，EM 提供高电压信号，R1 提供高电压信号，R2 提供低电压信号，G1 提供低电压信号，T2、T3 和 T6 打开；

在补偿阶段 S2 开始时，T0 打开，ELVDD 提供的电源电压通过 T6、T0、T2 为电容充电，以改变 N4 的电位，直至 N4 的电位变为 $V_{ref}-V_{th}$ 时，T0 关断，完成对 T0 的阈值电压补偿； $V_{ref}-V_{DD}$ 需要小于 T0 的阈值电压 V_{th} ，以使得 T0 能够关断；

在写入阶段 S3，EM 提供低电压信号，R1 和 R2 提供低电压信号，G1

提供高电压信号，Da 提供数据电压 V_{data} ，T5 和 T1 开启，数据线 Da 将数据电压 V_{data} 写入第三节点 N3，I2 将第二初始电压 V_{init2} 写入第二节点 N2，第一节点 N1 处于浮空状态，N1 的电位随着 N2 的电位的变化而变化，变化量相等， V_{init2} 通过 T5 写入 N2，N2 的电位由 $V_{ref}-V_{th}$ 变为 V_{init2} ，N2 的电位的变化量为 $V_{init2}-(V_{ref}-V_{th})$ ，此时 N1 的电位变为 $V_{ref}+V_{init2}-(V_{ref}-V_{th})$ ，也即 N1 的电位变为 $V_{init2}+V_{th}$ ；T2 开启，N3 的电位变为 V_{data} ，N1 的电位与 N3 的电位的差值为 $V_{init2}+V_{th}-V_{data}$ ；

在发光阶段 S4，EM 提供高电压信号，R1 和 R2 提供低电压信号，G1 提供低电压信号，T0 和 T6 打开，N1 和 N2 处于浮空状态，N1 的电位和 N2 的电位随着 N3 的电位变化而变化，变化量相等，T0 驱动 O1 充电，直到 O1 稳定发光，此时 N3 的电位为 $V_{SS}+V_{oled}$ ， V_{oled} 为 O1 的启亮电压，N3 的电位变化量为 $V_{SS}+V_{oled}-V_{data}$ ；

N1 的电位为 $V_{SS}+V_{oled}-V_{data}+V_{init2}+V_{th}$ ；T0 的栅源电压为 $V_{init2}+V_{th}-V_{data}$ ，T0 工作于饱和和工作区间；

在发光阶段 S4，T0 驱动 O1 发光的驱动电流 I 等于 $K(V_{init2}-V_{data})^2$ ；

其中，K 为 T0 的电流系数，可见驱动电流 I 与驱动晶体管 T0 的阈值电压、 V_{SS} 和 V_{oled} 均不相关，也即，本公开图 26 所示的像素电路的至少一实施例能够补偿驱动晶体管 T0 的阈值电压不均匀、低电压端 ELVSS 的压降，和有机发光二极管老化所导致的显示不均的问题，从而提升显示效果。

在图 26 所示的像素电路的至少一实施例中，可以不设置第六晶体管 T6。

在图 26 所示的像素电路的至少一实施例中，可以不设置第六晶体管 T6，并在 T0 的漏极与 O1 的阳极之间可以设置第七晶体管 T7，此时补偿节点 N4 可以与 O1 的阳极或 T0 的漏极电连接。

本公开实施例所述的像素驱动方法，应用于上述的像素电路，显示周期包括先后设置的补偿阶段、写入阶段和发光阶段，所述像素驱动方法包括：

在补偿阶段，所述补偿控制电路在第一复位信号的控制下，控制第二节点与补偿节点之间连通；

在所述补偿阶段开始时，驱动电路在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间连通，以通过电源电压端

为第一储能电路和第二储能电路充电，直至所述驱动电路在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间断开；

在写入阶段，所述数据写入电路在扫描信号的控制下，将数据线上的数据电压写入数据写入节点，补偿控制电路在第一复位信号的控制下，控制第二节点与补偿节点之间断开；

在发光阶段，驱动电路驱动发光元件。

在本公开至少一实施例所述的像素驱动方法中，在补偿阶段，进行阈值电压补偿，在写入阶段进行数据电压写入，分时进行阈值电压补偿和数据电压写入，以能够在充分补偿阈值电压的同时，实现高频驱动。

在本公开至少一实施例中，所述显示周期还包设置于所述补偿阶段之前的重置阶段；所述像素驱动方法还包括：

在重置阶段和补偿阶段，第一复位电路在第一复位信号的控制下，将参考电压写入第一节点；

在重置阶段，第二复位电路在第二复位信号的控制下，将第一初始电压写入复位节点。

本公开至少一实施例所述的像素驱动方法还包括：

在所述重置阶段，所述补偿控制电路在所述第一复位信号的控制下，控制第二节点与补偿节点之间连通。

可选的，本公开至少一实施例所述的像素驱动方法还可以包括：

在写入阶段，第二复位电路在第二复位信号的控制下，将第一初始电压写入复位节点。

在本公开至少一实施例中，所述像素电路还包括第三复位电路；所述像素驱动方法还包括：

在所述写入阶段，所述第三复位电路在扫描信号的控制下，将第二初始电压写入复位节点。

在本公开至少一实施例中，所述像素电路还包括第一发光控制电路；所述像素驱动方法还包括：

在补偿阶段和发光阶段，第一发光控制电路在发光控制信号的控制下，控制电源电压端与驱动电路的第一端之间连通。

可选的，所述像素电路还包括第二发光控制电路；本公开至少一实施例所述的像素驱动方法还包括：

在补偿阶段和发光阶段，第二发光控制控制电路在发光控制信号的控制下，控制驱动电路的第二端与发光元件的第一极之间连通。

本公开实施例所述的显示装置包括上述的像素电路。

以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求 书

1、一种像素电路，包括发光元件、驱动电路、第一储能电路、第二储能电路、数据写入电路和补偿控制电路；

所述第一储能电路的第一端与第一节点电连接，所述第一储能电路的第二端与第二节点电连接，所述第一储能电路用于储存电能；

所述第二储能电路的第一端与所述第二节点电连接，所述第二储能电路的第二端与第三节点电连接，所述第二储能电路用于储存电能；

所述驱动电路的控制端与所述第一节点电连接，所述驱动电路用于在其控制端的电位的控制下，驱动所述发光元件；

所述第三节点与所述发光元件的第一极电连接，所述发光元件的第二极与第一电压端电连接；

所述数据写入电路分别与扫描线、数据线和数据写入节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制将所述数据线上的数据电压写入所述数据写入节点；

所述补偿控制电路分别与第一复位端、第二节点和补偿节点电连接，用于在所述第一复位信号的控制下，控制所述第二节点与所述补偿节点之间连通或断开；

所述补偿节点与所述第三节点电连接，和/或，所述补偿节点与所述驱动电路的第二端电连接；所述数据写入节点为所述第二节点或所述第三节点。

2、如权利要求 1 所述的像素电路，其中，还包括第一复位电路和第二复位电路；

所述第一复位电路分别与第一复位端、参考电压端和所述第一节点电连接，用于在所述第一复位端提供的第一复位信号的控制下，将所述参考电压端提供的参考电压写入所述第一节点；

所述第二复位电路分别与第二复位端、第一初始电压端和复位节点电连接，用于在所述第二复位端提供的第二复位信号的控制下，将所述第一初始电压端提供的第一初始电压写入所述复位节点；

所述复位节点为第二节点或第三节点。

3、如权利要求 2 所述的像素电路，其中，还包括第三复位电路；

所述第三复位电路分别与所述扫描线、第二初始电压端和复位节点电连接，用于在所述扫描信号的控制下，将所述第二初始电压端提供的第二初始电压写入所述复位节点；

所述数据写入节点为所述第二节点，所述复位节点为所述第三节点；或者，所述数据写入节点为所述第三节点，所述复位节点为所述第二节点。

4、如权利要求 2 所述的像素电路，其中，还包括第一发光控制电路；

所述驱动电路的第一端通过所述第一发光控制电路与电源电压端电连接；所述驱动电路的第二端与所述发光元件的第一极电连接；

所述第一发光控制电路的控制端与发光控制线电连接，所述第一发光控制电路用于在所述发光控制线提供的发光控制信号的控制下，控制所述电源电压端与所述驱动电路的第一端之间连通或断开。

5、如权利要求 2 所述的像素电路，其中，还包括第二发光控制电路；

所述驱动电路的第一端与电源电压端电连接，所述驱动电路的第二端通过所述第二发光控制电路与所述发光元件的第一极电连接；

所述第二发光控制电路的控制端与发光控制线电连接，所述第二发光控制电路用于在所述发光控制线提供的发光控制信号的控制下，控制所述驱动电路的第二端与所述发光元件的第一极之间连通或断开。

6、如权利要求 1 至 5 中任一权利要求所述的像素电路，其中，所述数据写入电路包括第一晶体管，所述补偿控制电路包括第二晶体管；

所述第一晶体管的栅极与所述扫描线电连接，所述第一晶体管的第一极与所述数据线电连接，所述第一晶体管的第二极与所述数据写入节点电连接；

所述第二晶体管的栅极与所述第一复位端电连接，所述第二晶体管的第一极与所述第二节点电连接，所述第二晶体管的第二极与所述补偿节点电连接。

7、如权利要求 2 至 4 中任一权利要求所述的像素电路，其中，所述驱动电路包括驱动晶体管，所述第一复位电路包括第三晶体管，所述第二复位电路包括第四晶体管；

所述驱动晶体管的栅极与所述第一节点电连接，所述驱动晶体管的第一

极与所述驱动电路的第一端电连接，所述驱动晶体管的第二极与所述驱动电路的第二端电连接；

所述第三晶体管的栅极与所述第一复位端电连接，所述第三晶体管的第一极与所述参考电压端电连接，所述第三晶体管的第二极与所述第一节点电连接；

所述第四晶体管的栅极与所述第二复位端电连接，所述第四晶体管的第一极与所述第一初始电压端电连接，所述第四晶体管的第二极与所述复位节点电连接。

8、如权利要求 1 至 4 中任一权利要求所述的像素电路，其中，所述第一储能电路包括第一电容，所述第二储能电路包括第二电容；

所述第一电容的第一端与第一节点电连接，所述第一电容的第二端与第二节点电连接；

所述第二电容的第一端与所述第二节点电连接，所述第二电容的第二端与第三节点电连接。

9、如权利要求 3 所述的像素电路，其中，所述第三复位电路包括第五晶体管；

所述第五晶体管的栅极与所述扫描线电连接，所述第五晶体管的第一极与所述第二初始电压端电连接，所述第五晶体管的第二极与所述复位节点电连接。

10、如权利要求 4 所述的像素电路，其中，所述第一发光控制电路包括第六晶体管；

所述第六晶体管的栅极与所述发光控制线电连接，所述第六晶体管的第一极与所述电源电压端电连接，所述第六晶体管的第二极与所述驱动电路的第一端电连接。

11、如权利要求 5 所述的像素电路，其中，所述第二发光控制电路包括第七晶体管；

所述第七晶体管的栅极与所述发光控制线电连接，所述第七晶体管的第一极与所述驱动电路的第二端电连接，所述第七晶体管的第二极与所述发光元件的第一极电连接。

12、一种像素驱动方法，应用于如权利要求 1 至 11 中任一权利要求所述的像素电路，显示周期包括先后设置的补偿阶段、写入阶段和发光阶段，所述像素驱动方法包括：

在补偿阶段，所述补偿控制电路在第一复位信号的控制下，控制第二节点与补偿节点之间连通；

在所述补偿阶段开始时，驱动电路在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间连通，以通过电源电压端为第一储能电路和第二储能电路充电，直至所述驱动电路在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间断开；

在写入阶段，所述数据写入电路在扫描信号的控制下，将数据线上的数据电压写入数据写入节点，补偿控制电路在第一复位信号的控制下，控制第二节点与补偿节点之间断开；

在发光阶段，驱动电路驱动发光元件。

13、如权利要求 12 所述的像素驱动方法，其中，所述显示周期还包设置于所述补偿阶段之前的重置阶段；所述像素驱动方法还包括：

在重置阶段和补偿阶段，第一复位电路在第一复位信号的控制下，将参考电压写入第一节点；

在重置阶段，第二复位电路在第二复位信号的控制下，将第一初始电压写入复位节点。

14、如权利要求 13 所述的像素驱动方法，其中，还包括：

在所述重置阶段，所述补偿控制电路在所述第一复位信号的控制下，控制第二节点与补偿节点之间连通。

15、如权利要求 13 所述的像素驱动方法，其中，所述像素驱动方法包括：

在写入阶段，第二复位电路在第二复位信号的控制下，将第一初始电压写入复位节点。

16、如权利要求 13 或 14 所述的像素驱动方法，其中，所述像素电路还包括第三复位电路；所述像素驱动方法还包括：

在所述写入阶段，所述第三复位电路在扫描信号的控制下，将第二初始电压写入复位节点。

17、如权利要求 13 至 15 中任一权利要求所述的像素驱动方法，其中，所述像素电路还包括第一发光控制电路；所述像素驱动方法还包括：

在补偿阶段和发光阶段，第一发光控制控制电路在发光控制信号的控制下，控制电源电压端与驱动电路的第一端之间连通。

18、如权利要求 13 至 15 中任一权利要求所述的像素驱动方法，其中，所述像素电路还包括第二发光控制电路；所述像素驱动方法还包括：

在补偿阶段和发光阶段，第二发光控制控制电路在发光控制信号的控制下，控制驱动电路的第二端与发光元件的第一极之间连通。

19、一种显示装置，包括如权利要求 1 至 11 中任一权利要求所述的像素电路。

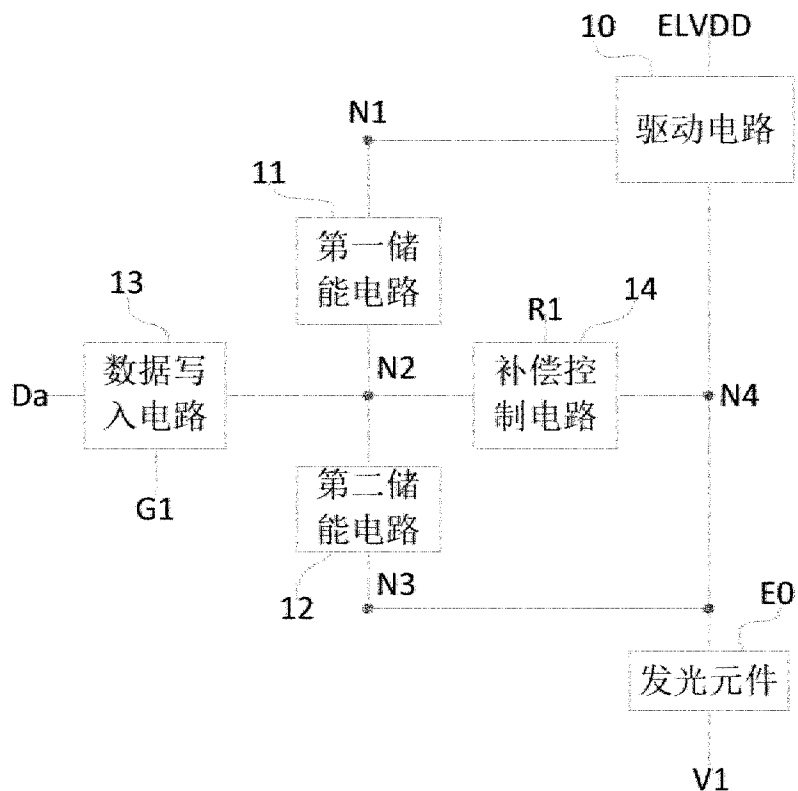


图 1

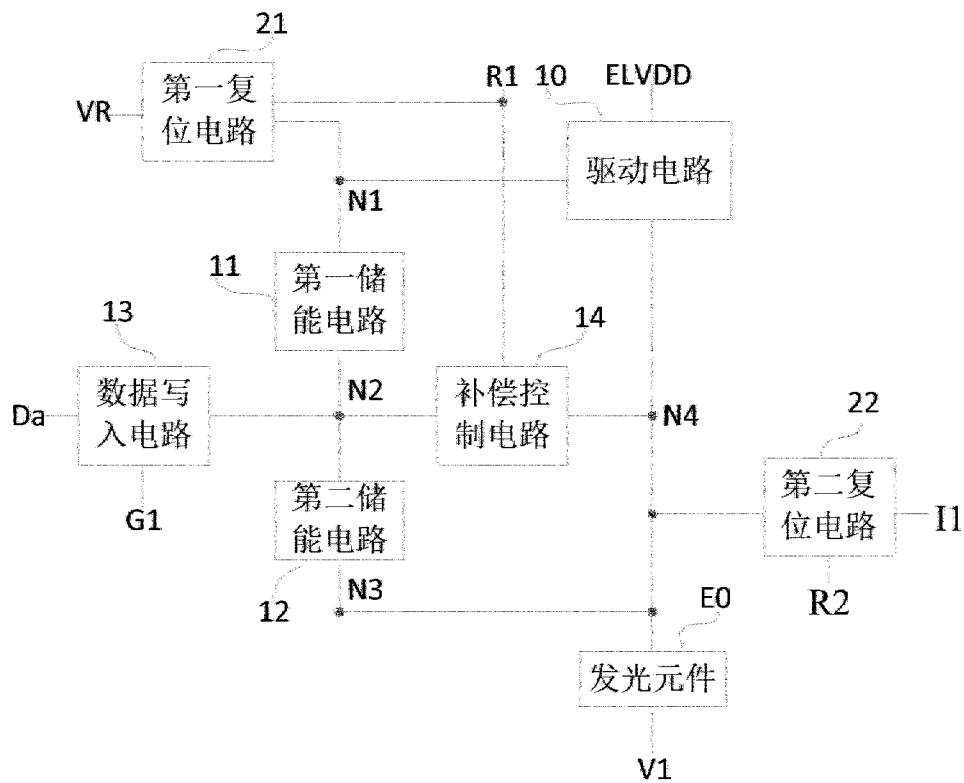


图 2

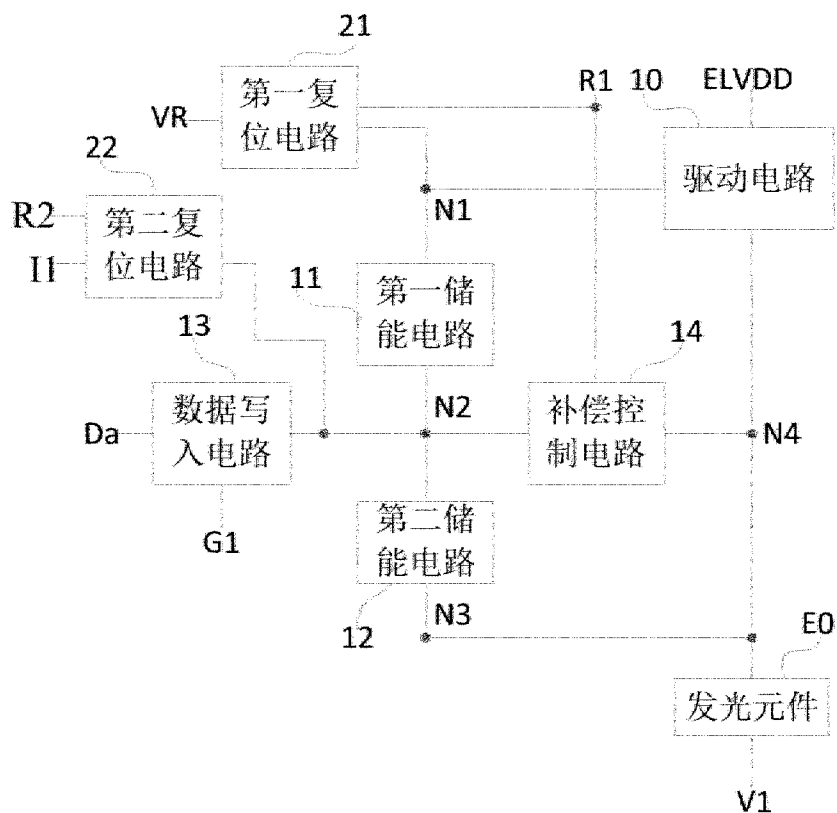


图 3

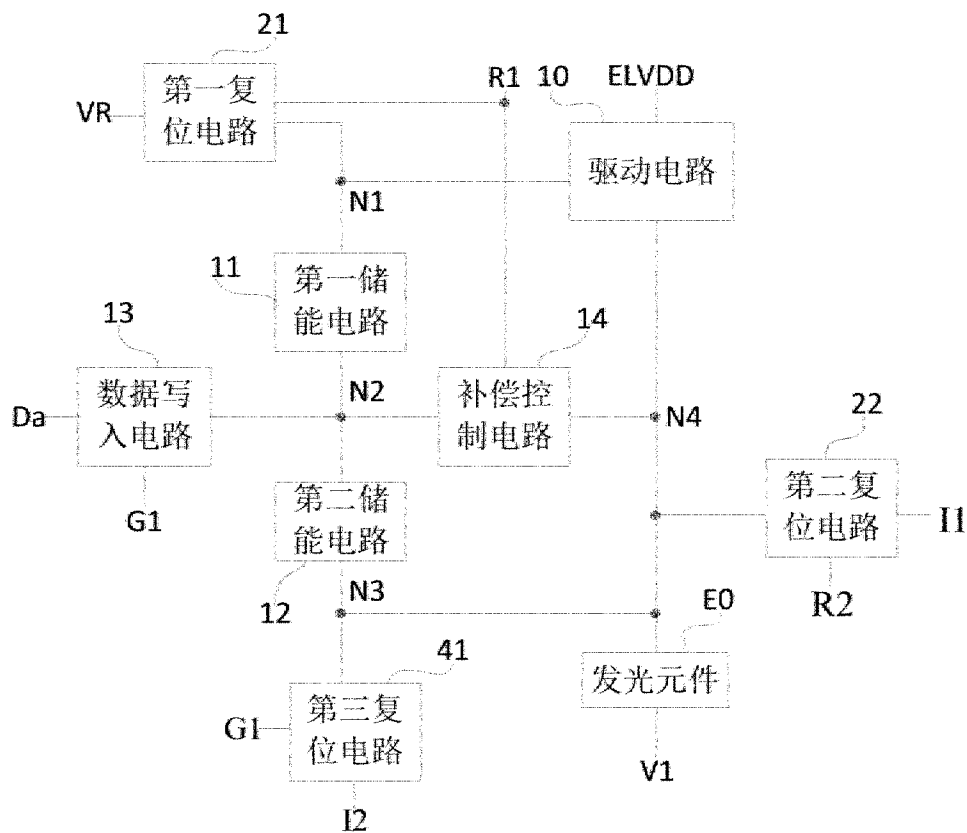


图 4

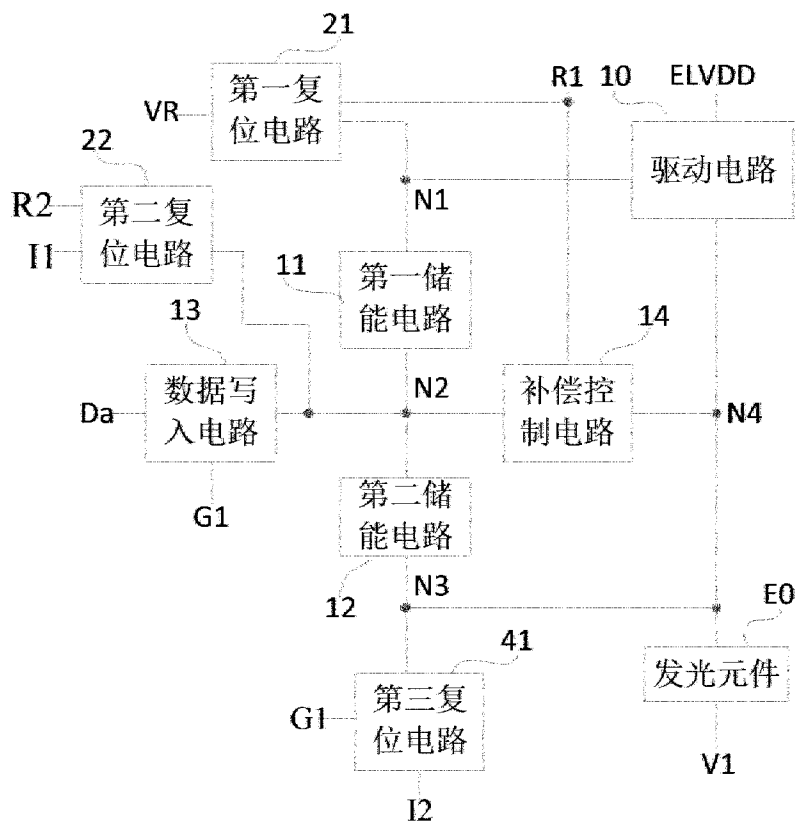


图 5

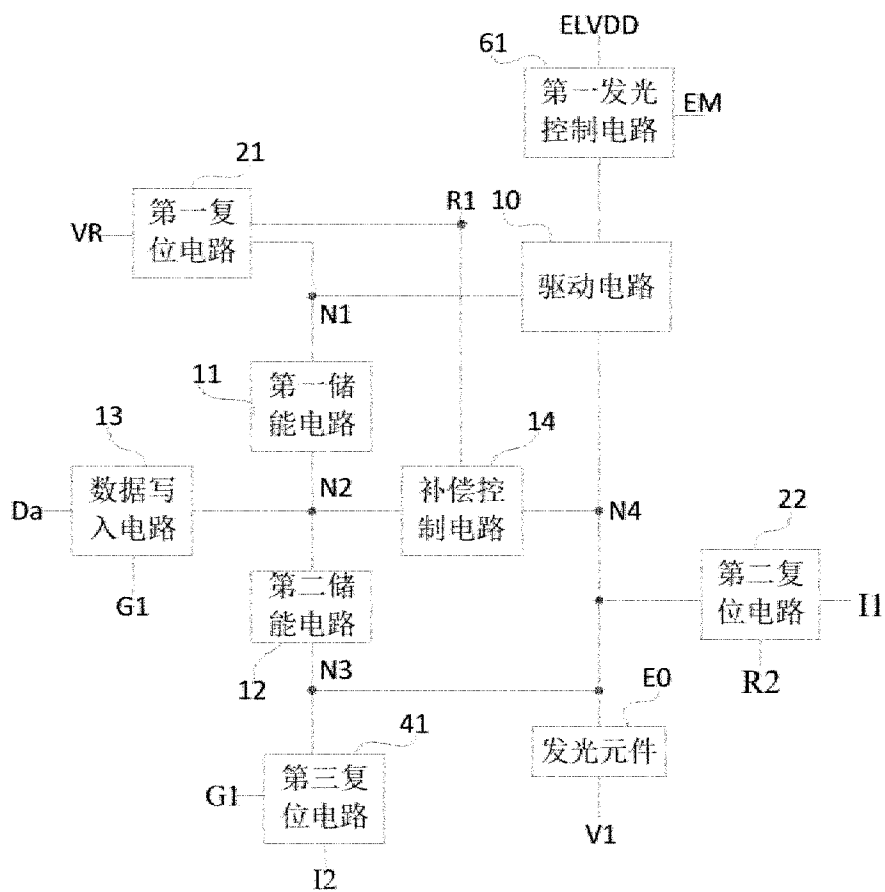


图 6

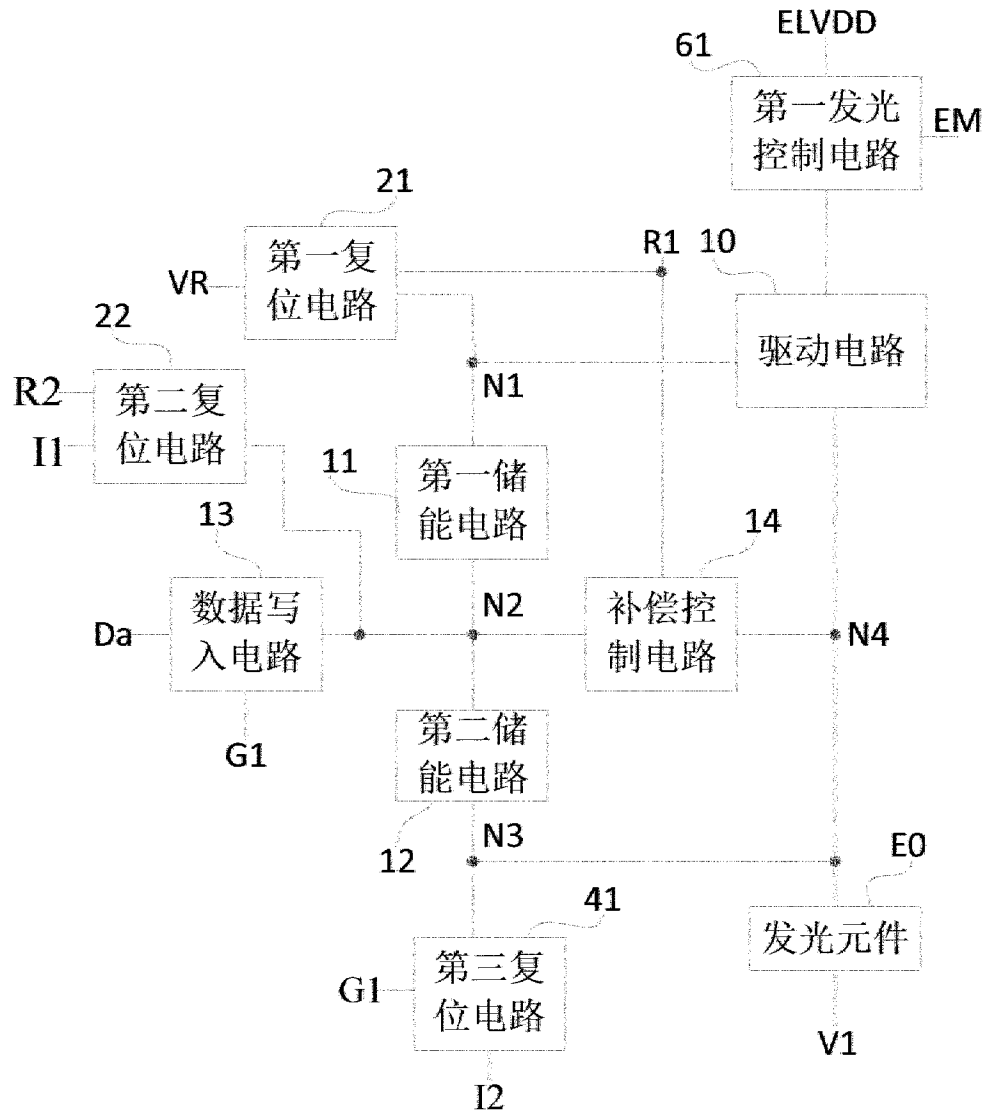


图 7

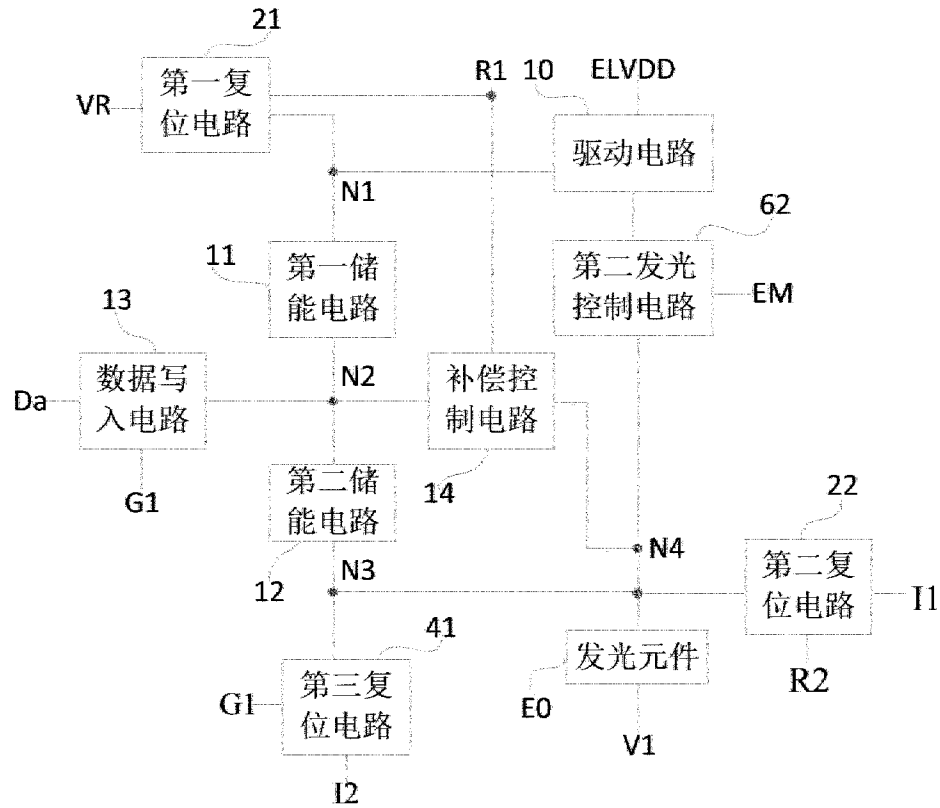


图 8

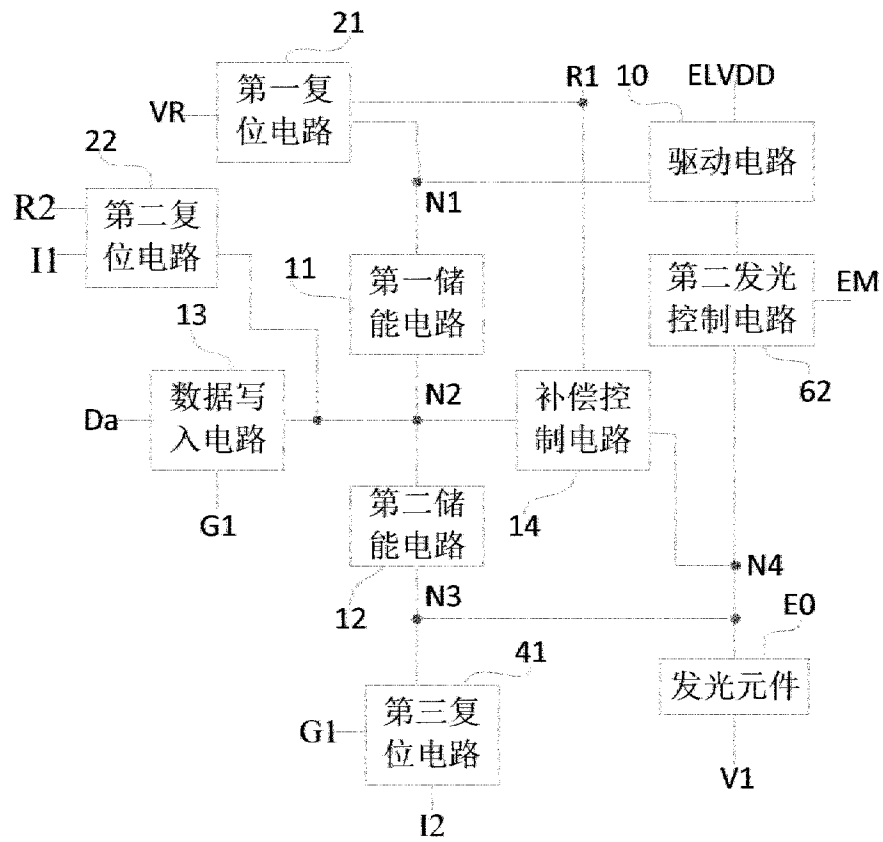


图 9

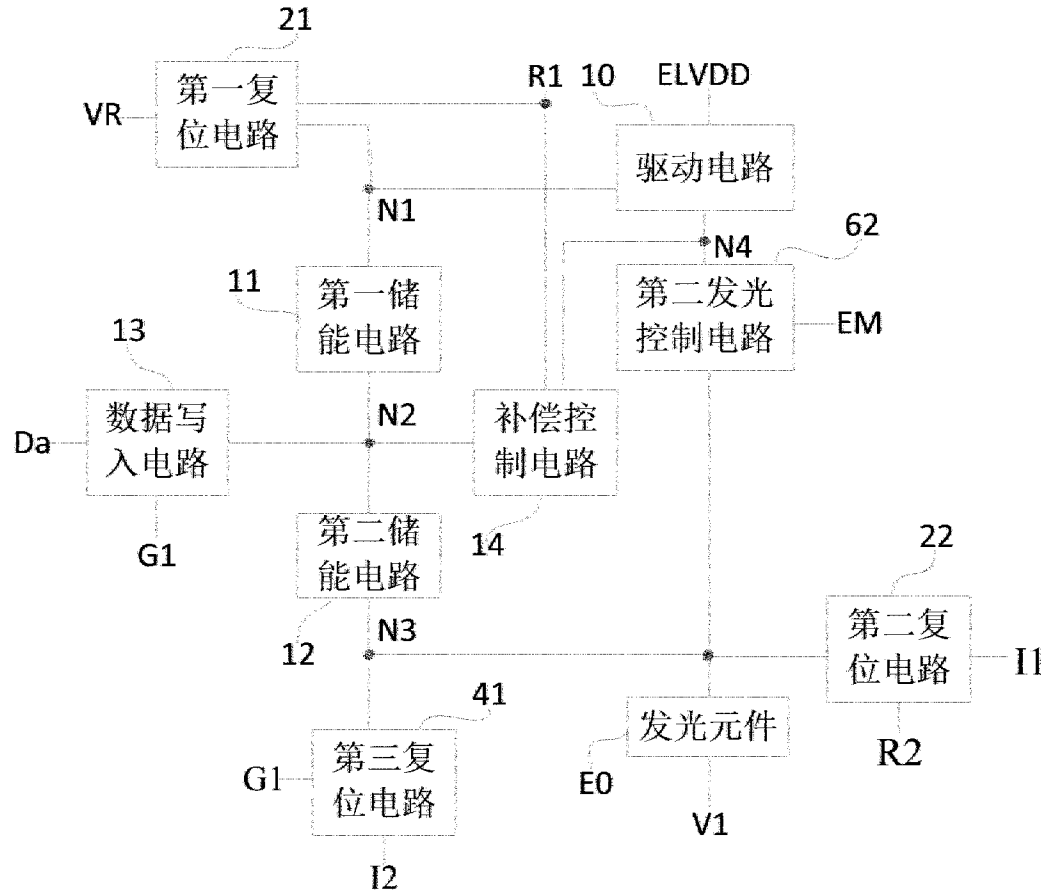


图 10

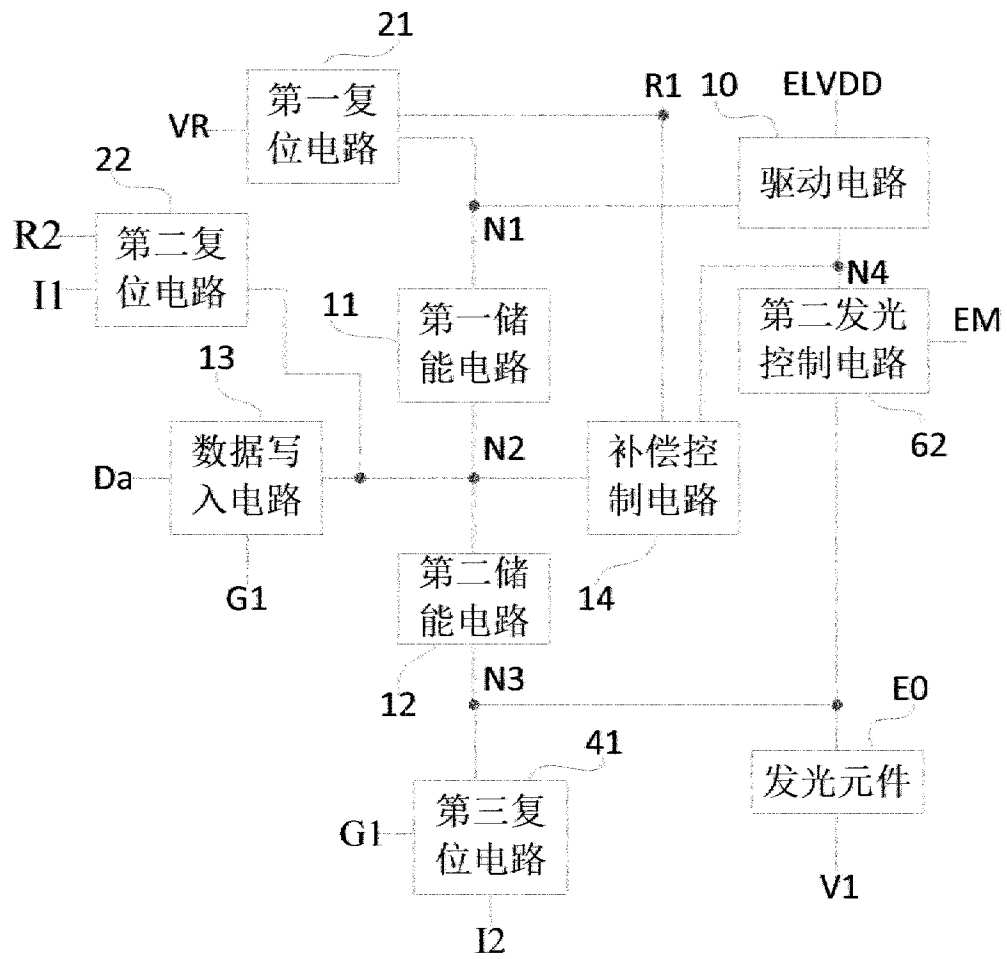


图 11

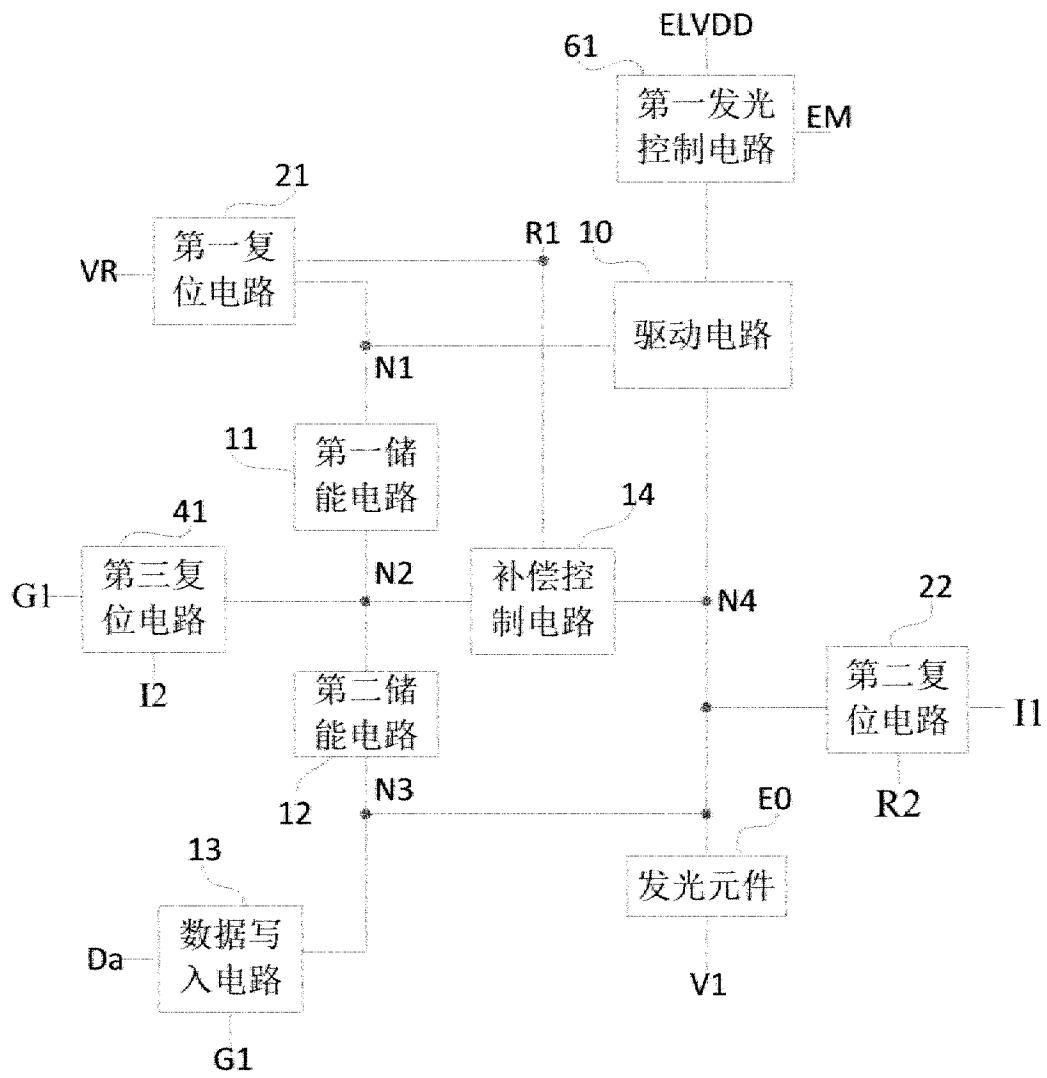


图 12

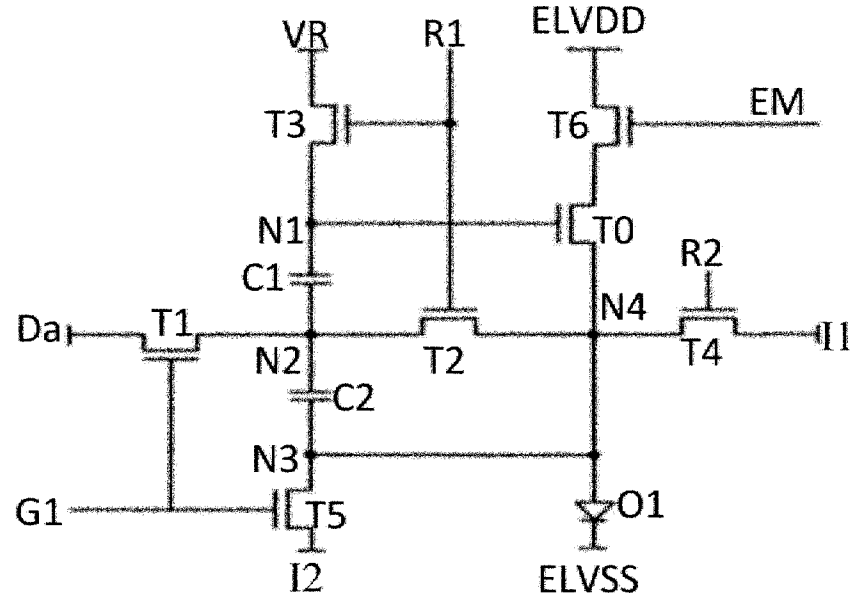


图 13

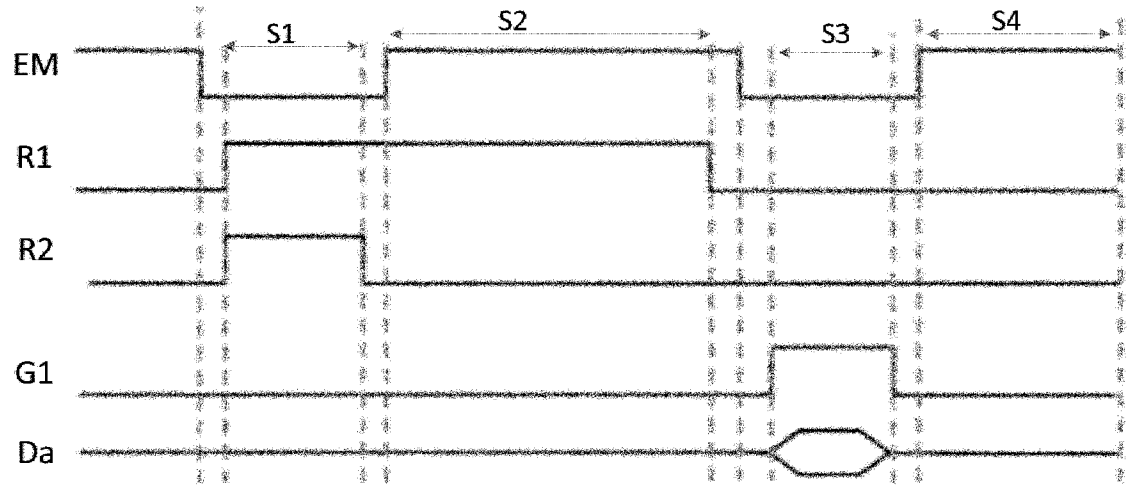


图 14

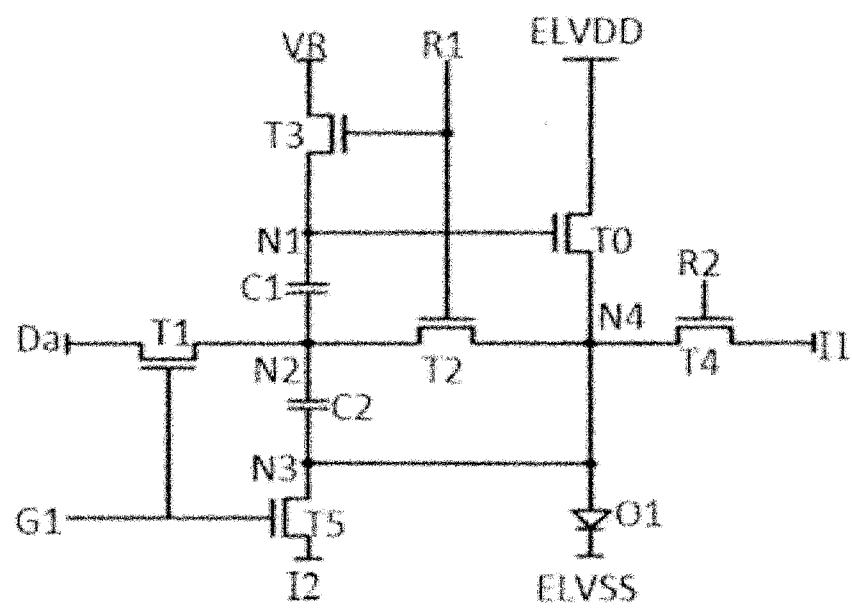


图 15

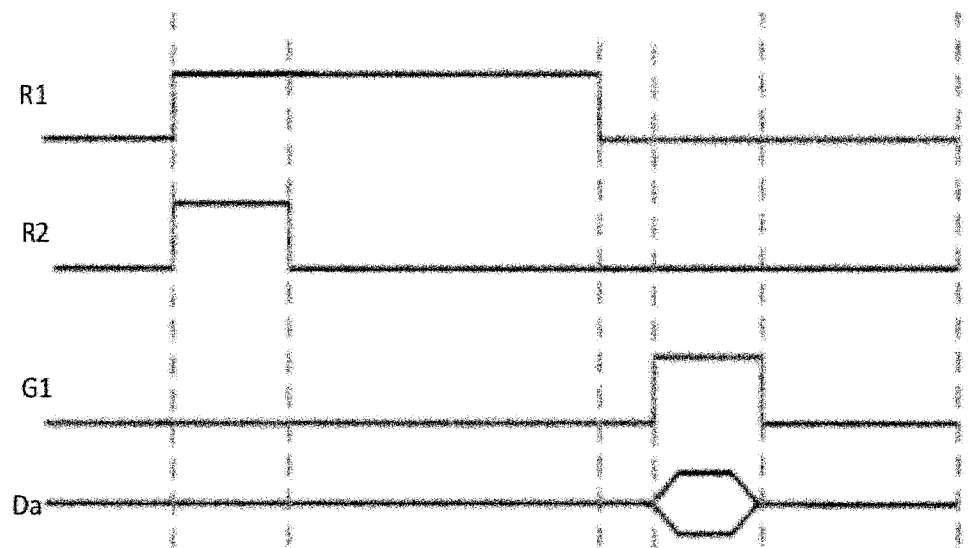


图 16

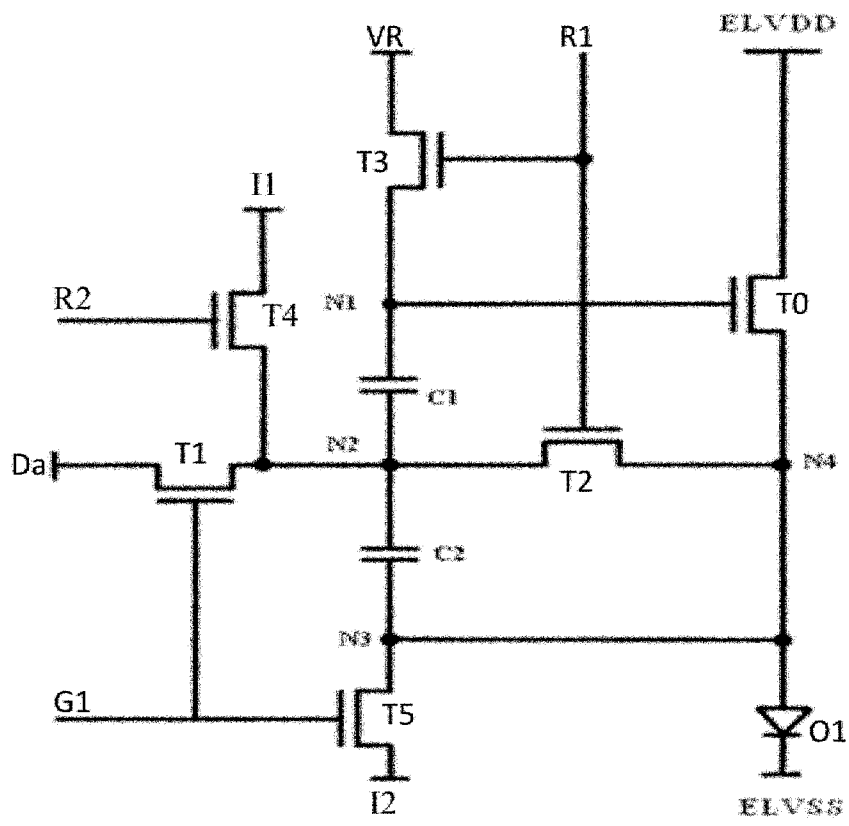


图 17

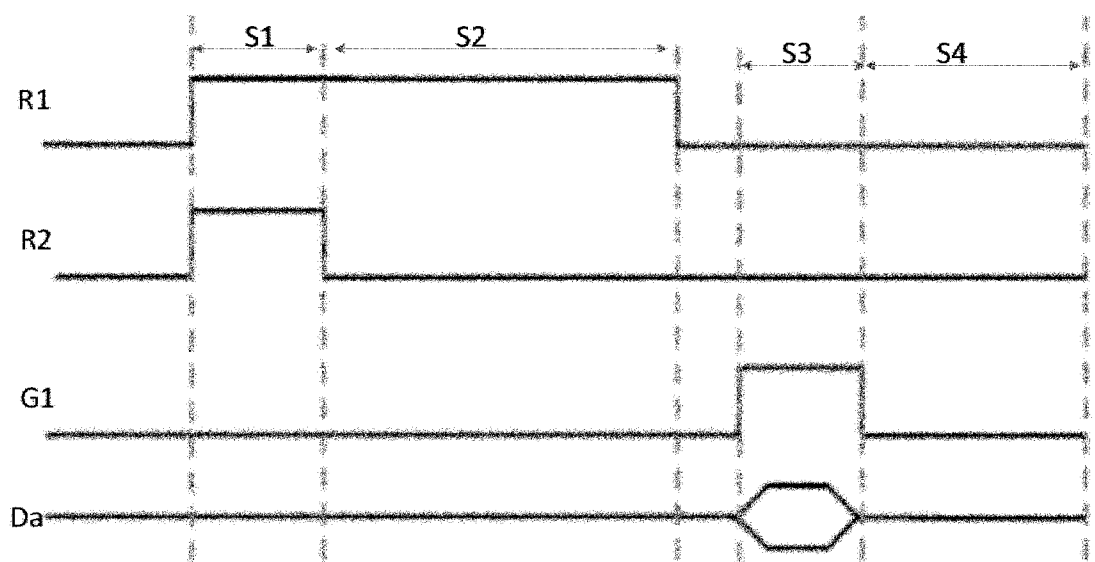


图 18

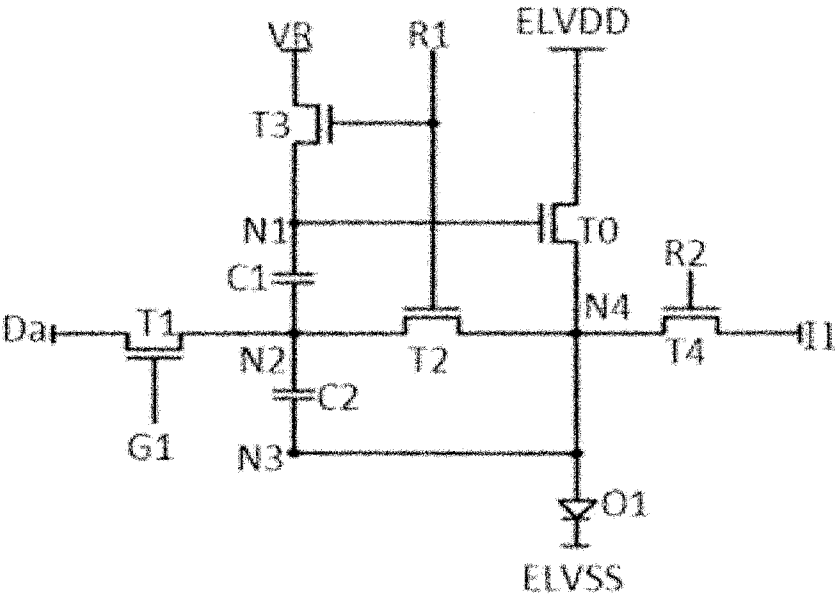


图 19

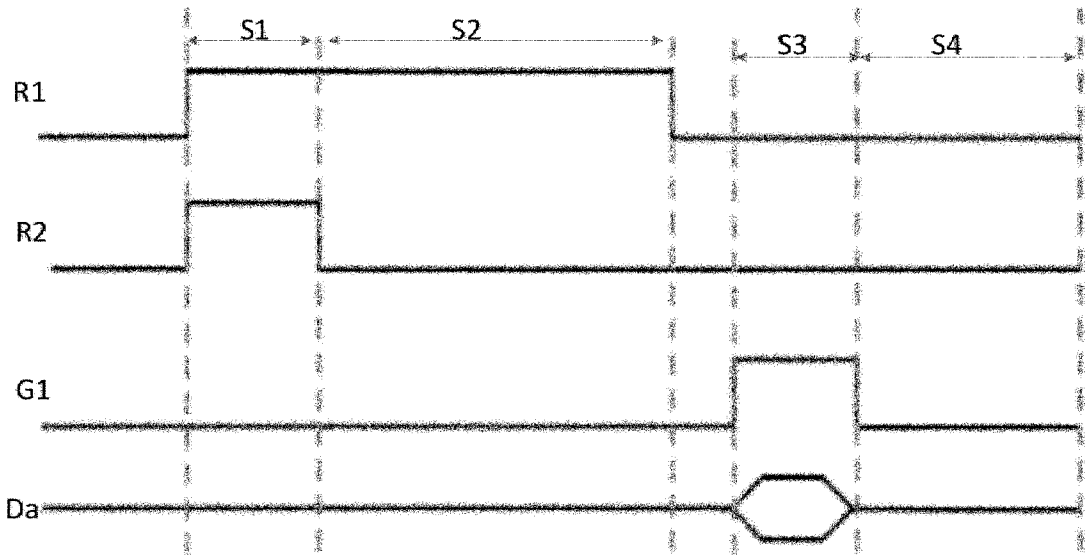


图 20

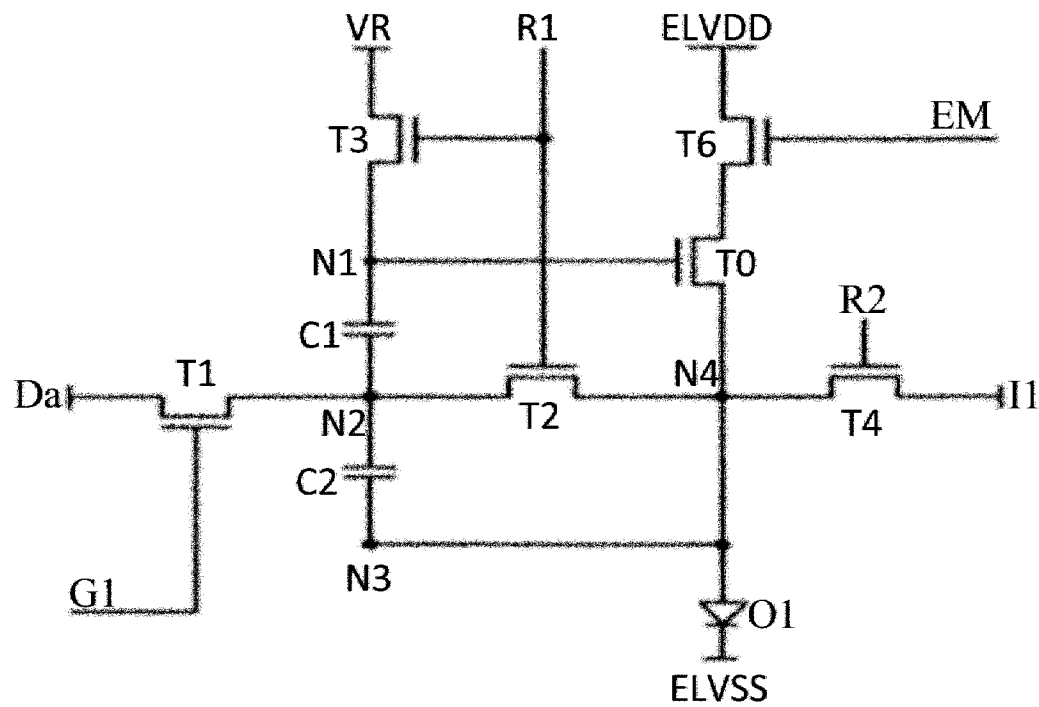


图 21

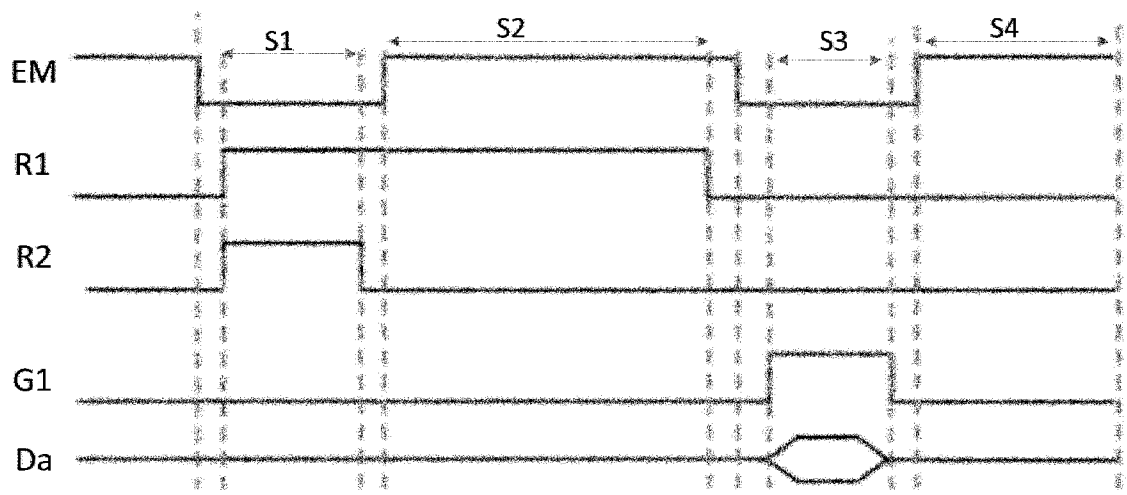


图 22

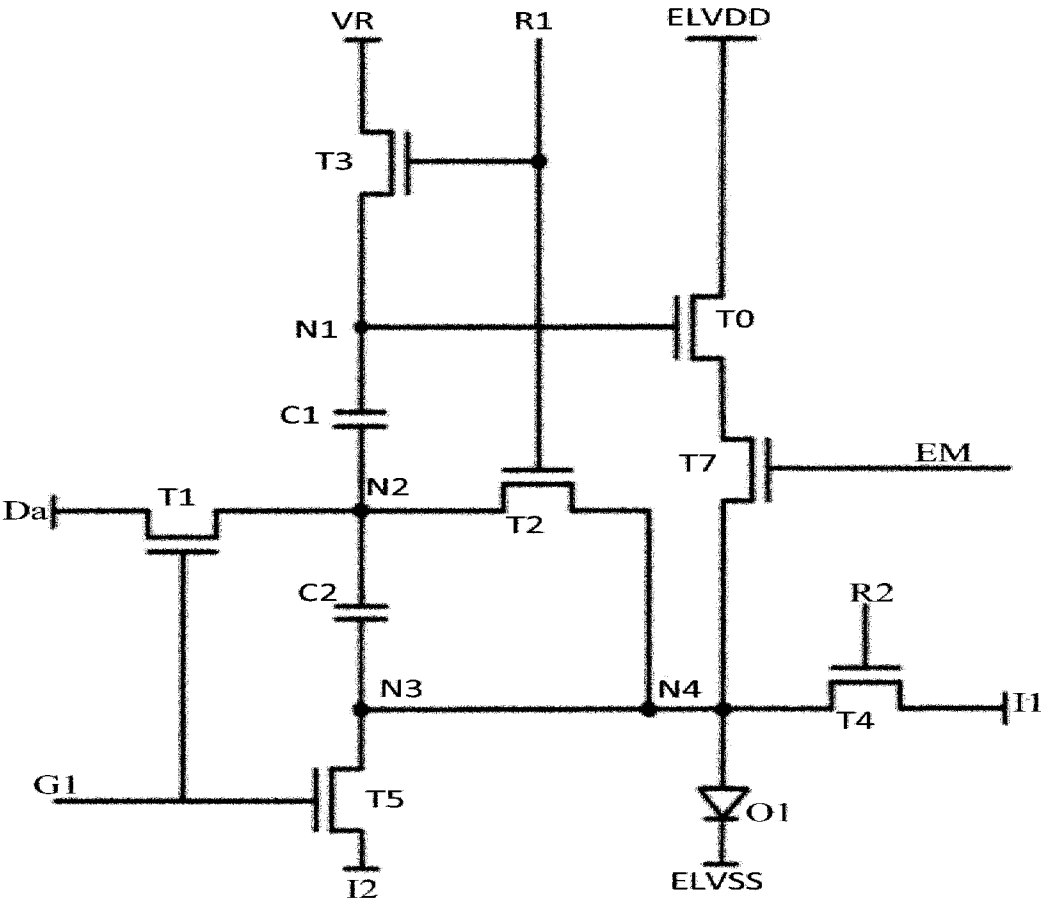


图 23

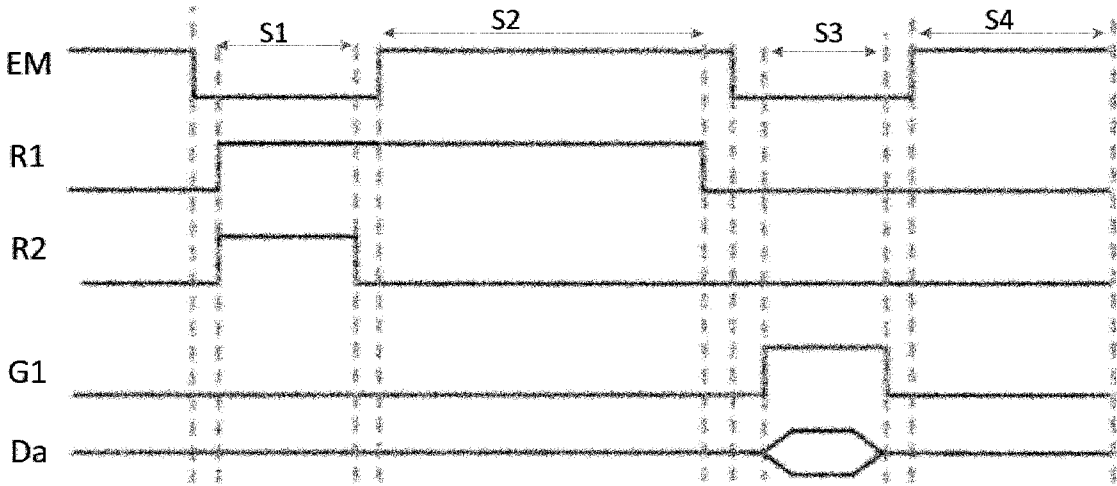


图 24

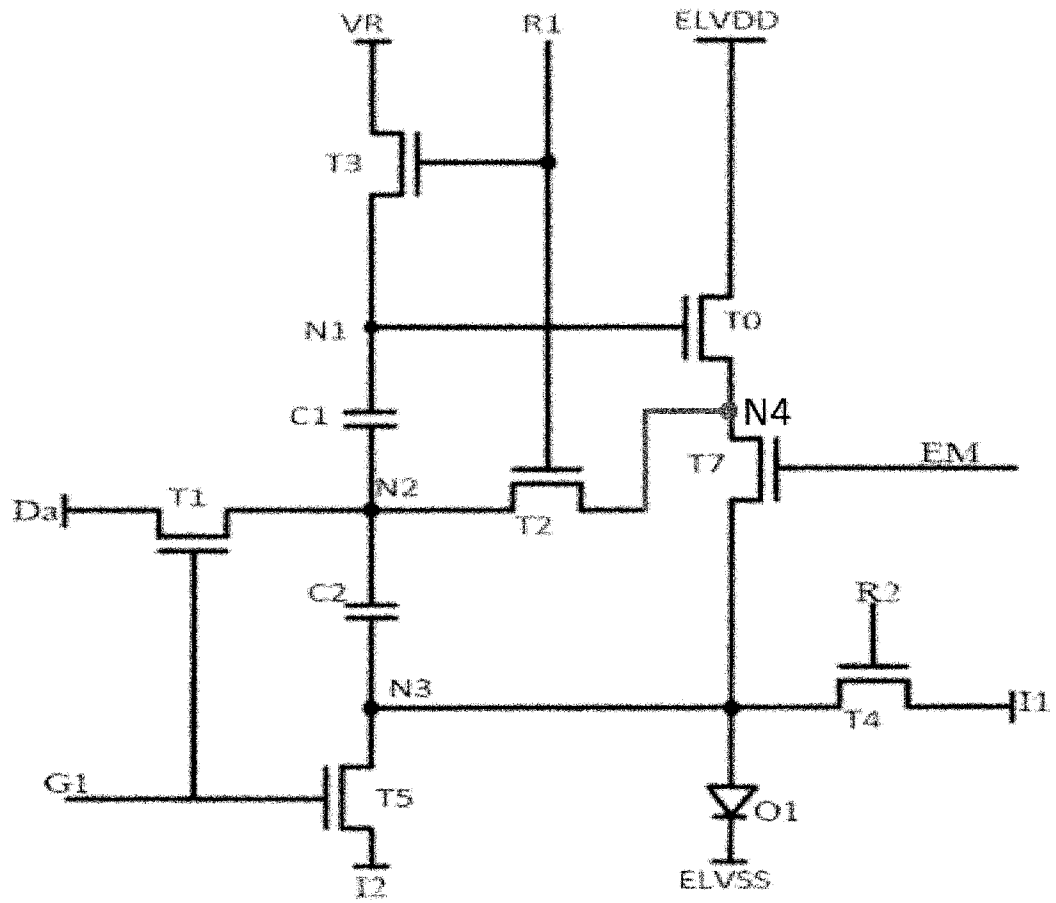


图 25

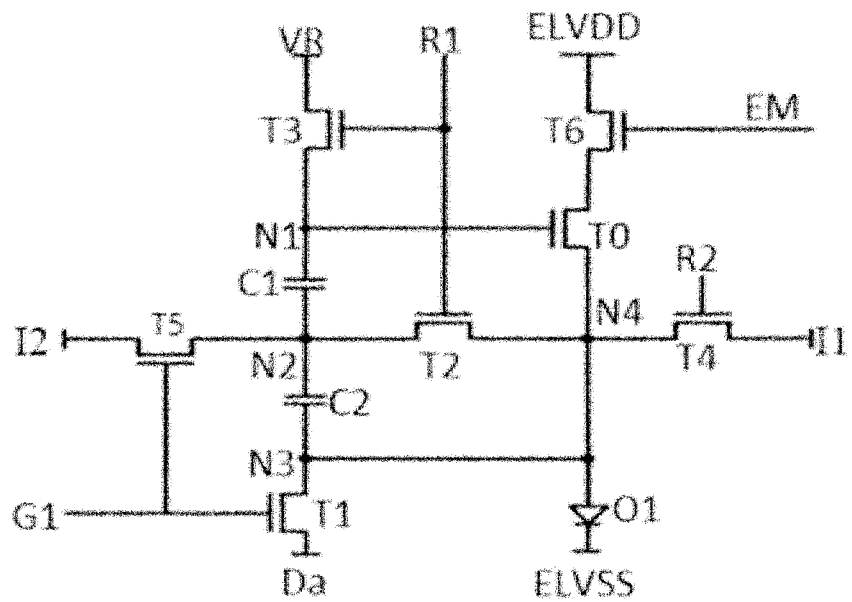


图 26

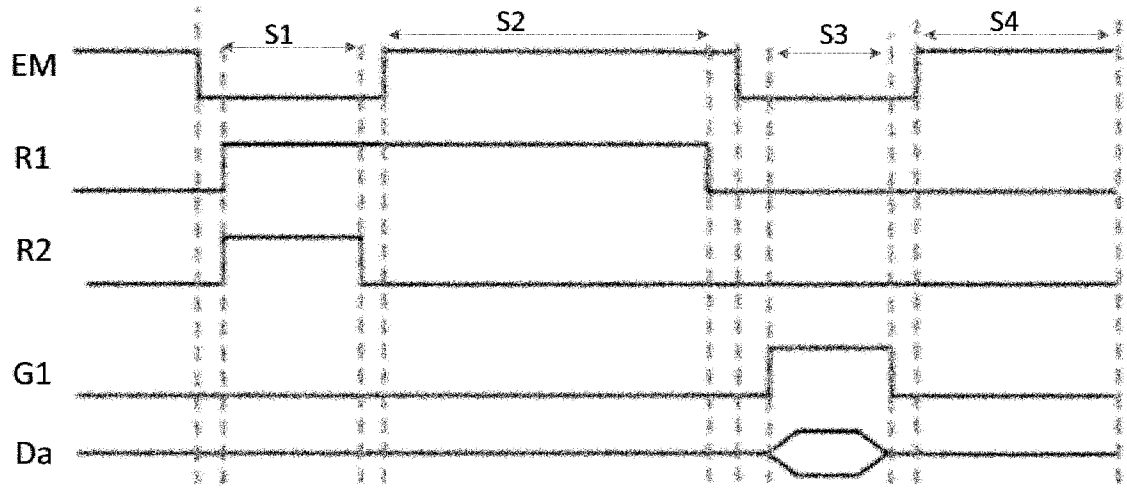


图 27

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/073816

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3208(2016.01)i; G09G3/32(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 袁长龙, 京东方, 像素, 驱动, 存储, 储能, 第二, 数据, 补偿, 节点, 复位, 阈值, 电压, 高频, pixel, driv???, storage, second, data, compensat???, node, reset, threshold, voltage, high frequency

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105489163 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 April 2016 (2016-04-13) description, paragraphs [0004]-[0086], and figures 1-7	1-19
X	CN 205282056 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2016 (2016-06-01) description, paragraphs [0004]-[0082], and figures 1-7	1-19
A	CN 103413520 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 November 2013 (2013-11-27) entire document	1-19
A	CN 103778889 A (AU OPTRONICS, CORP.) 07 May 2014 (2014-05-07) entire document	1-19
A	CN 113053297 A (BOE TECHNOLOGY GROUP CO., LTD.) 29 June 2021 (2021-06-29) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 October 2023

Date of mailing of the international search report

23 October 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/073816

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105489163	A	13 April 2016	US	2018096653	A1	05 April 2018
				US	10192486	B2	29 January 2019
				WO	2017117985	A1	13 July 2017
CN	205282056	U	01 June 2016	None			
CN	103413520	A	27 November 2013	CN	103413520	B	02 September 2015
CN	103778889	A	07 May 2014	CN	103778889	B	20 January 2016
CN	113053297	A	29 June 2021	None			

A. 主题的分类 G09G3/3208(2016.01)i; G09G3/32(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT:袁长龙, 京东方, 像素, 驱动, 存储, 储能, 第二, 数据, 补偿, 节点, 复位, 阈值, 电压, 高频, pixel, driv???, storage, second, data, compensat???, node, reset, threshold, voltage, high frequency		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105489163 A (京东方科技集团股份有限公司 等) 2016年4月13日 (2016 - 04 - 13) 说明书第[0004]-[0086]段, 附图1-7	1-19
X	CN 205282056 U (京东方科技集团股份有限公司 等) 2016年6月1日 (2016 - 06 - 01) 说明书第[0004]-[0082]段, 附图1-7	1-19
A	CN 103413520 A (京东方科技集团股份有限公司 等) 2013年11月27日 (2013 - 11 - 27) 全文	1-19
A	CN 103778889 A (友达光电股份有限公司) 2014年5月7日 (2014 - 05 - 07) 全文	1-19
A	CN 113053297 A (京东方科技集团股份有限公司) 2021年6月29日 (2021 - 06 - 29) 全文	1-19
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年10月11日	国际检索报告邮寄日期 2023年10月23日	
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员 勒海 电话号码 (+86) 0512-88997479	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/073816

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105489163	A	2016年4月13日	US	2018096653	A1	2018年4月5日
				US	10192486	B2	2019年1月29日
				WO	2017117985	A1	2017年7月13日
CN	205282056	U	2016年6月1日	无			
CN	103413520	A	2013年11月27日	CN	103413520	B	2015年9月2日
CN	103778889	A	2014年5月7日	CN	103778889	B	2016年1月20日
CN	113053297	A	2021年6月29日	无			