



(12)发明专利

(10)授权公告号 CN 107564826 B

(45)授权公告日 2020.05.08

(21)申请号 201710713141.1

H01L 23/538(2006.01)

(22)申请日 2017.08.18

H01L 25/065(2006.01)

(65)同一申请的已公布的文献号

审查员 穆晓龄

申请公布号 CN 107564826 A

(43)申请公布日 2018.01.09

(73)专利权人 华进半导体封装先导技术研发中心有限公司

地址 214135 江苏省无锡市新吴区菱湖大道200号传感网国际创新园D1栋

(72)发明人 徐健

(74)专利代理机构 北京三聚阳光知识产权代理有限公司 11250

代理人 陈博旸

(51)Int.Cl.

H01L 21/60(2006.01)

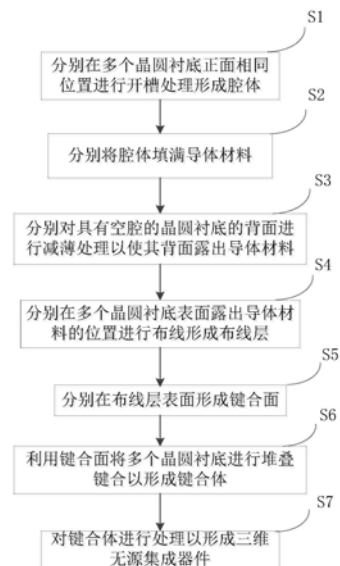
权利要求书1页 说明书5页 附图6页

(54)发明名称

一种用于制作三维无源集成器件的键合体及器件制作方法

(57)摘要

本发明公开了一种用于制作三维无源集成器件的键合体及器件制作方法。其中,一种三维无源集成器件的制作方法,分别在多个晶圆衬底中形成导体并在晶圆衬底表面露出导体的位置进行布线形成布线层,分别在布线层表面形成键合面,利用键合面将多个晶圆衬底进行堆叠键合以形成键合体,对键合体进行处理以形成三维无源集成器件。本发明提供的方法采用多层晶圆堆叠的方式,在原有单层立体IPD设计方案的基础上,堆叠多层IPD设计方案,产品的电器性能有较大的提升。本发明提供的键合体相比于平面结构,其占有的面积更小,更加有利于小型化的应用,由于是晶圆级的封装形式,其生产效率更高,成本优势更大。



1. 一种三维无源集成器件的制作方法,其特征在于,包括如下步骤:

分别在多个晶圆衬底中形成导体;

分别在所述多个晶圆衬底表面露出所述导体的位置进行布线形成布线层;

分别在所述布线层表面形成键合面;

利用所述键合面将所述多个晶圆衬底进行堆叠键合以形成键合体;

对所述键合体进行处理以形成三维无源集成器件;

其中,所述分别在多个晶圆衬底中形成导体的步骤包括:

分别在部分晶圆衬底的正面相同位置进行开槽处理形成腔体;

分别在所述腔体的内壁上内壁及内壁与所述晶圆衬底的衔接处形成导体材料;

分别对具有所述腔体的晶圆衬底的背面进行减薄处理以使其背面露出所述导体材料;

在未开槽的晶圆衬底正面与开槽的晶圆衬底的开槽位置相应的位置形成导体层;

所述对所述键合体进行处理以形成三维无源集成器件的步骤包括:

在使所述部分晶圆衬底的腔体内壁形成导体材料后的腔体空隙中填充第一绝缘材料;

在所述键合体的顶层表面形成第二绝缘材料,并露出所述导体材料作为电极。

2. 根据权利要求1所述的方法,其特征在于,在所述利用所述键合面将所述多个晶圆衬底进行堆叠键合以形成键合体的步骤中,将未开槽的晶圆衬底作为所述键合体的底层。

3. 一种用于制作三维无源集成器件的键合体,其特征在于,包括:

多个晶圆衬底,所述晶圆衬底中具有导体;

所述晶圆衬底的表面露出所述导体的位置附有布线层;

所述布线层上面具有键合面;

所述多个晶圆衬底通过所述键合面键合组成键合体;

所述键合体的顶层表面附有第二绝缘材料,并露出所述导体材料作为电极;

所述键合体中最底层的晶圆衬底表面与具有腔体的晶圆衬底的对应位置附着所述导体材料;

组成所述键合体中其它层的晶圆衬底的相同位置具有多个腔体,所述腔体的内壁及内壁与表面的衔接处附着所述导体材料,所述腔体内壁形成导体材料后的腔体空隙中填充第一绝缘材料。

4. 根据权利要求3所述的用于制作三维无源集成器件的键合体,其特征在于,所述键合面由铜、镍、锡、银中的至少一种材料构成。

一种用于制作三维无源集成器件的键合体及器件制作方法

技术领域

[0001] 本发明涉及半导体封装技术领域,具体涉及一种用于制作三维无源集成器件的键合体及器件制作方法。

背景技术

[0002] 当前,离散无源器件占了整个射频模块的90%的元器件,80%的面积,70%的成本。集成无源器件(IPD)技术可以用芯片替代离散无源器件,有电性能良好,小型化和低成本的有点。由于传统的IPD设计是在衬底表面走单层或多层线路,通过不同电容、电感、电阻等无源器件,实现滤波器、巴伦等的设计。由于线路都在衬底表面布线,受限于空间限制,很难实现高电器性能及Q值的要求,无法满足整体器件的性能要求。另外,也有部分采用在衬底刻蚀腔体的方式来实现立体电感或电容结构,相应的电器性能及Q值有所提高,但受限于衬底自身的厚度及填充金属工艺的能力限制,往往所设计的IPD电器性能及Q值也无法满足相应的要求。

发明内容

[0003] 因此,本发明要解决的技术问题在于克服现有技术中无法实现高电器性能及Q值缺陷,从而提供一种用于制作三维无源集成器件的键合体及器件制作方法。

[0004] 本发明提供了一种三维无源集成器件的制作方法,包括如下步骤:

[0005] 分别在多个晶圆衬底中形成导体;

[0006] 分别在所述多个晶圆衬底表面露出所述导体的位置进行布线形成布线层;

[0007] 分别在所述布线层表面形成键合面;

[0008] 利用所述键合面将所述多个晶圆衬底进行堆叠键合以形成键合体;

[0009] 对所述键合体进行处理以形成三维无源集成器件。

[0010] 优选地,所述分别在多个晶圆衬底中形成导体的步骤包括:

[0011] 分别在部分晶圆衬底的正面相同位置进行开槽处理形成腔体;

[0012] 分别在所述腔体的内壁上内壁及内壁与所述晶圆衬底的衔接处形成导体材料;

[0013] 分别对具有所述空腔的晶圆衬底的背面进行减薄处理以使其背面露出所述导体材料;

[0014] 在未开槽的晶圆衬底正面与开槽的晶圆衬底的开槽位置相应的位置形成导体层。

[0015] 优选地,在所述利用所述键合面将所述多个晶圆衬底进行堆叠键合以形成键合体的步骤中,将未开槽的晶圆衬底作为所述键合体的底层。

[0016] 优选地,所述对所述键合体进行处理以形成三维无源集成器件的步骤包括:

[0017] 在使所述部分晶圆衬底的腔体内壁形成导体材料后的腔体空隙中填充第一绝缘材料;

[0018] 在所述键合体的顶层表面形成第二绝缘材料,并露出所述导体材料作为电极。

[0019] 优选地,所述分别基于所述多个晶圆衬底的腔体填充导体材料的步骤包括:

- [0020] 分别在所述多个晶圆衬底的正面相同位置进行开槽处理形成腔体；
- [0021] 分别将所述腔体的中填满导体材料；
- [0022] 分别对具有所述空腔的晶圆衬底的背面进行减薄处理以使其背面露出所述导体材料。
- [0023] 优选地,所述分别对具有所述空腔的晶圆衬底的背面进行减薄处理以使其背面露出所述导体材料的步骤包括:
- [0024] 分别利用键合载片和具有所述空腔的晶圆衬底的正面进行临时键合；
- [0025] 分别对临时键合后的晶圆衬底的背面进行减薄处理以露出所述导体材料；
- [0026] 去除所述键合载片。
- [0027] 另一方面,本发明提供的一种用于制作三维无源集成器件的键合体,包括:
- [0028] 多个晶圆衬底,所述晶圆衬底上具有导体；
- [0029] 所述晶圆衬底的表面露出所述导体的位置附有布线层；
- [0030] 所述布线层上面具有键合面；
- [0031] 所述多个晶圆衬底通过所述键合面键合组成键合体。
- [0032] 优选地,所述晶圆衬底的相同位置中具有多个腔体,所述腔体中填满导体材料。
- [0033] 优选地,所述键合体中最底层的晶圆衬底表面与具有腔体的晶圆衬底的对应位置附着所述导体材料;组成所述键合体中其它层的晶圆衬底的相同位置具有多个腔体,所述腔体的内壁及内壁与表面的衔接处附着所述导体材料,所述腔体内壁形成导体材料后的腔体空隙中填充第一绝缘材料。
- [0034] 优选地,所述键合体的顶层表面附有第二绝缘材料,并露出所述导体材料作为电极。
- [0035] 优选地,所述键合面由铜、镍、锡、银中的至少一种材料构成。
- [0036] 本发明技术方案,具有如下优点:
- [0037] 1. 本发明提供的三维无源集成器件的制作方法,分别在多个晶圆衬底中形成导体并在晶圆衬底表面露出导体的位置进行布线形成布线层,分别在布线层表面形成键合面,利用键合面将多个晶圆衬底进行堆叠键合以形成键合体,对键合体进行处理以形成三维无源集成器件。本发明提供的方法采用多层晶圆堆叠的方式,在原有单层立体IPD设计方案的基础上,堆叠多层IPD设计方案,产品的电器性能有较大的提升。
- [0038] 2. 本发明提供的一种用于制作三维无源集成器件的键合体,包括多个晶圆衬底,晶圆衬底上形成导体;晶圆衬底的表面露出导体的位置附有布线层,布线层上面具有键合面,多个晶圆衬底通过键合面键合组成键合体。相比于平面结构,其占有的面积更小,更加有利于小型化的应用,由于是晶圆级的封装形式,其生产效率更高,成本优势更大。

附图说明

[0039] 为了更清楚地说明本发明具体实施方式或现有技术中的技术方案,下面将对具体实施方式或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施方式,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0040] 图1为本发明实施例1中一种三维无源集成器件的制作方法的一个具体示例的流

程图；

[0041] 图2-图7为本发明实施例1中一种三维无源集成器件的制作方法的一个具体示例步骤所得的结构示意图；

[0042] 图8为本发明实施例2中一种三维无源集成器件的制作方法的一个具体示例的流程图；

[0043] 图9-图18为本发明实施例2中一种三维无源集成器件的制作方法的一个具体示例步骤所得的结构示意图。

[0044] 附图标记：

[0045] 1-晶圆衬底； 2-腔体； 3-导体材料； 4-布线层；

[0046] 5-键合面； 6-键合载片；

[0047] 7-第一绝缘材料； 8-第二绝缘材料； 9-电极。

具体实施方式

[0048] 下面将结合附图对本发明的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0049] 此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性。

[0050] 此外，下面所描述的本发明不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

[0051] 实施例1

[0052] 本实施例提供一种三维无源集成器件的制作方法，用于制作三维电感，如图1所示，包括如下步骤：

[0053] S1：分别在多个晶圆衬底1正面相同位置进行开槽处理形成腔体2；

[0054] 本实施例中，如图2所示，在晶圆衬底1表面相同位置的部分区域进行开槽刻蚀处理，形成电感的腔体2。

[0055] S2：分别将腔体填满导体材料3；

[0056] 本实施例中，如图3所示，利用电镀等工艺，在刻蚀槽内进行金属填充，材料为铜或者铝。

[0057] S3：分别对具有空腔的晶圆衬底的背面进行减薄处理以使其背面露出导体材料3；

[0058] 本实施例中，如图4所示，在衬底背面进行研磨打薄，将上表面金属化的槽底露出。

[0059] S4：分别在多个晶圆衬底表面露出导体材料3的位置进行布线形成布线层4；

[0060] 本实施例中，如图5所示，在晶圆填充的金属位置的表面进行RDL布线，形成布线层4。

[0061] S5：分别在布线层表面形成键合面5；

[0062] 如图5所示，在布线层4上形成键合面5。

[0063] S6：利用键合面5将多个晶圆衬底进行堆叠键合以形成键合体；

[0064] 如图6和图7所示，本实施例中将多个单片立体电感结构进行晶圆级的键合，实现三维立体堆叠。

- [0065] S7:对键合体进行处理以形成三维无源集成器件。
- [0066] 本实施例中,完成相应的键合后,进行晶圆进行切割及后期其他的组装工艺。
- [0067] 相应地,本实施例还提供一种用于制作三维无源集成器件的键合体,包括:
- [0068] 多个晶圆衬底1,晶圆衬底上具有多个腔体2,腔体中填满导体材料3;晶圆衬底的表面露出导体材料3的位置附有布线层4;布线层4上面具有键合面5;多个晶圆衬底通过键合面5键合形成键合体。
- [0069] 本实施例中,导体材料3为铜或者铝,键合面由三层组成,第一层为铜,第二层为镍,第三层为锡、银合金。
- [0070] 实施例2
- [0071] 本实施例提供一种三维无源集成器件的制作方法,用于制作三维电容,如图8所示,包括如下步骤:
- [0072] S1:分别在部分晶圆衬底1的正面相同位置进行开槽处理形成腔体2;
- [0073] 本实施例中,如图9所示,在晶圆衬底表面部分区域利用刻蚀工艺进行开槽刻蚀处理,形成电容的腔体。
- [0074] S2:分别在腔体的内壁上内壁及内壁与晶圆衬底的衔接处形成导体材料3,在未开槽的晶圆衬底正面与开槽的晶圆衬底的开槽位置相应的位置形成导体层;
- [0075] 本实施例中,如图10所示,利用PVD及电镀等工艺在槽腔体内部及衬底表面形成金属层,金属材料可以为铜或者铝,在未开槽的衬底表面开槽的晶圆衬底相同位置附着相同的导体材料,形成导体层。
- [0076] S3:分别利用键合载片6和具有空腔的晶圆衬底的正面进行临时键合;
- [0077] 本实施例中,如图11所示,在晶圆衬底1正面用键合载片将整个晶圆进行临时键合,增加整个结构的机械强度,方便执行后续的工艺。
- [0078] S4:分别对临时键合后的晶圆衬底1的背面进行减薄处理以露出导体材料3;
- [0079] 本实施例中,如图12所示,在临时键合后,将晶圆的背面进行研磨打薄,露出相应的金属层结构。
- [0080] S5:去除键合载片6;
- [0081] S6:分别在多个晶圆衬底1表面露出导体材料3的位置进行布线形成布线层4;
- [0082] 本实施例中,利用PVD、电镀等工艺在晶圆衬底表面的金属层上进行RDL布线。
- [0083] S7:分别在布线层表面形成键合面5;
- [0084] 如图13所示,在移除键合载片6以后,在导体材料2的上面进行布线形成布线层4和在布线层表面形成键合面5。
- [0085] S8:利用键合面5将多个晶圆衬底进行堆叠键合以形成键合体,将未开槽的晶圆衬底作为键合体的底层。
- [0086] 利用上述方法中的步骤组合可制作多种型式的晶圆,如图14所示,这里以W1、W2、W3三种举例。如图15所示,将上述W1、W2、W3三种型式的晶圆通过键合面堆叠键合以形成键合体。
- [0087] S9:在部分晶圆衬底的腔体内壁形成导体材料后的腔体空隙中填充第一绝缘材料7。
- [0088] 本实施例中,如图16所示,完成晶圆键合后,在空隙腔体内填充介质材料,充当电

容两级之间的介质材料。第一绝缘材料7为介质材料可以是树脂、二氧化硅或者氮化硅等其中一种绝缘材料。

[0089] S10:在键合体的顶层表面形成第二绝缘材料8,并露出导体材料作为电极9。

[0090] 本实施例中,如图17所示在键合体的正面,利用光刻及刻蚀工艺形成第二绝缘材料8为树脂、二氧化硅或者氮化硅等其中一种绝缘材料,以起到表面保护作用,如图18所示,露出电容的正极和负极。

[0091] S11:对键合体进行处理以形成三维无源集成器件。

[0092] 完成相应的工艺后,进行晶圆的切割及后期其他的组装工艺。

[0093] 相应地,本实施例还提供一种用于制作三维无源集成器件的键合体,包括:

[0094] 多个晶圆衬底1,部分晶圆衬底的相同位置具有多个腔体2,腔体的内壁及内壁与晶圆衬底的衔接处附着导体材料3,部分晶圆衬底的腔体内壁形成导体材料3后的腔体空隙中填充第一绝缘材料7,部分未开槽晶圆衬底表面在与部分具有腔体的晶圆衬底的对应位置,附着导体材料3。

[0095] 晶圆衬底的表面露出导体材料3的位置附有布线层4;布线层4上面具有键合面5;多个晶圆衬底通过键合面5键合形成键合体。未开槽的晶圆衬底作为键合体的底层。键合体的顶层表面附有第二绝缘材料8,并露出导体材料作为电极9。

[0096] 本实施例中,导体材料3为铜或者铝,键合面由三层组成,第一层为铜,第二层为镍,第三层为锡、银合金。

[0097] 显然,上述实施例仅仅是为清楚地说明所作的举例,而并非对实施方式的限定。对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引伸出的显而易见的变化或变动仍处于本发明创造的保护范围之内。

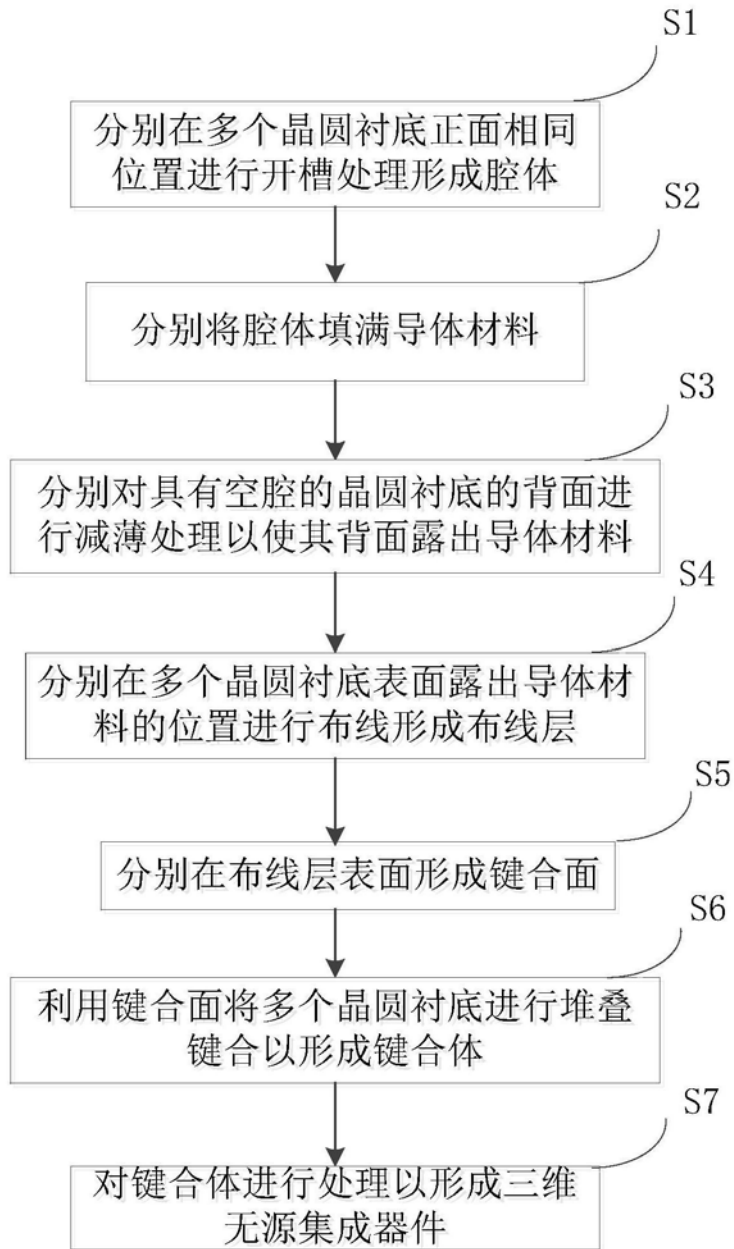


图1



图2



图3



图4



图5

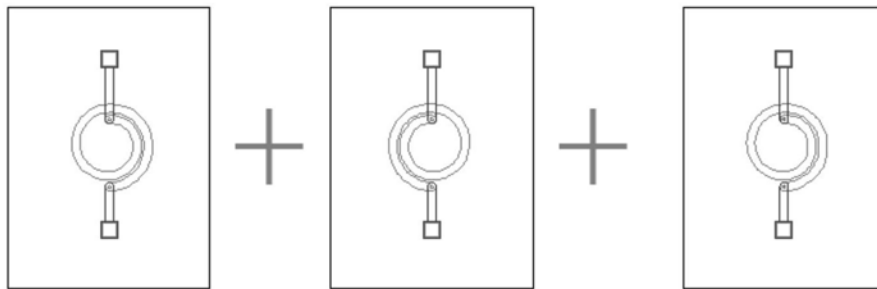


图6

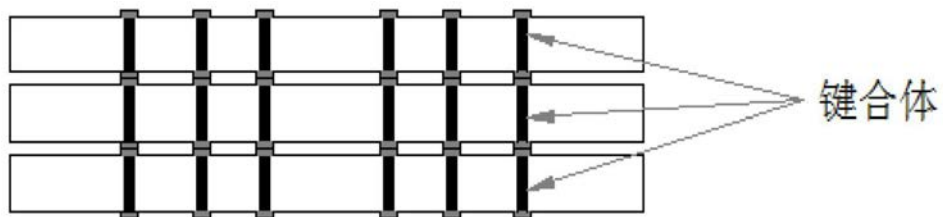


图7

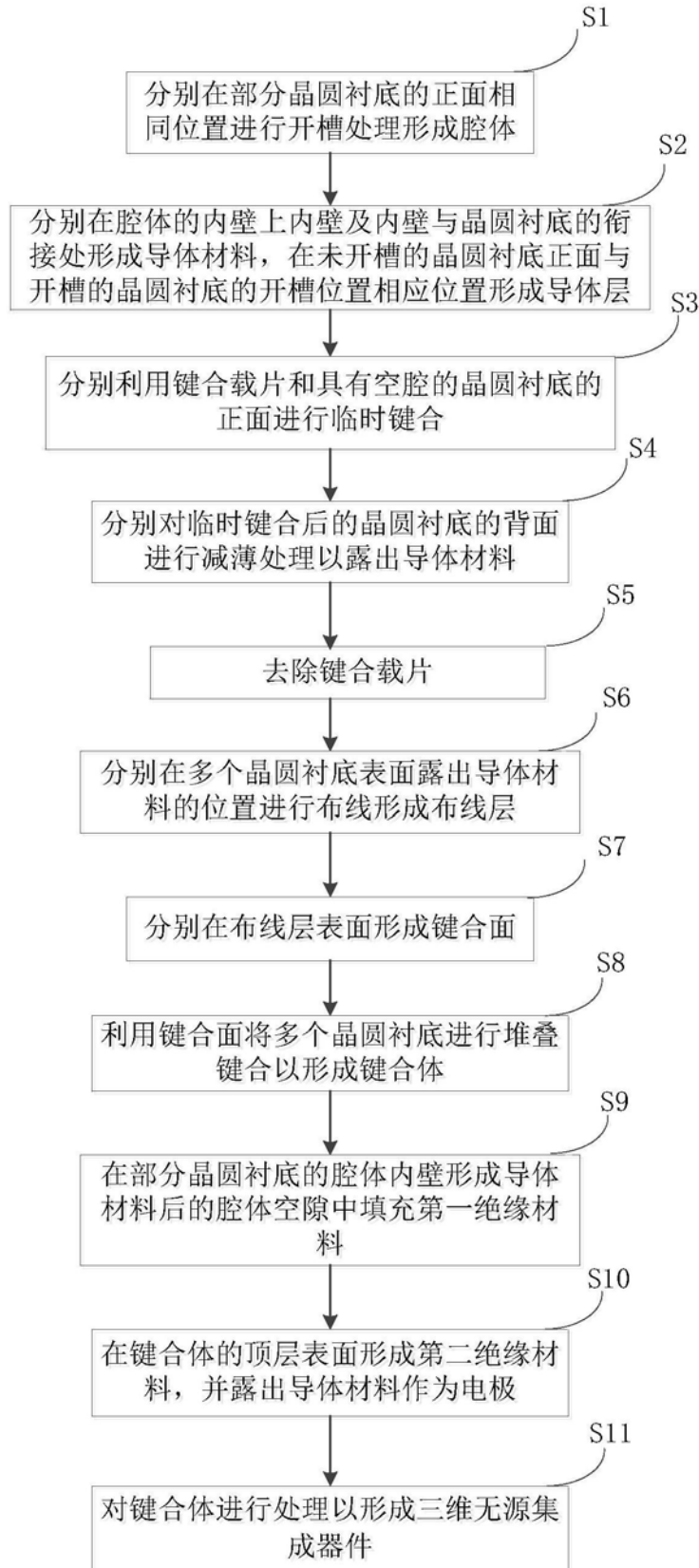


图8

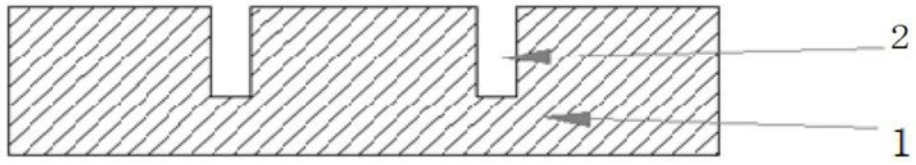


图9

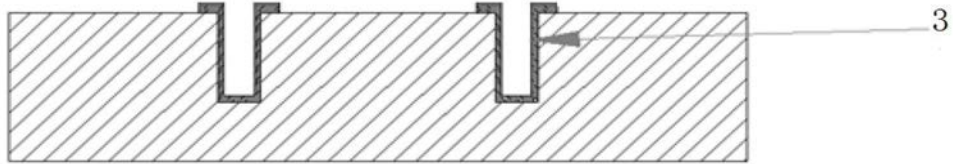


图10

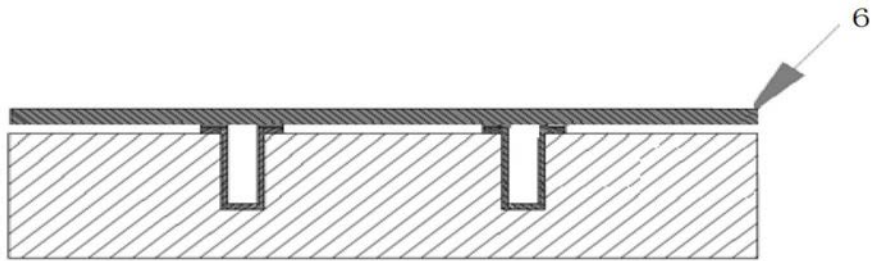


图11

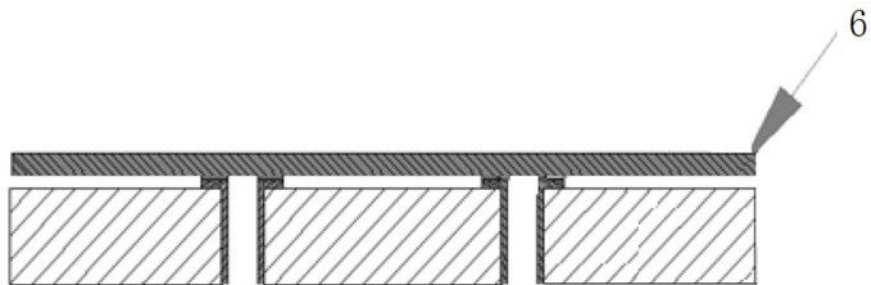


图12

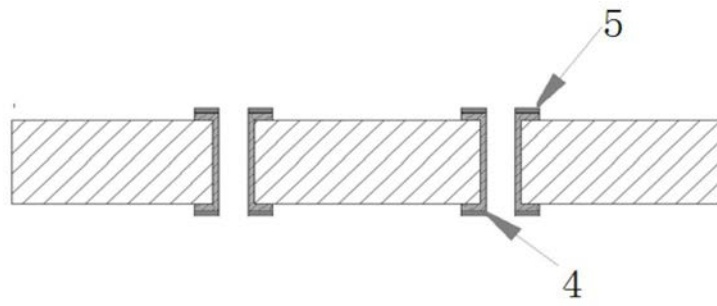


图13

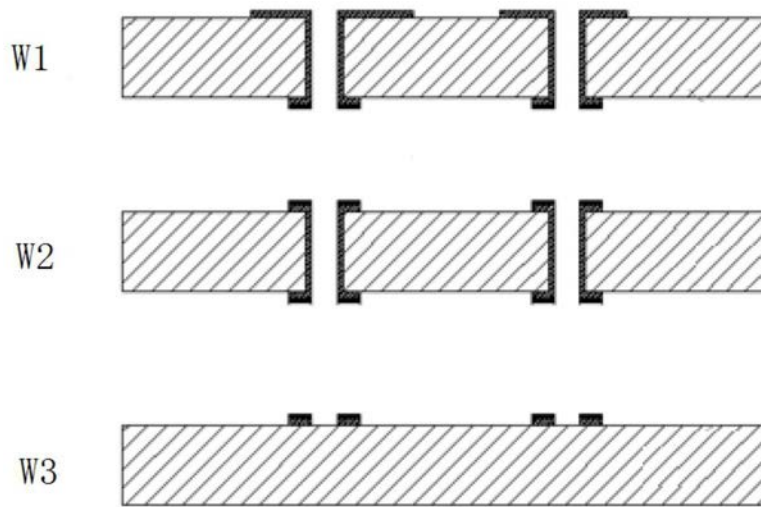


图14

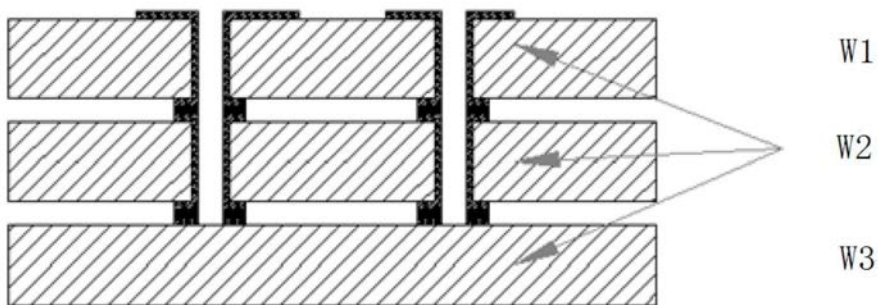


图15

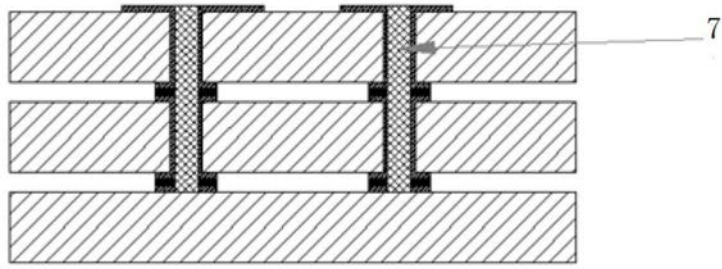


图16

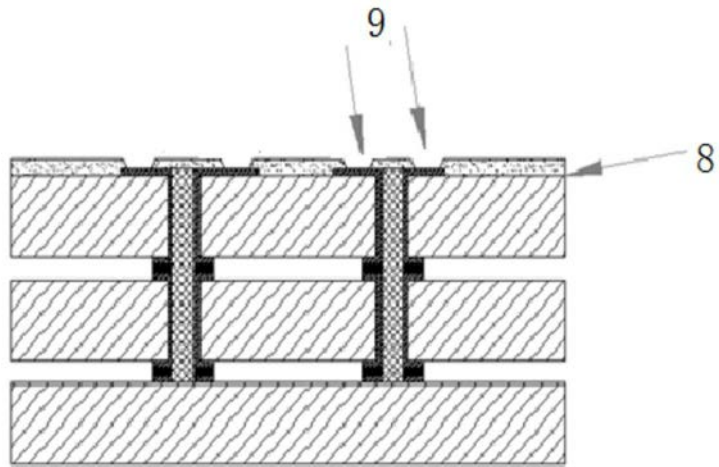


图17

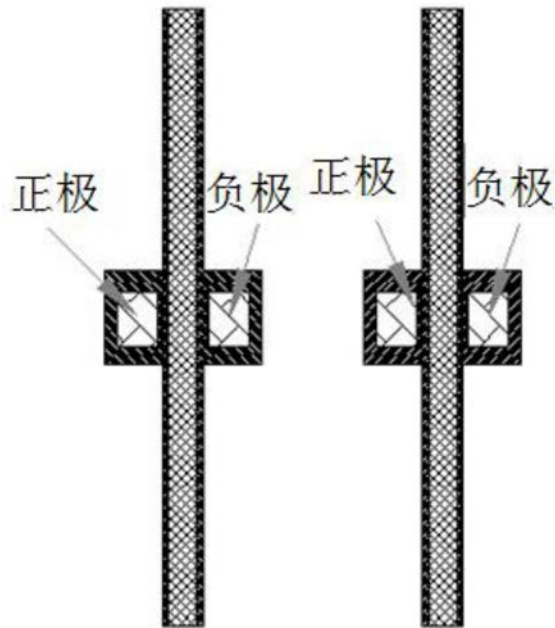


图18