

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年3月22日(22.03.2018)



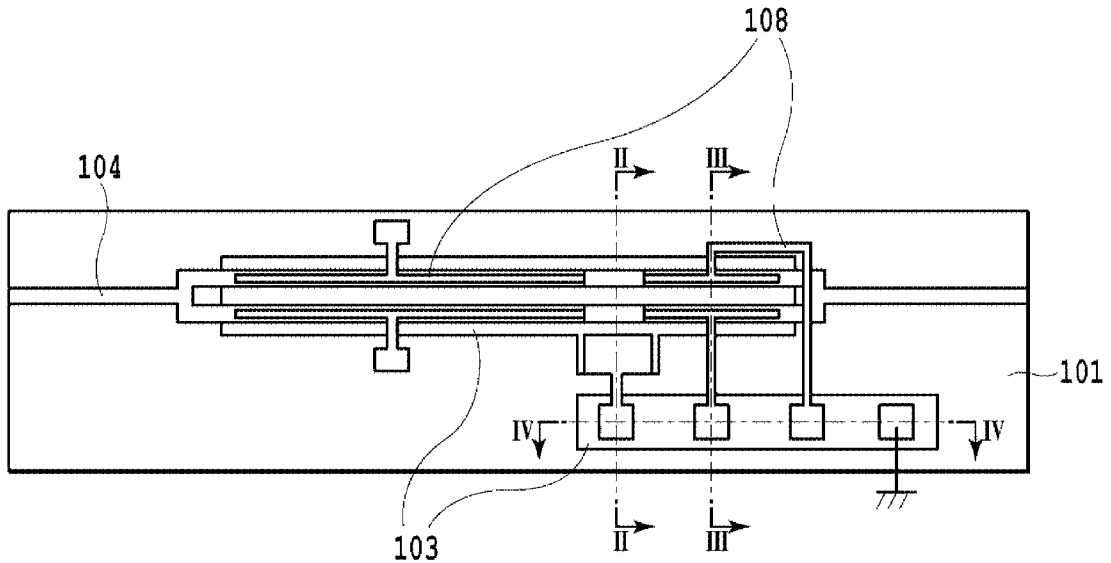
(10) 国際公開番号

WO 2018/052013 A1

- (51) 国際特許分類:  
G02F 1/025 (2006.01) G02F 1/017 (2006.01)
- (21) 国際出願番号: PCT/JP2017/033014
- (22) 国際出願日: 2017年9月13日(13.09.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-178905 2016年9月13日(13.09.2016) JP
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 小木 曾 義 弘 (OGISO Yoshihiro); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).  
馬渡 宏泰 (MAWATARI Hiroyasu); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).  
菊池 順裕 (KIKUCHI Nobuhiro); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).
- (74) 代理人: 特許業務法人 谷・阿部特許事務所 (TANI & ABE, P.C.); 〒1070052 東京都港区赤坂2丁目6-20 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR OPTICAL MODULATION ELEMENT

(54) 発明の名称: 半導体光変調素子



(57) **Abstract:** The present invention provides a high-reliability, high-speed, low-loss semiconductor optical modulation element that protects a pin-jointed structure in a modulation region from reverse-voltage ESD by comprising an additional capacitor having a thyristor structure between a plurality of power supply pad electrodes. An n-type contact layer 102, an n-type cladding layer 103, a non-doped core-cladding layer 104, a p-type cladding layer 106, and a p-type contact layer 107 are layered in that order on a substrate surface. A Mach-Zehnder interference waveguide and a plurality of power supply pad provision locations are formed via dry etching. The n-type contact layer 102 and n-type cladding layer 103 are removed, except in a modulation region of the Mach-Zehnder interference waveguide and a power supply region in which the plurality of power supply pad provision locations are formed, so as to electrically isolate the modulation region and the semiconductor beneath the power supply region. A plurality of power supply pads is formed on the shared n-type contact



WO 2018/052013 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

layer 102 and n-type cladding layer 103, and a pinip-joined thyristor structure is formed between the power supply pads.

(57) 要約: 本発明は、複数の給電パッド電極間でサイリスタ構造を有する付加容量を構成させることで、変調領域の p i n 接合構造を逆方向電圧 E S D から保護する、高信頼性の高速・低損失な半導体光変調素子を提供する。基板面から順に n 型コンタクト層 1 0 2、n 型クラッド層 1 0 3、ノンドープのコア・クラッド層 1 0 4、p 型クラッド層 1 0 6、p 型コンタクト層 1 0 7 を積層する。ドライエッチングによりマッハ・ツェンダ干渉導波路と複数の給電パッド設置部を形成する。マッハ・ツェンダ干渉導波路部の変調領域と複数の給電パッド設置部が形成された給電領域を除いて n 型コンタクト層 1 0 2 および n 型クラッド層 1 0 3 を除去し、変調領域と給電領域下部の半導体を電氣的に分離させる。複数の給電パッドは、共通の n 型コンタクト層 1 0 2 および n 型クラッド層 1 0 3 上に形成され、給電パッド間には p i n i p 接合のサイリスタ構造が形成される。

## 明 細 書

発明の名称：半導体光変調素子

### 技術分野

[0001] 本発明は、高速変調可能なサージバイパス回路付きの半導体光変調素子に関する。

### 背景技術

[0002] 近年、光変調器の小型化・高速化を背景に化合物半導体材料を用いた光変調器が盛んに研究開発されている。中でもInPを基板材料として用いている光変調器は通信波長帯で量子閉じ込めシュタルク効果等を活用して高効率な変調動作が可能であるため、従来の強誘電体材料に代わる有望な変調器材料として注目されている。

[0003] 半導体光変調器にはヘテロpin接合を用いて、光の閉じ込めと共に導波路のコア部分に効果的に電圧が印加されるようにしたInP/InGaAsP光変調器や、更なる低電圧駆動の光変調器を実現すべく両方のInPクラッド層をn型とし、電子電流を抑制するためのバリア層として薄いp型半導体の層（p型のバリア層）を挿入したnpin形の半導体光変調器構造が提案されている（例えば、特許文献1）。

[0004] このnpin形は、光損失の要因となるp型のクラッド層を使わないため、比較的長い導波路を用いることを可能とし、駆動電圧を下げる上で優位となる。また、空乏層厚を任意に最適設計できるという自由度があるため、電気インピーダンスダンスの整合と、電気速度/光速度の整合を同時に満足しやすく、高速化にも有利である、という特徴を持つ。

[0005] 一方で、半導体デバイスの信頼性においては静電気放電（ESD）対策が無視できない。ここで半導体のようにダイオードデバイスにおいてESDを議論する場合、pn接合間で電圧印加により電流が流れる、所謂「順方向電圧ESD」と電流が流れない（空乏化する）所謂「逆方向電圧ESD」の2極性に分ける必要がある。

[0006] 一般に順方向電圧 ESD の場合にはダイオードに電流が流れるため、そこでの故障率は低い。対して、逆方向電圧 ESD はダイオードに電流は流れないため、空乏層へ直に高電界が瞬間的に印加されるため、結果的に故障率が高まる。そのことから、通常デバイスの ESD 試験では逆方向電圧の極性を用いて ESD 評価を行うことが多い。

[0007] 図 14 に従来の npin 構造の半導体光変調器の上面図を示し、図 15 に図 14 の XV-XV 断面を示し、図 16 に図 14 の XVI-XVI 断面を示し、図 17 に図 14 の XVII-XVII 断面を示す。従来の半導体光変調器は、Si-InP 基板 301 上に n 型コンタクト層 302、n 型クラッド層 303、p 型キャリアブロック層 304、ノンドープコア・クラッド層 305 が順に積層されている。ノンドープコア・クラッド層 305 は、図 15 に示すようにマッハ・ツェンダ干渉導波路を構成するように形成されている。ノンドープのコア・クラッド層 305 上には、図 15 に示すように半絶縁性 (SI) クラッド層 306 が形成された領域と、図 16 に示すように n 型クラッド層 309、n 型コンタクト層 310 が形成された領域とがある。導波路の周囲はベンゾシクロブテン (BCB) などの有機膜 308 で覆われている。

[0008] 電極 307 は、有機膜 308 上に電極が形成されており、有機膜 308 の一部をエッチングして露出した下部 n 型コンタクト層 302、上部 n 型コンタクト層 310 に接続されている。

[0009] このような従来の半導体光変調器ではデバイスの寄生容量は変調領域の pn 接合部の容量が支配的であることから、ESD による高電界の殆どが pn 接合部に印加されてしまう。その結果、デバイスの核となる変調領域のダイオード故障を誘発する確率が高まる。

[0010] 特に従来の pin 構造 (例えば非特許文献 1) とは異なり、npin 構造では (1) 中間 p 層電位が固定されていない、(2) np 接合部で電荷が蓄積されやすい、(3) 薄膜 p 層においてトンネル効果などを起点としてブレークダウンしやすい、等によって電氣的なサージ耐性に特に課題を有してい

た。

[0011] 一般に、半導体デバイスにおいては耐サージ特性を向上させるために、デバイス周辺にブロックキャパシタを搭載し、デバイスと並列に電気接続させることで寄生容量を増大させてサージ耐性を向上させている。

[0012] しかし、ブロックキャパシタを実装搭載する前にサージが半導体デバイスに加わった場合にはサージ故障を誘発する恐れが高まる。そのため、付加容量は実装工程で追加するのではなく、半導体ウエハプロセスの段階で作り込むことが望ましい。

[0013] 半導体側に容量を付加させる方法としては主に2パターンが挙げられる。1つは絶縁体膜を金属電極で挟んだMIM (Metal-Insulator-Metal) 構造を設ける方法であり、もう1つは変調領域の他に、例えば大面積となる給電パッド電極直下にpinダイオード構造を設ける方法がある。

## 先行技術文献

## 特許文献

[0014] 特許文献1：特開2005-099387号公報

## 非特許文献

[0015] 非特許文献1：K.-O. Velthaus, et al., “Impedance-Engineered Low Power MZM / Driver Assembly for CFP4-Size Pluggable Long Haul and Metro Transceiver”, ECOC2014, Tu.1.1.1

## 発明の概要

## 発明が解決しようとする課題

[0016] しかしながら、前者の場合には変調領域の寄生容量よりも大きな容量（例えば100pF以上）をMIM構造で作製することが困難であるという課題がある。例えば、絶縁体を200nmのSiO<sub>2</sub>（比誘電率4.2）とした場合には、パッド電極面積が0.5mm<sup>2</sup>以上必要となり、小型化への大きな障害となる。

[0017] また、後者の場合にはダイオード構造に起因してパッド電極に印加する電圧の極性が制限される他、パッド領域直下に例えばn p i n構造の容量を設ける対策を講じても、変調部の容量比に応じてESDの最大電圧値は減少するものの逆方向電圧ESDに対して故障率を大きく改善することができないという課題がある。即ち、耐サージ特性向上の根本的解決には、変調領域にESDによる逆方向電圧が印加されないような構造的対策が求められる。

[0018] 本発明は、このような課題に鑑みてなされたもので、その目的とするところは、複数の給電パッド電極間でサイリスタ構造を有する付加容量を構成させることで、変調領域のp i n接合構造を逆方向電圧ESDから保護する、高信頼性の高速・低損失な半導体光変調素子を提供することにある。

#### 課題を解決するための手段

[0019] 上記の課題を解決するために、本発明の一態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたp i n接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも2本の給電電極と、を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

[0020] 本発明の別の態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたp i n接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造

上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも3本の給電電極と、を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

[0021] 本発明の別の態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順で積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも2本の給電電極と、を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

[0022] 本発明の別の態様は、半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順に積層されたnipn接合又はpinp接合を有する積層構造に光導波路

が形成された半導体光変調素子であって、前記積層構造上に形成された給電電極設置部と、前記給電電極設置部上に形成された少なくとも3本の給電電極と、を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第2のクラッド層を介して互いに導通され、前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする。

[0023] 本発明の別の態様ではさらに、前記給電電極は、前記半絶縁性基板に接するように形成された給電パッドを有することを特徴とする。

[0024] 本発明の別の態様では、前記変調電極に接続された給電電極は、接地された、異なる少なくとも1つの前記給電電極に前記下部クラッド層を介して導通されていることを特徴とする。

[0025] 本発明の別の態様ではさらに、前記光導波路は、マッハ・ツェンダ型光干渉計を構成していることを特徴とする。

[0026] 本発明の別の態様ではさらに、前記変調電極は、容量装荷型の進行波電極構造を有していることを特徴とする。

### 発明の効果

[0027] 本発明は、pin接合を有する半導体変調器において、複数の給電電極電極間でサイリスタ構造を有する付加容量を構成させることで、変調領域のpin接合構造を逆方向電圧ESDから保護することができる。

### 図面の簡単な説明

[0028] [図1]本発明の第1の実施形態に係るサージバイパス回路付高速変調器の上面図である。

[図2]図1のI-I断面である。

[図3]図1のIII-III断面である。

[図4]図1のIV-IV断面である。

[図5]本発明の第1の実施形態に係る他のサージバイパス回路付高速変調器の上面図である。

[図6]本発明の第2の実施形態に係るサージバイパス回路付高速変調器の上面図である。

[図7]図6のV1-V1断面である。

[図8]図6のV2-V2断面である。

[図9]図6のIX-IX断面である。

[図10]本発明の第2の実施形態に係る他のサージバイパス回路付高速変調器の上面図である。

[図11]本発明の第2の実施形態に係る他のサージバイパス回路付高速変調器の上面図である。

[図12]図11のX1-X1断面である。

[図13]図11のX2-X2断面である。

[図14]従来のnpin構造の半導体光変調器の上面図である。

[図15]図14のXV-XV断面である。

[図16]図14のXV1-XV1断面である。

[図17]図14のXV2-XV2断面である。

### 発明を実施するための形態

[0029] 本発明では、pnダイオード構造デバイスでのESD対策（逆方向電圧ESD）として、ESD故障率の低い順方向電圧ESDに着目した。即ち、ESD対策として複数のダイオードを逆向きに直列に接続しておくことで、仮に変調領域に対して逆方向電圧ESDとなる電圧がデバイス回路内に印加された場合にも、それら回路内の複数のダイオードの何れかに対しては順方向電圧となるので、そこで電荷を消費させる。これにより、変調領域を含むその他のダイオードに対して印加される逆方向電圧を大きく低減することができる。

[0030] ESD対策用の逆向きに直列接続された複数のダイオードの一例としては、pn接合を逆向きに直列に接続させたnpnp又はpnpn接合などの所謂サイリスタ構造がある。サイリスタ構造では、何れの極性のESDが印加されてもpn接合単体の場合とは異なり、必ず順方向電圧が印加される機構を有するため、結果的にESD耐性を高める効果がある。よってこのサイリスタ構造を有する付加回路をデバイス内に追加することがESD対策として有効といえる。

[0031] 加えてサイリスタ構造を含んだ両端の電極に任意の極性の電圧を印加してもそこでは電流が殆ど流れないため、その構造を給電パッド領域に設けたとしても給電パッドに印加する電圧極性に制限が加わらない。

[0032] また、複数一組からなる給電パッド電極群の少なくとも1つの電極を電気実装の初段で接地接続しておくことで、その後に、何れの電極を介してESDが生じた場合にも、接地電極との間でサイリスタ構造が構成できる。よって、その後の実装工程においてESD耐性を向上させることができる。

[0033] 以下に、図面を参照して本発明の実施の形態について説明する。

[0034] (第1の実施形態)

図1に、本発明の第1の実施形態に係るサージバイパス回路付高速変調器の上面図を示す。図2に図1のI-I断面を示し、図3に図1のII-II断面を示し、図4に図1のV-V断面を示す。

[0035] 基板101は閃亜鉛鉱型の化合物半導体結晶として、例えばSi型のInP(100)基板を用いる。エピタキシャル成長によって基板面から順にn型コンタクト層102、n型クラッド層103、ノンドープのコア・クラッド層104、p型クラッド層106、p型コンタクト層107を積層する。

[0036] コア・クラッド層104のコア層は、1.5 $\mu$ m帯波長に対して電気光学効果による屈折率変化を効率的に用いるべく、InGaAsP/InGaAsPの周期からなる多重量祖井戸構造(PL波長:1.4 $\mu$ m)を用いた。

[0037] コア・クラッド層104のクラッド層の組成は、例えばコア層よりも屈折率が低いInPとし、n型コンタクト層102およびp型コンタクト層10

7にはInPに格子整合し、エネルギーバンドギャップの小さいInGaAsを用いた。

[0038] なお、コアとクラッドの組成はそれぞれで比屈折率差を有していればよい。例えばコア・クラッド層104、n型クラッド層103およびp型クラッド層106に、組成の異なるInGaAlAsなどを用いても問題ないことは明らかである。

[0039] また波長は1.5 $\mu$ m帯に限定されず、例えば1.3 $\mu$ m帯を用いたとしても本発明の有用性は失われない。

[0040] 電極間の電気分離を行うために、変調領域及び給電パッド領域以外の導電性のp型クラッド層106及びp型コンタクト層107をドライエッチング及びケミカルエッチングによって除去した後、ノンドープのクラッド層105（ここではInP）を結晶再成長により堆積させてBCBなどの有機膜109で埋め戻す（例えば図2）。尚、変調領域とは、マッハ・ツェンダ干渉導波路の電極108が形成された領域のことであり、マッハ・ツェンダ干渉導波路の高周波信号または直流電圧が印加される領域のことである。

[0041] 続いて、図1、4に示すように、SiO<sub>2</sub>マスクを用いたドライエッチングによりコア・クラッド層104まで分離することによりマッハ・ツェンダ干渉導波路と複数の給電パッド設置部を形成する。その後、図2、3に示すように、マッハ・ツェンダ干渉導波路部の変調領域と複数の給電パッド設置部が形成された給電領域を除いてn型コンタクト層102およびn型クラッド層103をエッチング加工によって除去し、変調領域と給電領域下部の半導体を電氣的に分離させる。

[0042] BCB109で上面を平坦化後、電極108を形成する一部領域のBCB109を除去してn型コンタクト層102およびp型コンタクト層107を露出させ、それらと電氣的に接続するように、例えば蒸着及びメッキ法を用いてAu/Tiで電極108を形成する。複数の給電パッドは、共通のn型コンタクト層102およびn型クラッド層103上に形成され、給電パッド間にはpinip接合が形成される。

[0043] 続いて、電極108の給電パッドに例えばAuワイヤーボンディングを行う場合、望ましくは図1に示すように給電パッドの少なくとも1つを初めに接地接続させておくことで、任意の給電パッドへESDが印加されても、接地パッド間でpinip接合を含んだ接続が可能となる。なお、接地接続用の給電パッドが無い場合にも、Auワイヤを接続する順番を規定（例えば、下部n型クラッド用の給電パッドは最後にワイヤ接続を行う）することで、本発明の有用性は失われることはない。給電パッド電極パターンは図1に示す以外にも、例えば図5に示すように、各給電パッド電極が電氣的に分離されており、各給電パッドに個別に少なくとも1つの接地給電パッドが形成されていてもよい。

[0044] なお、当該素子を変調器として駆動させるためには、容量装荷型の進行波電極を用いることでより高速な変調動作が可能となるが、容量を付加しない分布定数線路及び集中定数線路であっても本発明の有用性が失われないことは明らかである。

[0045] また、本実施形態では基板面から順にn-i-pと積層したが、例えば基板面から順にp-i-nと積層しても本発明の有用性は失われないことは明らかである。

[0046] また、本実施形態ではマッハ・ツェンダ干渉導波路部の変調領域には、2つのアーム導波路の両方に電極108が形成され、変調用の電極に接続される給電パッドは3つ設けているが、アーム導波路のp型コンタクト層107の少なくとも一方にのみ電極を形成し、変調用の電極に接続される給電パッドを2つとしてもよい。

[0047] (第2の実施形態)

図6に、本発明の第2の実施形態に係るサージバイパス回路付高速変調器の上面図を示す。図7に図6のV1-V1断面を示し、図8に図6のV1-V1断面を示し、図9に図6のIX-IX断面を示す。実施形態1との差異は半導体層構造が一般的なpin構造ではなく、より高速・低損失な光変調器を構成可能なnipn構造を採用している点である。前述の

とおり、pin構造に比べてESD耐性に課題を有する当該構造もサイリスタ構造を付加回路として用いることでESD耐性を向上させることができる。

- [0048] 基板201は閃亜鉛鋅型の化合物半導体結晶として、例えばSi型のInP(100)基板を用いる。エピタキシャル成長によって基板面から順にn型コンタクト層202、n型クラッド層203、p型キャリアブロック層204、ノンドープのコア・クラッド層205、n型クラッド層207、n型コンタクト層208を積層する。
- [0049] コア・クラッド層205のコア層は、1.5 $\mu$ m帯波長に対して電気光学効果による屈折率変化を効率的に用いるべく、InGaAsP/InGaAsPの周期からなる多重量祖井戸構造(PL波長:1.4マイクロメートル)を用いた。
- [0050] コア・クラッド層205のクラッド層の組成は、例えばコア層よりも屈折率が低いInPとし、n型コンタクト層202、208にはInPに格子整合しエネルギーバンドギャップの小さいInGaAsを用いた。
- [0051] なお、コアとクラッドの組成はそれぞれで比屈折率差を有していればよい。例えばコア・クラッド層205およびn型クラッド層203、207に組成の異なるInGaAlAsなどを用いても問題ないことは明らかである。
- [0052] また波長は1.5 $\mu$ m帯に限定されず、例えば1.3 $\mu$ m帯を用いたとしても本発明の有用性は失われない。
- [0053] 電極間の電気分離を行うために、変調領域及び給電パッド領域以外の導電性のn型クラッド層207及びn型コンタクト層208をドライエッチング及びケミカルエッチングによって除去した後、半絶縁性(Si)のクラッド層206(ここではInP)を結晶再成長により堆積させて埋め戻す(例えば図7)。
- [0054] 続いて、図6、9に示すようにSiO<sub>2</sub>マスクを用いたドライエッチングによりp型キャリアブロック層203まで分離することによりマッハ・ツェン

ダ干渉導波路と複数の給電パッド設置部を形成する。その後、図7、8に示すように、マッハ・ツェンダ干渉導波路部の変調領域と複数の給電パッド設置部が形成された給電領域を除いてn型コンタクト層202およびn型クラッド層203をエッチング加工によって除去し、変調領域と給電領域下部の半導体を電氣的に分離させる。

[0055] BCBなどの有機膜で上面を平坦化後、電極209を形成する一部領域のBCB210を除去してn型コンタクト層202およびn型コンタクト層208を露出させ、それらと電氣的に接続するように、例えば蒸着及びメッキ法を用いてAu/Tiで電極209を形成する。複数の給電パッドは、共通のn型コンタクト層202およびn型クラッド層203上に形成され、給電パッド間にはサイリスタ構造を含んだnpinipn接合が形成されるため、外部から給電パッドに印加されたESDは接合部が形成される。

[0056] 続いて、電極209の給電パッドに例えばAuワイヤーボンディングを行う場合、望ましくは図6に示すように給電パッドの少なくとも1つを初めに接地接続させておくことで、任意の給電パッドへESDが印加されても、前記接地パッド間でサイリスタ構造を含んだ接続が可能となる。なお、前記接地接続パッドが無い場合にも、Auワイヤを接続する順番を規定（例えば、下部n型クラッド用の給電パッドは最後にワイヤ接続を行う）することで、本発明の有用性は失われることはない。給電パッド電極パターンは図6に示す以外にも、例えば図10に示すように、各給電パッド電極が電氣的に分離されており、各給電パッドに個別に少なくとも1つの接地電極パッドが形成されていてもよい。

[0057] なお、当該素子を変調器として駆動させるためには、容量装荷型の進行波電極を用いることでより高速な変調動作が可能となるが、容量を付加しない分布定数線路及び集中定数線路であっても本発明の有用性が失われないことは明らかである。

[0058] また、本実施形態では基板面から順にn-p-i-nと積層したが、例えば基板面から順にn-i-p-nと積層しても本発明の有用性は失われない

ことは明らかである。

[0059] また、本実施形態では変調領域の導波路構造をリッジ形状の導波路としたが、例えば代1の実施形態と同様にハイメサ構造の導波路としても本発明の有用性は失われないことは明らかである。

[0060] また、本実施形態ではマッハ・ツェンダ干渉導波路部の変調領域には、2つのアーム導波路の両方に電極209が形成され、変調用の電極に接続される給電パッドは3つ設けているが、アーム導波路のn型コンタクト層208の少なくとも一方にのみ電極を形成し、変調用の電極に接続される給電パッドを2つとしてもよい。

[0061] さらに、図11に、本発明の第2の実施形態に係る他のサージバイパス回路付高速変調器の上面図を示す。図12に図11のX11-X11断面を示し、図13に図11のX111-X111断面を示す。図11~13に示す構成では、給電パッドを半導体層構造上に設ける代わりに、BCB210を除去して露出した基板201に接するように給電パッドを形成していてもよい。これにより、ワイヤーボンディング時の加圧によって半導体層構造のpn接合部が破壊されることを回避することができる。尚、図11~13では給電パッドは、給電側の半導体層構造を挟んでマッハ・ツェンダ干渉導波路と逆側に形成されているが、給電パッドはマッハ・ツェンダ干渉導波路と給電側の半導体層構造との間に形成されていてもよい。

[0062] ここでは給電パッドを半導体層構造上ではなく基板201直上に形成する構成を、第2の実施形態を例に説明したが、第1の実施形態においても基板101直上に形成することで同様の効果が得られることは言うまでもない。

## 符号の説明

- [0063] 101、201 基板  
102、202、208 n型コンタクト層  
103、203、207 n型クラッド層  
104、205 ノンドープのコア・クラッド層  
105 ノンドープのクラッド層

- 106 p型クラッド層
- 107 p型コンタクト層
- 108、209 電極
- 109、210 BCB
- 204 p型キャリアブロック層
- 206 Siクラッド層
- 301 基板
- 302 n型コンタクト層
- 303 n型クラッド層
- 304 p型キャリアブロック層
- 305 ノンドープのコア・クラッド層
- 306 Siクラッド層
- 307 電極
- 308 BCB

## 請求の範囲

### [請求項1]

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたpin接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記電極設置部上に形成された少なくとも2本の給電電極と、  
を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

### [請求項2]

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型クラッド層である第2のクラッド層の順で積層されたpin接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記給電電極設置部上に形成された少なくとも3本の給電電極と、  
を備え、前記給電電極の少なくとも2本は前記光導波路上に設置された変調電極に接続され、前記給電電極の少なくとも1本は接地され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも前記変調電極に接続された前記給電電極と接地された前記給電電極

との間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

[請求項3]

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順で積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記給電電極設置部上に形成された少なくとも2本の給電電極と、を備え、少なくとも2本の前記給電電極は前記光導波路上に設置された変調電極に接続され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、少なくとも2本の前記給電電極間は、前記積層構造の前記第1のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

[請求項4]

半絶縁性基板上に少なくともn型又はp型クラッド層である第1のクラッド層、ノンドープのコア及びクラッド層、p型又はn型キャリアブロック層、n型又はp型クラッド層である第2のクラッド層の順に積層されたnipn接合又はpinp接合を有する積層構造に光導波路が形成された半導体光変調素子であって、

前記積層構造上に形成された給電電極設置部と、

前記給電電極設置部上に形成された少なくとも3本の給電電極と、を備え、前記給電電極の少なくとも2本は前記光導波路上に設置され

た変調電極に接続され、前記給電電極の少なくとも1本は接地され、

前記給電電極設置部は、前記給電電極間が電氣的に分離されるように前記給電電極毎に前記積層構造の前記第2のクラッド層と前記p型又はn型キャリアブロック層と前記ノンドープのコア及びクラッド層とが電氣的に分離され、かつ、前記変調電極に接続された前記給電電極と接地された前記給電電極との間は、前記積層構造の前記第2のクラッド層を介して互いに導通され、

前記光導波路と前記給電電極設置部とは前記積層構造に関して電氣的に分離されていることを特徴とする半導体光変調素子。

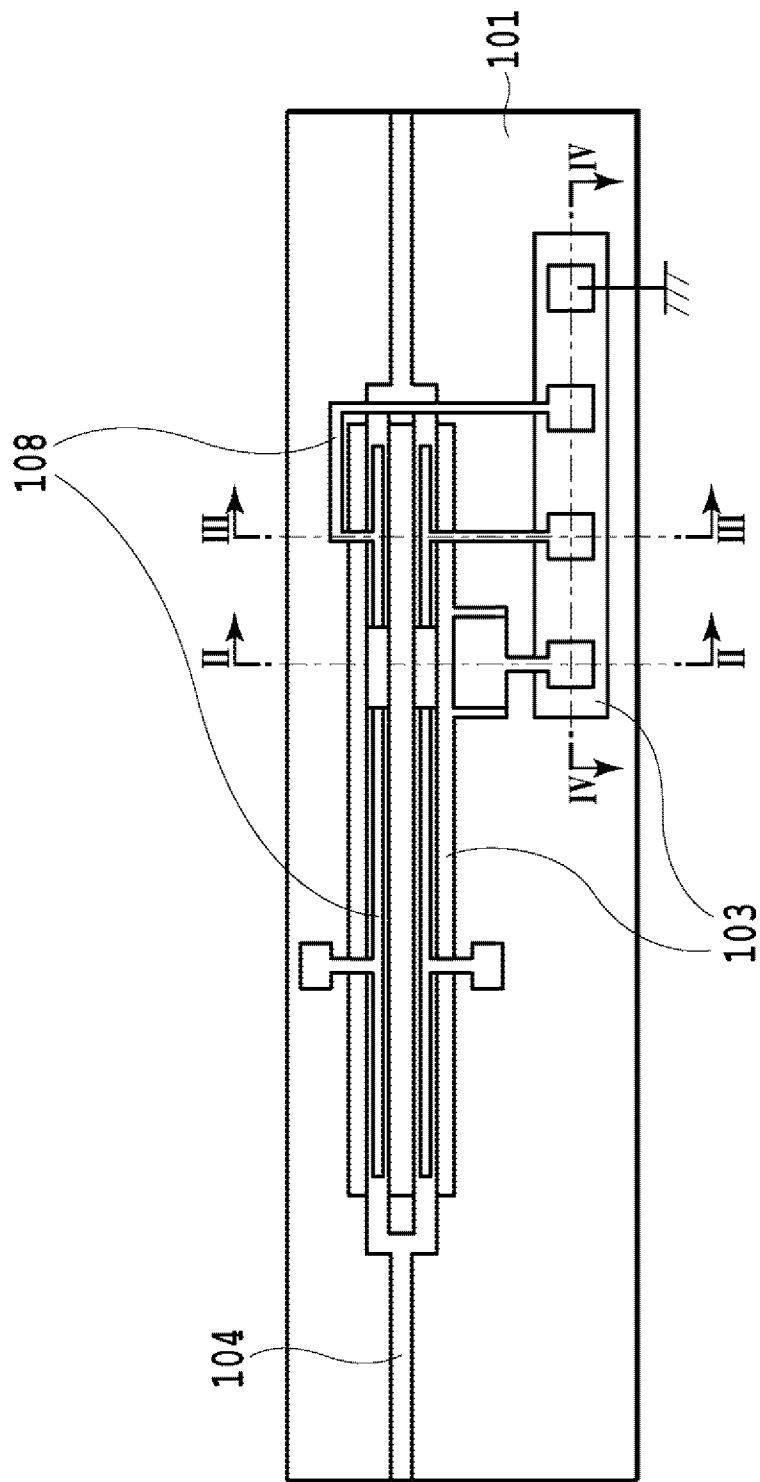
[請求項5] 前記給電電極は、前記半絶縁性基板に接するように形成された給電パッドを有することを特徴とする請求項1乃至4のいずれかに記載の半導体光変調素子。

[請求項6] 前記変調電極に接続された給電電極の各々は、接地された、異なる少なくとも1つの前記給電電極に前記第1のクラッド層を介して導通されていることを特徴とする請求項2又は4に記載の半導体光変調素子。

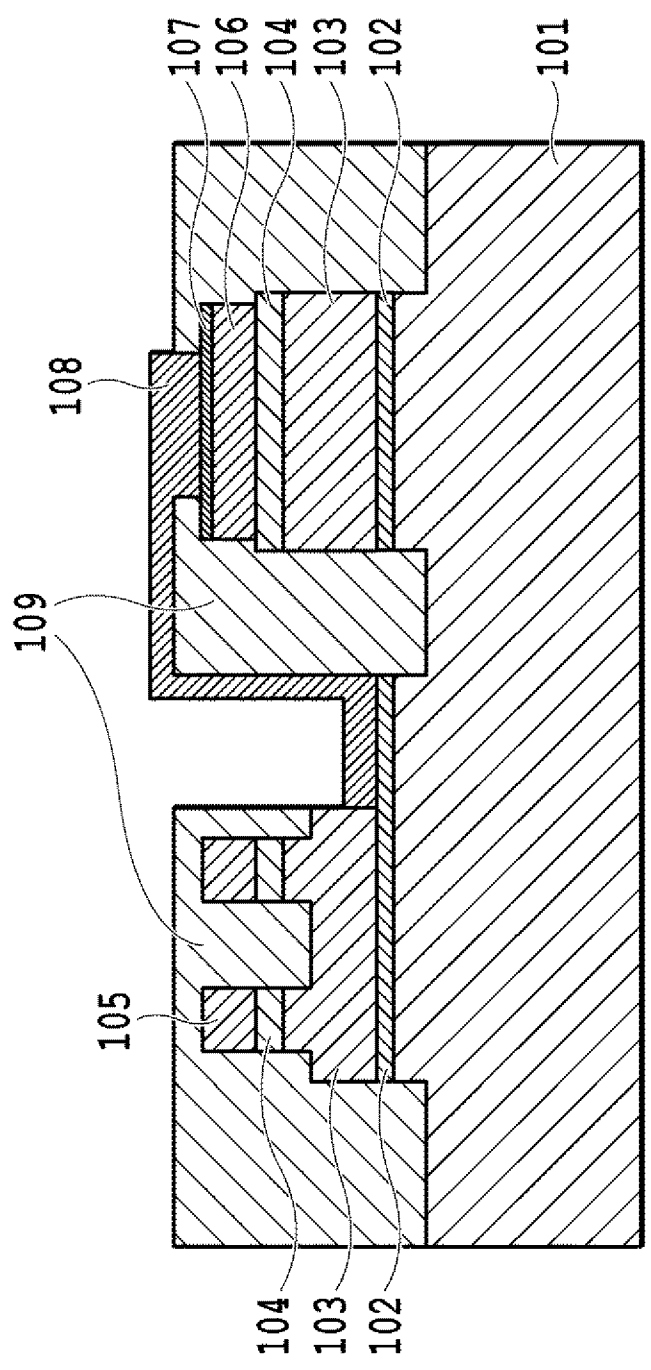
[請求項7] 前記光導波路は、マッハ・ツェンダ型光干渉計を構成していることを特徴とする請求項1乃至6のいずれかに記載の半導体光変調素子。

[請求項8] 前記変調電極は、容量装荷型の進行波電極構造を有していることを特徴とする請求項1乃至7のいずれかに記載の半導体光変調素子。

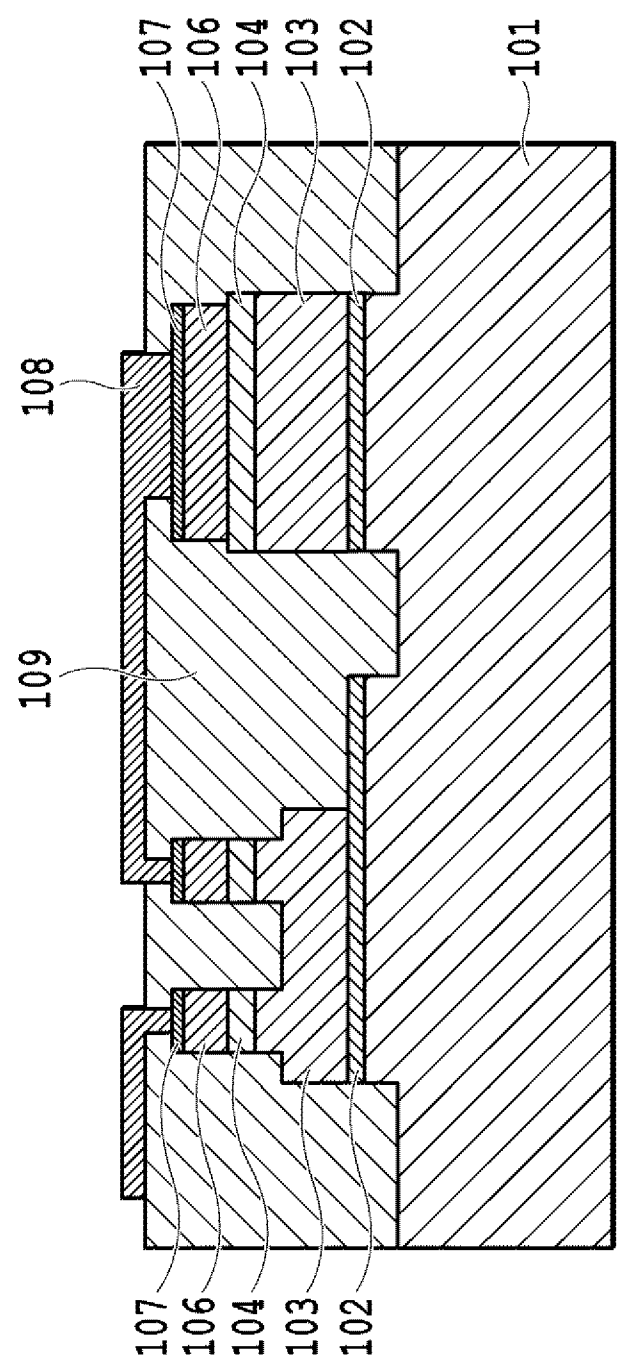
[図1]



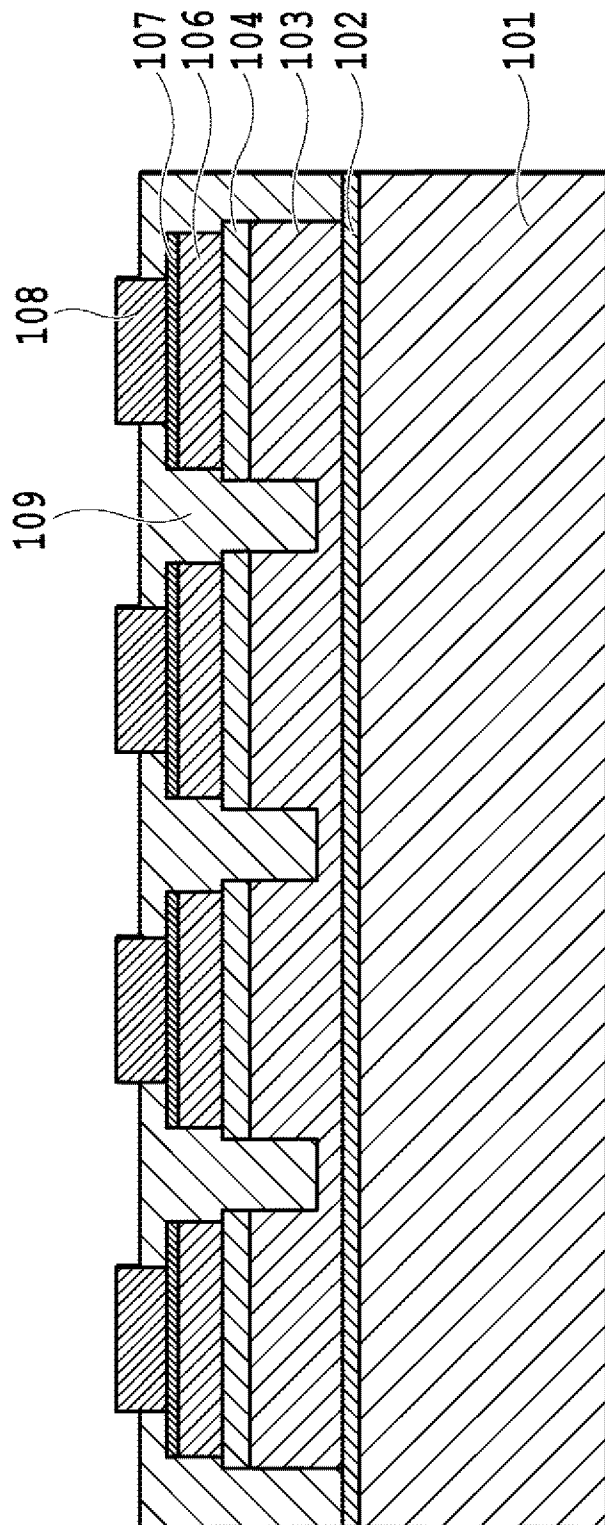
[図2]



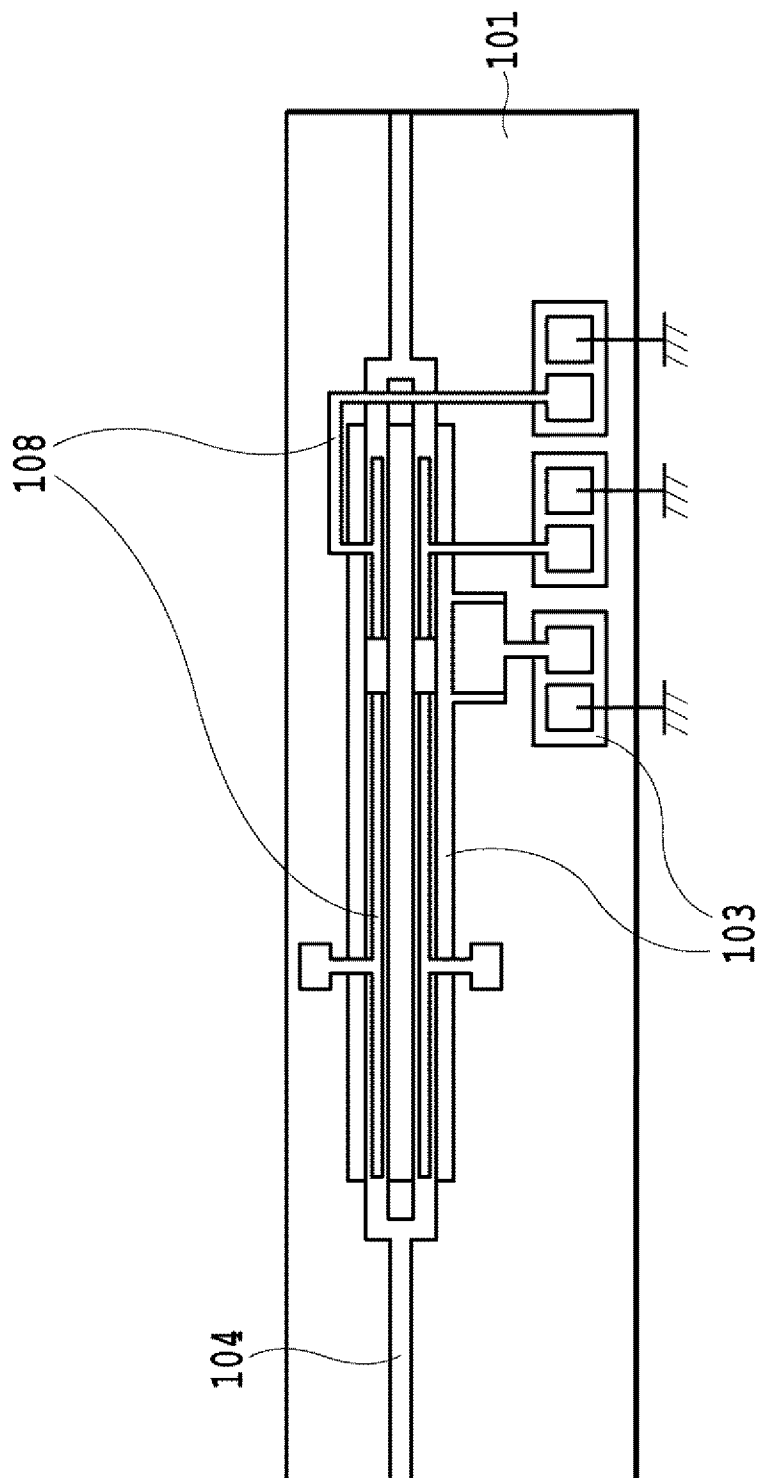
[図3]



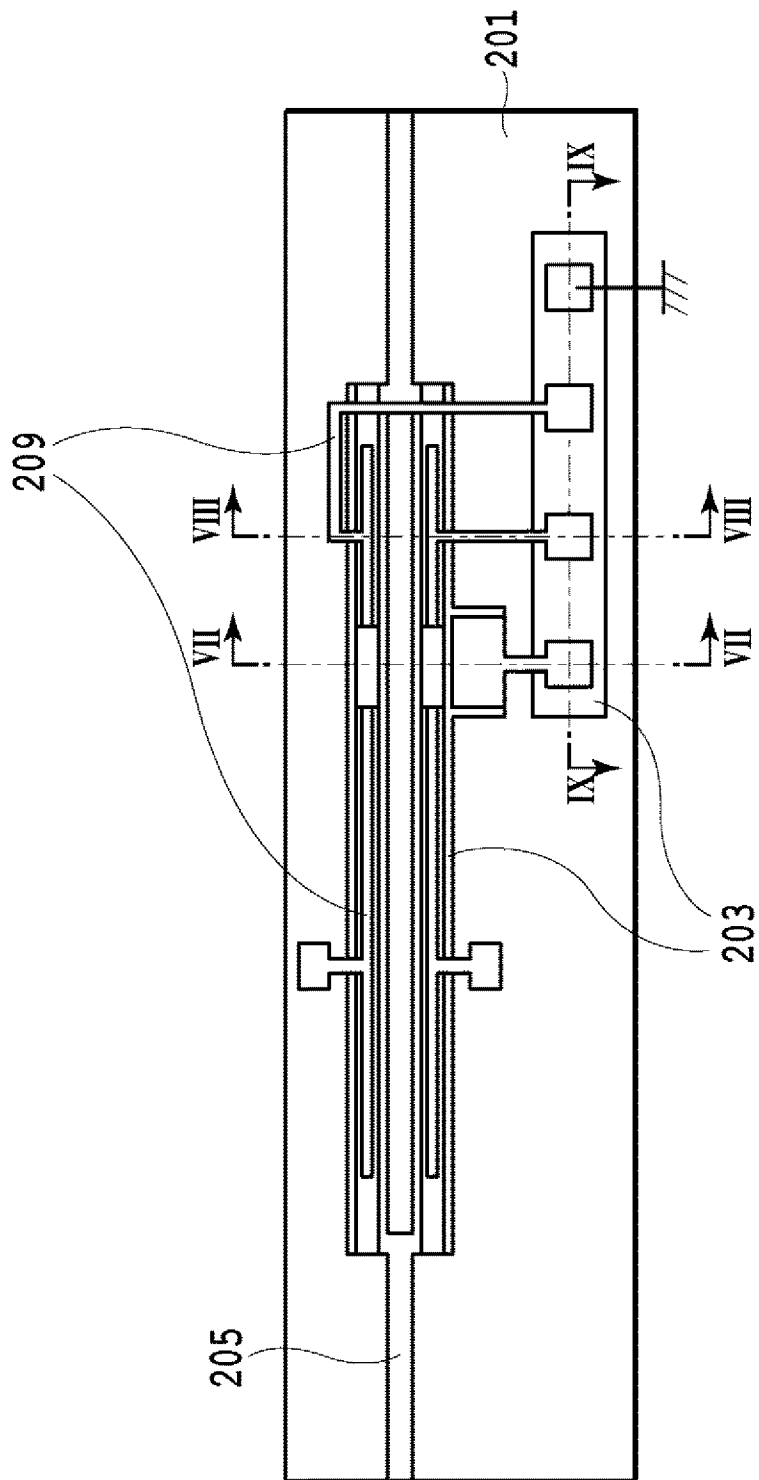
[図4]



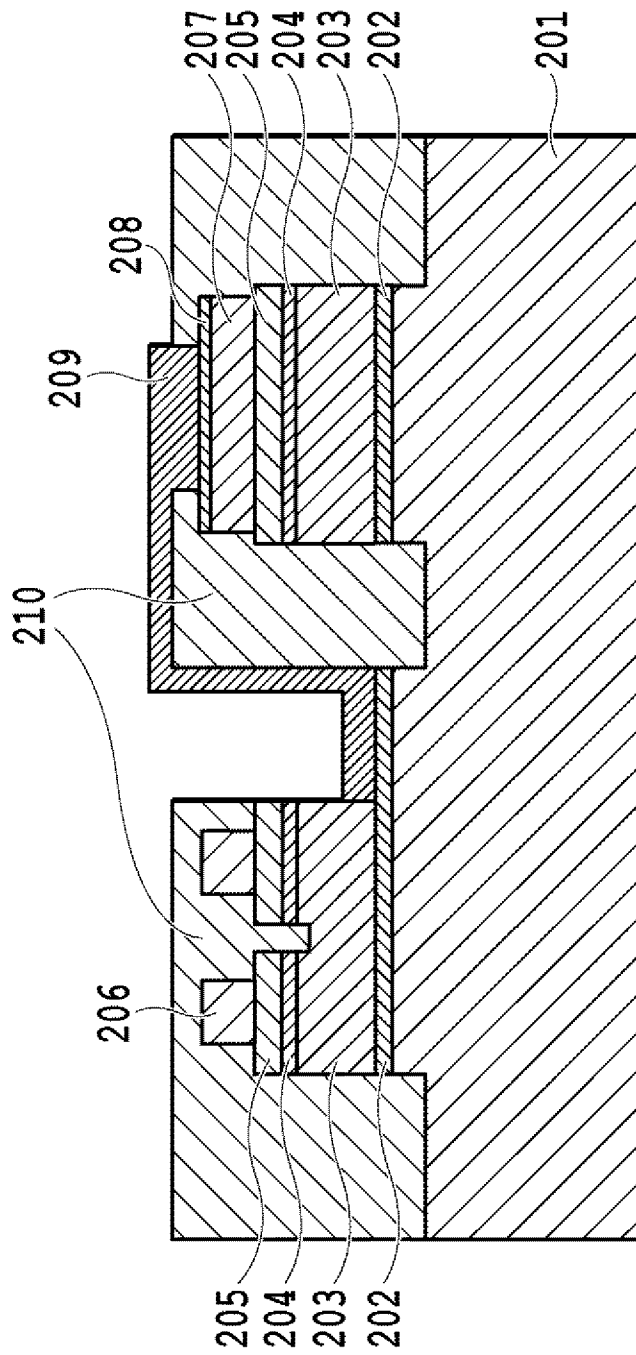
[図5]



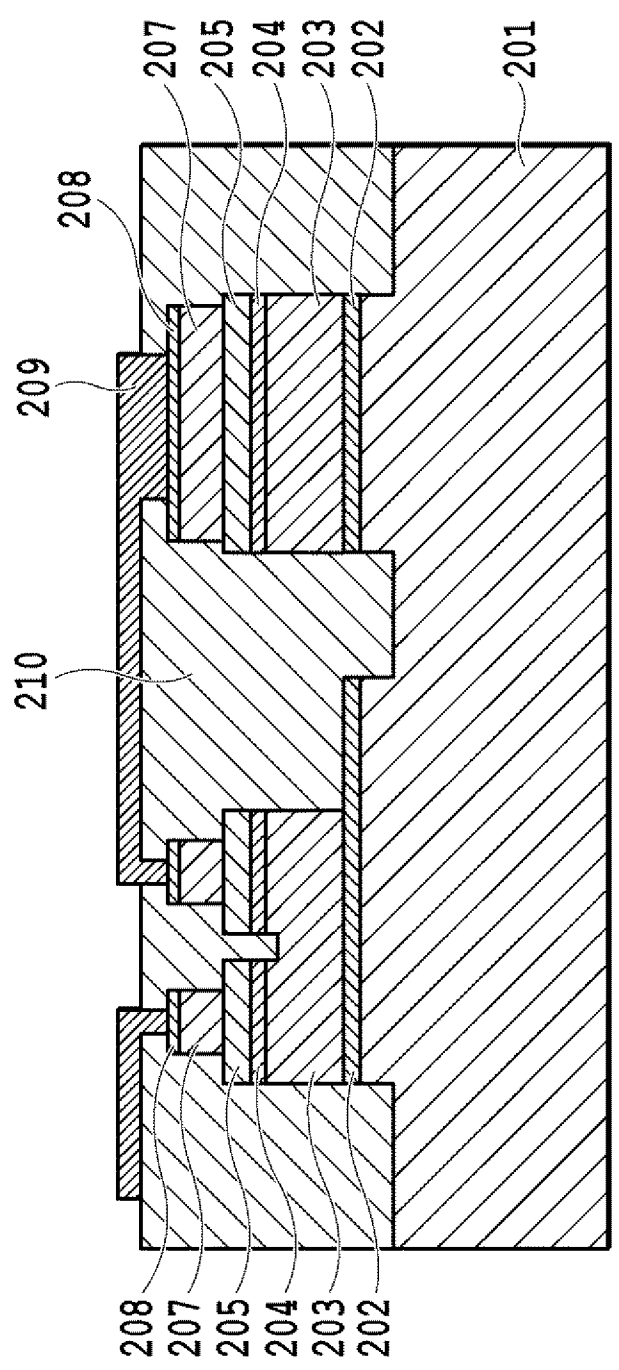
[図6]



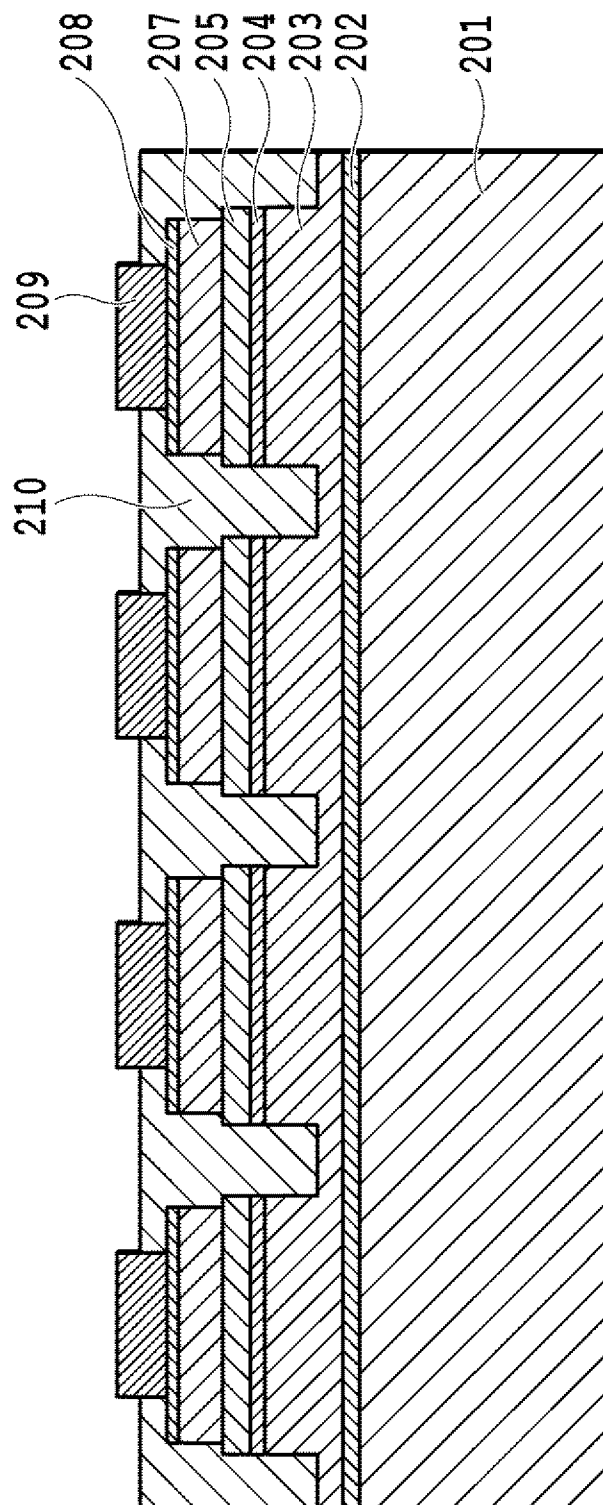
[図7]



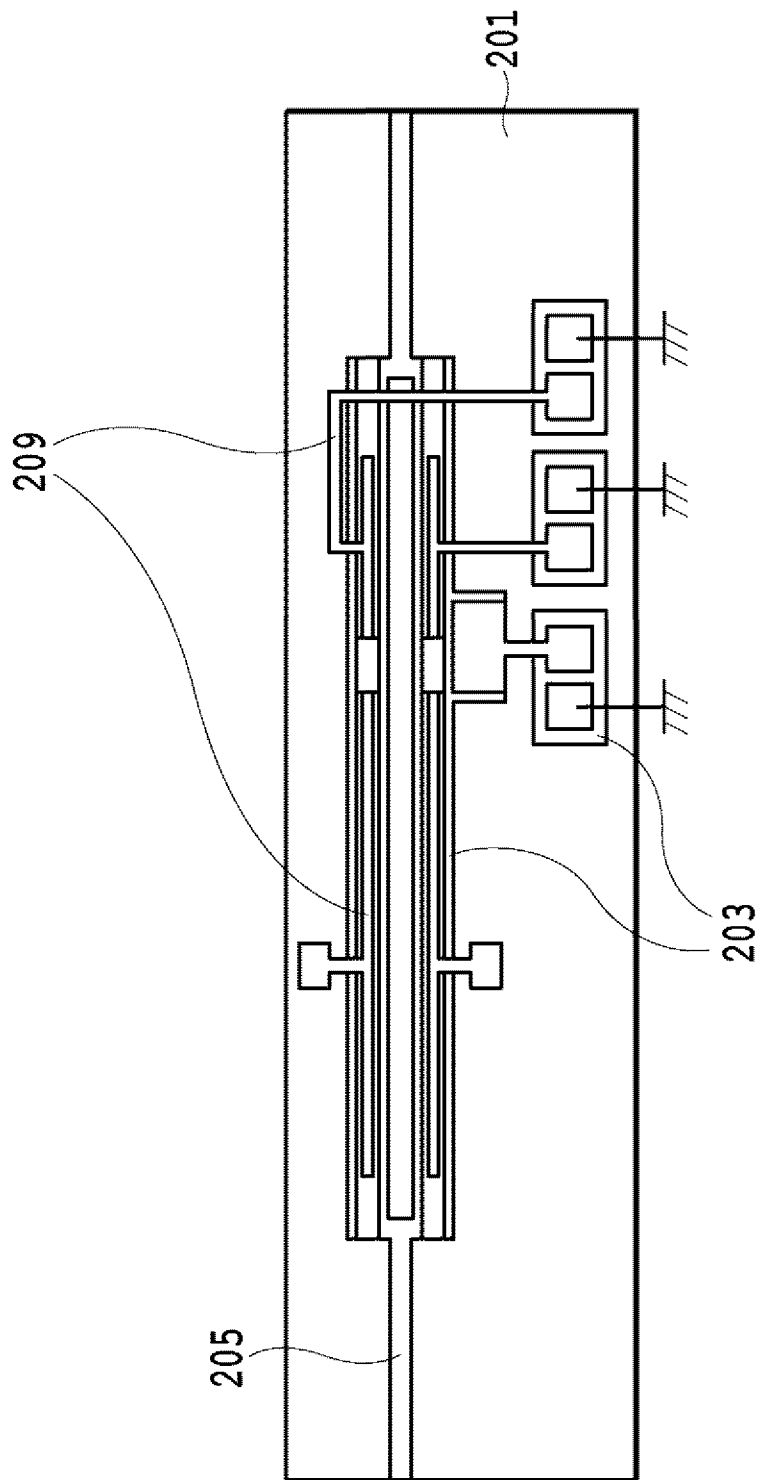
[図8]



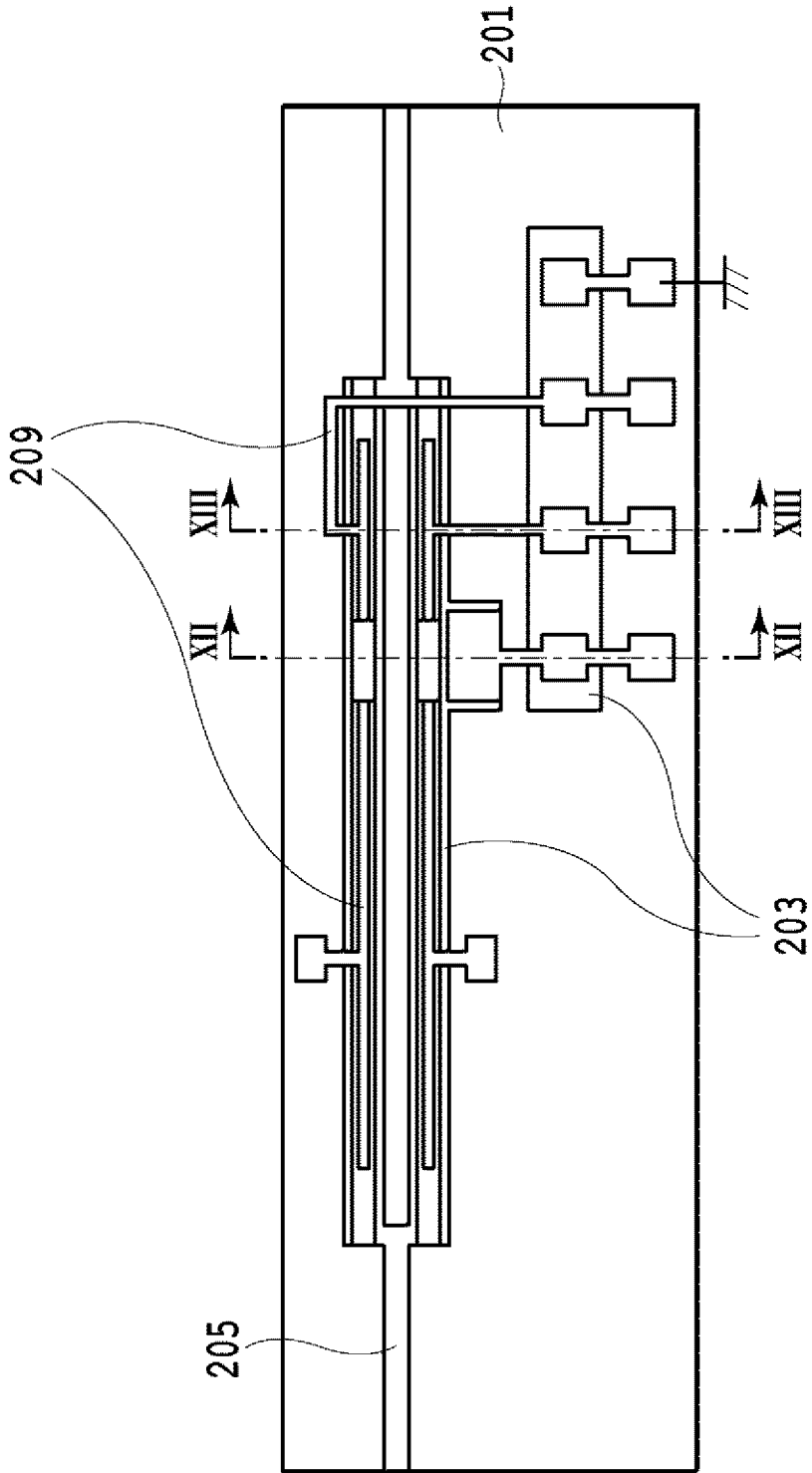
[図9]



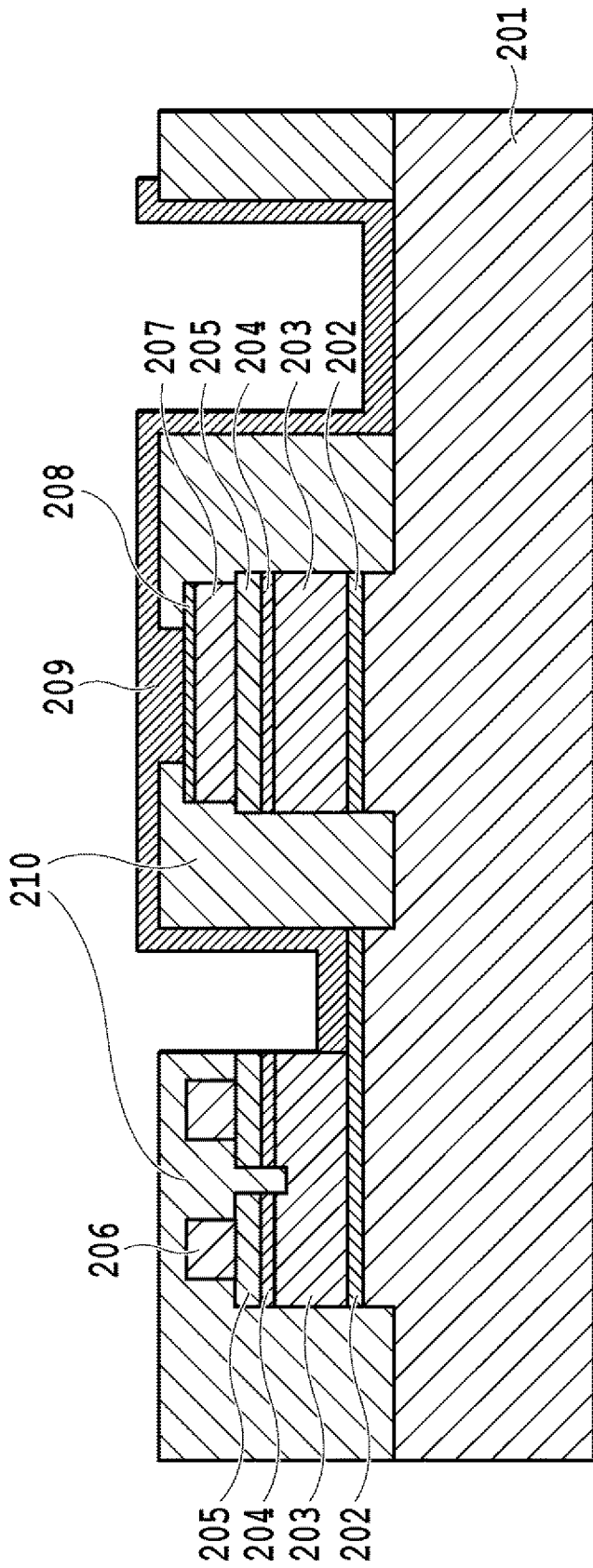
[図10]



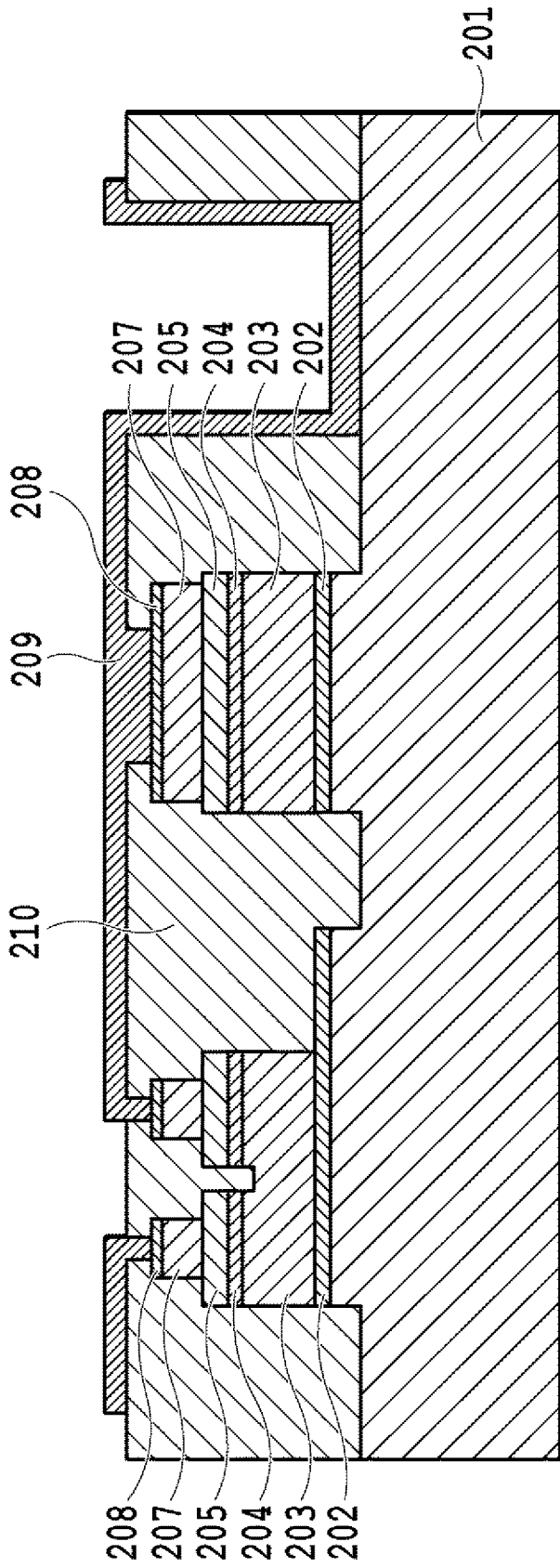
[図11]



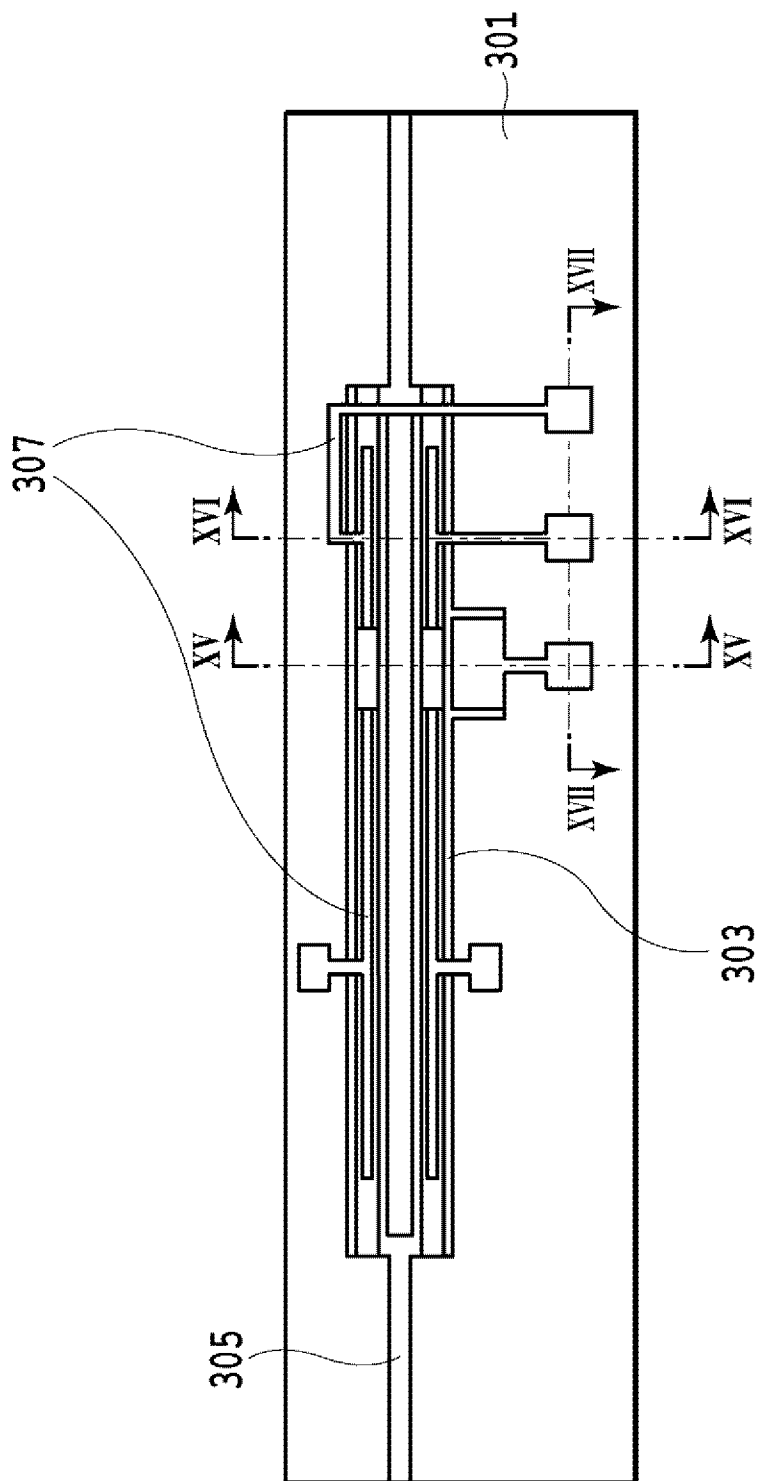
[図12]



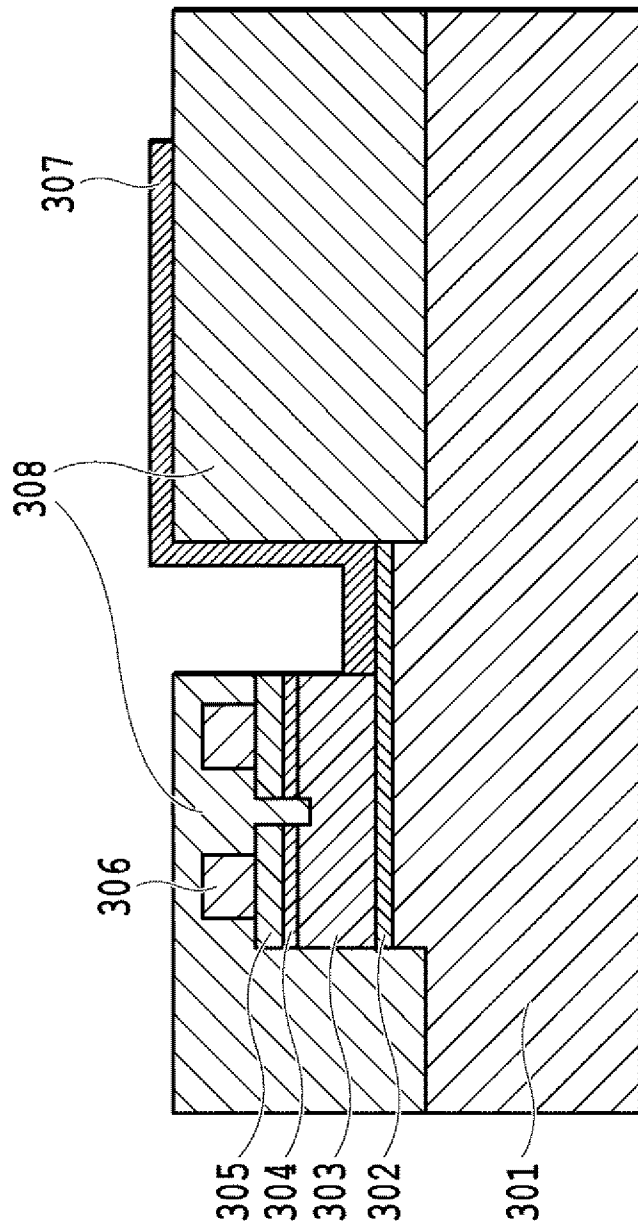
[図13]



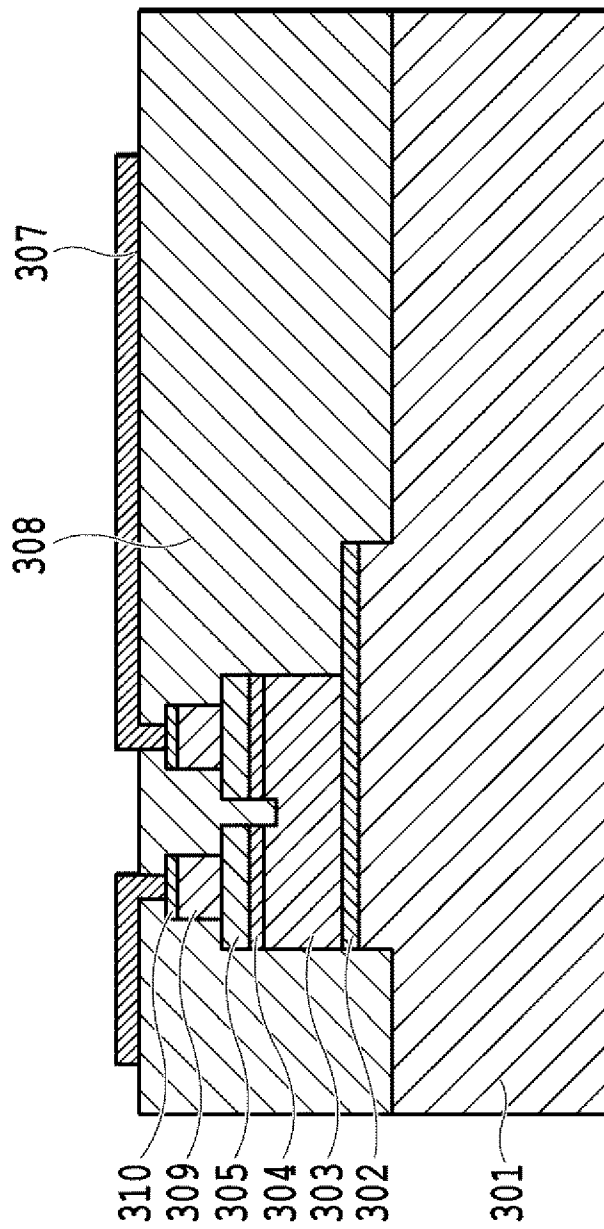
[図14]



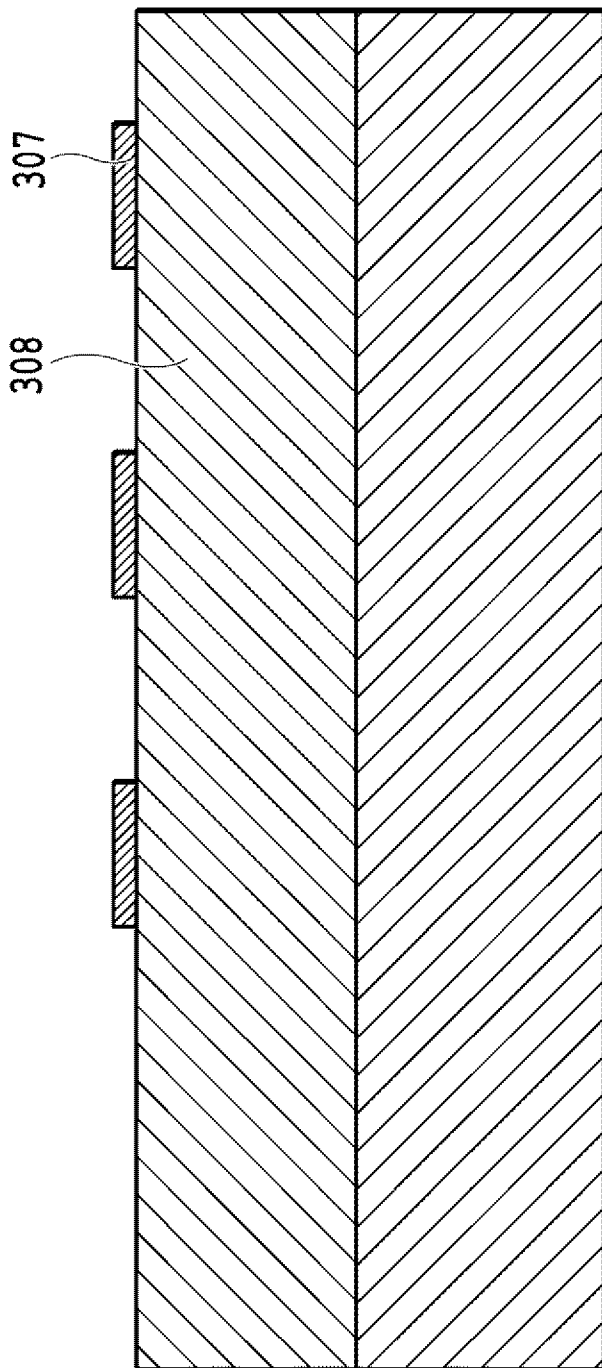
[図15]



[図16]



[図17]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2017/033014

<p><b>A. CLASSIFICATION OF SUBJECT MATTER</b>                  Int.Cl. G02F1/025 (2006. 01)i, G02F1/017 (2006. 01)i                  According to International Patent Classification (IPC) or to both national classification and IPC</p>													
<p><b>B. FIELDS SEARCHED</b>                  Minimum documentation searched (classification system followed by classification symbols)                  Int.Cl. G02F1/015-G02F1/025, G02F1/017, H01S3/00-3/02, H01S3/063-H01S3/067                  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched                  Japanese Published Examined Utility Model Applications 1922-1996                  Japanese Published Unexamined Utility Model Applications 1971-2017                  Japanese Examined Utility Model Registrations 1996-2017                  Japanese Registered Utility Model Specifications 1994-2017</p>													
<p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>													
<p><b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b></p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2011-197343 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 06 October 2011, paragraphs [0018], [0023]-[0038], fig. 1-4 (Family: none)</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2010-287604 A (NEC CORP.) 24 December 2010, entire text, all drawings (Family: none)</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2007-512689 A (OSRAM OPTO SEMICONDUCTORS GMBH.) 17 May 2007, entire text, all drawings &amp; JP 4819691 B2 &amp; US 2007/0258500 A1, entire text, all drawings &amp; WO 2005/055379 A1 &amp; DE 102004005269 A1 &amp; KR 10-2006-0107824 A &amp; CN 1886874 A &amp; TW 252596 B &amp; KR 10-1060055 B1</td> <td>1-8</td> </tr> </tbody> </table>		Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	JP 2011-197343 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 06 October 2011, paragraphs [0018], [0023]-[0038], fig. 1-4 (Family: none)	1-8	A	JP 2010-287604 A (NEC CORP.) 24 December 2010, entire text, all drawings (Family: none)	1-8	A	JP 2007-512689 A (OSRAM OPTO SEMICONDUCTORS GMBH.) 17 May 2007, entire text, all drawings & JP 4819691 B2 & US 2007/0258500 A1, entire text, all drawings & WO 2005/055379 A1 & DE 102004005269 A1 & KR 10-2006-0107824 A & CN 1886874 A & TW 252596 B & KR 10-1060055 B1	1-8
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.											
A	JP 2011-197343 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 06 October 2011, paragraphs [0018], [0023]-[0038], fig. 1-4 (Family: none)	1-8											
A	JP 2010-287604 A (NEC CORP.) 24 December 2010, entire text, all drawings (Family: none)	1-8											
A	JP 2007-512689 A (OSRAM OPTO SEMICONDUCTORS GMBH.) 17 May 2007, entire text, all drawings & JP 4819691 B2 & US 2007/0258500 A1, entire text, all drawings & WO 2005/055379 A1 & DE 102004005269 A1 & KR 10-2006-0107824 A & CN 1886874 A & TW 252596 B & KR 10-1060055 B1	1-8											
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.      <input type="checkbox"/> See patent family annex.</p>													
<table style="width:100%;"> <tr> <td style="width:50%;">                 * Special categories of cited documents:                  "A" document defining the general state of the art which is not considered to be of particular relevance                  "E" earlier application or patent but published on or after the international filing date                  "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)                  "O" document referring to an oral disclosure, use, exhibition or other means                  "P" document published prior to the international filing date but later than the priority date claimed             </td> <td style="width:50%;">                 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                  "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                  "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art                  "&amp;" document member of the same patent family             </td> </tr> </table>		* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family												
Date of the actual completion of the international search 30 November 2017 (30.11.2017)	Date of mailing of the international search report 12 December 2017 (12.12.2017)												
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.												

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/033014

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-217381 A (SONY CORP.) 11 August 2005, entire text, all drawings (Family: none)	1-8
A	JP 59-019389 A (FUJITSU LTD.) 31 January 1984, entire text, all drawings (Family: none)	1-8
A	US 2005/0018730 A1 (TAYLOR, Geoff W.) 27 January 2005, entire text, all drawings & WO 2005/010951 A2 & EP 1654791 A2 & CA 2533661 A1 & CN 1871751 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/025(2006.01)i, G02F1/017(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/015-G02F1/025, G02F1/017, H01S3/00-3/02, H01S3/063-H01S3/067

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-197343 A (日本電信電話株式会社) 2011.10.06, 段落 [0018]、[0023] - [0038]、[図1] - [図4] (ファミリーなし)	1-8
A	JP 2010-287604 A (日本電気株式会社) 2010.12.24, 全文、全図 (ファミリーなし)	1-8
A	JP 2007-512689 A (オスラム オプト セミコンダクターズ ゲゼルシャフト ミット ベシュレンクテル ハフツング) 2007.05.17,	1-8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

30.11.2017

国際調査報告の発送日

12.12.2017

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

下村 一石

2L

3810

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	全文、全図 & JP 4819691 B2 & US 2007/0258500 A1, 全文、全図 & WO 2005/055379 A1 & DE 102004005269 A1 & KR 10-2006-0107824 A & CN 1886874 A & TW 252596 B & KR 10-1060055 B1	
A	JP 2005-217381 A (ソニー株式会社) 2005. 08. 11, 全文、全図 (ファミリーなし)	1-8
A	JP 59-019389 A (富士通株式会社) 1984. 01. 31, 全文、全図 (ファミリーなし)	1-8
A	US 2005/0018730 A1 (TAYLOR, Geoff W.) 2005. 01. 27, 全文、全図 & WO 2005/010951 A2 & EP 1654791 A2 & CA 2533661 A1 & CN 1871751 A	1-8