

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月24日(24.08.2023)



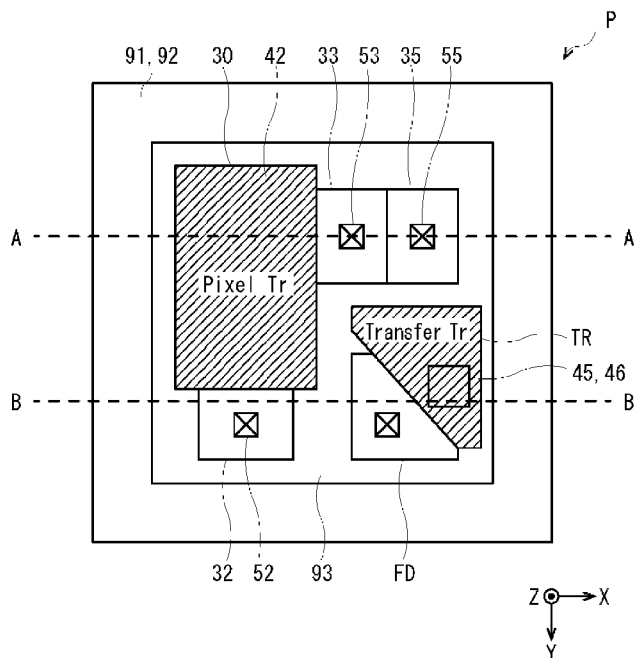
(10) 国際公開番号

WO 2023/157819 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2023/004902
- (22) 国際出願日: 2023年2月14日(14.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
63/310,267 2022年2月15日(15.02.2022) US
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 米田 和弘 (YONEDA, Kazuhiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大長 央(DAICHO, Akira); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 福永 寛(FUKUNAGA, Hiroshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大竹 悠介(OTAKE, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社

(54) Title: PHOTODETECTION DEVICE AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 光検出装置および電子機器



(57) Abstract: A photodetection device according to one aspect of the present disclosure is equipped with a semiconductor layer, a plurality of pixels which include a first pixel which has a photoelectric conversion element and is provided to the semiconductor layer, and a trench provided in the semiconductor layer between multiple adjacent pixels. The first pixel includes a transistor provided on a first surface side of the semiconductor layer, a first semiconductor region of a first conductive type provided on the first surface side of the semiconductor layer, and a first contact which is electrically



WO 2023/157819 A1

内 Kanagawa (JP). 遠藤 表徳(ENDO, Suzunori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中澤 圭一(NAKAZAWA, Keiichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大石 秀俊(OISHI, Hidetoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

connected to the first semiconductor region. The first semiconductor region contacts the transistor.

(57) 要約: 本開示の一実施形態の光検出装置は、半導体層と、前記半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、前記半導体層において、隣り合う複数の前記画素の間に設けられるトレンチとを備える。前記第1画素は、前記半導体層の第1面側に設けられるトランジスタと、前記半導体層の前記第1面側に設けられる第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを含む。前記第1半導体領域は、前記トランジスタに接している。

明 細 書

発明の名称：光検出装置および電子機器

技術分野

[0001] 本開示は、光検出装置および電子機器に関する。

背景技術

[0002] 画素毎にGND（グラウンド）コンタクトを有し、入射した光を光電変換する装置が提案されている（特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2019/220945号

発明の概要

[0004] 光を検出する装置では、微細化に対応可能であることが望ましい。

[0005] 微細化に有利な光検出装置を提供することが望まれる。

[0006] 本開示の一実施形態の光検出装置は、半導体層と、半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、半導体層において、隣り合う複数の画素の間に設けられるトレンチとを備える。第1画素は、半導体層の第1面側に設けられるトランジスタと、半導体層の第1面側に設けられる第1導電型の第1半導体領域と、第1半導体領域に電氣的に接続される第1コンタクトとを含む。第1半導体領域は、トランジスタに接している。

本開示の一実施形態の光検出装置は、半導体層に設けられた第1画素と、第1画素と隣接する画素とを分離する第1領域と、第1画素内に設けられた光電変換素子が平面視で遮られた第2領域とを有するトレンチとを備える。第2領域は、平面視で第1画素に設けられた第1フローティングディフュージョン領域と第2フローティングディフュージョン領域との間に第1分離部を有する。第2領域は、平面視で第1画素に設けられた第1トランジスタと第2トランジスタとの間に第2分離部を有する。第1画素は、第1導電型の第1半導体領域と、第1半導体領域に電氣的に接続される第1コンタクトと

を含む。平面視で第1分離部と第2分離部との間に第1半導体領域が設けられる。第1半導体領域は、第1トランジスタと第2トランジスタに接している。

本開示の一実施形態の電子機器は、光学系と、光学系を透過した光を受光する光検出装置とを備える。光検出装置は、半導体層と、半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、半導体層において、隣り合う複数の画素の間に設けられるトレンチとを有する。第1画素は、半導体層の第1面側に設けられるトランジスタと、半導体層の第1面側に設けられる第1導電型の第1半導体領域と、第1半導体領域に電氣的に接続される第1コンタクトとを含む。第1半導体領域は、トランジスタに接している。

本開示の一実施形態の電子機器は、光学系と、光学系を透過した光を受光する光検出装置とを備える。光検出装置は、半導体層に設けられた第1画素と、第1画素と隣接する画素とを分離する第1領域と、第1画素内に設けられた光電変換素子が平面視で遮られた第2領域とを有するトレンチとを備える。第2領域は、平面視で第1画素に設けられた第1フローティングディフュージョン領域と第2フローティングディフュージョン領域との間に第1分離部を有する。第2領域は、平面視で第1画素に設けられた第1トランジスタと第2トランジスタとの間に第2分離部を有する。第1画素は、第1導電型の第1半導体領域と、第1半導体領域に電氣的に接続される第1コンタクトとを含む。平面視で第1分離部と第2分離部との間に第1半導体領域が設けられる。第1半導体領域は、第1トランジスタと第2トランジスタに接している。

図面の簡単な説明

[0007] [図1]図1は、本開示の第1の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。

[図2]図2は、本開示の第1の実施の形態に係る撮像装置の画素の配置例を示す図である。

[図3]図3は、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の一例を説明するための図である。

[図4A]図4Aは、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図4B]図4Bは、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図5]図5は、本開示の第1の実施の形態に係る撮像装置の画素の平面構成の一例を示す図である。

[図6]図6は、本開示の第1の実施の形態に係る撮像装置の画素の断面構成の一例を説明するための図である。

[図7]図7は、本開示の第1の実施の形態に係る撮像装置の画素の断面構成の一例を説明するための図である。

[図8]図8は、本開示の第1の実施の形態に係る撮像装置の画素トランジスタの配置例を示す図である。

[図9]図9は、本開示の第1の実施の形態に係る撮像装置の画素トランジスタの別の配置例を示す図である。

[図10]図10は、本開示の第1の実施の形態に係る撮像装置の画素トランジスタの別の配置例を示す図である。

[図11]図11は、本開示の第1の実施の形態に係る撮像装置の断面構成の一例を示す図である。

[図12]図12は、本開示の変形例1に係る撮像装置の画素の平面構成の一例を示す図である。

[図13]図13は、本開示の変形例1に係る撮像装置の画素の断面構成の一例を説明するための図である。

[図14]図14は、本開示の変形例1に係る撮像装置の平面構成の一例を説明するための図である。

[図15]図15は、本開示の変形例1に係る撮像装置の断面構成の一例を説明するための図である。

[図16]図16は、本開示の変形例1に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図17]図17は、本開示の変形例1に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図18]図18は、本開示の変形例2に係る撮像装置の画素の平面構成の一例を示す図である。

[図19]図19は、本開示の変形例2に係る撮像装置の平面構成の一例を説明するための図である。

[図20]図20は、本開示の変形例3に係る撮像装置の画素の平面構成の一例を示す図である。

[図21]図21は、本開示の変形例3に係る撮像装置の画素の断面構成の一例を説明するための図である。

[図22]図22は、本開示の変形例3に係る撮像装置の画素の平面構成の別の例を示す図である。

[図23]図23は、本開示の変形例3に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図24]図24は、本開示の変形例3に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図25]図25は、本開示の変形例3に係る撮像装置の画素の平面構成の別の例を示す図である。

[図26]図26は、本開示の変形例3に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図27]図27は、本開示の変形例3に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図28]図28は、本開示の変形例4に係る撮像装置の画素トランジスタの配置例を説明するための図である。

[図29]図29は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図30]図30は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図31]図31は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図32]図32は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図33]図33は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図34]図34は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図35]図35は、本開示の変形例4に係る撮像装置の画素トランジスタの別の配置例を説明するための図である。

[図36]図36は、本開示の第2の実施の形態に係る撮像装置の画素の配置例を示す図である。

[図37]図37は、本開示の第2の実施の形態に係る撮像装置の画素の平面構成の一例を示す図である。

[図38]図38は、本開示の第2の実施の形態に係る撮像装置の画素の平面構成の別の例を示す図である。

[図39]図39は、本開示の変形例5に係る撮像装置の画素の平面構成の一例を示す図である。

[図40]図40は、本開示の変形例5に係る撮像装置の画素の断面構成の一例を説明するための図である。

[図41]図41は、本開示の変形例5に係る撮像装置の画素の断面構成の別の例を説明するための図である。

[図42]図42は、本開示の変形例5に係る撮像装置の画素の平面構成の別の例を説明するための図である。

[図43A]図43Aは、本開示の変形例6に係る撮像装置の画素の構成例を説明するための図である。

[図43B]図43Bは、本開示の変形例6に係る撮像装置の画素の構成例を説明するための図である。

[図44]図44は、本開示の変形例7に係る撮像装置の画素の構成例を説明するための図である。

[図45]図45は、本開示の変形例7に係る撮像装置の画素の平面構成の一例を示す図である。

[図46]図46は、本開示の変形例8に係る撮像装置の画素の平面構成の一例を示す図である。

[図47]図47は、本開示の変形例8に係る撮像装置の画素の平面構成の別の例を示す図である。

[図48]図48は、本開示の変形例9に係る撮像装置の画素の平面構成の一例を示す図である。

[図49]図49は、本開示の変形例9に係る撮像装置の画素の断面構成の一例を説明するための図である。

[図50]図50は、本開示の変形例9に係る撮像装置の画素の平面構成の別の例を説明するための図である。

[図51]図51は、本開示の変形例10に係る撮像装置の画素の平面構成の一例を示す図である。

[図52]図52は、本開示の変形例10に係る撮像装置の画素の平面構成の別の例を示す図である。

[図53]図53は、本開示の変形例10に係る撮像装置の画素の平面構成の別の例を示す図である。

[図54]図54は、撮像装置を有する電子機器の構成例を表すブロック図である。

[図55]図55は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図56]図56は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図57]図57は、内視鏡手術システムの概略的な構成の一例を示す図である。

[図58]図58は、カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 適用例
4. 応用例

[0009] <1. 第1の実施の形態>

図1は、本開示の第1の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。光検出装置は、入射する光を検出可能な装置である。光検出装置である撮像装置1は、光電変換部（光電変換素子）を有する複数の画素Pを有し、入射した光を光電変換して信号を生成するように構成される。撮像装置1（光検出装置）は、光学レンズを含む光学系（不図示）を透過した光を受光して信号を生成し得る。

[0010] 撮像装置1は、例えば、複数の画素Pが設けられた半導体基板（例えばシリコン基板）を用いて構成される。撮像装置1の各画素Pの光電変換部は、例えばフォトダイオード（PD）であり、光を光電変換可能に構成される。撮像装置1は、複数の画素Pが行列状に2次元配置された領域（画素部100）を、撮像エリアとして有する。画素部100は、複数の画素Pが配置される画素アレイともいえる。

[0011] 撮像装置1は、光学レンズを含む光学系を介して、被写体からの入射光（像光）を取り込む。撮像装置1は、光学レンズにより形成される被写体の像を撮像する。撮像装置1は、受光した光を光電変換して画素信号を生成し得る。撮像装置1は、例えば、CMOS（Complementary Metal Oxide Semicon

ductor) イメージセンサである。撮像装置 1 は、例えば、デジタルスチルカメラ、ビデオカメラ、携帯電話等の電子機器に利用可能である。

[0012] 撮像装置 1 は、図 1 に示す例のように、画素部 100 (画素アレイ) の周辺領域に、例えば、画素駆動部 111、信号処理部 112、制御部 113、処理部 114 等を有する。また、撮像装置 1 には、複数の制御線 L1 と、複数の信号線 L2 が設けられる。

[0013] 制御線 L1 は、画素 P を制御する信号を伝えることが可能な信号線であり、画素駆動部 111 と画素部 100 の画素 P とに接続される。図 1 に示す例では、画素部 100 では、水平方向 (行方向) に並ぶ複数の画素 P により構成される画素行ごとに、複数の制御線 L1 が配線される。制御線 L1 は、画素 P からの信号読み出しのための制御信号を伝送するように構成される。

[0014] 撮像装置 1 の画素行ごとの複数の制御線 L1 には、一例として、転送トランジスタを制御する信号を伝送する配線、選択トランジスタを制御する信号を伝送する配線、リセットトランジスタを制御する信号を伝送する配線等が含まれる。制御線 L1 は、画素 P を駆動する信号を伝送する駆動線 (画素駆動線) ともいえる。

[0015] 信号線 L2 は、画素 P からの信号を伝えることが可能な信号線であり、画素部 100 の画素 P と信号処理部 112 とに接続される。画素部 100 には、例えば、垂直方向 (列方向) に並ぶ複数の画素 P により構成される画素列ごとに、信号線 L2 が配線される。信号線 L2 は、垂直信号線であり、画素 P から出力される信号を伝送するように構成される。

[0016] 画素駆動部 111 は、画素部 100 の各画素 P を駆動可能に構成される。画素駆動部 111 は、駆動回路であり、例えば、バッファ、シフトレジスタ、アドレスデコーダ等を含む複数の回路によって構成される。画素駆動部 111 は、画素 P を駆動するための信号を生成し、制御線 L1 を介して画素部 100 の各画素 P へ出力する。画素駆動部 111 は、制御部 113 により制御され、画素部 100 の画素 P の制御を行う。

[0017] 画素駆動部 111 は、例えば、画素 P の転送トランジスタを制御する信号

、選択トランジスタを制御する信号、及びリセットトランジスタを制御する信号等の画素Pを制御するための信号を生成し、制御線L1によって各画素Pに供給する。画素駆動部111は、各画素Pから画素信号を読み出す制御を行い得る。画素駆動部111は、各画素Pを制御可能に構成された画素制御部ともいえる。なお、画素駆動部111と制御部113とを併せて、画素制御部ということもできる。

[0018] 信号処理部112は、入力される画素の信号の信号処理を実行可能に構成される。信号処理部112は、信号処理回路であり、例えば、負荷回路部、AD(Analog Digital)変換部、水平選択スイッチ等を有する。なお、信号処理部112は、信号線L2を介して画素Pから読み出される信号を増幅するように構成された増幅回路部を有していてもよい。

[0019] 画素駆動部111によって選択走査された各画素Pから出力される信号は、信号線L2を介して信号処理部112に入力される。信号処理部112は、例えば、画素Pの信号のAD変換、CDS(Correlated Double Sampling: 相関二重サンプリング)等の信号処理を行い得る。信号線L2の各々を通して伝送される各画素Pの信号は、信号処理部112により信号処理が施され、処理部114に出力される。

[0020] 処理部114は、入力される信号に対して信号処理を実行可能に構成される。処理部114は、信号処理回路であり、例えば、画素信号に対して各種の信号処理を施す回路により構成される。処理部114は、プロセッサ及びメモリを含んでいてもよい。処理部114は、信号処理部112から入力される画素の信号に対して信号処理を行い、処理後の画素の信号を出力する。処理部114は、例えば、ノイズ低減処理、階調補正処理等の各種の信号処理を行い得る。

[0021] 制御部113は、撮像装置1の各部を制御可能に構成される。制御部113は、外部から与えられるクロック、動作モードを指令するデータ等を受け取り、また、撮像装置1の内部情報等のデータを出力し得る。制御部113は、制御回路であり、例えば、各種のタイミング信号を生成可能に構成され

たタイミングジェネレータを有する。

[0022] 制御部 1 1 3 は、タイミングジェネレータで生成された各種のタイミング信号（パルス信号、クロック信号等）に基づき、画素駆動部 1 1 1 及び信号処理部 1 1 2 等の駆動制御を行う。なお、制御部 1 1 3 及び処理部 1 1 4 は、一体的に構成されていてもよい。

[0023] 画素駆動部 1 1 1、信号処理部 1 1 2、制御部 1 1 3、処理部 1 1 4 等は、1 つの半導体基板に設けられていてもよいし、複数の半導体基板に分けて設けられていてもよい。撮像装置 1 は、複数の基板を積層して構成された構造（積層構造）を有していてもよい。

[0024] 図 2 は、第 1 の実施の形態に係る撮像装置の画素の配置例を示す図である。撮像装置 1 の画素 P は、光電変換部 1 2 と、レンズ 2 1 とを有する。なお、図 2 に示すように、被写体からの光の入射方向を Z 軸方向、Z 軸方向に直交する紙面左右方向を X 軸方向、Z 軸方向及び X 軸方向に直交する紙面上下方向を Y 軸方向とする。以降の図において、図 2 の矢印の方向を基準として方向を表記する場合もある。

[0025] レンズ 2 1 は、オンチップレンズとも呼ばれる光学部材である。レンズ 2 1 は、例えば、画素 P 毎または複数の画素 P 毎に、光電変換部 1 2 の上方に設けられる。レンズ 2 1 には、撮像レンズ等の光学系を介して被写体からの光が入射する。光電変換部 1 2 は、レンズ 2 1 を介して入射する光を光電変換する。

[0026] また、画素 P は、フィルタ 2 2（後述する図 1 1 も参照）を有し得る。フィルタ 2 2 は、入射する光のうちの特定の波長域の光を選択的に透過させるように構成される。フィルタ 2 2 は、例えば、RGB のカラーフィルタ、赤外光を透過するフィルタ等である。

[0027] 撮像装置 1 の画素部 1 0 0 に設けられた複数の画素 P には、赤（R）の光を透過するフィルタ 2 2 が設けられた複数の画素（R 画素）と、緑（G）の光を透過するフィルタ 2 2 が設けられた複数の画素（G 画素）と、青（B）の光を透過するフィルタ 2 2 が設けられた複数の画素（B 画素）が含まれる

。画素部100では、複数のR画素、複数のG画素、及び複数のB画素が繰り返し配置される。R画素、G画素、及びB画素は、例えば、ベイヤー配列に従って配置される。

[0028] 一例として、R画素、G画素、及びB画素は、それぞれ、2×2画素単位で配置され得る。例えば、画素部100では、隣り合う4つのR画素と、隣り合う4つのG画素と、隣り合う4つのB画素とが繰り返し配置される。R画素とG画素とB画素は、それぞれ2行×2列で周期的に配置されるともいえる。

[0029] R画素、G画素、及びB画素は、それぞれ、R成分の画素信号、G成分の画素信号、及びB成分の画素信号を生成する。撮像装置1は、RGBの画素信号を得ることができる。なお、画素の配置は、上述した例に限られず、任意に設定可能である。

[0030] 画素部100の画素Pに設けられるフィルタ22は、原色系(RGB)のカラーフィルタに限定されず、例えばCy(シアン)、Mg(マゼンタ)、Ye(イエロー)等の補色系のカラーフィルタであってもよい。W(ホワイト)に対応したフィルタ、即ち入射光の全波長域の光を透過させるフィルタを配置するようにしてもよい。

[0031] また、撮像装置1では、必要に応じて、フィルタ22を省略してもよい。例えば、白(W)の光を受光して光電変換を行う画素Pでは、フィルタ22を設けなくてよい。また、撮像装置1の一部又は全部の画素Pにフィルタ22を設けなくてもよい。

[0032] 図3は、第1の実施の形態に係る撮像装置の画素の回路構成の一例を説明するための図である。撮像装置1の画素Pは、光電変換部12(光電変換素子)と、転送トランジスタTRと、フローティングディフュージョンFDと、読み出し回路20とを有する。光電変換部12は、光を受光して信号を生成するように構成される。光電変換部12は、受光部(受光素子)であり、光電変換により電荷を生成可能に構成される。

[0033] 読み出し回路20は、光電変換された電荷に基づく信号を出力可能に構成

される。撮像装置 1 では、読み出し回路 20 は、複数の画素 P に対して設けられる。撮像装置 1 は、複数の画素 P が 1 つの読み出し回路 20 を共有する構成を有する。これにより、1 つの画素 P（又は 1 つの光電変換部 12）あたりの素子数（例えばトランジスタ数）を低減することが可能となる。撮像装置 1 は、画素の微細化に有利な構造を有することができる。

[0034] 図 3 に示す例では、4 つの画素 P（画素 P a～画素 P d と称する）毎に、読み出し回路 20 が配置される。画素 P a と画素 P b と画素 P c と画素 P d とが、1 つの読み出し回路 20 を共有する。例えば、隣り合う画素 P a～画素 P d により構成される 2×2 画素が、1 つの読み出し回路 20 を共有する。撮像装置 1 は、読み出し回路 20 を時分割で動作させることにより、2×2 画素の各々の画素信号を読み出し得る。また、撮像装置 1 は、2×2 画素の各々の信号が加算された画素信号を読み出すことも可能である。

[0035] 図 3 に示す例では、光電変換部 12 は、フォトダイオード（PD）であり、入射する光を電荷に変換する。光電変換部 12（図 3 では、画素 P a のフォトダイオード PD～画素 P d のフォトダイオード PD）は、光電変換を行って受光量に応じた電荷を生成する。

[0036] 転送トランジスタ TR（図 3 では、画素 P a の転送トランジスタ TR～画素 P d の転送トランジスタ TR）は、光電変換部 12 で光電変換された電荷をフローティングディフュージョン FD に転送可能に構成される。転送トランジスタ TR は、信号 STR により制御され、光電変換部 12 とフローティングディフュージョン FD とを電氣的に接続または切断する。転送トランジスタ TR は、光電変換部 12 で光電変換されて蓄積された電荷をフローティングディフュージョン FD に転送し得る。

[0037] 図 3 に示す例では、画素 P a～画素 P d の各々の転送トランジスタ TR は、互いに異なる信号によってオンオフ制御される。画素 P a の転送トランジスタ TR は信号 STR 1 によって制御され、画素 P b の転送トランジスタ TR は信号 STR 2 によって制御される。また、画素 P c の転送トランジスタ TR は信号 STR 3 によって制御され、画素 P d の転送トランジスタ TR は

信号STR4によって制御される。

- [0038] フローティングディフュージョンFDは、蓄積部であり、転送された電荷を蓄積可能に構成される。フローティングディフュージョンFDは、光電変換部12で光電変換された電荷を蓄積し得る。フローティングディフュージョンFDは、転送された電荷を保持可能な保持部ともいえる。フローティングディフュージョンFDは、転送された電荷を蓄積し、フローティングディフュージョンFDの容量に応じた電圧に変換する。
- [0039] 読み出し回路20は、一例として、図3に示すように、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTとを有する。増幅トランジスタAMPは、フローティングディフュージョンFDに蓄積された電荷に基づく信号を生成して出力するように構成される。図3に示すように、増幅トランジスタAMPのゲートは、各画素PのフローティングディフュージョンFDと電氣的に接続され、フローティングディフュージョンFDで変換された電圧が入力される。
- [0040] 増幅トランジスタAMPのドレインは、電源電圧VDDが供給される電源線に接続され、増幅トランジスタAMPのソースは、選択トランジスタSELを介して信号線L2に接続される。増幅トランジスタAMPは、フローティングディフュージョンFDに蓄積された電荷に基づく信号、即ちフローティングディフュージョンFDの電圧に基づく信号を生成し、信号線L2へ出力し得る。
- [0041] 選択トランジスタSELは、画素の信号の出力を制御可能に構成される。選択トランジスタSELは、信号SSELにより制御され、増幅トランジスタAMPからの信号を信号線L2に出力可能に構成される。選択トランジスタSELは、画素の信号の出力タイミングを制御し得る。なお、選択トランジスタSELは、電源電圧VDDが与えられる電源線と増幅トランジスタAMPとの間に設けられてもよい。また、必要に応じて、選択トランジスタSELを省略してもよい。
- [0042] リセットトランジスタRSTは、フローティングディフュージョンFDの

電圧をリセット可能に構成される。図3に示す例では、リセットトランジスタRSTは、電源電圧VDDが与えられる電源線と電氣的に接続され、画素Pの電荷のリセットを行うように構成される。

[0043] リセットトランジスタRSTは、信号SRSTにより制御され、フローティングディフュージョンFDに蓄積された電荷をリセットし、フローティングディフュージョンFDの電圧をリセットし得る。なお、リセットトランジスタRSTは、転送トランジスタTRを介して、光電変換部12に蓄積された電荷を排出し得る。

[0044] 図4Aは、第1の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。読み出し回路20は、図4Aに示す例のように、トランジスタFDGを有していてもよい。トランジスタFDGは、一例として、フローティングディフュージョンFDと、リセットトランジスタRSTとを電氣的に接続可能に構成される。例えば、トランジスタFDGは、信号SFDGにより制御され、フローティングディフュージョンFDとリセットトランジスタRSTとを電氣的に接続または切断する。

[0045] トランジスタFDGがオン状態となることで、画素PのフローティングディフュージョンFDに付加される容量が大きくなり、電荷を電圧に変換する際の変換効率（ゲイン）を変更することが可能となる。トランジスタFDGは、増幅トランジスタAMPのゲートに接続される容量を切り替え、変換効率を変更する切り替えトランジスタである。

[0046] トランジスタFDGは、リセットトランジスタRSTに直列に接続されていてもよく、リセットトランジスタRSTに並列に接続されていてもよい。トランジスタFDGは、図4Bに示す例のように、フローティングディフュージョンFDと、容量素子C1とを電氣的に接続可能に構成されていてもよい。例えば、トランジスタFDGは、信号SFDGにより制御され、フローティングディフュージョンFDと容量素子C1とを電氣的に接続または切断する。容量素子C1の接続状態を切り替えることで、変換効率を変更することが可能となる。

- [0047] 上述した転送トランジスタTRと、増幅トランジスタAMPと、選択トランジスタSELと、トランジスタFDG（切り替えトランジスタ）と、リセットトランジスタRSTは、それぞれ、ゲート、ソース、ドレインの端子を有するMOSトランジスタ（MOSFET）である。
- [0048] 図3及び図4A、図4Bに示す例では、転送トランジスタTR、増幅トランジスタAMP、選択トランジスタSEL、トランジスタFDG、及びリセットトランジスタRSTは、それぞれNMOSトランジスタにより構成される。なお、画素Pのトランジスタは、PMOSトランジスタにより構成されてもよい。画素Pのトランジスタ（転送トランジスタTR、増幅トランジスタAMP、選択トランジスタSEL、トランジスタFDG、リセットトランジスタRST等）は、3Dトランジスタ、例えばFin型トランジスタ（FinFET）であってもよい。
- [0049] 画素駆動部111（図1参照）は、上述した制御線L1を介して、各画素Pの転送トランジスタTR、選択トランジスタSEL、トランジスタFDG、リセットトランジスタRST等のゲートに制御信号を供給し、トランジスタをオン状態（導通状態）又はオフ状態（非導通状態）とする。
- [0050] 撮像装置1の複数の制御線L1には、転送トランジスタTRを制御する信号STRを伝送する配線、選択トランジスタSELを制御する信号SSELを伝送する配線、トランジスタFDGを制御する信号SFDGを伝送する配線、リセットトランジスタRSTを制御する信号SRSTを伝送する配線等が含まれる。
- [0051] 転送トランジスタTR、選択トランジスタSEL、トランジスタFDG、リセットトランジスタRST等は、画素駆動部111によってオンオフ制御される。画素駆動部111は、各画素Pの読み出し回路20を制御することによって、各画素Pから画素信号を信号線L2に出力させる。画素駆動部111は、各画素Pの画素信号を信号線L2へ読み出す制御を行い得る。
- [0052] 図5は、第1の実施の形態に係る撮像装置の画素の平面構成の一例を示す図である。図6及び図7は、撮像装置の画素の断面構成の一例を説明するた

めの図である。図6は、図5に示したA-A'線の方向における画素の構成例を表している。また、図7は、図5に示したB-B'線の方向における画素の構成例を表している。

[0053] 撮像装置1の各画素Pは、例えば、図5～図7に示す構造を有する。画素Pは、光電変換部12と、転送トランジスタTRと、フローティングディフュージョンFDと、画素トランジスタ30と、半導体領域35とを有する。画素トランジスタ30は、例えば、上述した読み出し回路20のトランジスタである。

[0054] 画素トランジスタ30は、増幅トランジスタAMP、選択トランジスタSEL、トランジスタFDG、又はリセットトランジスタRST等として用いられる。なお、一部の画素Pの画素トランジスタ30は、ダミートランジスタであってもよい。読み出し回路20は、画素トランジスタ30として、ダミートランジスタを含んでいてもよい。

[0055] 読み出し回路20の増幅トランジスタAMP、選択トランジスタSEL、トランジスタFDG、リセットトランジスタRST等の各トランジスタは、例えば、複数の画素Pに画素トランジスタ30として分けて設けられ、複数の画素Pで共有される。このように撮像装置1を構成することにより、1つの画素Pにおけるトランジスタの数を減らすことが可能となる。

[0056] 撮像装置1は、半導体層110を含む基板101を用いて構成される。基板101は、例えば、半導体基板、例えばSi（シリコン）基板により構成される。半導体層110を含む基板101には、例えば、上述した光電変換部12及び読み出し回路20等が形成される。

[0057] なお、基板101は、SOI（Silicon On Insulator）基板、SiGe（シリコンゲルマニウム）基板、他の化合物半導体材料等を用いて構成されてもよい。図5～図7に示す例では、基板101は、半導体層110及び配線層120を含んで構成される。

[0058] 半導体層110は、図6及び図7に示すように、対向する第1面11S1及び第2面11S2を有する。第2面11S2は、第1面11S1とは反対

側の面である。半導体層110の第1面11S1は、トランジスタ等の素子が形成される素子形成面である。半導体層110の第1面11S1には、ゲート電極、ゲート酸化膜等が設けられる。半導体層110の第2面11S2は、受光面（光入射面）である。

[0059] 半導体層110では、半導体層110の第1面11S1及び第2面11S2に沿って、複数の光電変換部12（光電変換素子）が設けられる。半導体層110には、例えば、複数の光電変換部12が埋め込み形成される。

[0060] 半導体層110は、図6及び図7に示すように、ウェル25を有する。ウェル25は、例えば、p型の半導体領域であり、p型のウェル（pウェル）である。図6及び図7に示す例では、半導体層110には、p型のウェル領域であるウェル25が設けられる。光電変換部12は、ウェル25内に設けられた半導体領域15を含んで構成される。半導体領域15は、例えば、n型の半導体領域である。

[0061] 半導体層110の第1面11S1側には、転送トランジスタTR、フローティングディフュージョンFD、画素トランジスタ30、半導体領域35等が設けられる。フローティングディフュージョンFDは、図7に示すように、例えば、n型の半導体領域を含んで構成される。

[0062] 撮像装置1には、図5～図7に示すように、トレンチ91及びトレンチ92が設けられる。トレンチ91及びトレンチ92は、それぞれ、半導体層110において、隣り合う複数の画素Pの間に設けられる。トレンチ91及びトレンチ92は、隣り合う複数の画素Pの各光電変換部12の間に設けられ、画素P（又は光電変換部12）間を分離する。画素Pは、トレンチ91及びトレンチ92によって区画された構造を有するともいえる。

[0063] トレンチ91及びトレンチ92は、それぞれ、分離部（溝部）であり、例えば絶縁材料を用いて構成される。トレンチ91及びトレンチ92の各々の少なくとも一部は、隣り合う画素Pの境界に設けられる。トレンチ91は、STI（Shallow Trench Isolation）構造を有し、半導体層110の第1面11S1側に設けられる。トレンチ92は、FTI（Full Trench Isolation）

) 構造を有し、半導体層 110 を貫通するように設けられる。

[0064] 図5～図7に示す例では、トレンチ91は、半導体層110において、転送トランジスタTR、フローティングディフュージョンFD、画素トランジスタ30、及び半導体領域35等を囲むように設けられる。また、トレンチ92は、半導体層110において、光電変換部12を囲むように設けられる。トレンチ91及びトレンチ92は、平面視において、各画素Pの各々の光電変換部12を囲むように格子状に設けられる。トレンチ91及びトレンチ92は、画素間分離部または画素間分離壁ともいえる。

[0065] トレンチ91内及びトレンチ92内には、一例として、酸化膜（例えばシリコン酸化膜）、窒化膜（例えばシリコン窒化膜）等の絶縁膜（絶縁体）が設けられる。トレンチ91及びトレンチ92には、ポリシリコン、金属材料等が埋め込まれていてもよい。また、トレンチ91内及びトレンチ92内には、空隙（空洞）が設けられていてもよい。トレンチ92は、トレンチ91内に形成されていてもよい。例えば、トレンチ92は、半導体層110の第1面11S1側に設けられたトレンチ91内から、半導体層110の第2面11S2まで設けられていてもよい。

[0066] また、撮像装置1には、トレンチ93が設けられる。トレンチ93は、STI構造を有する分離部（溝部）である。トレンチ93内には、例えば、酸化膜（例えばシリコン酸化膜）、窒化膜（例えばシリコン窒化膜）等の絶縁膜が設けられる。トレンチ93は、半導体層110の第1面11S1側に設けられ、素子間を分離する。トレンチ93は、画素トランジスタ30とフローティングディフュージョンFDとの間、転送トランジスタTRと半導体領域35との間等に形成され得る。

[0067] 半導体領域35は、半導体層110の第1面11S1側に設けられる。半導体領域35は、ウェル25と同じ導電型の半導体領域である。半導体領域35は、ウェル25に設けられ、ウェル25と電氣的に接続される。半導体領域35は、例えば、p型の半導体領域であり、p型の不純物を用いて形成される領域である。

- [0068] 半導体領域35は、例えば、ウェル25の不純物濃度よりも高い不純物濃度を有し、p+型の半導体領域となる。p+領域である半導体領域35は、p+型の拡散領域であり、p+型の導電領域ともいえる。また、半導体領域35は、配線層120に設けられたコンタクト55と電氣的に接続される。
- [0069] 図6に示す例では、半導体領域35は、半導体領域35上に設けられたコンタクト55に接続され、コンタクト55を介して配線層120の配線（不図示）と電氣的に接続される。コンタクト55は、半導体領域35によってウェル25と電氣的に接続される。
- [0070] コンタクト55は、例えば、半導体領域35とオーミック接続され、半導体領域35を介してウェル25に電氣的に接続される。半導体領域35と電氣的に接続されるウェル25の領域には、配線層120の配線及びコンタクト55等によって、所定の電位（電圧）が供給される。
- [0071] コンタクト55は、ウェルコンタクトであり、半導体領域35は、ウェルコンタクト領域である。コンタクト55及び半導体領域35は、例えば、画素P毎に配置される。なお、半導体領域35とコンタクト55とを併せて、ウェルコンタクト領域ということもできる。
- [0072] 半導体領域35は、例えば、コンタクト55を介して配線層120内の基準電位線と電氣的に接続され、半導体領域35及びウェル25には、基準電位が与えられる。一例として、半導体領域35及びウェル25には、コンタクト55を介して、GND電位（接地電位）が与えられる。
- [0073] 画素トランジスタ30は、半導体領域31と、半導体領域32と、半導体領域33と、ゲート絶縁膜41と、ゲート電極42とを有する。半導体領域31～半導体領域33は、それぞれ、ウェル25に設けられる。ウェル25の一部に置換して、半導体領域32、33等が配置されともいえる。半導体領域31と、半導体領域32（又は半導体領域33）は、互いに異なる導電型を有する。
- [0074] 半導体領域31は、チャンネルが形成される領域（チャンネル領域）である。例えば、半導体領域31は、p型の半導体領域であり、p型の不純物を用い

て形成された領域である。半導体領域 31 は、p 型拡散領域であり、p 型の導電領域ともいえる。

[0075] 半導体領域 32 及び半導体領域 33 は、画素トランジスタ 30 のソース領域及びドレイン領域である。半導体領域 32, 33 の一方は、画素トランジスタ 30 のソース領域であり、半導体領域 32, 33 の他方は、画素トランジスタ 30 のドレイン領域である。

[0076] 半導体領域 32 及び半導体領域 33 は、それぞれ、例えば n 型の半導体領域であり、n 型の不純物を用いて形成される領域である。半導体領域 32 及び半導体領域 33 は、例えば、半導体層 110 の領域に、n 型の不純物がドーピング（添加）されることによって形成される。半導体領域 32、半導体領域 33 は、それぞれ、n 型拡散領域であり、n 型の導電領域ともいえる。

[0077] 半導体領域 32 は、半導体領域 32 上に設けられたコンタクト 52 に接続され、コンタクト 52 を介して配線層 120 の配線（不図示）と電氣的に接続される。半導体領域 33 は、半導体領域 33 上に設けられたコンタクト 53 に接続され、コンタクト 53 を介して配線層 120 の配線と電氣的に接続される。

[0078] 画素トランジスタ 30 のゲート電極 42 の周囲に、半導体領域 32 及び半導体領域 33 が配置される。半導体領域 32, 33 を有する画素トランジスタ 30 は、転送トランジスタ TR の周りの領域に形成される。図 5 に示す例では、画素トランジスタ 30 は、平面視において、L 字状の形状を有する。なお、画素トランジスタ 30 の形状は、図 5 等に示す例に限られず、適宜変更可能である。

[0079] 画素トランジスタ 30 のゲート絶縁膜 41 は、半導体層 110 のチャンネル領域（半導体領域 31）上に設けられる。ゲート絶縁膜 41（例えばゲート酸化膜）は、チャンネル領域である半導体領域 31 とゲート電極 42 との間に設けられる。ゲート電極 42 は、ゲート絶縁膜 41 の上に設けられる。ゲート電極 42 は、ゲート絶縁膜 41 を介して、半導体層 110 の半導体領域 31 の上方に設けられる。

- [0080] 転送トランジスタTRは、ゲート絶縁膜45及びゲート電極46を有する。転送トランジスタTRのゲート絶縁膜45及びゲート電極46の各々の少なくとも一部は、半導体層110内に設けられる。ゲート絶縁膜45とゲート電極46の各々の少なくとも一部は、例えば、図7等に示す例のように、半導体層110を掘り込んで設けられる。転送トランジスタTRは、一例として、縦型ゲート構造を有する。転送トランジスタTRは、縦型トランジスタともいえる。転送トランジスタTRは、平面ゲート構造を有していてもよい。転送トランジスタTRは、プレーナ型のトランジスタであってもよい。
- [0081] 図7に示す例では、転送トランジスタTRのゲート電極46とゲート絶縁膜45の各々の一部は、例えば半導体層110に埋め込まれるように配置される。ゲート電極46は、半導体層110において、フローティングディフュージョンFDとトレンチ91との間から、光電変換部12の領域まで設けられ得る。ゲート絶縁膜45は、半導体層110内において、ゲート電極46に沿って形成される。
- [0082] 画素トランジスタ30のゲート絶縁膜41と、転送トランジスタTRのゲート絶縁膜45は、例えば、酸化シリコン(SiO)、窒化シリコン(Si₃N₄)、酸化ハフニウム(HfO₂)等のうちの1種よりなる単層膜、あるいはこれらのうちの2種以上よりなる積層膜により形成される。ゲート絶縁膜41、45は、ハフニウム系絶縁膜など、酸化シリコンの誘電率よりも高い誘電率を有する高誘電率材料により構成され得る。
- [0083] 画素トランジスタ30のゲート電極42と、転送トランジスタTRのゲート電極46は、例えば、ポリシリコン(Poly-Si)を用いて構成される。ゲート電極42、46は、金属材料または金属化合物を用いて構成されてもよい。ゲート電極42、46は、例えば、窒化チタン(TiN)、窒化タンタル(TaN)、タングステン等により構成されてもよい。
- [0084] コンタクト52、コンタクト53、及びコンタクト55は、それぞれ、導電材料を用いて構成される。例えば、コンタクト52、53、55は、それぞれ、タングステン(W)等の導電材料をコンタクトホールに埋め込む(充

填する) ことによって形成される。なお、コンタクト52, 53, 55の各々は、アルミニウム(A1)、銅(Cu)等の金属材料により構成されてもよいし、その他の材料を用いて構成されてもよい。

[0085] 撮像装置1では、半導体領域35は、画素トランジスタ30に接して設けられる。半導体領域35は、例えば、画素Pにおいて、画素トランジスタ30のソース領域又はドレイン領域に接して配置される。図5～図7等に示す例では、半導体領域35は、半導体層110の第1面11S1側において、画素トランジスタ30の半導体領域33に接して配置される。

[0086] なお、本開示において「接する」とは、直接に接する場合、自然酸化膜等を介して接する場合を含む。「半導体領域35と半導体領域33とが接している」とは、自然酸化膜が介在している場合を含み、半導体領域35が薄い自然酸化膜を介して半導体領域33に接している場合を含む。さらに「接する」とは、半導体領域の間にSTI(Shallow Trench Isolation)として機能する絶縁膜や、チャンネルストップ領域として機能する不純物領域(半導体領域33や半導体領域35とは異なる機能)やウェル領域が無いことを示す。ただし、N型の半導体領域33とP型の半導体領域35とが接する場合、界面にはPN接合によって空乏化された層が形成される。

[0087] 半導体領域35は、例えば、画素トランジスタ30のソース領域又はドレイン領域である半導体領域33の側面(側部)に接して設けられる。なお、半導体領域35は、半導体領域32に接して設けられてもよい。半導体領域35は、画素トランジスタ30のゲートに隣接するように設けられてもよい。

[0088] このように、本実施の形態では、半導体領域35は、画素トランジスタ30に接して設けられる。このため、撮像装置1は、微細化に有利な構造を有することができる。半導体領域35と画素トランジスタ30とが離れて設けられる場合と比較して、画素Pにおいてトランジスタ等を配置する領域の面積を増やすことができる。画素Pに配置するトランジスタのサイズを大きくすることが可能となる。

- [0089] 本実施の形態では、図5に示す例のように、画素トランジスタ30の面積を大きくすることが可能となる。読み出し回路20のトランジスタ、例えば増幅トランジスタAMPのサイズを大きくすることができ、画素の信号に混入するノイズを抑制することが可能となる。
- [0090] 特に微細画素における面積効率を向上させることができ、画素トランジスタ30のサイズ（例えばゲート長、ゲート幅等）を大きくすることができる。このため、読み出し回路20のトランジスタ（増幅トランジスタAMP、選択トランジスタSEL、トランジスタFDG、リセットトランジスタRST等）の特性を向上させることが可能となる。これにより、画素信号の品質が低下することを抑制することができ、画像の画質低下を抑制することが可能となる。
- [0091] 図8は、第1の実施の形態に係る撮像装置の画素トランジスタの配置例を示す図である。図8においては、読み出し回路20を共有する4つの画素Pを画素Pa～画素Pdとして、2×2画素を図示している。撮像装置1における他の複数の画素Pも、図8に示す構成と同様の構成を有し得る。
- [0092] 図8に示す例では、画素Paには、画素トランジスタ30として、増幅トランジスタAMPが設けられる。画素Pbには、画素トランジスタ30として、選択トランジスタSELが設けられる。画素Pcには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。また、画素Pdには、画素トランジスタ30として、ダミートランジスタが設けられる。
- [0093] 撮像装置1では、例えば、図8に示す例のように、配線L3が設けられる。読み出し回路20を共有する複数の画素Pの各々のフローティングディフュージョンFDは、配線L3を介して、読み出し回路20のトランジスタに電氣的に接続される。図8に示す例では、画素Pa～画素Pdの各々のフローティングディフュージョンFDは、配線L3を介して、画素Paの画素トランジスタ30である増幅トランジスタAMPのゲート電極と電氣的に接続される。
- [0094] 配線L3は、4つの画素Pa～画素Pdで共有される配線となる。配線L

3は、例えば、アルミニウム（Al）、タングステン（W）等の金属材料を用いて形成される。なお、配線L3は、ポリシリコン（Poly-Si）、他の導電材料を用いて構成されてもよい。

[0095] 図9及び図10は、第1の実施の形態に係る撮像装置の画素トランジスタの別の配置例を示す図である。読み出し回路20の各トランジスタを、図9又は図10に示すように配置してもよい。図9に示す例では、読み出し回路20は、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST、及びトランジスタFDGを有する。

[0096] 図9に示す例では、画素Paは、画素トランジスタ30として、増幅トランジスタAMPを有する。画素Pbは、画素トランジスタ30として、選択トランジスタSELを有する。画素Pcは、画素トランジスタ30として、リセットトランジスタRSTを有する。また、画素Pdは、画素トランジスタ30として、トランジスタFDGを有する。

[0097] 読み出し回路20は、互いに並列接続された複数の増幅トランジスタAMP（図10では、増幅トランジスタAMP1、増幅トランジスタAMP2）を有していてもよい。図10に示す例では、画素Paに増幅トランジスタAMP1が配置され、画素Pbに増幅トランジスタAMP2が配置される。読み出し回路20は、互いに並列接続された増幅トランジスタAMP1、AMP2によって画素信号を生成して出力し得る。このため、画素信号に混入するノイズを低減させることが可能となる。

[0098] 図11は、第1の実施の形態に係る撮像装置の断面構成の一例を示す図である。撮像装置1は、例えば、図11に示すように、導光部90と、半導体層110と、配線層120とがZ軸方向に積層された構成を有する。

[0099] 図11に示す例では、半導体層110の第1面11S1側に、配線層120が設けられる。半導体層110の第2面11S2側には、導光部90が設けられる。光学系からの光が入射する側に導光部90が設けられ、光が入射する側とは反対側に配線層120が設けられる。撮像装置1は、いわゆる裏面照射型の撮像装置である。

- [0100] 配線層120は、例えば、導体膜および絶縁膜を含み、複数の配線およびビア（VIA）等を有する。配線層120は、例えば2層以上の配線を含む。配線層120は、5層以上の配線を含んでいてもよい。配線層120は、複数の配線が絶縁膜を間に積層された構成を有する。配線層120の絶縁膜は、層間絶縁膜（層間絶縁層）ともいえる。
- [0101] 配線層120の配線は、例えば、アルミニウム（Al）、銅（Cu）、タングステン（W）等の金属材料を用いて形成される。配線層120の配線は、ポリシリコン（Poly-Si）、その他の導電材料を用いて構成されてもよい。層間絶縁膜は、例えば、酸化シリコン（SiO₂）、窒化シリコン（SiN）、酸窒化シリコン（SiON）等を用いて形成される。
- [0102] 半導体層110及び配線層120には、例えば、上述のように、光電変換部12、読み出し回路20等が設けられる。なお、上述した画素駆動部111、信号処理部112、制御部113、及び処理部114等は、半導体層110とは別の基板、又は、半導体層110及び配線層120に設けられ得る。
- [0103] トレンチ91及びトレンチ92は、隣り合う光電変換部12の間に設けられ、光電変換部12間を分離する。トレンチ91及びトレンチ92は、半導体層110において光電変換部12を囲むように設けられる。トレンチ91及びトレンチ92は、図8等に示すように、平面視において格子状に形成され、複数の光電変換部12の各々を囲むように配置される。
- [0104] 図11に示す導光部90は、半導体層110の第2面11S2と直交する厚さ方向において、半導体層110に積層される。導光部90は、レンズ21とフィルタ22を有し、入射する光を半導体層110側へ導く。
- [0105] レンズ21は、例えば、画素P毎または複数の画素P毎に、フィルタ22上に設けられる。レンズ21には、撮像レンズ等の光学系を介して被写体からの光が入射する。光電変換部12は、レンズ21及びフィルタ22を介して入射する光を光電変換する。
- [0106] 撮像装置1には、図11に示すように、遮光部23が設けられる。遮光部

23（遮光膜）は、光を遮る部材により構成され、隣り合う複数の画素Pの境界に設けられる。遮光部23（遮光部材）は、例えば、隣り合うフィルタ22の間に設けられ、隣り合うフィルタ22の境界に位置し得る。

[0107] 遮光部23は、例えば、光を遮光する金属材料（アルミニウム（Al）、タングステン（W）、銅（Cu）等）により構成される。遮光部23は、光を吸収する材料により構成されてもよい。遮光部23が設けられることで、周囲の画素Pに光が漏れることが抑制される。不要な光が周囲に漏れることを抑制し、混色が生じることを抑制することができる。

[0108] なお、撮像装置1は、反射防止膜および固定電荷膜を有していてもよい。固定電荷膜は、例えば、半導体層110とフィルタ22との間に設けられる。固定電荷膜は、一例として、金属化合物（金属酸化物、金属窒化物等）により構成される。固定電荷膜は、例えば負の固定電荷を有する膜であり、半導体層110の界面における暗電流の発生を抑制する。

[0109] 反射防止膜は、例えば、窒化シリコン（SiN）、酸化シリコン（SiO）等の絶縁材料を用いて構成される。反射防止膜は、例えば、半導体層110とフィルタ22との間に設けられ、反射を低減（抑制）する。

[0110] [作用・効果]

本実施の形態に係る光検出装置は、半導体層（半導体層110）と、半導体層に設けられる光電変換素子（光電変換部12）を有する第1画素（例えば画素Pa）を含む複数の画素と、半導体層において、隣り合う複数の画素の間に設けられるトレンチ（トレンチ91、トレンチ92）とを備える。第1画素は、半導体層の第1面側に設けられるトランジスタ（画素トランジスタ30）と、半導体層の第1面側に設けられる第1導電型の第1半導体領域（半導体領域35）と、第1半導体領域に電氣的に接続される第1コンタクト（コンタクト55）とを含む。第1半導体領域は、トランジスタに接している。

[0111] 本実施の形態に係る光検出装置（撮像装置1）では、半導体領域35は、画素トランジスタ30に接している。半導体領域35は、画素トランジスタ

30のソース領域又はドレイン領域である半導体領域33に接して設けられる。このため、撮像装置1は、画素の微細化に有利な構造を有することができる。画素トランジスタのサイズを大きくすることができ、画素トランジスタの特性を向上させることが可能となる。微細化に有利な光検出装置を実現することが可能となる。

[0112] 次に、本開示の変形例について説明する。以下では、上記実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0113] (1-1. 変形例1)

図12は、本開示の変形例1に係る撮像装置の画素の平面構成の一例を示す図である。図13は、撮像装置の画素の断面構成の一例を説明するための図である。図13は、図12に示したA-A'線方向における画素の構成例を模式的に示している。

[0114] 本変形例に係る撮像装置1では、図12及び図13に示すように、導体領域36が設けられる。導体領域36は、半導体領域35の周囲に設けられる。導体領域36の少なくとも一部は、半導体領域35に接して設けられる。導体領域36は、半導体層110の第1面11S1側において、半導体領域35に隣り合って形成される。図13に示す例では、導体領域36は、トレンチ91、92内部の上方に位置している。

[0115] 導体領域36は、例えば、不純物がドーピング（添加）されたポリシリコンにより構成される。なお、導体領域36（導電部）は、他の導電材料（例えば金属材料など）を用いて構成されてもよい。導体領域36は、例えば、ウェル25の不純物濃度よりも高い不純物濃度を有している。

[0116] コンタクト55は、導体領域36の上に設けられる。コンタクト55は、導体領域36を介して、半導体領域35及びウェル25に電氣的に接続される。本変形例に係る撮像装置1では、導体領域36を介して、ウェル25内に設けられた半導体領域35とコンタクト55とが電氣的に接続される。このため、コンタクト55と電氣的に接続するために必要な半導体領域35の不純物濃度を低減することが可能となる。

[0117] 半導体領域35の不純物濃度を低減することで、半導体領域35と画素トランジスタ30のソース領域又はドレイン領域（図13では半導体領域33）の間における電界（電位勾配）を小さくすることが可能となる。このため、画素トランジスタ30に欠陥が生じることを抑制することができる。画素信号に混入するノイズが増大することを防ぐことが可能となる。

[0118] 図14は、変形例1に係る撮像装置の平面構成の一例を示す図である。図15は、撮像装置の断面構成の一例を説明するための図である。図14及び図15に示す例のように、導体領域36を設けるようにしてもよい。導体領域36の少なくとも一部は、隣り合う複数の画素Pの境界に設けられる。

[0119] 隣り合う複数の画素Pの各々の半導体領域33は、共通の導体領域36を介して、コンタクト55に電氣的に接続される。導体領域36は、上述のように、半導体層110内に設けられる。図13、図15等に示す例では、導体領域36は、トレンチ91内の上方に配置される。このため、撮像装置1において不要な寄生容量が生じることを防ぐことが可能となる。例えば、読み出し回路20のトランジスタに、不要な寄生容量が付加されることを回避することが可能となる。

[0120] 図16及び図17は、変形例1に係る撮像装置の画素の断面構成の別の例を説明するための図である。図16に示すように、導体領域36を、半導体層110の第1面11S1上に設けるようにしてもよい。図16に示す例では、導体領域36は、配線層120内に設けられる。なお、図17に示す例のように、導体領域36の一部が、半導体層110内に設けられていてもよい。導体領域36の一部が、トレンチ91内に形成されていてもよい。

[0121] (1-2. 変形例2)

図18は、変形例2に係る撮像装置の画素の平面構成の一例を示す図である。図19は、変形例2に係る撮像装置の平面構成の一例を説明するための図である。撮像装置1は、図18及び図19に示すように、半導体領域37を有していてもよい。半導体領域37は、半導体層110において、フローティングディフュージョンFDの周囲に設けられる。

[0122] 半導体領域37は、一例として、不純物がドーピングされたポリシリコンにより構成される。なお、半導体領域37は、他の導電材料を用いて構成されてもよい。半導体領域37の少なくとも一部は、フローティングディフュージョンFDに接して設けられる。

[0123] 読み出し回路20を共有する複数の画素P（図19では画素Pa～画素Pd）の各々のフローティングディフュージョンFDは、半導体領域37を介して、互いに電氣的に接続される。画素Pa～画素Pdの各々のフローティングディフュージョンFDは、半導体領域37を介して、読み出し回路20の増幅トランジスタAMP、リセットトランジスタRST等と電氣的に接続される。

[0124] (1-3. 変形例3)

図20は、変形例3に係る撮像装置の画素の平面構成の一例を示す図である。図21は、撮像装置の画素の断面構成の一例を説明するための図である。図21は、図20に示したA-A'線方向における画素の構成例を模式的に示している。

[0125] 半導体領域35は、画素Pにおいて、画素トランジスタ30のゲート電極42及びゲート絶縁膜41の少なくとも一方に隣接するように設けられてもよい。図20及び図21に示す例では、半導体領域35は、半導体層110の第1面11S1側において、画素トランジスタ30のゲート絶縁膜41及びゲート電極42に隣接するように配置される。なお、本開示において「隣接する」とは、接していない場合を含む。「隣接する」とは、直接に接している場合、自然酸化膜等を介して隣り合っている場合を含む。

[0126] 本変形例の場合も、撮像装置1は、微細化に有利な構造を有することができる。半導体領域35と画素トランジスタ30とが離れて配置される場合と比較して、画素Pにおいてトランジスタ等を配置する領域の面積を増やすことができる。画素Pに配置する画素トランジスタ30のサイズを大きくすることができ、読み出し回路20の増幅トランジスタAMP等の特性を向上させることが可能となる。

[0127] 図22は、変形例3に係る撮像装置の画素の平面構成の別の例を示す図である。図23及び図24は、撮像装置の画素の断面構成の別の例を説明するための図である。図23及び図24は、それぞれ、図22に示したA-A'線の方向における画素の構成例を模式的に示している。撮像装置1は、図22及び図23に示すように、コンタクト55と半導体領域35とを電氣的に接続する導体領域36を有していてもよい。なお、導体領域36は、図24に示す例のように、半導体層110の上に形成されてもよい。導体領域36の一部を、半導体層110内に設けるようにしてもよい。

[0128] 図25は、変形例3に係る撮像装置の画素の平面構成の別の例を示す図である。図26及び図27は、撮像装置の画素の断面構成の別の例を説明するための図である。図26及び図27は、それぞれ、図25に示したA-A'線の方向における画素の構成例を模式的に示している。撮像装置1は、図25及び図26に示すように、複数の画素Pの各々のフローティングディフュージョンFDを電氣的に接続する半導体領域37を有していてもよい。なお、半導体領域37は、図27に示す例のように、半導体層110の上に形成されてもよい。半導体領域37の一部は、半導体層110内に設けられてもよい。

[0129] (1-4. 変形例4)

上述した実施の形態では、画素Pのトランジスタの配置例について説明したが、トランジスタの配置は上述した例に限らない。また、読み出し回路20の構成は、上述した例に限られず、適宜変更可能である。

[0130] 図28～図35は、変形例4に係る撮像装置の画素トランジスタの配置例を説明するための図である。図28～図35は、2×4画素が1つの読み出し回路20を共有する場合の例を示している。図28～図35においては、読み出し回路20を共有する8つの画素Pを画素Pa～画素Phとして、2×4画素を図示している。

[0131] 読み出し回路20は、互いに並列接続された複数の増幅トランジスタAMP (増幅トランジスタAMP1～増幅トランジスタAMP6等) を有してい

てもよい。また、読み出し回路20は、互いに並列接続された複数の選択トランジスタSEL（例えば選択トランジスタSEL1、選択トランジスタSEL2）を有していてもよい。

[0132] 例えば、図28に示す例では、画素Paには、画素トランジスタ30として、増幅トランジスタAMP1が設けられる。画素Pbには、画素トランジスタ30として、増幅トランジスタAMP2が設けられる。画素Pcには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。また、画素Pdには、画素トランジスタ30として、選択トランジスタSELが設けられる。

[0133] また、図28に示す例では、画素Peには、画素トランジスタ30として、トランジスタFDGが設けられる。画素Pf～画素Phには、それぞれ、画素トランジスタ30として、ダミートランジスタが設けられる。

[0134] 図29に示す例では、画素Paには、画素トランジスタ30として、増幅トランジスタAMP1が設けられる。画素Pbには、画素トランジスタ30として、増幅トランジスタAMP2が設けられる。画素Pcには、画素トランジスタ30として、選択トランジスタSEL1が設けられる。また、画素Pdには、画素トランジスタ30として、選択トランジスタSEL2が設けられる。

[0135] また、図29に示す例では、画素Pe、Pg、Phには、それぞれ、画素トランジスタ30として、ダミートランジスタが設けられる。画素Pfには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。

[0136] 図30に示す例では、画素Peには、画素トランジスタ30として、トランジスタFDGが設けられる。画素Pfには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。画素Pg及び画素Phには、それぞれ、画素トランジスタ30として、ダミートランジスタが設けられる。

[0137] 図31に示す例では、画素Peには、画素トランジスタ30として、選択

トランジスタSEL3が設けられる。画素Pfには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。画素Pgには、画素トランジスタ30として、増幅トランジスタAMP3が設けられる。画素Phには、画素トランジスタ30として、ダミートランジスタが設けられる。なお、図32に示すように、画素Phの画素トランジスタ30として、トランジスタFDGを配置してもよい。

[0138] 図33に示す例では、画素Paには、画素トランジスタ30として、増幅トランジスタAMP1が設けられる。画素Pbには、画素トランジスタ30として、選択トランジスタSEL1が設けられる。画素Pcには、画素トランジスタ30として、増幅トランジスタAMP2が設けられる。また、画素Pdには、画素トランジスタ30として、ダミートランジスタが設けられる。

[0139] また、図33に示す例では、画素Peには、画素トランジスタ30として、増幅トランジスタAMP3が設けられる。画素Pfには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。画素Pgには、画素トランジスタ30として、増幅トランジスタAMP4が設けられる。画素Phには、画素トランジスタ30として、選択トランジスタSEL2が設けられる。なお、図34に示すように、画素Pdの画素トランジスタ30として、トランジスタFDGを配置してもよい。

[0140] 図35に示す例では、画素Paには、画素トランジスタ30として、増幅トランジスタAMP1が設けられる。画素Pbには、画素トランジスタ30として、選択トランジスタSELが設けられる。画素Pcには、画素トランジスタ30として、増幅トランジスタAMP2が設けられる。また、画素Pdには、画素トランジスタ30として、増幅トランジスタAMP5が設けられる。

[0141] また、図35に示す例では、画素Peには、画素トランジスタ30として、増幅トランジスタAMP3が設けられる。画素Pfには、画素トランジスタ30として、増幅トランジスタAMP6が設けられる。また、画素Pgに

は、画素トランジスタ30として、増幅トランジスタAMP4が設けられる。画素Phには、画素トランジスタ30として、リセットトランジスタRSTが設けられる。

[0142] <2. 第2の実施の形態>

次に、本開示の第2の実施の形態について説明する。以下では、上述した実施の形態と同様の構成部分については同一の符号を付し、適宜説明を省略する。

[0143] 図36は、本開示の第2の実施の形態に係る撮像装置の画素の配置例を示す図である。撮像装置1の画素Pは、複数の光電変換部12（図36に示す例では、光電変換部12a、光電変換部12b）を有する。光電変換部12bは、光電変換部12aの隣に設けられる。光電変換部12aを有する画素と、光電変換部12bを有する画素とが設けられるともいえる。

[0144] 本実施の形態では、複数の光電変換部12、例えば2つの光電変換部12（光電変換部12a、光電変換部12b）に対して、1つのレンズ21（レンズ部）が設けられる。光電変換部12a及び光電変換部12bによって、撮像レンズ等の光学系の互いに異なる領域を通過した光が受光され、瞳分割が行われる。

[0145] 光電変換部12aで光電変換された電荷に基づく第1の画素信号と、光電変換部12bで光電変換された電荷に基づく第2の画素信号とを用いることで、位相差データ（位相差情報）を得ることができる。位相差データを用いることで、位相差AF（Auto Focus）を行うことができる。

[0146] 読み出し回路20は、読み出し回路20を共有する各画素Pの第1の画素信号と第2の画素信号とを出力可能に構成される。また、読み出し回路20は、光電変換部12aで変換された電荷と光電変換部12bで変換された電荷とを加算した電荷に応じた画素信号を読み出し得る。

[0147] 図37は、第2の実施の形態に係る撮像装置の画素の平面構成の一例を示す図である。撮像装置1の画素Pは、転送トランジスタTRa、TRbと、フローティングディフュージョンFDa、FDbと、画素トランジスタ30

- a, 30bと、半導体領域35を含んで構成される。
- [0148] 転送トランジスタTRaは、光電変換部12aで光電変換された電荷をフローティングディフュージョンFDaに転送可能に構成される。転送トランジスタTRbは、光電変換部12bで光電変換された電荷をフローティングディフュージョンFDbに転送可能に構成される。フローティングディフュージョンFDaは、光電変換部12aで光電変換された電荷を蓄積し得る。また、フローティングディフュージョンFDbは、光電変換部12bで光電変換された電荷を蓄積し得る。
- [0149] 読み出し回路20は、例えば、フローティングディフュージョンFDaに蓄積された電荷に基づく画素信号、フローティングディフュージョンFDbに蓄積された電荷に基づく画素信号等を出力可能に構成される。また、例えば、読み出し回路20は、フローティングディフュージョンFDaに蓄積された電荷と、フローティングディフュージョンFDbに蓄積された電荷とを加算した電荷に応じた画素信号を出力可能に構成される。
- [0150] 画素トランジスタ30a及び画素トランジスタ30bは、例えば、読み出し回路20のトランジスタである。半導体領域32a及び半導体領域33aは、画素トランジスタ30aのソース領域及びドレイン領域である。半導体領域32a, 33aの一方は、画素トランジスタ30aのソース領域であり、半導体領域32a, 33aの他方は、画素トランジスタ30aのドレイン領域である。
- [0151] また、半導体領域32b及び半導体領域33bは、画素トランジスタ30bのソース領域及びドレイン領域である。半導体領域32b, 33bの一方は、画素トランジスタ30bのソース領域であり、半導体領域32b, 33bの他方は、画素トランジスタ30bのドレイン領域である。
- [0152] 画素トランジスタ30a, 30bは、それぞれ、増幅トランジスタAMP、選択トランジスタSEL、トランジスタFDG、又はリセットトランジスタRST等として用いられる。なお、一部の画素Pの画素トランジスタ30a又は画素トランジスタ30bは、ダミートランジスタであってもよい。読

み出し回路20は、画素トランジスタ30a又は画素トランジスタ30bとして、ダミートランジスタを含んでいてもよい。

[0153] 本実施の形態に係る撮像装置1では、半導体領域35は、画素トランジスタ30a及び画素トランジスタ30bに接して設けられる。半導体領域35は、例えば、画素Pにおいて、画素トランジスタ30aのソース領域又はドレイン領域と、画素トランジスタ30bのソース領域又はドレイン領域に接して配置される。

[0154] 図37に示す例では、半導体領域35は、画素トランジスタ30aの半導体領域33aと、画素トランジスタ30bの半導体領域33bに接して設けられる。なお、半導体領域35は、半導体領域32a, 32bに接して設けられてもよい。半導体領域35は、画素トランジスタ30a, 30bの各々のゲートに隣接するように設けられてもよい。

[0155] このように、本実施の形態では、半導体領域35は、画素トランジスタ30a及び画素トランジスタ30bに接して設けられる。このため、撮像装置1は、微細化に有利な構造を有することができる。半導体領域35と画素トランジスタ30a, 30bとが離れて設けられる場合と比較して、画素Pにおいてトランジスタ等を配置する領域の面積を増やすことができる。画素Pに配置するトランジスタのサイズを大きくすることが可能となる。

[0156] 図38は、第2の実施の形態に係る撮像装置の画素の平面構成の別の例を示す図である。図38に示す例のように、光電変換部12a, 12bに対して、1つの画素トランジスタ30を設けるようにしてもよい。画素トランジスタ30は、例えば、読み出し回路20のトランジスタであり、画素P毎に配置される。なお、一部の画素Pの画素トランジスタ30は、ダミートランジスタであってもよい。

[0157] 半導体領域35は、例えば、画素Pにおいて、画素トランジスタ30のソース領域又はドレイン領域に接して設けられる。図38に示す例では、半導体領域35は、画素トランジスタ30の半導体領域33に接して設けられる。この場合も、画素Pに配置するトランジスタのサイズを大きくすることが

でき、読み出し回路20の増幅トランジスタAMP等の特性を向上させることが可能となる。

[0158] 特に微細画素における面積効率を向上させることができ、画素トランジスタ30のサイズを大きくすることができる。このため、読み出し回路20のトランジスタの特性を向上させることが可能となる。画素信号の品質が低下することを抑制することができ、画像の画質低下を抑制することが可能となる。

[0159] [作用・効果]

本実施の形態に係る光検出装置は、半導体層（半導体層110）と、光電変換素子を有する第1画素を含む複数の画素と、トレンチ（トレンチ91、トレンチ92）とを備える。第1画素は、トランジスタ（画素トランジスタ30）と、第1導電型の第1半導体領域（半導体領域35）と、第1コンタクト（コンタクト55）とを含む。第1半導体領域は、トランジスタに接している。光検出装置は、光が入射するレンズ（レンズ21）を有する。光検出装置は、光電変換素子として、レンズを透過した光を光電変換する第1光電変換素子（光電変換部12a）と、第1光電変換素子の隣に設けられ、レンズを透過した光を光電変換する第2光電変換素子（光電変換部12b）とを有する。

[0160] 本実施の形態に係る光検出装置（撮像装置1）では、半導体領域35は、画素トランジスタ30に接している。このため、撮像装置1は、画素の微細化に有利な構造を有することができる。画素トランジスタのサイズを大きくすることができ、画素トランジスタの特性を向上させることが可能となる。微細化に有利な光検出装置を実現することが可能となる。

[0161] 次に、本開示の変形例について説明する。以下では、上記実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0162] （2-1. 変形例5）

図39は、本開示の変形例5に係る撮像装置の画素の平面構成の一例を示す図である。図40は、撮像装置の画素の断面構成の一例を説明するための

図である。図40は、図39に示したA-A'線の方向における画素の構成例を模式的に示している。

[0163] 撮像装置1では、図39及び図40に示すように、コンタクト55と半導体領域35とを電氣的に接続する導体領域36を有していてもよい。コンタクト55は、導体領域36を介して、画素トランジスタ30aの半導体領域33aと、画素トランジスタ30bの半導体領域33bに電氣的に接続される。

[0164] 導体領域36は、例えば、半導体層110内に設けられる。導体領域36は、一例として、不純物がドーパされたポリシリコンにより構成される。なお、導体領域36は、他の導電材料を用いて構成されてもよい。

[0165] 導体領域36は、図41に示す例のように、半導体層110の上に形成されてもよい。導体領域36の一部を、半導体層110内に設けるようにしてもよい。また、撮像装置1では、図42に示す例のように、画素P毎に、1つの画素トランジスタ30と、導体領域36とが設けられてもよい。

[0166] 導体領域36は、例えば、第1の実施の形態の場合と同様に、隣り合う複数の画素Pに対して設けられてもよい。複数の画素Pの各々の半導体領域33は、共通の導体領域36を介して、互いに電氣的に接続される。なお、複数の画素Pの各々の半導体領域32が、共通の導体領域36を介して、互いに電氣的に接続されていてもよい。

[0167] (2-2. 変形例6)

図43A及び図43Bは、変形例6に係る撮像装置の画素の構成例を説明するための図である。撮像装置1は、図43A又は図43Bに示す例のように、分離部95を有していてもよい。分離部95は、例えば、トレンチを含んで構成される。分離部95は、半導体層110において光電変換部12aと光電変換部12bとの間に設けられる。なお、分離部95は、絶縁材料を用いて構成されてもよいし、イオン注入によって形成された半導体領域によって構成されてもよい。分離部95は、p型の半導体領域またはn型の半導体領域により構成され得る。

[0168] (2-3. 変形例7)

図44及び図45は、変形例7に係る撮像装置の画素の平面構成の一例を示す図である。撮像装置1では、図44又は図45に示すように、複数のフローティングディフュージョンFDを電氣的に接続する半導体領域37を有していてもよい。例えば、フローティングディフュージョンFDaと、フローティングディフュージョンFDbは、半導体領域37を介して、互いに電氣的に接続される。

[0169] 半導体領域37は、例えば、半導体層110内に設けられる。半導体領域37は、一例として、不純物がドーパされたポリシリコンにより構成される。なお、半導体領域37は、他の導電材料を用いて構成されてもよい。半導体領域37は、半導体層110の上に形成されてもよい。半導体領域37の一部を、半導体層110内に設けるようにしてもよい。

[0170] また、半導体領域37は、例えば、第1の実施の形態の場合と同様に、隣り合う複数の画素Pに対して設けられてもよい。複数の画素Pの各々のフローティングディフュージョンFDは、共通の半導体領域37を介して、互いに電氣的に接続される。

[0171] (2-4. 変形例8)

図46及び図47は、変形例8に係る撮像装置の画素の平面構成の一例を示す図である。半導体領域35は、画素Pにおいて、隣り合う複数の画素トランジスタ30の各々のゲート電極及びゲート絶縁膜の少なくとも一方に隣接するように設けられてもよい。半導体領域35は、例えば、半導体層110の第1面11S1側において、画素トランジスタ30a, 30bのゲート電極及びゲート絶縁膜の少なくとも一方に隣接するように配置され得る。

[0172] 図46又は図47に示す例では、半導体領域35は、画素トランジスタ30aのゲート電極及びゲート絶縁膜の少なくとも一方と、画素トランジスタ30bのゲート電極及びゲート絶縁膜の少なくとも一方とに隣接するように配置される。このため、撮像装置1は、微細化に有利な構造を有することができる。

[0173] 本変形例では、半導体領域 35 と画素トランジスタ 30 とが離れて配置される場合と比較して、画素 P においてトランジスタ等を配置する領域の面積を増やすことができる。画素 P に配置するトランジスタのサイズを大きくすることができ、読み出し回路 20 の増幅トランジスタ AMP 等の特性を向上させることが可能となる。

[0174] また、図 47 に示すように、半導体領域 35 を、画素トランジスタ 30 a のソース領域又はドレイン領域である半導体領域 32 a と、画素トランジスタ 30 b のソース領域又はドレイン領域である半導体領域 32 b との間に設けるようにしてもよい。コンタクト 55 と画素トランジスタ 30 a, 30 b のチャンネル領域との距離を確保することができる。

[0175] コンタクト 55 をチャンネル領域から離す（遠ざける）ことで、画素トランジスタ 30 a, 30 b に対して悪影響を及ぼすことを防ぐことができる。画素トランジスタ 30 a, 30 b の特性が悪化することを抑制することが可能となる。ノイズが画素信号に混入することを抑制し、位相差検出の精度が低下することを抑制することが可能となる。また、画像の画質低下を抑制することが期待できる。さらに、コンタクト 55 をチャンネル領域から離すことで、チャンネル領域と半導体領域 35 とが接する部分付近の不純物濃度を低くすることもできる。これによって強電界の発生を緩和した設計が可能となる。

[0176] (2-5. 変形例 9)

図 48 は、変形例 9 に係る撮像装置の画素の平面構成の一例を説明するための図である。図 49 は、撮像装置の画素の断面構成の一例を説明するための図である。図 49 は、図 48 に示した A-A' 線の方角における画素の構成例を示している。撮像装置 1 は、図 48 に示すように、領域 201 と領域 205 とに設けられるトレンチ 210 を有する。

[0177] トレンチ 210 は、例えば、上述したトレンチ 91, 92、分離部 95 a、分離部 95 b 等を含む。分離部 95 a 及び分離部 95 b は、上述した分離部 95 と同様の構成を有し、それぞれトレンチを含んで構成される。トレンチ 91, 92、分離部 95 a、及び分離部 95 b の一部又は全部は、トレン

チ 210として一体的に構成されていてもよい。

- [0178] 領域201は、トレンチ91, 92を有する領域であり、画素と隣接する画素とを分離する。領域205は、図48に示すように、分離部95aを有する領域202と、分離部95bを有する領域203とを含む。領域202及び領域203では、分離部95a, 95bが設けられ、平面視において光電変換部12aと光電変換部12bが遮られる。
- [0179] 分離部95aは、隣り合う複数のフローティングディフュージョンFDの間と、隣り合う複数の光電変換部12の間とに設けられる。図48及び図49に示す例では、分離部95aは、フローティングディフュージョンFDaとフローティングディフュージョンFDbとの間、及び、光電変換部12aと光電変換部12bとの間に形成される。
- [0180] 分離部95bは、隣り合う複数の画素トランジスタ30の間と、隣り合う複数の光電変換部12の間とに設けられる。図48及び図49に示す例では、分離部95bは、画素トランジスタ30aと画素トランジスタ30bとの間、及び、光電変換部12aと光電変換部12bとの間に形成される。
- [0181] 半導体領域35は、図48に示すように、平面視において、分離部95aと分離部95bとの間に設けられる。半導体領域35は、第1部分61と、第2部分62とを有する。第1部分61は、平面視において、画素トランジスタ30a及び画素トランジスタ30bと水平方向(X軸方向)に接する。
- [0182] また、第2部分62は、第1部分61と垂直方向(Y軸方向)に接する。コンタクト55は、半導体領域35の第2部分62に設けられる。コンタクト55は、第2部分62上に設けられている。第1部分61は、例えば、第2部分62の不純物濃度よりも低い不純物濃度を有している。
- [0183] 半導体領域35は、画素トランジスタ30aのゲート絶縁膜及びゲート電極の少なくとも一方と、画素トランジスタ30bのゲート絶縁膜及びゲート電極の少なくとも一方とに隣接するように設けられる。このため、撮像装置1は、微細化に有利な構造を有することができる。
- [0184] 半導体領域35は分離部95aと分離部95bとの間に位置し、コンタク

ト55は画素トランジスタ30a, 30bの各々のチャンネル領域から離れている。このため、ノイズが画素信号に混入することを抑制し、位相差検出の精度が低下することを抑制することができる。また、画像の画質低下を抑制することが期待できる。さらに、コンタクト55をチャンネル領域から離すことで、チャンネル領域と半導体領域35とが接する部分付近の不純物濃度を低くすることもできる。これにより、強電界の発生を緩和した設計が可能となる。

[0185] また、上述したように、第1部分61は、コンタクト55に接続される第2部分62の不純物濃度よりも低い不純物濃度を有する。第1部分61の不純物濃度を低くすることで、半導体領域35の第1部分61とチャンネル領域の間において強電界が生じることを抑制することができる。このため、画素信号に混入するノイズを低減させることが期待できる。

[0186] 本変形例に係る光検出装置は、半導体層に設けられた第1画素（画素P）と、第1画素と隣接する画素とを分離する第1領域（領域201）と、第1画素内に設けられた光電変換素子が平面視で遮られた第2領域（領域203, 203を含む領域205）とを有するトレンチ（トレンチ210）とを備える。第2領域（領域202）は、平面視で第1画素に設けられた第1フローティングディフュージョン領域と第2フローティングディフュージョン領域との間に第1分離部（分離部95a）を有する。第2領域（領域203）は、平面視で第1画素に設けられた第1トランジスタと第2トランジスタとの間に第2分離部（分離部95b）を有する。第1画素は、第1導電型の第1半導体領域（半導体領域35）と、第1半導体領域に電氣的に接続される第1コンタクト（コンタクト55）とを含む。平面視で第1分離部と第2分離部との間に第1半導体領域が設けられる。第1半導体領域は、第1トランジスタと第2トランジスタに接している。

[0187] 本実施の形態に係る光検出装置（撮像装置1）では、半導体領域35は、画素トランジスタ30a, 30bに接している。このため、撮像装置1は、画素の微細化に有利な構造を有することができる。画素トランジスタのサイ

ズを大きくすることができ、画素トランジスタの特性を向上させることが可能となる。微細化に有利な光検出装置を実現することが可能となる。

[0188] なお、図50に示すように、半導体領域35は、画素トランジスタ30aのソース領域又はドレイン領域である半導体領域32aと、画素トランジスタ30bのソース領域又はドレイン領域である半導体領域32bに接して設けられてもよい。また、半導体領域35は、画素トランジスタ30aの半導体領域33aと、画素トランジスタ30bの半導体領域33bとに接して設けられてもよい。

[0189] (2-6. 変形例10)

図51~図53は、変形例10に係る撮像装置の画素の平面構成の一例を示す図である。撮像装置1の各画素Pは、図51に示す構成を有していてもよい。光電変換部12a, 12bに対して、1つの画素トランジスタ30と、半導体領域35とが設けられてもよい。また、撮像装置1は、図52に示すように、コンタクト55と半導体領域35とを電氣的に接続する導体領域36を有していてもよい。図53に示す例のように、撮像装置1は、複数のフローティングディフュージョンFDを電氣的に接続する半導体領域37を有していてもよい。

[0190] <3. 適用例>

上記撮像装置1等は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図54は、電子機器1000の概略構成を表したものである。

[0191] 電子機器1000は、例えば、レンズ群1001と、撮像装置1と、DSP (Digital Signal Processor) 回路1002と、フレームメモリ1003と、表示部1004と、記録部1005と、操作部1006と、電源部1007とを有し、バスライン1008を介して相互に接続されている。

[0192] レンズ群1001は、被写体からの入射光(像光)を取り込んで撮像装置1の撮像面上に結像するものである。撮像装置1は、レンズ群1001によ

って撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路1002に供給する。

[0193] DSP回路1002は、撮像装置1から供給される信号を処理する信号処理回路である。DSP回路1002は、撮像装置1からの信号を処理して得られる画像データを出力する。フレームメモリ1003は、DSP回路1002により処理された画像データをフレーム単位で一時的に保持するものである。

[0194] 表示部1004は、例えば、液晶パネルや有機EL (Electro Luminescence) パネル等のパネル型表示装置からなり、撮像装置1で撮像された動画または静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0195] 操作部1006は、ユーザによる操作に従い、電子機器1000が所有する各種の機能についての操作信号を出力する。電源部1007は、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005および操作部1006の動作電源となる各種の電源を、これら供給対象に対して適宜供給するものである。

[0196] <4. 応用例>

(移動体への応用例)

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0197] 図55は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0198] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図55に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユ

ニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (i n t e r f a c e) 12053が図示されている。

[0199] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0200] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0201] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0202] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0203] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0204] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0205] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0206] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ

12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0207] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図55の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0208] 図56は、撮像部12031の設置位置の例を示す図である。

[0209] 図56では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0210] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0211] なお、図56には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を

示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0212] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0213] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0214] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警

報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0215] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0216] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、例えば、撮像装置1等は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、高精細な撮影画像を得ることが可能となる。移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことが可能となる。

[0217] (内視鏡手術システムへの応用例)

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0218] 図57は、本開示に係る技術(本技術)が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0219] 図57では、術者(医師)11131が、内視鏡手術システム11000

を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0220] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0221] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0222] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）11201に送信される。

[0223] CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡11100及び表示装置11202の動作を

統括的に制御する。さらに、CCU 11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

- [0224] 表示装置11202は、CCU 11201からの制御により、当該CCU 11201によって画像処理が施された画像信号に基づく画像を表示する。
- [0225] 光源装置11203は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。
- [0226] 入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0227] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0228] なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象

に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0229] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0230] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0231] 図58は、図57に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0232] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド1110

2とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0233] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0234] 撮像部11402は、撮像素子で構成される。撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0235] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0236] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

[0237] 通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部1140

2から得た画像信号をRAWデータとして伝送ケーブル11400を介してCCU11201に送信する。

[0238] また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0239] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡11100に搭載されていることになる。

[0240] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0241] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

[0242] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0243] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0244] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば

、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。

[0245] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0246] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0247] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0248] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 11100 のカメラヘッド 11102 に設けられた撮像部 11402 に好適に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、高精細な内視鏡 11100 を提供することが可能となる。

[0249] 以上、実施の形態、変形例および適用例ならびに応用例を挙げて本開示を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々の変形が可能である。例えば、上述した変形例は、上記実施の形態の変形例として説明したが、各変形例の構成を適宜組み合わせることができる。例えば本

開示は、裏面照射型イメージセンサに限定されるものではなく、表面照射型イメージセンサにも適用可能である。

[0250] 上記実施の形態等では、撮像装置を例示して説明するようにしたが、本開示の光検出装置は、例えば、入射する光を受光し、光を電荷に変換するものであればよい。出力される信号は、画像情報の信号でもよいし、測距情報の信号でもよい。光検出装置（撮像装置）は、イメージセンサ、測距センサ等に適用され得る。

[0251] 本開示に係る光検出装置は、TOF (Time of Flight) 方式の距離計測が可能な測距センサとしても適用され得る。光検出装置（撮像装置）は、イベントを検出可能なセンサ、例えば、イベント駆動型のセンサ（EVS (Event Vision Sensor)、EDS (Event Driven Sensor)、DVS (Dynamic Vision Sensor) 等と呼ばれる) としても適用され得る。

[0252] 本開示の一実施形態の光検出装置は、半導体層と、半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、半導体層において隣り合う複数の画素の間に設けられるトレンチとを備える。第1画素は、半導体層の第1面側に設けられるトランジスタと、半導体層の第1面側に設けられる第1導電型の第1半導体領域と、第1半導体領域に電氣的に接続される第1コンタクトとを含む。第1半導体領域は、トランジスタに接している。このため、光検出装置は、画素の微細化に有利な構造を有することができる。微細化に有利な光検出装置を実現することが可能となる。

[0253] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本開示は以下のような構成をとることも可能である。

(1)

半導体層と、

前記半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、

前記半導体層において、隣り合う複数の前記画素の間に設けられるトレン

チと

を備え、

前記第1画素は、前記半導体層の第1面側に設けられるトランジスタと、前記半導体層の前記第1面側に設けられる第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを含み、

前記第1半導体領域は、前記トランジスタに接している
光検出装置。

(2)

前記トランジスタは、前記半導体層に設けられた第2導電型のソース領域及びドレイン領域を有し、

前記第1半導体領域は、前記トランジスタの前記ソース領域または前記ドレイン領域に接している

前記(1)に記載の光検出装置。

(3)

前記第1半導体領域は、p型の半導体領域であり、

前記ソース領域及び前記ドレイン領域は、それぞれ、n型の半導体領域である

前記(1)または(2)に記載の光検出装置。

(4)

前記トランジスタは、ゲート電極及びゲート絶縁膜を有し、

前記第1半導体領域は、前記トランジスタの前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方に隣接するように設けられている

前記(1)から(3)のいずれか1つに記載の光検出装置。

(5)

前記半導体層に設けられる前記第1導電型の第1ウェルを有し、

前記第1半導体領域は、前記第1ウェルに設けられ、

前記第1コンタクトは、前記第1半導体領域を介して前記第1ウェルと電氣的に接続されている

前記（１）から（４）のいずれか１つに記載の光検出装置。

（６）

前記第１半導体領域の一部と接し、前記トレンチの内部に設けられる導体領域を有し、

前記第１コンタクトは、前記導体領域の上に設けられ、前記導体領域を介して前記第１半導体領域に電氣的に接続されている

前記（１）から（５）のいずれか１つに記載の光検出装置。

（７）

前記導体領域は、前記半導体層内に設けられている

前記（６）に記載の光検出装置。

（８）

前記複数の画素は、前記第１画素と隣り合う第２画素を含み、

前記第１画素及び前記第２画素は、それぞれ、前記光電変換素子と、フローティングディフュージョンと、前記トランジスタと、前記第１半導体領域とを有する

前記（１）から（７）のいずれか１つに記載の光検出装置。

（９）

前記第１画素の前記第１半導体領域と前記第２画素の前記第１半導体領域とを電氣的に接続する導体領域を有する

前記（８）に記載の光検出装置。

（１０）

前記第１画素の前記フローティングディフュージョンと前記第２画素の前記フローティングディフュージョンとを電氣的に接続する第２半導体領域と

、

前記第２半導体領域に電氣的に接続される第２コンタクトと、を有する

前記（８）または（９）に記載の光検出装置。

（１１）

前記トランジスタを含み、前記光電変換素子で光電変換された電荷に基づ

く信号を出力可能な読み出し回路を有する

前記（１）から（１０）のいずれか１つに記載の光検出装置。

（１２）

前記トランジスタは、増幅トランジスタ、選択トランジスタ、リセットトランジスタ、切り替えトランジスタ、またはダミートランジスタである

前記（１１）に記載の光検出装置。

（１３）

光が入射するレンズを有し、

前記光電変換素子として、前記レンズを透過した光を光電変換する第１光電変換素子と、前記第１光電変換素子の隣に設けられ、前記レンズを透過した光を光電変換する第２光電変換素子とを有する

前記（１）から（１２）のいずれか１つに記載の光検出装置。

（１４）

前記トランジスタとして、第１トランジスタと、前記第１トランジスタの隣に設けられる第２トランジスタとを有し、

前記第１半導体領域は、前記第１トランジスタと前記第２トランジスタとに接している

前記（１３）に記載の光検出装置。

（１５）

前記第１トランジスタは、前記第１光電変換素子側に設けられ、第２導電型のソース領域及びドレイン領域を有し、

前記第２トランジスタは、前記第２光電変換素子側に設けられ、前記第２導電型のソース領域及びドレイン領域を有し、

前記第１半導体領域は、前記第１トランジスタの前記ソース領域または前記ドレイン領域と、前記第２トランジスタの前記ソース領域または前記ドレイン領域とに接している

前記（１４）に記載の光検出装置。

（１６）

前記第1トランジスタ及び前記第2トランジスタは、それぞれ、ゲート電極及びゲート絶縁膜を有し、

前記第1半導体領域は、前記第1トランジスタの前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方と、前記第2トランジスタの前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方とに隣接するように設けられている
前記(14)または(15)に記載の光検出装置。

(17)

前記第1コンタクトは、前記第1トランジスタのソース領域またはドレイン領域と、前記第2トランジスタのソース領域またはドレイン領域との間に設けられている

前記(14)から(16)のいずれか1つに記載の光検出装置。

(18)

前記第1トランジスタ及び前記第2トランジスタを含み、前記第1光電変換素子で光電変換された電荷に基づく信号と、前記第2光電変換素子で光電変換された電荷に基づく信号とを出力可能な読み出し回路を有する

前記(14)から(17)のいずれか1つに記載の光検出装置。

(19)

前記レンズは、前記半導体層の第1面とは反対の第2面側に設けられる

前記(13)から(18)のいずれか1つに記載の光検出装置。

(20)

半導体層に設けられた第1画素と、

前記第1画素と隣接する画素とを分離する第1領域と、前記第1画素内に設けられた光電変換素子が平面視で遮られた第2領域とを有するトレンチとを備え、

前記第2領域は、前記平面視で前記第1画素に設けられた第1フローティングディフュージョン領域と第2フローティングディフュージョン領域との間に第1分離部を有し、

前記第2領域は、前記平面視で前記第1画素に設けられた第1トランジス

タと第2トランジスタとの間に第2分離部を有し、

前記第1画素は、第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを含み、

前記平面視で前記第1分離部と前記第2分離部との間に前記第1半導体領域が設けられ、

前記第1半導体領域は、前記第1トランジスタと前記第2トランジスタに接している

光検出装置。

(21)

前記第1トランジスタ及び前記第2トランジスタは、ゲート電極及びゲート絶縁膜を有し、

前記第1半導体領域は、前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方に隣接するように設けられている

前記(20)に記載の光検出装置。

(22)

前記第1半導体領域は、前記平面視で前記第1トランジスタ及び前記第2トランジスタと水平方向に接する第1部分と、前記第1部分と垂直方向に接する第2部分とを有する

前記(20)または(21)に記載の光検出装置。

(23)

前記第1コンタクトは、前記第1半導体領域の前記第2部分上に設けられている

前記(22)に記載の光検出装置。

(24)

前記第1部分の不純物濃度は、前記第2部分の不純物濃度よりも低い

前記(22)または(23)に記載の光検出装置。

(25)

前記第1トランジスタ及び前記第2トランジスタは、前記半導体層に設け

られた第2導電型のソース領域及びドレイン領域を有し、

前記第1半導体領域は、前記第1トランジスタ及び前記第2トランジスタの前記ソース領域または前記ドレイン領域に接している

前記(20)に記載の光検出装置。

(26)

前記第1半導体領域は、p型の半導体領域であり、

前記ソース領域及び前記ドレイン領域は、それぞれ、n型の半導体領域である

前記(25)に記載の光検出装置。

(27)

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

半導体層と、

前記半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、

前記半導体層において、隣り合う複数の前記画素の間に設けられるトレンチと

を有し、

前記第1画素は、前記半導体層の第1面側に設けられるトランジスタと、前記半導体層の前記第1面側に設けられる第1導電型の第1半導体領域と、

前記第1半導体領域に電氣的に接続される第1コンタクトとを含み、

前記第1半導体領域は、前記トランジスタに接している

電子機器。

(28)

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、
前記光検出装置は、
半導体層に設けられた第1画素と、
前記第1画素と隣接する画素とを分離する第1領域と、前記第1画素内に
設けられた光電変換素子が平面視で遮られた第2領域とを有するトレンチと
を有し、
前記第2領域は、前記平面視で前記第1画素に設けられた第1フローティ
ングディフュージョン領域と第2フローティングディフュージョン領域との
間に第1分離部を有し、
前記第2領域は、前記平面視で前記第1画素に設けられた第1トランジス
タと第2トランジスタとの間に第2分離部を有し、
前記第1画素は、第1導電型の第1半導体領域と、前記第1半導体領域に
電氣的に接続される第1コンタクトとを含み、
前記平面視で前記第1分離部と前記第2分離部との間に前記第1半導体領
域が設けられ、
前記第1半導体領域は、前記第1トランジスタと前記第2トランジスタに
接している
電子機器。

[0254] 本出願は、米国特許商標庁において2022年2月15日に出願された米
国仮特許出願番号第63/310267号を基礎として優先権を主張するも
のであり、この出願の全ての内容を参照によって本出願に援用する。

[0255] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ
ネーション、サブコンビネーション、および変更を想到し得るが、それらは
添付の請求の範囲やその均等物の範囲に含まれるものであることが理解され
る。

請求の範囲

- [請求項1] 半導体層と、
前記半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、
前記半導体層において、隣り合う複数の前記画素の間に設けられるトレンチと
を備え、
前記第1画素は、前記半導体層の第1面側に設けられるトランジスタと、前記半導体層の前記第1面側に設けられる第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを含み、
前記第1半導体領域は、前記トランジスタに接している
光検出装置。
- [請求項2] 前記トランジスタは、前記半導体層に設けられた第2導電型のソース領域及びドレイン領域を有し、
前記第1半導体領域は、前記トランジスタの前記ソース領域または前記ドレイン領域に接している
請求項1に記載の光検出装置。
- [請求項3] 前記第1半導体領域は、p型の半導体領域であり、
前記ソース領域及び前記ドレイン領域は、それぞれ、n型の半導体領域である
請求項2に記載の光検出装置。
- [請求項4] 前記トランジスタは、ゲート電極及びゲート絶縁膜を有し、
前記第1半導体領域は、前記トランジスタの前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方に隣接するように設けられている
請求項1に記載の光検出装置。
- [請求項5] 前記半導体層に設けられる前記第1導電型の第1ウェルを有し、
前記第1半導体領域は、前記第1ウェルに設けられ、

前記第1コンタクトは、前記第1半導体領域を介して前記第1ウェルと電氣的に接続されている

請求項1に記載の光検出装置。

[請求項6] 前記第1半導体領域の一部と接し、前記トレンチの内部に設けられる導体領域を有し、

前記第1コンタクトは、前記導体領域の上に設けられ、前記導体領域を介して前記第1半導体領域に電氣的に接続されている

請求項1に記載の光検出装置。

[請求項7] 前記導体領域は、前記半導体層内に設けられている

請求項6に記載の光検出装置。

[請求項8] 前記複数の画素は、前記第1画素と隣り合う第2画素を含み、

前記第1画素及び前記第2画素は、それぞれ、前記光電変換素子と、フローティングディフュージョンと、前記トランジスタと、前記第1半導体領域とを有する

請求項1に記載の光検出装置。

[請求項9] 前記第1画素の前記第1半導体領域と前記第2画素の前記第1半導体領域とを電氣的に接続する導体領域を有する

請求項8に記載の光検出装置。

[請求項10] 前記第1画素の前記フローティングディフュージョンと前記第2画素の前記フローティングディフュージョンとを電氣的に接続する第2半導体領域と、

前記第2半導体領域に電氣的に接続される第2コンタクトと、を有する

請求項8に記載の光検出装置。

[請求項11] 前記トランジスタを含み、前記光電変換素子で光電変換された電荷に基づく信号を出力可能な読み出し回路を有する

請求項1に記載の光検出装置。

[請求項12] 前記トランジスタは、増幅トランジスタ、選択トランジスタ、リセ

ットトランジスタ、切り替えトランジスタ、またはダミートランジスタである

請求項 1 1 に記載の光検出装置。

[請求項13]

光が入射するレンズを有し、

前記光電変換素子として、前記レンズを透過した光を光電変換する第 1 光電変換素子と、前記第 1 光電変換素子の隣に設けられ、前記レンズを透過した光を光電変換する第 2 光電変換素子とを有する

請求項 1 に記載の光検出装置。

[請求項14]

前記トランジスタとして、第 1 トランジスタと、前記第 1 トランジスタの隣に設けられる第 2 トランジスタとを有し、

前記第 1 半導体領域は、前記第 1 トランジスタと前記第 2 トランジスタとに接している

請求項 1 3 に記載の光検出装置。

[請求項15]

前記第 1 トランジスタは、前記第 1 光電変換素子側に設けられ、第 2 導電型のソース領域及びドレイン領域を有し、

前記第 2 トランジスタは、前記第 2 光電変換素子側に設けられ、前記第 2 導電型のソース領域及びドレイン領域を有し、

前記第 1 半導体領域は、前記第 1 トランジスタの前記ソース領域または前記ドレイン領域と、前記第 2 トランジスタの前記ソース領域または前記ドレイン領域とに接している

請求項 1 4 に記載の光検出装置。

[請求項16]

前記第 1 トランジスタ及び前記第 2 トランジスタは、それぞれ、ゲート電極及びゲート絶縁膜を有し、

前記第 1 半導体領域は、前記第 1 トランジスタの前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方と、前記第 2 トランジスタの前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方とに隣接するように設けられている

請求項 1 4 に記載の光検出装置。

- [請求項17] 前記第1コンタクトは、前記第1トランジスタのソース領域またはドレイン領域と、前記第2トランジスタのソース領域またはドレイン領域との間に設けられている
- 請求項16に記載の光検出装置。
- [請求項18] 前記第1トランジスタ及び前記第2トランジスタを含み、前記第1光電変換素子で光電変換された電荷に基づく信号と、前記第2光電変換素子で光電変換された電荷に基づく信号とを出力可能な読み出し回路を有する
- 請求項14に記載の光検出装置。
- [請求項19] 前記レンズは、前記半導体層の第1面とは反対の第2面側に設けられる
- 請求項13に記載の光検出装置。
- [請求項20] 半導体層に設けられた第1画素と、
- 前記第1画素と隣接する画素とを分離する第1領域と、前記第1画素内に設けられた光電変換素子が平面視で遮られた第2領域とを有するトレンチと
- を備え、
- 前記第2領域は、前記平面視で前記第1画素に設けられた第1フローティングディフュージョン領域と第2フローティングディフュージョン領域との間に第1分離部を有し、
- 前記第2領域は、前記平面視で前記第1画素に設けられた第1トランジスタと第2トランジスタとの間に第2分離部を有し、
- 前記第1画素は、第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを含み、
- 前記平面視で前記第1分離部と前記第2分離部との間に前記第1半導体領域が設けられ、
- 前記第1半導体領域は、前記第1トランジスタと前記第2トランジスタに接している

光検出装置。

[請求項21] 前記第1トランジスタ及び前記第2トランジスタは、ゲート電極及びゲート絶縁膜を有し、

前記第1半導体領域は、前記ゲート電極及び前記ゲート絶縁膜の少なくとも一方に隣接するように設けられている

請求項20に記載の光検出装置。

[請求項22] 前記第1半導体領域は、前記平面視で前記第1トランジスタ及び前記第2トランジスタと水平方向に接する第1部分と、前記第1部分と垂直方向に接する第2部分とを有する

請求項20に記載の光検出装置。

[請求項23] 前記第1コンタクトは、前記第1半導体領域の前記第2部分上に設けられている

請求項22に記載の光検出装置。

[請求項24] 前記第1部分の不純物濃度は、前記第2部分の不純物濃度よりも低い

請求項22に記載の光検出装置。

[請求項25] 前記第1トランジスタ及び前記第2トランジスタは、前記半導体層に設けられた第2導電型のソース領域及びドレイン領域を有し、

前記第1半導体領域は、前記第1トランジスタ及び前記第2トランジスタの前記ソース領域または前記ドレイン領域に接している

請求項20に記載の光検出装置。

[請求項26] 前記第1半導体領域は、p型の半導体領域であり、
前記ソース領域及び前記ドレイン領域は、それぞれ、n型の半導体領域である

請求項25に記載の光検出装置。

[請求項27] 光学系と、
前記光学系を透過した光を受光する光検出装置と
を備え、

前記光検出装置は、
半導体層と、
前記半導体層に設けられる光電変換素子を有する第1画素を含む複数の画素と、
前記半導体層において、隣り合う複数の前記画素の間に設けられるトレンチと
を有し、
前記第1画素は、前記半導体層の第1面側に設けられるトランジスタと、前記半導体層の前記第1面側に設けられる第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを含み、
前記第1半導体領域は、前記トランジスタに接している電子機器。

[請求項28]

光学系と、
前記光学系を透過した光を受光する光検出装置と
を備え、
前記光検出装置は、
半導体層に設けられた第1画素と、
前記第1画素と隣接する画素とを分離する第1領域と、前記第1画素内に設けられた光電変換素子が平面視で遮られた第2領域とを有するトレンチと
を有し、
前記第2領域は、前記平面視で前記第1画素に設けられた第1フローティングディフュージョン領域と第2フローティングディフュージョン領域との間に第1分離部を有し、
前記第2領域は、前記平面視で前記第1画素に設けられた第1トランジスタと第2トランジスタとの間に第2分離部を有し、
前記第1画素は、第1導電型の第1半導体領域と、前記第1半導体

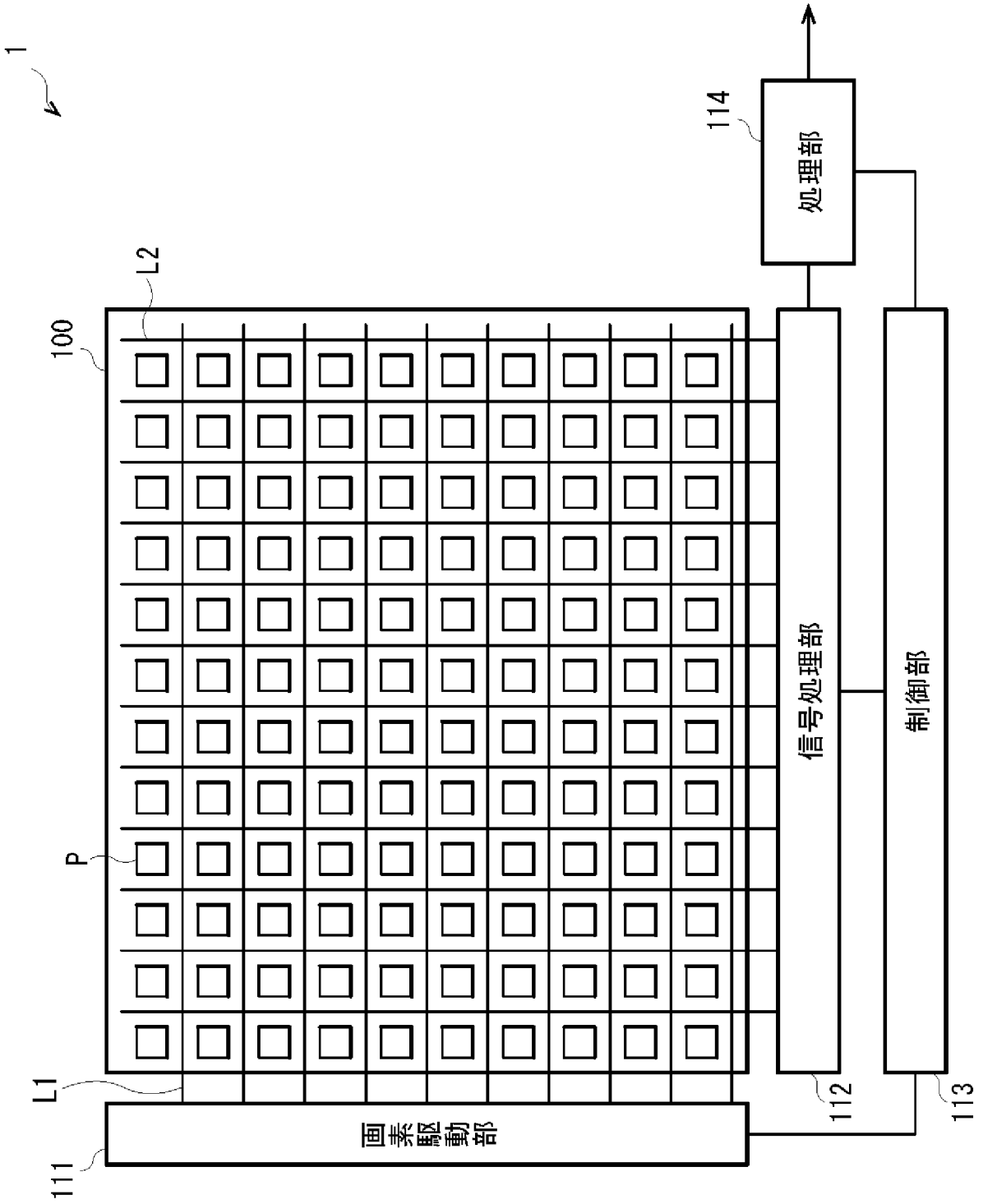
領域に電氣的に接続される第1コンタクトとを含み、

前記平面視で前記第1分離部と前記第2分離部との間に前記第1半導体領域が設けられ、

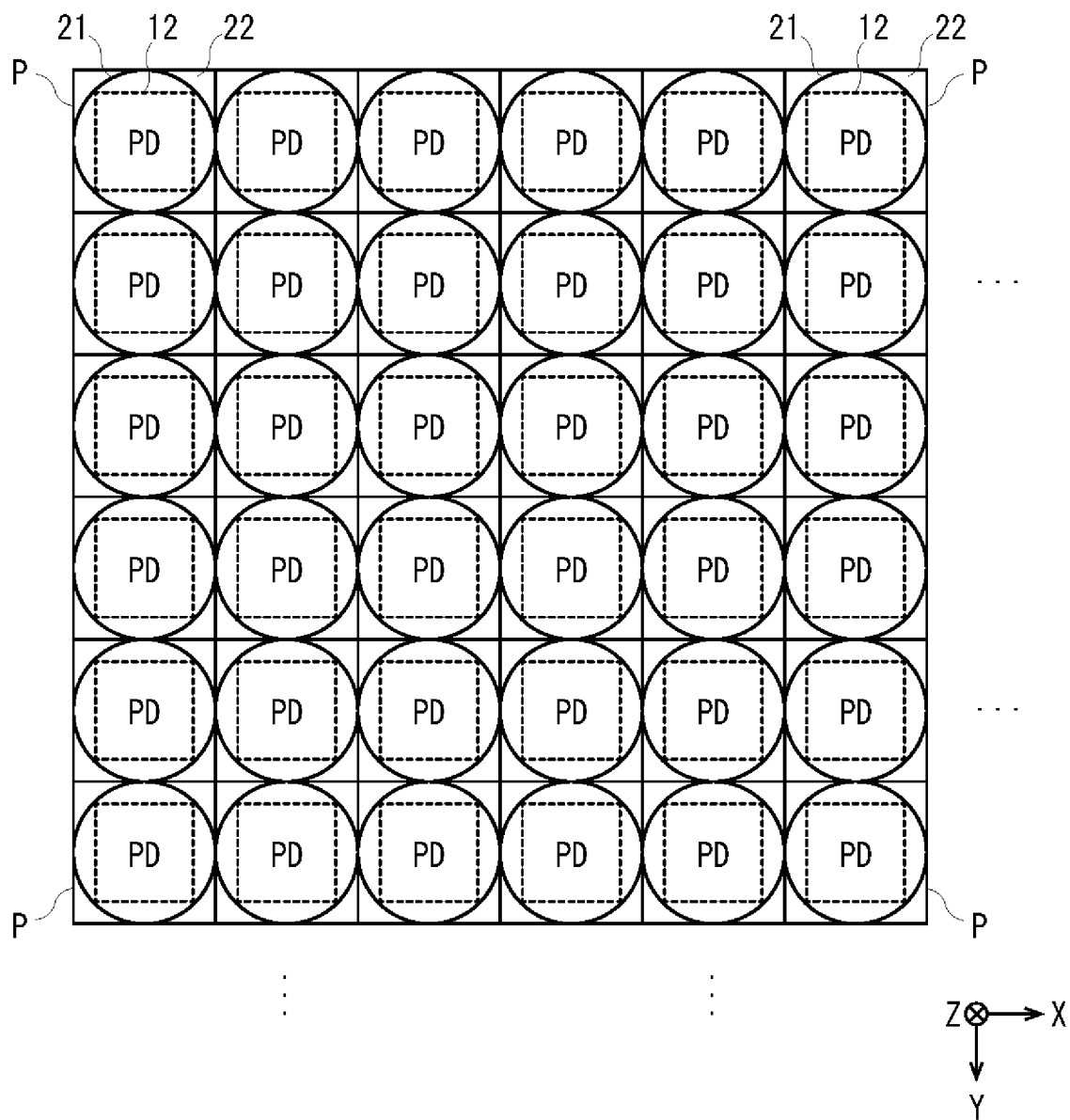
前記第1半導体領域は、前記第1トランジスタと前記第2トランジスタに接している

電子機器。

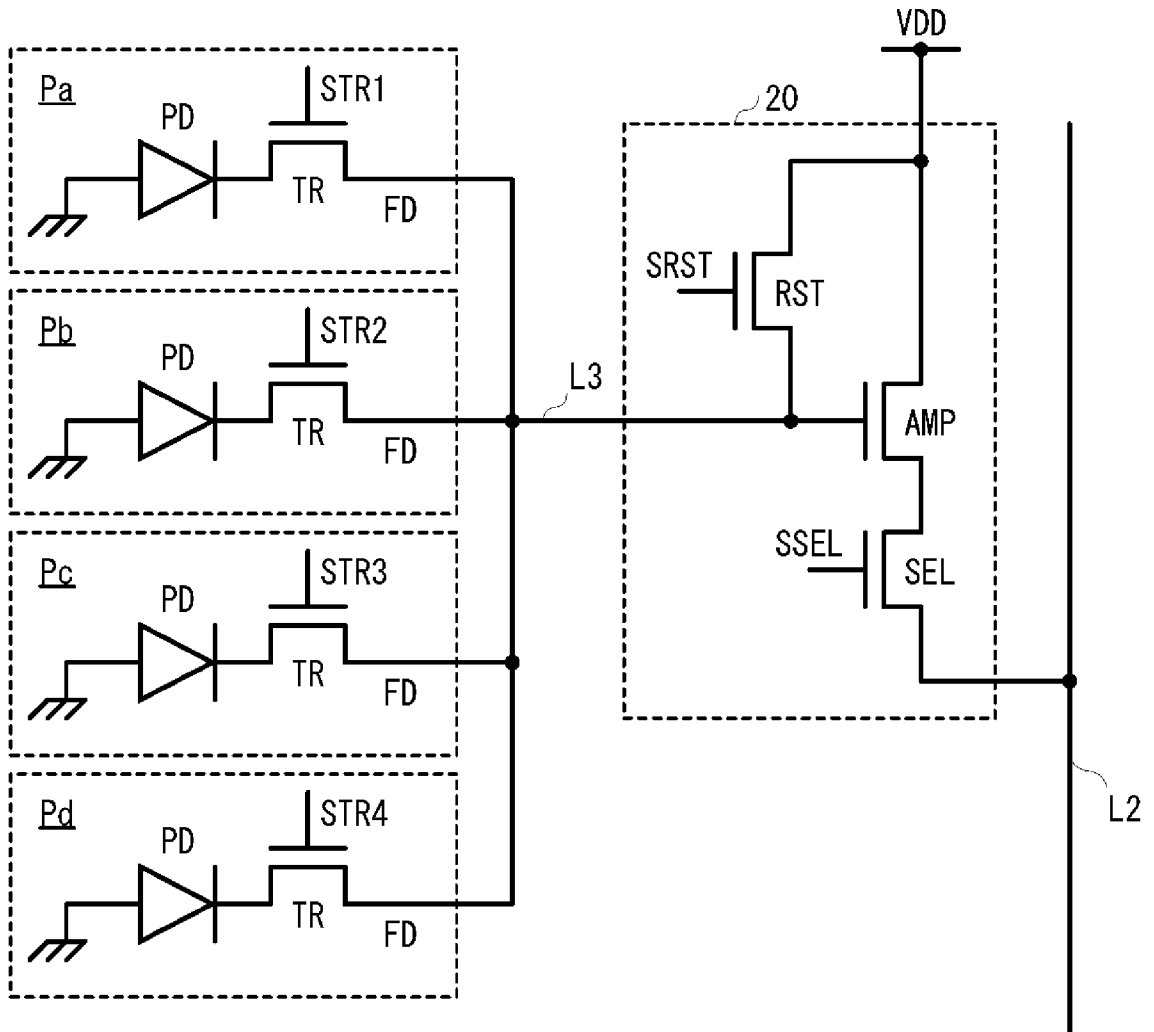
[図1]



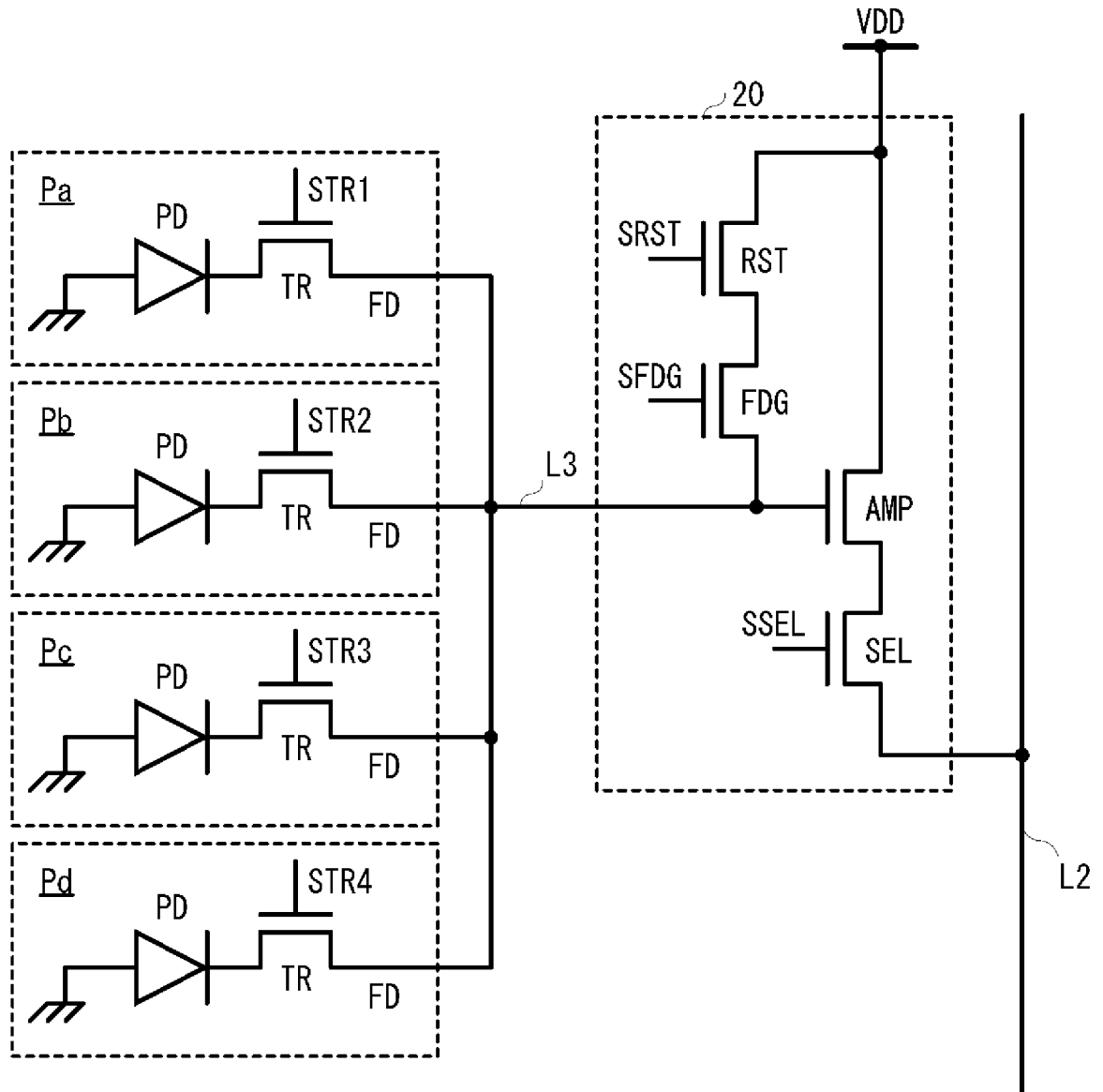
[図2]



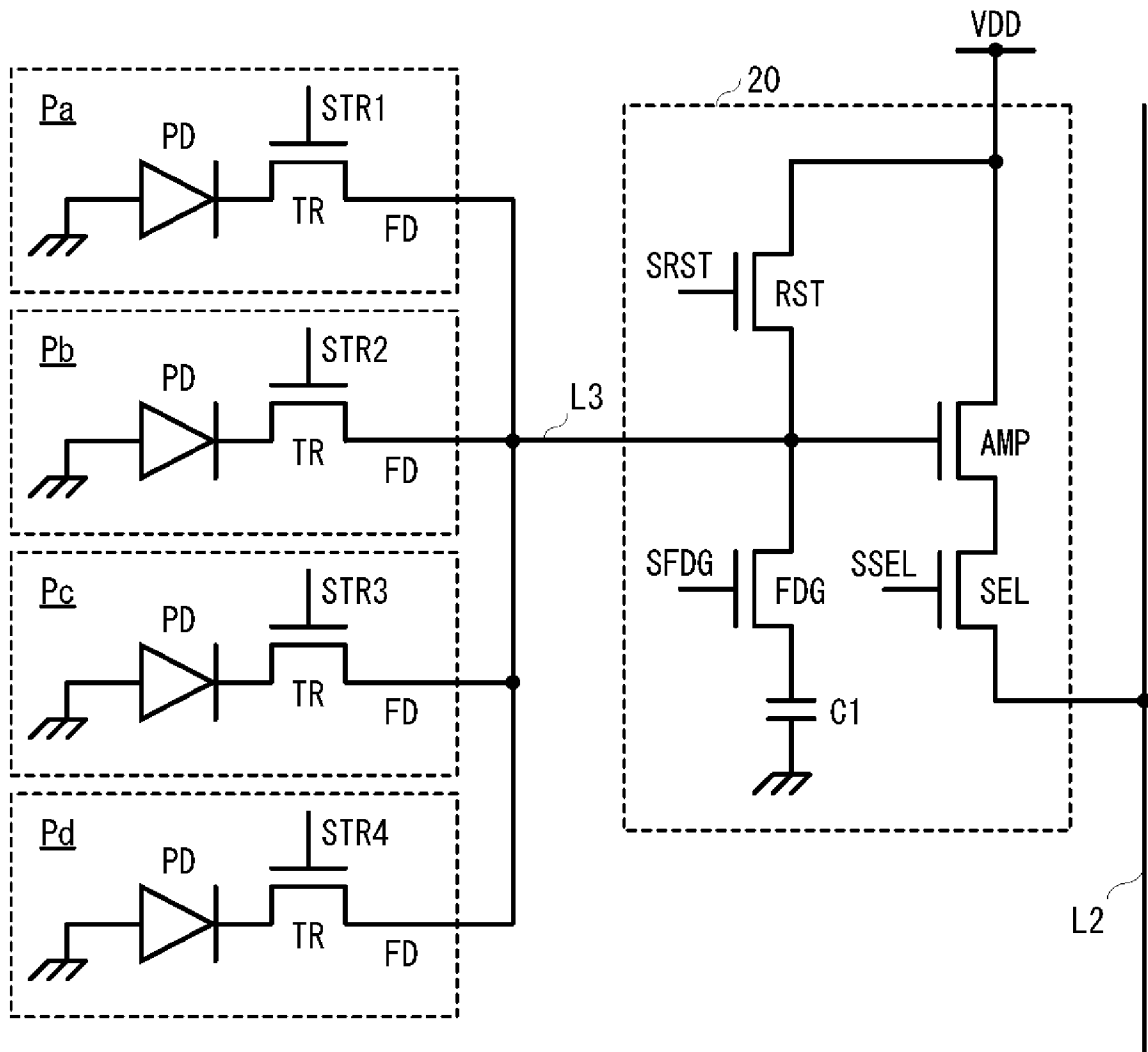
[図3]



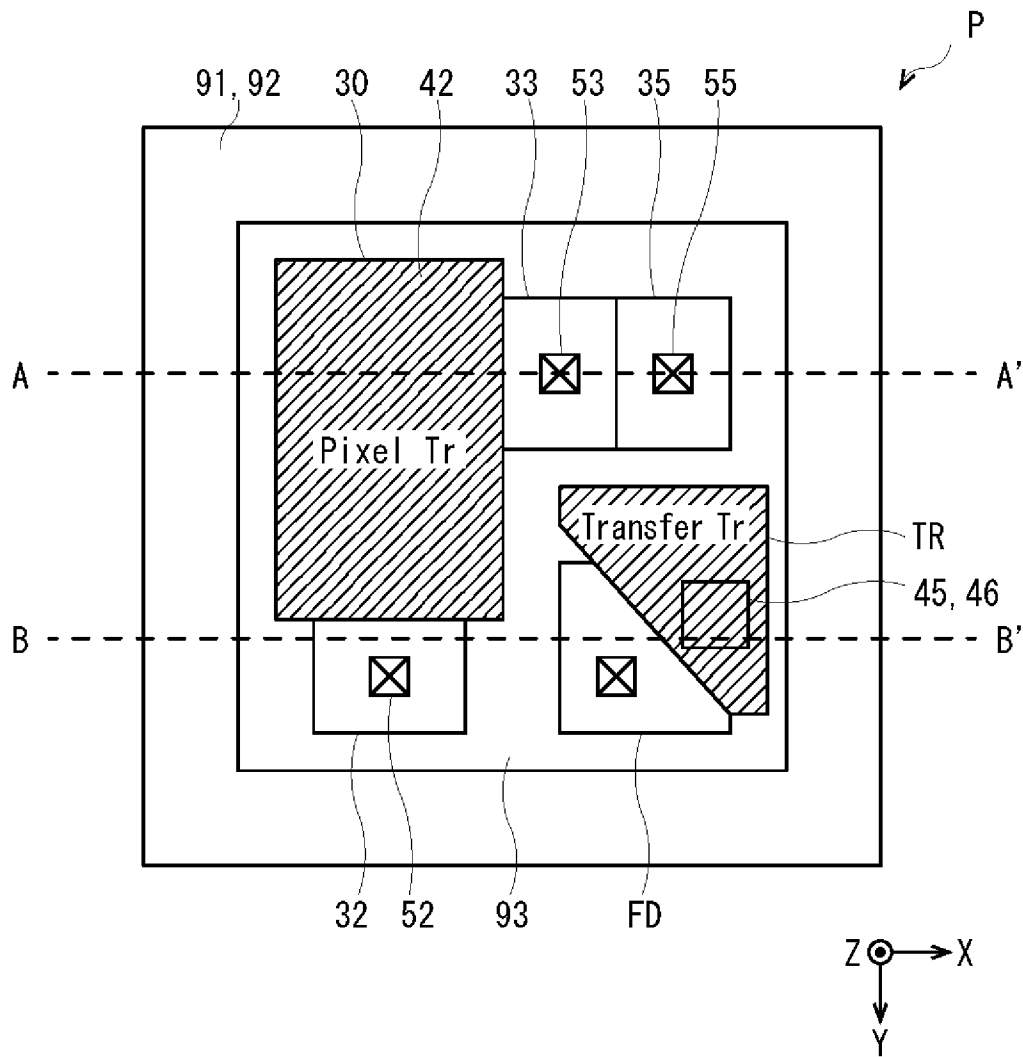
[図4A]



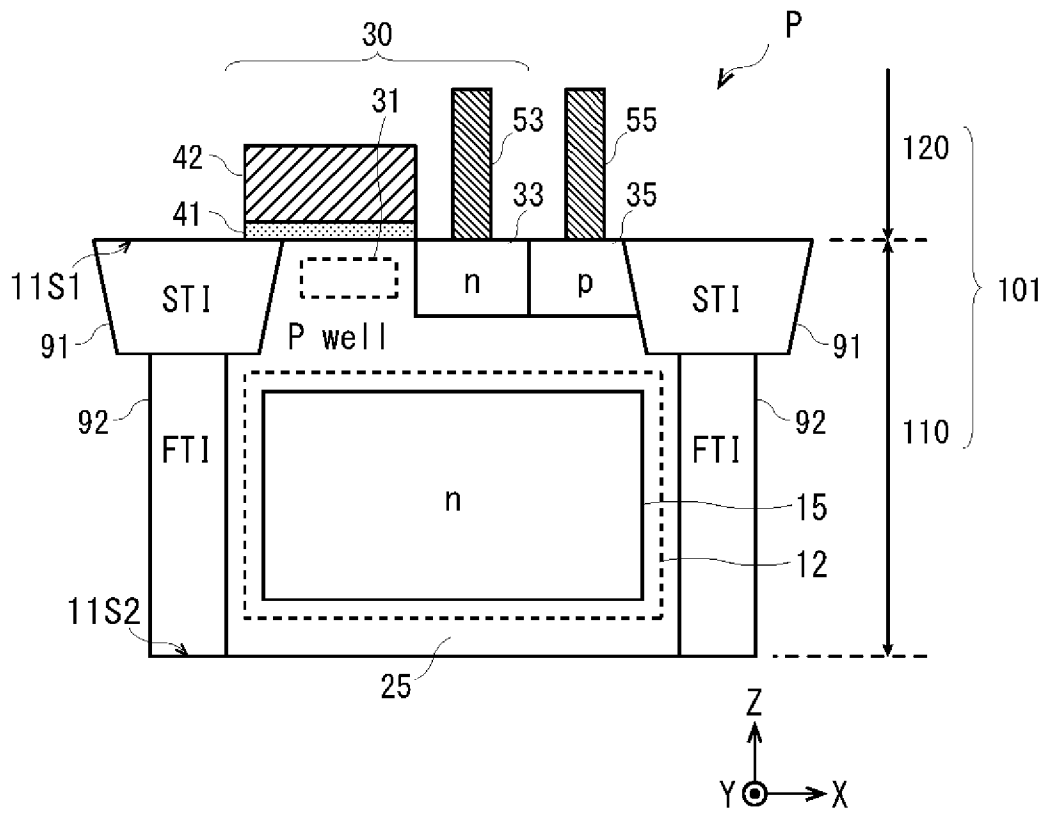
[図4B]



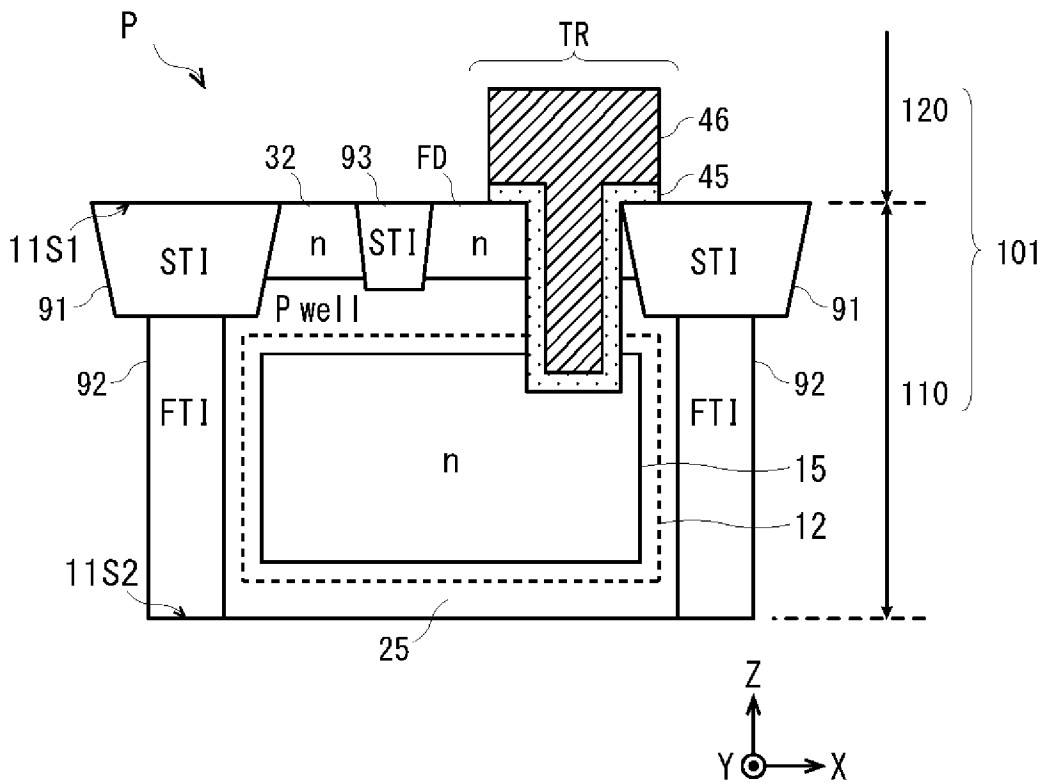
[図5]



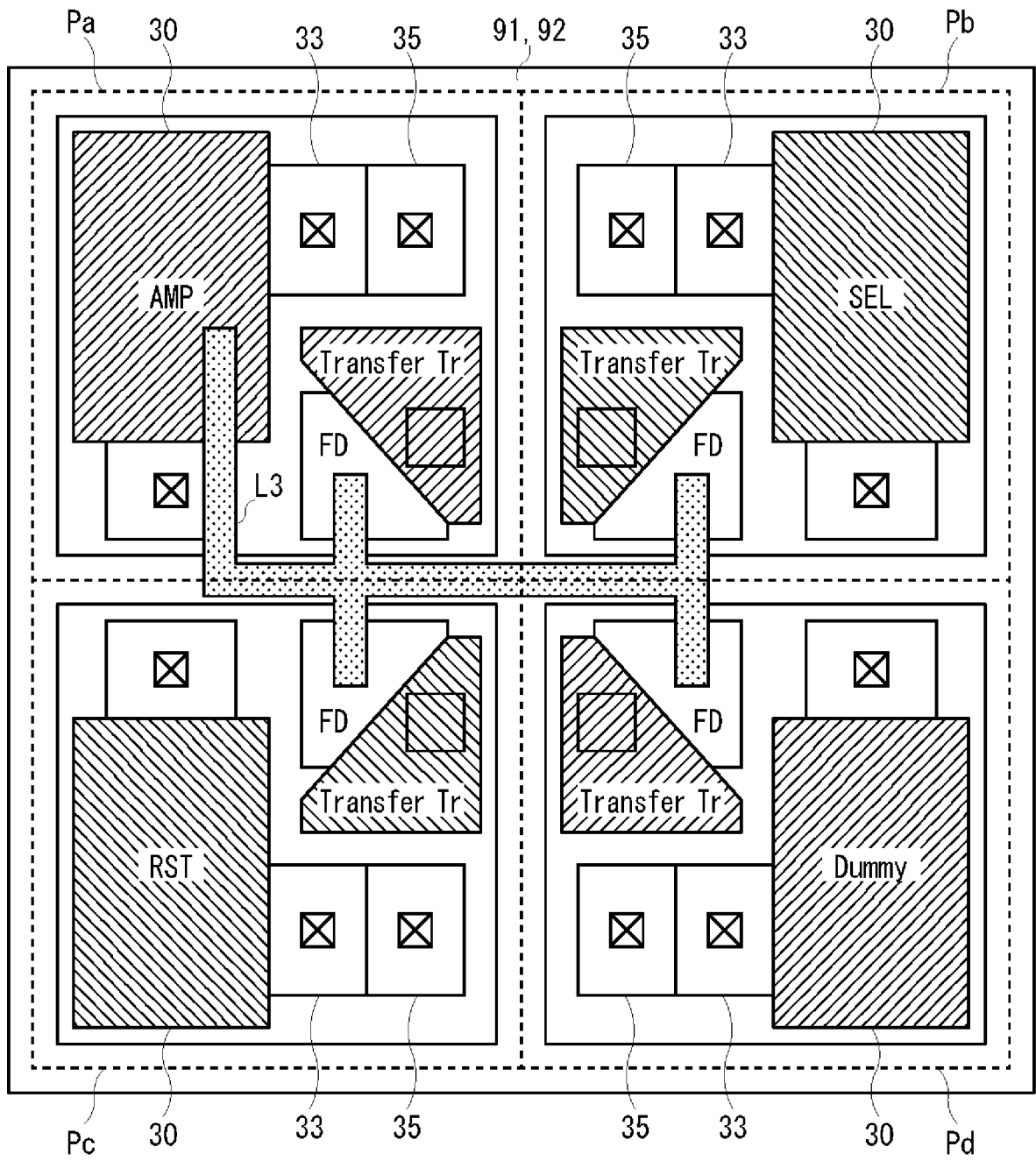
[図6]



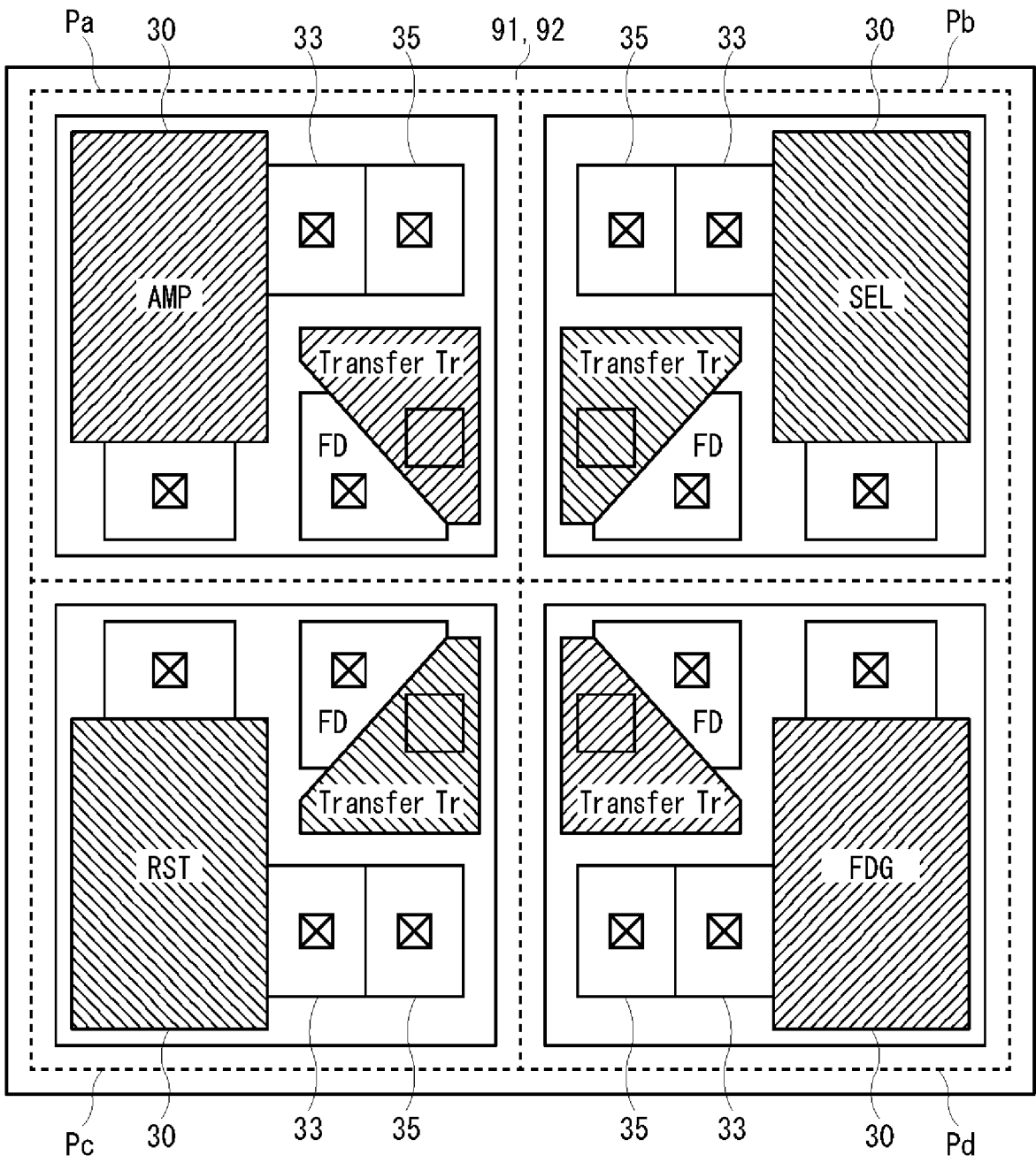
[図7]



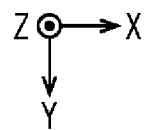
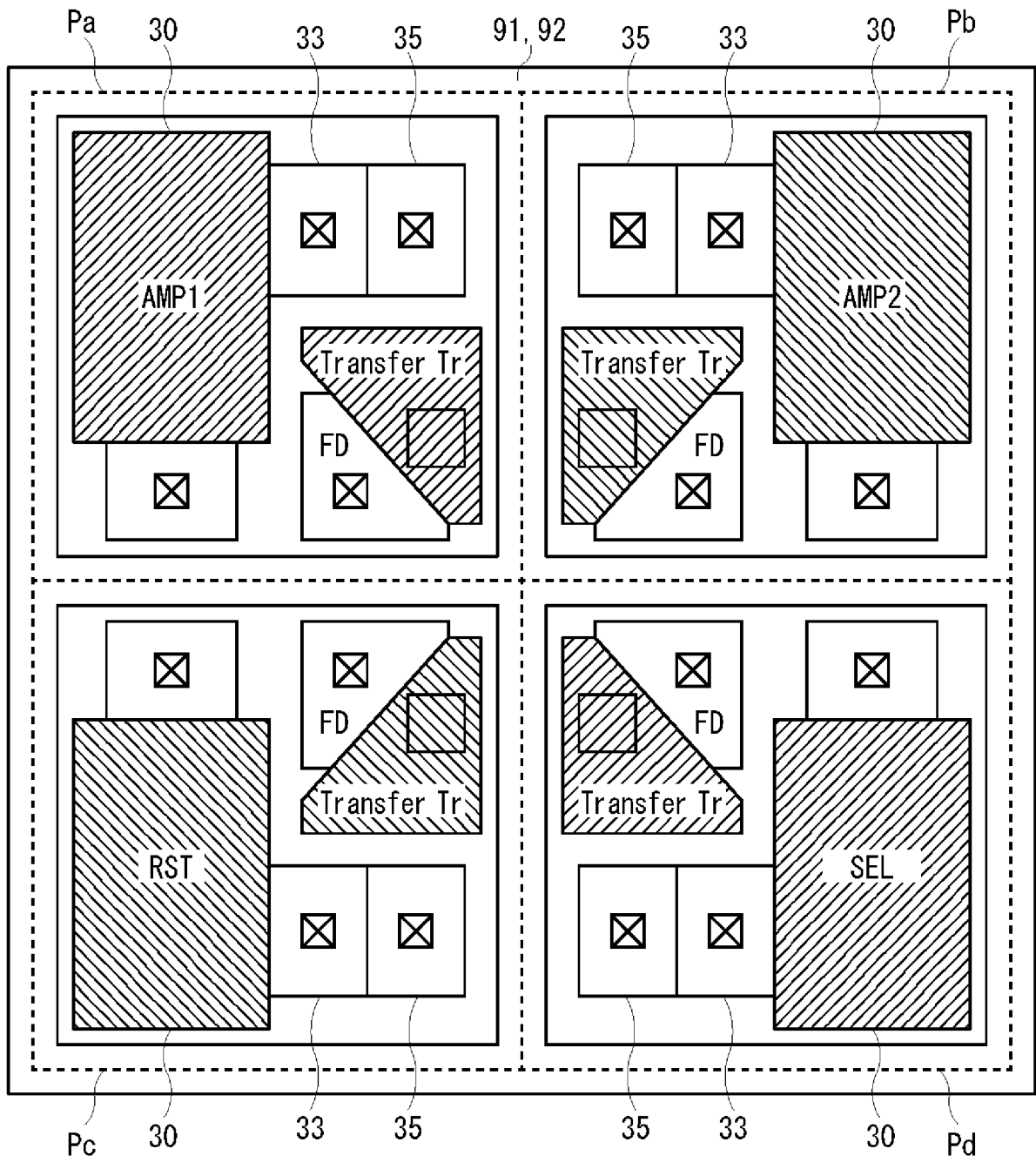
[図8]



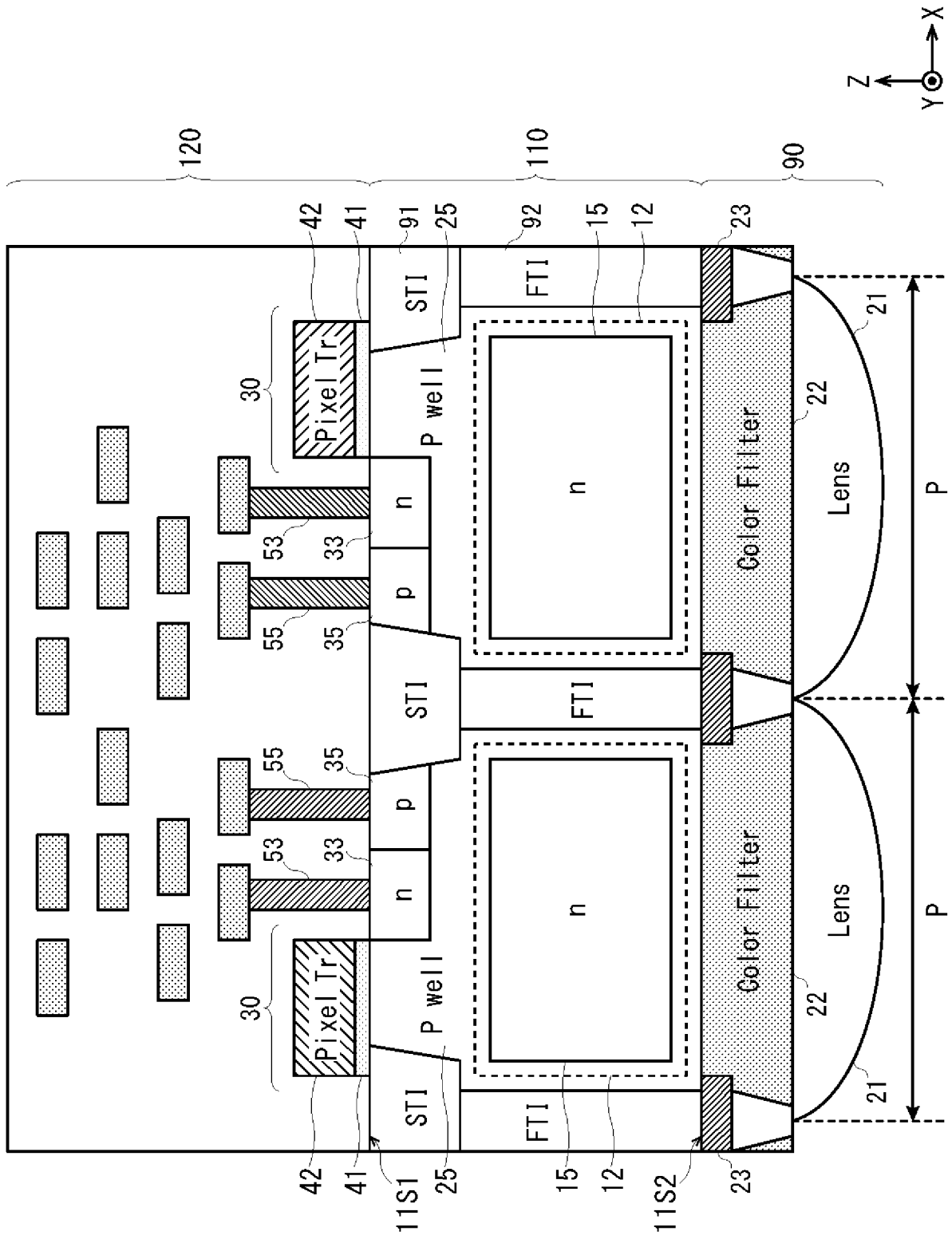
[図9]



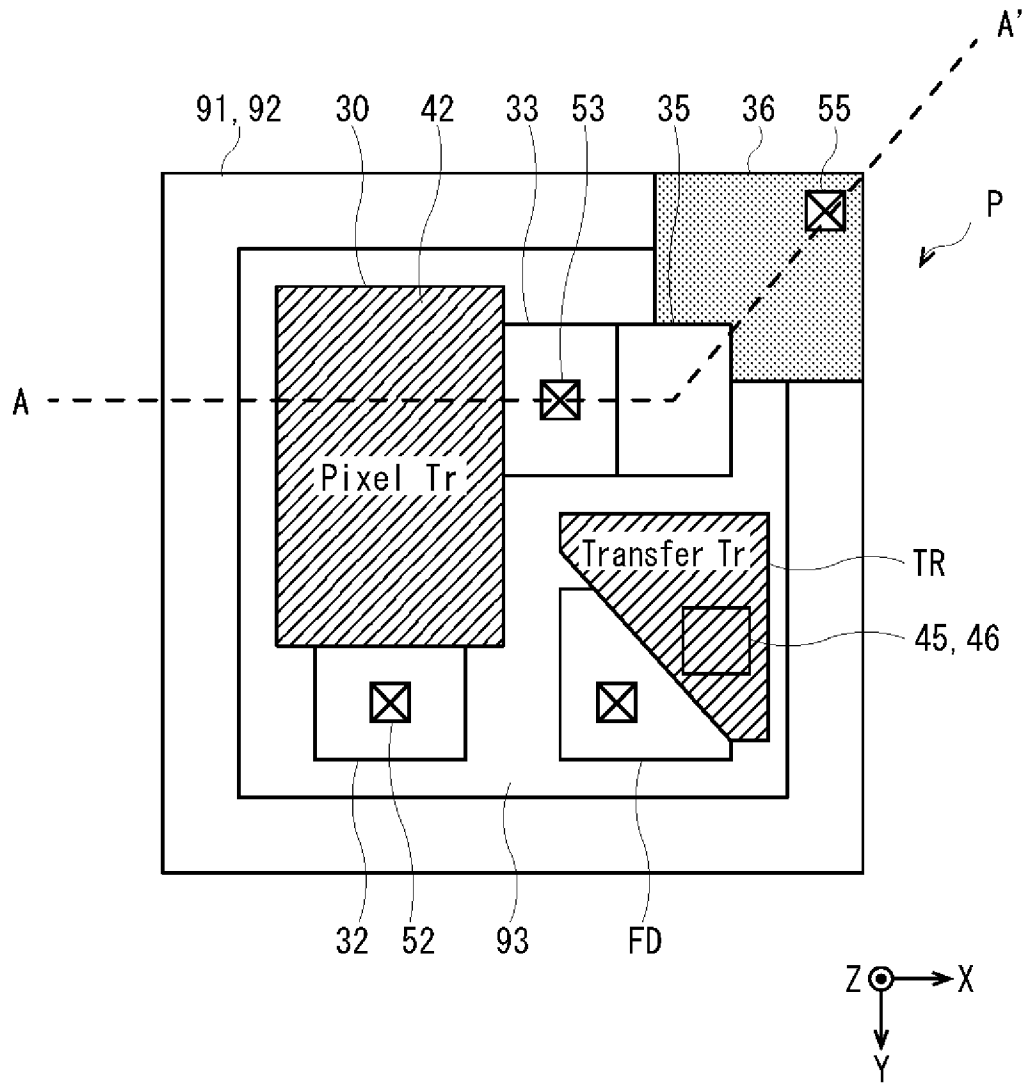
[図10]



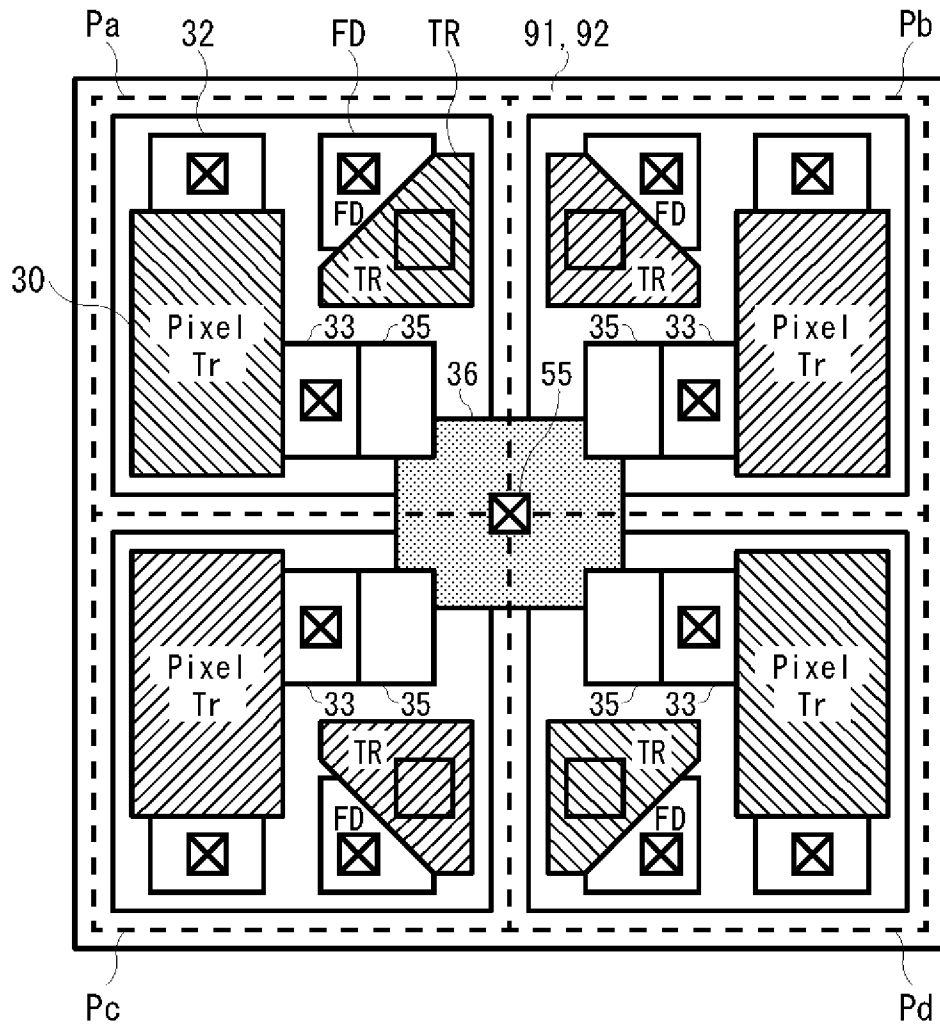
[圖 11]



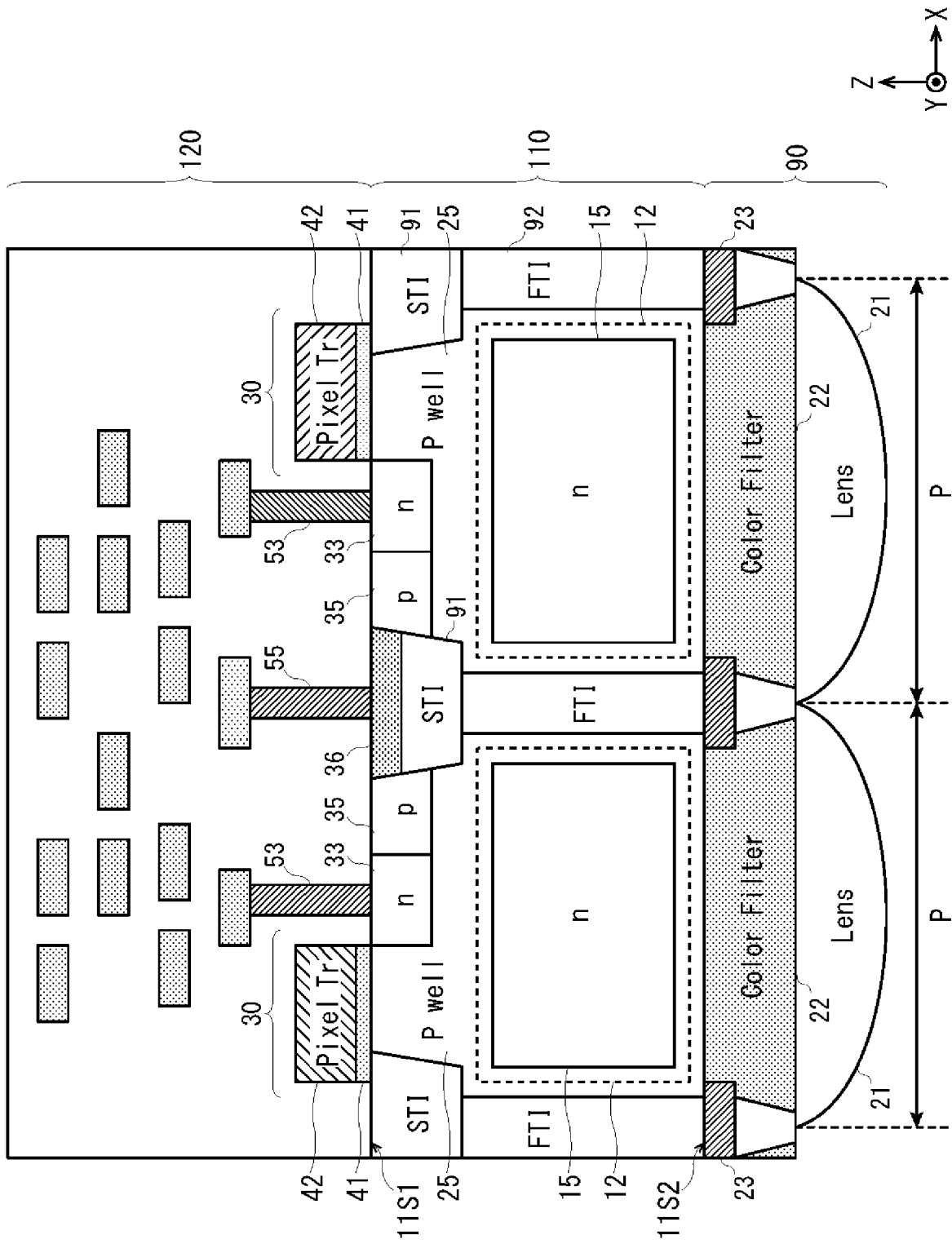
[図12]



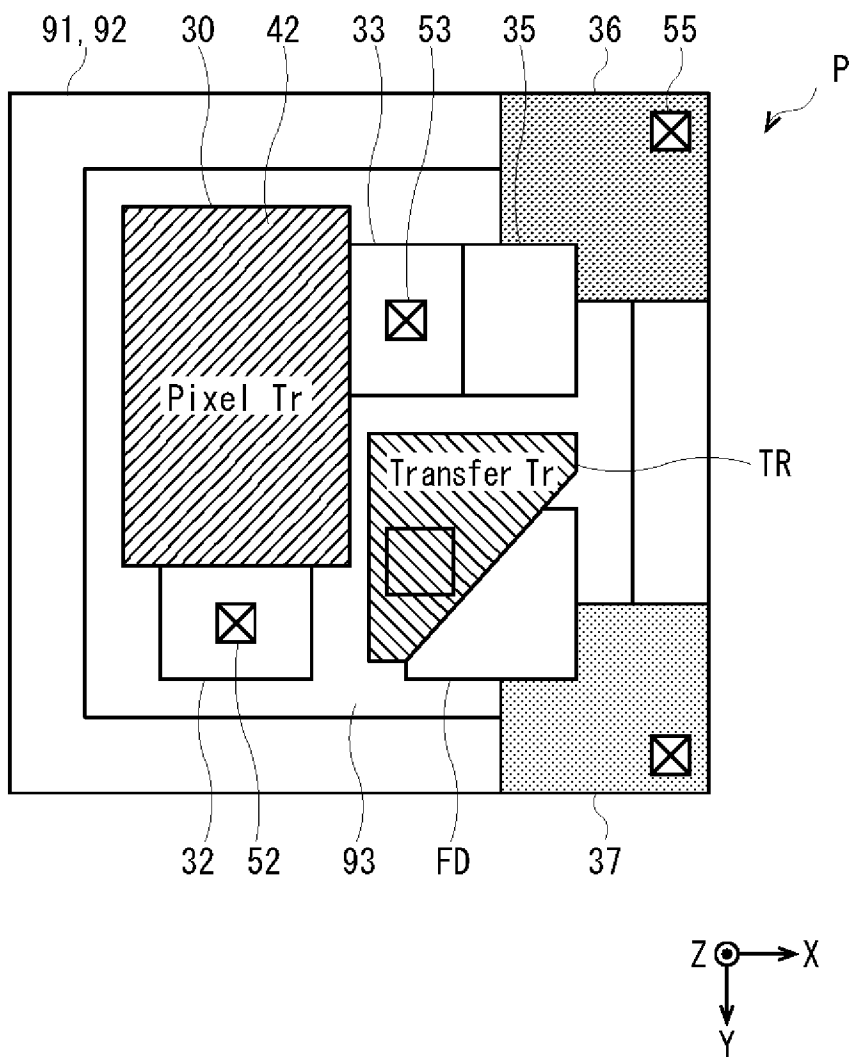
[図14]



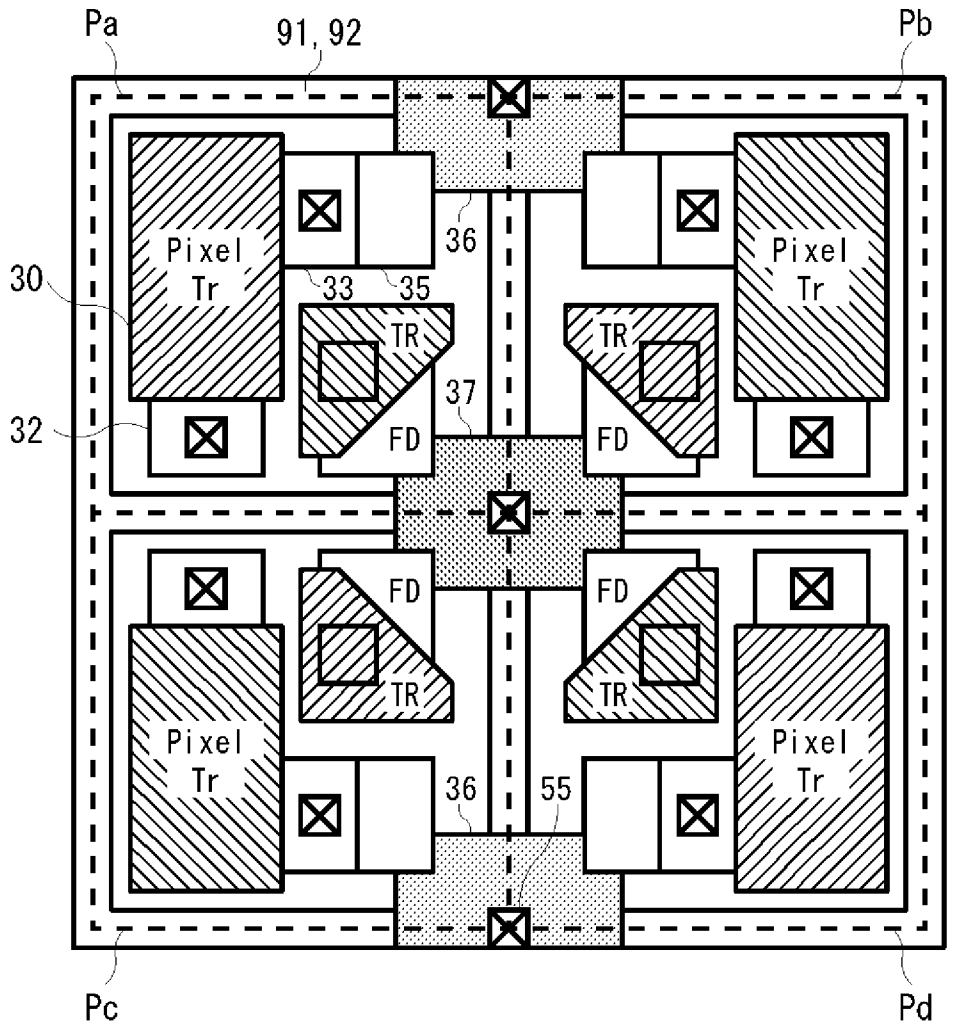
[15]



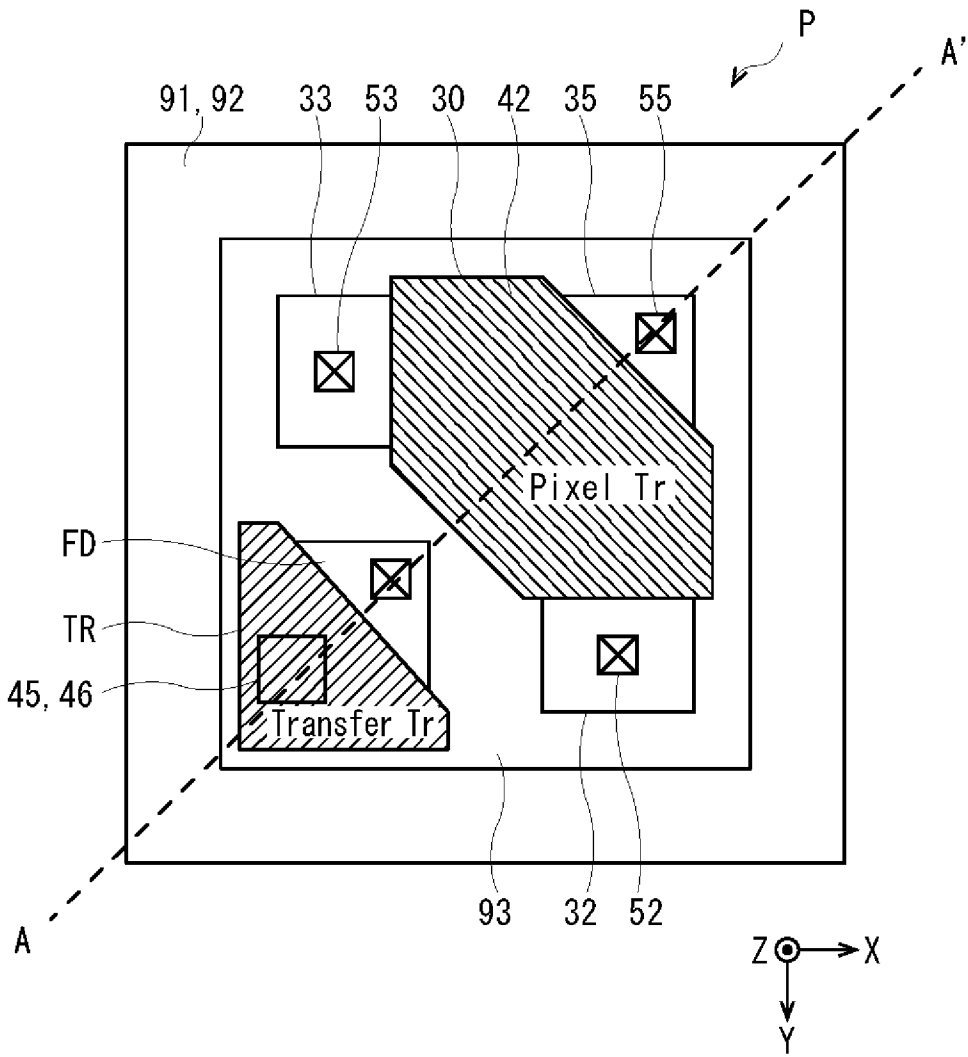
[図18]



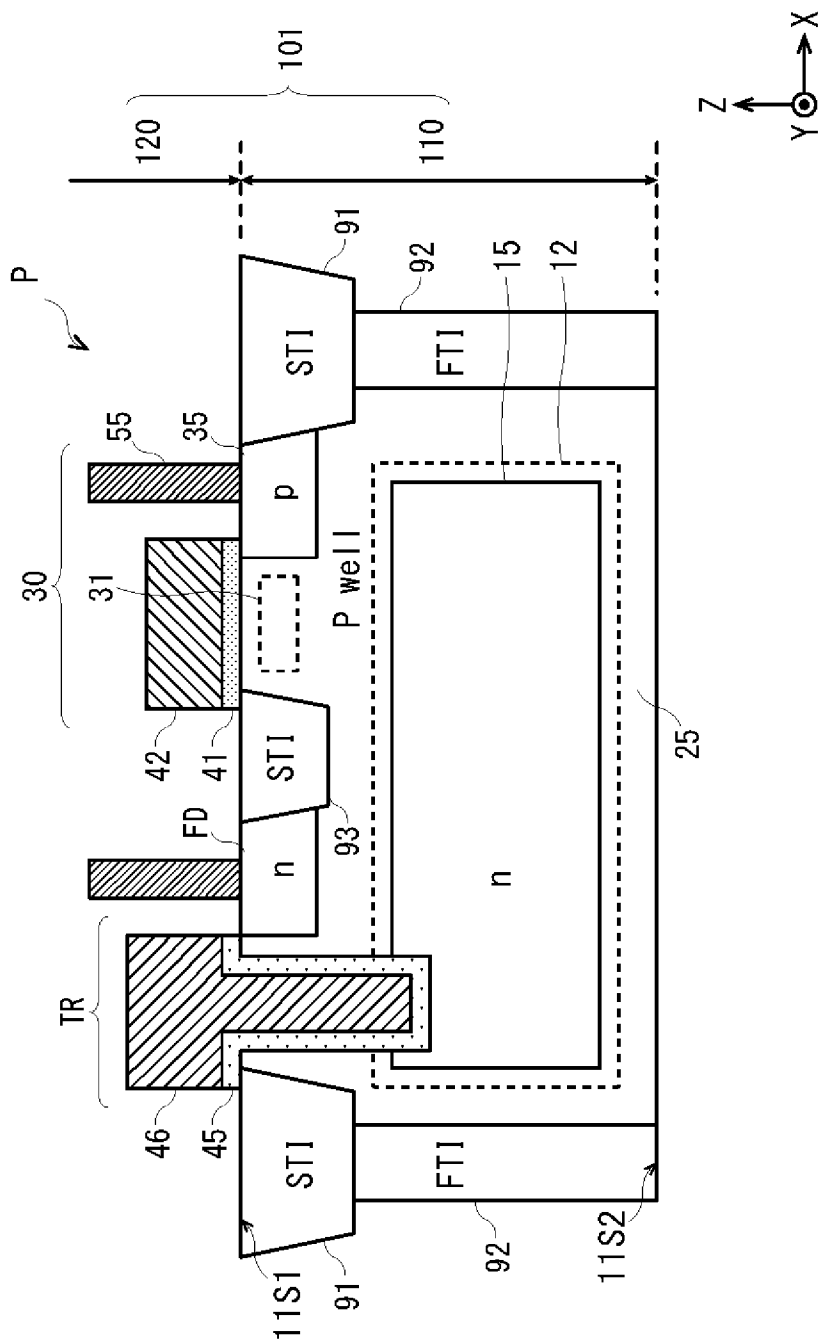
[図19]



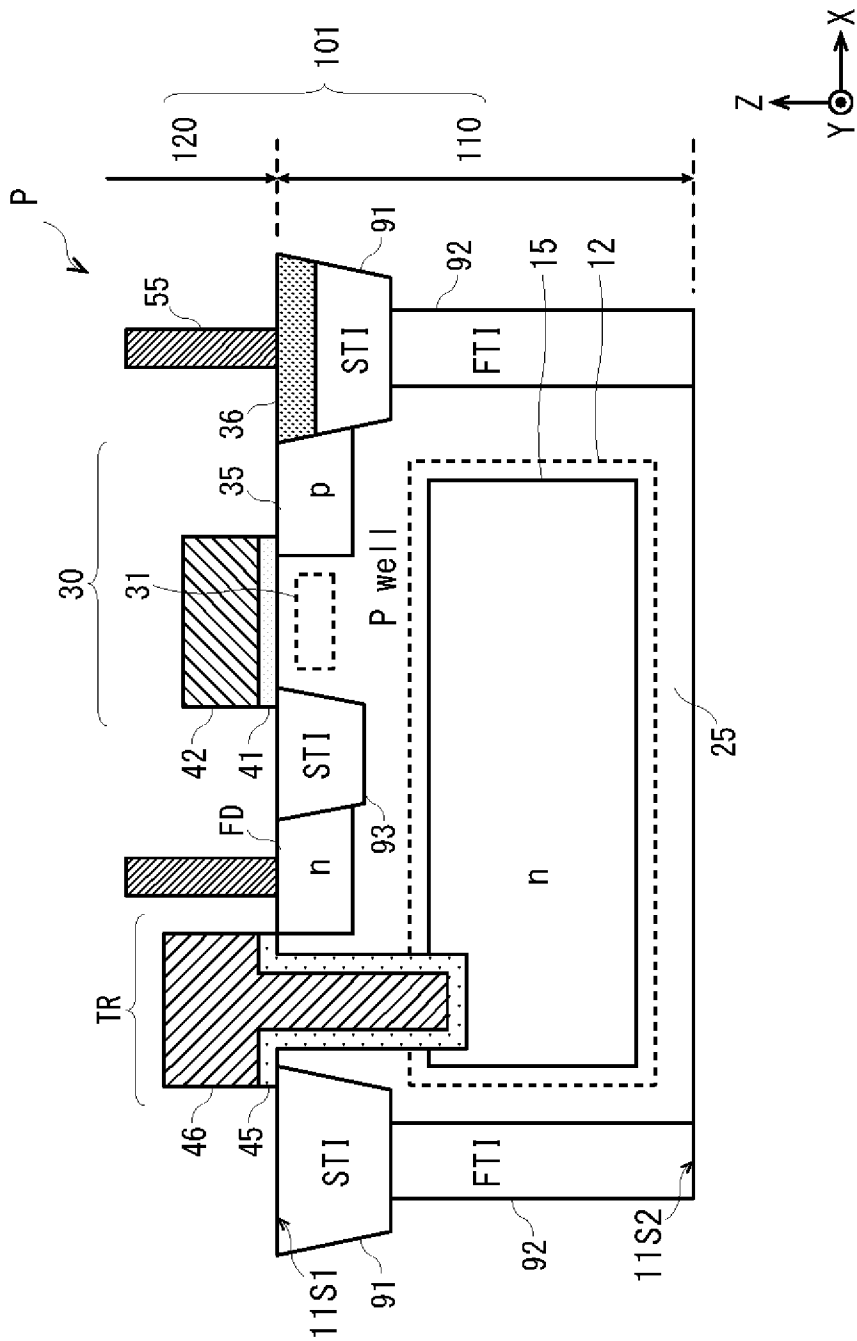
[図20]



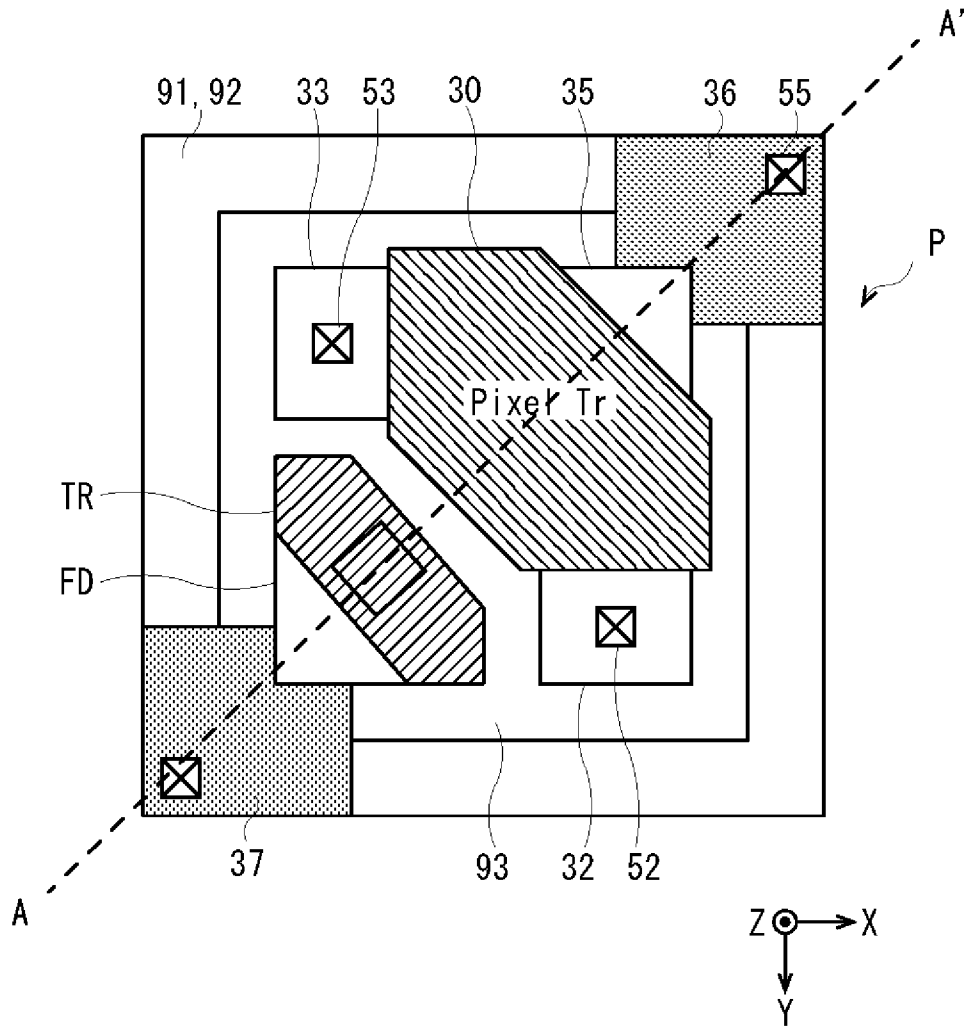
[図21]



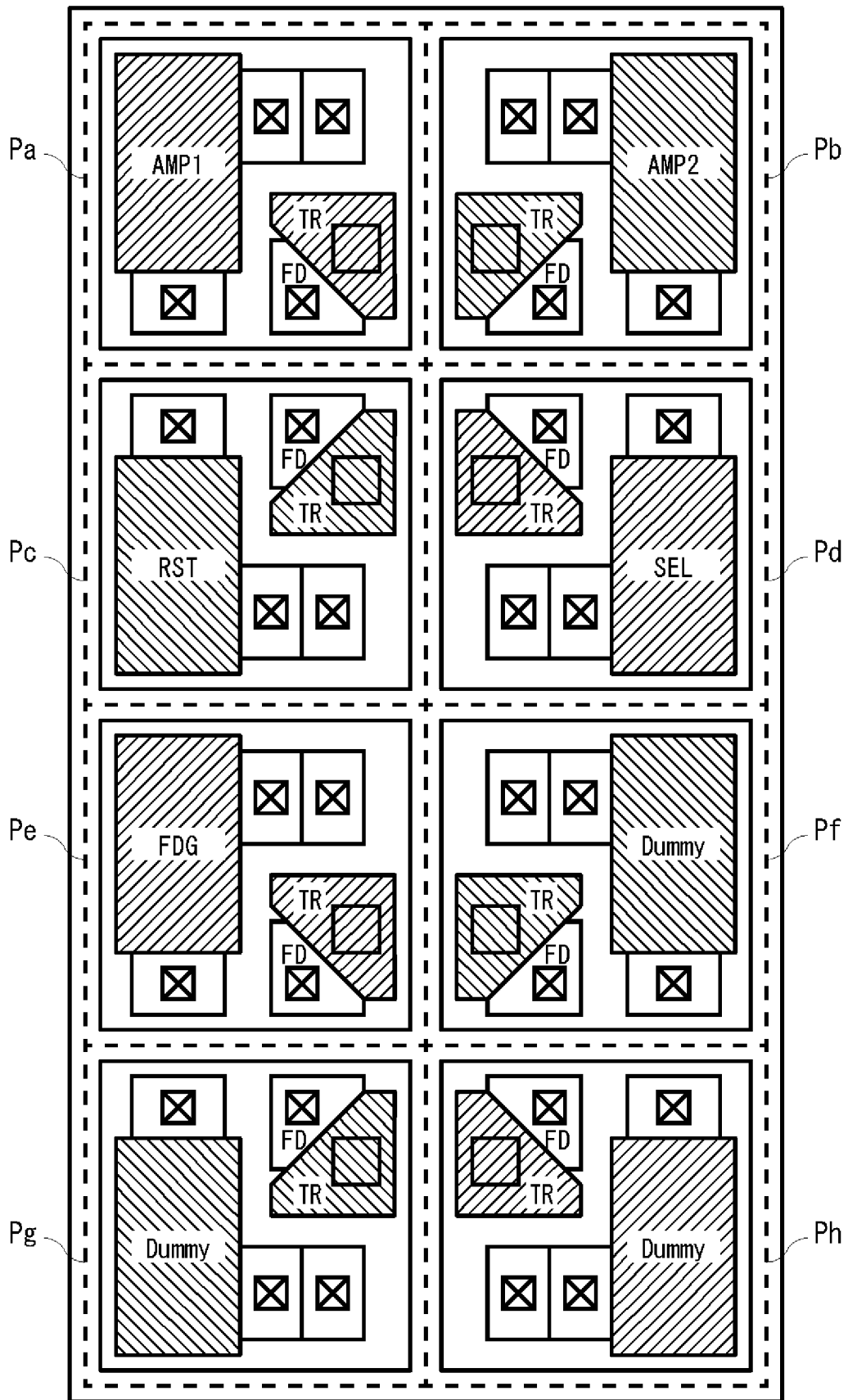
[図23]



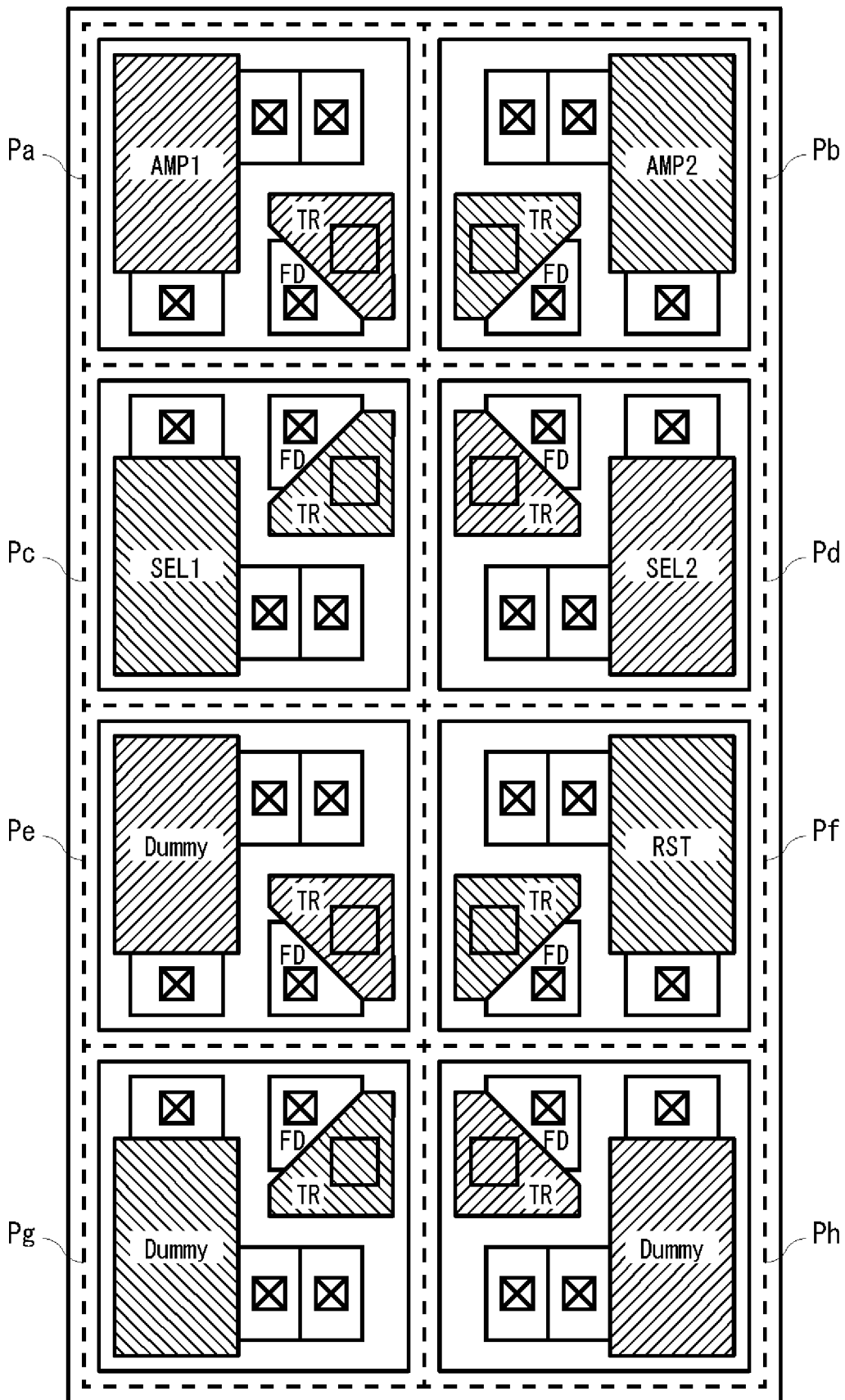
[図25]



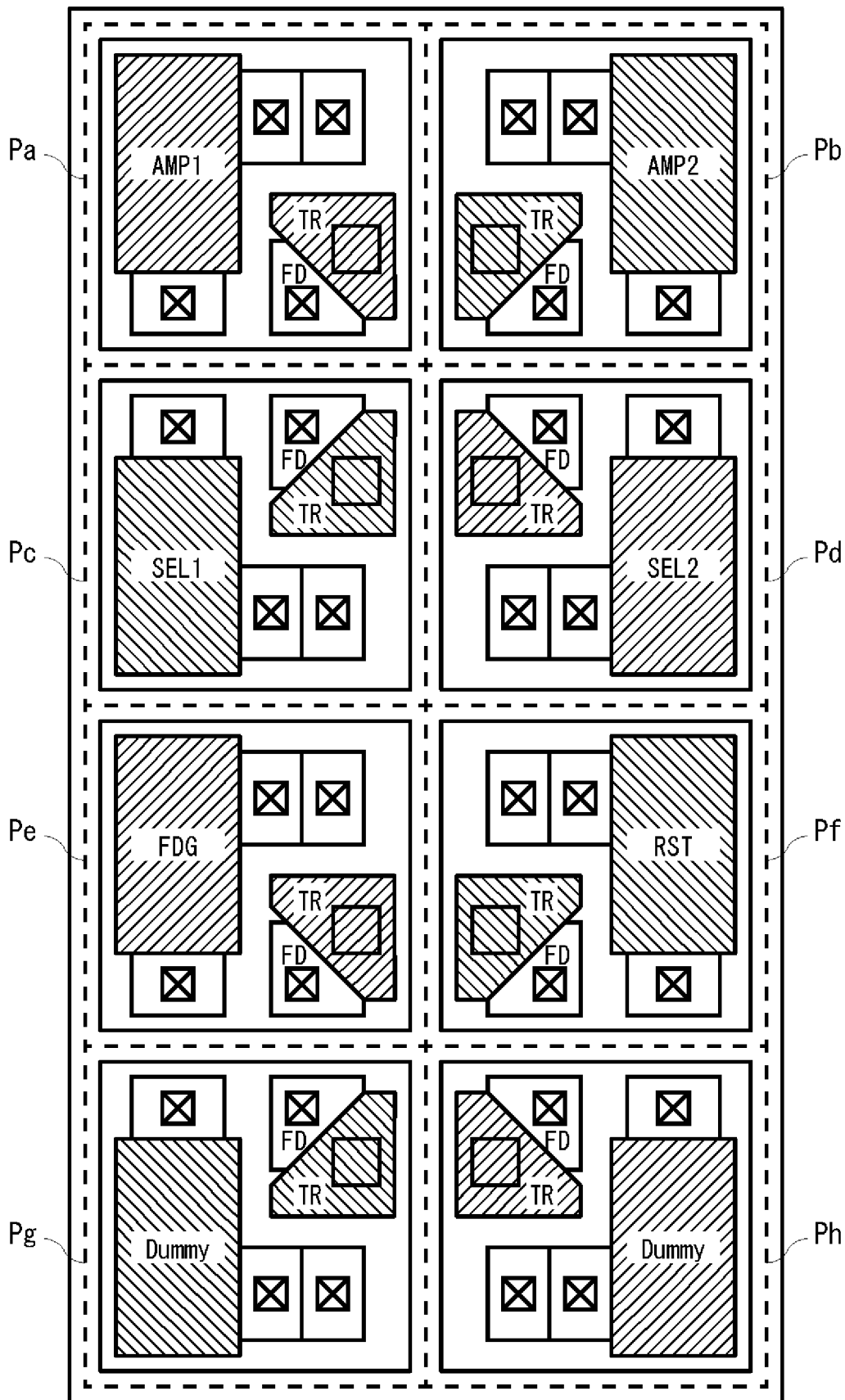
[図28]



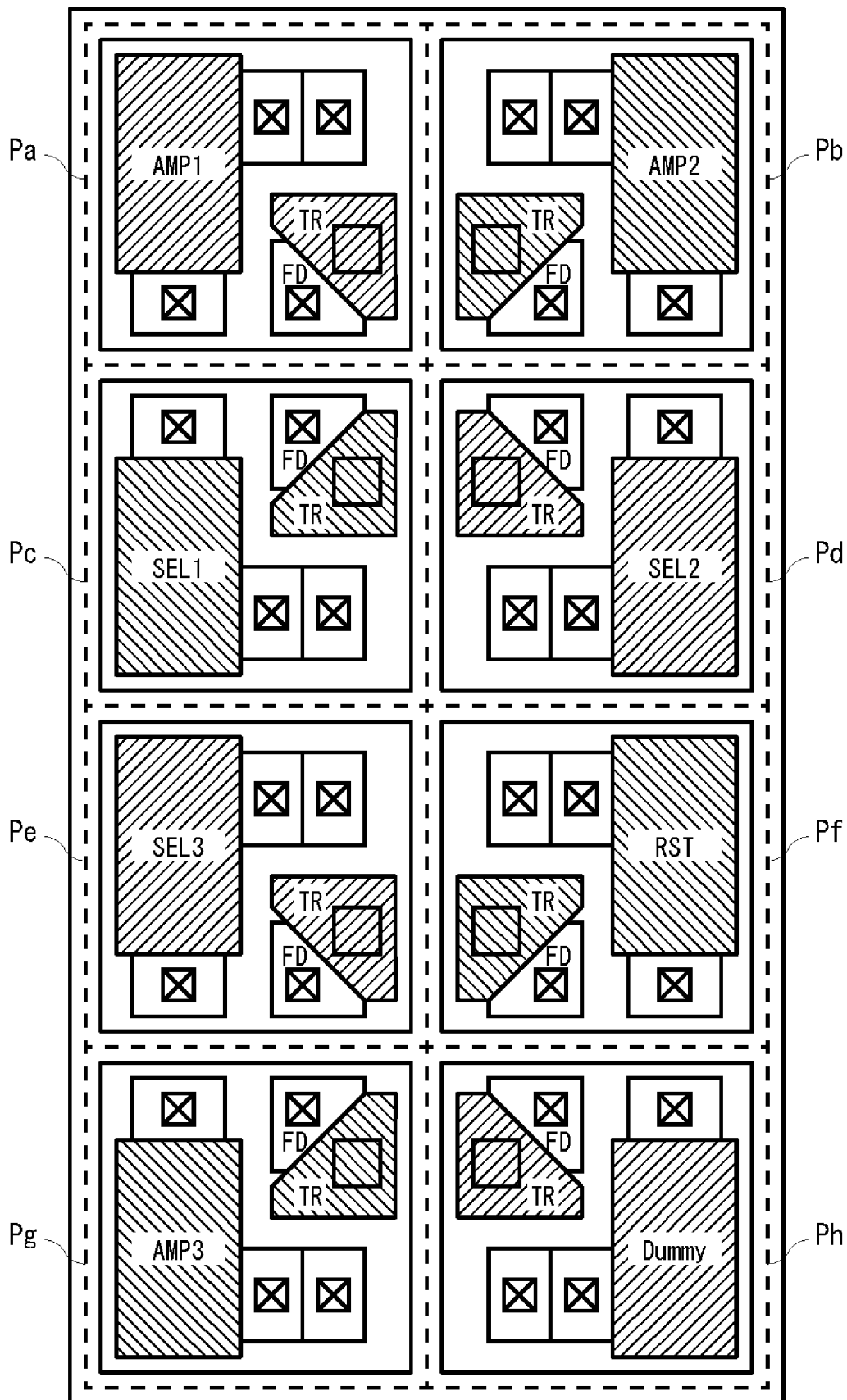
[図29]



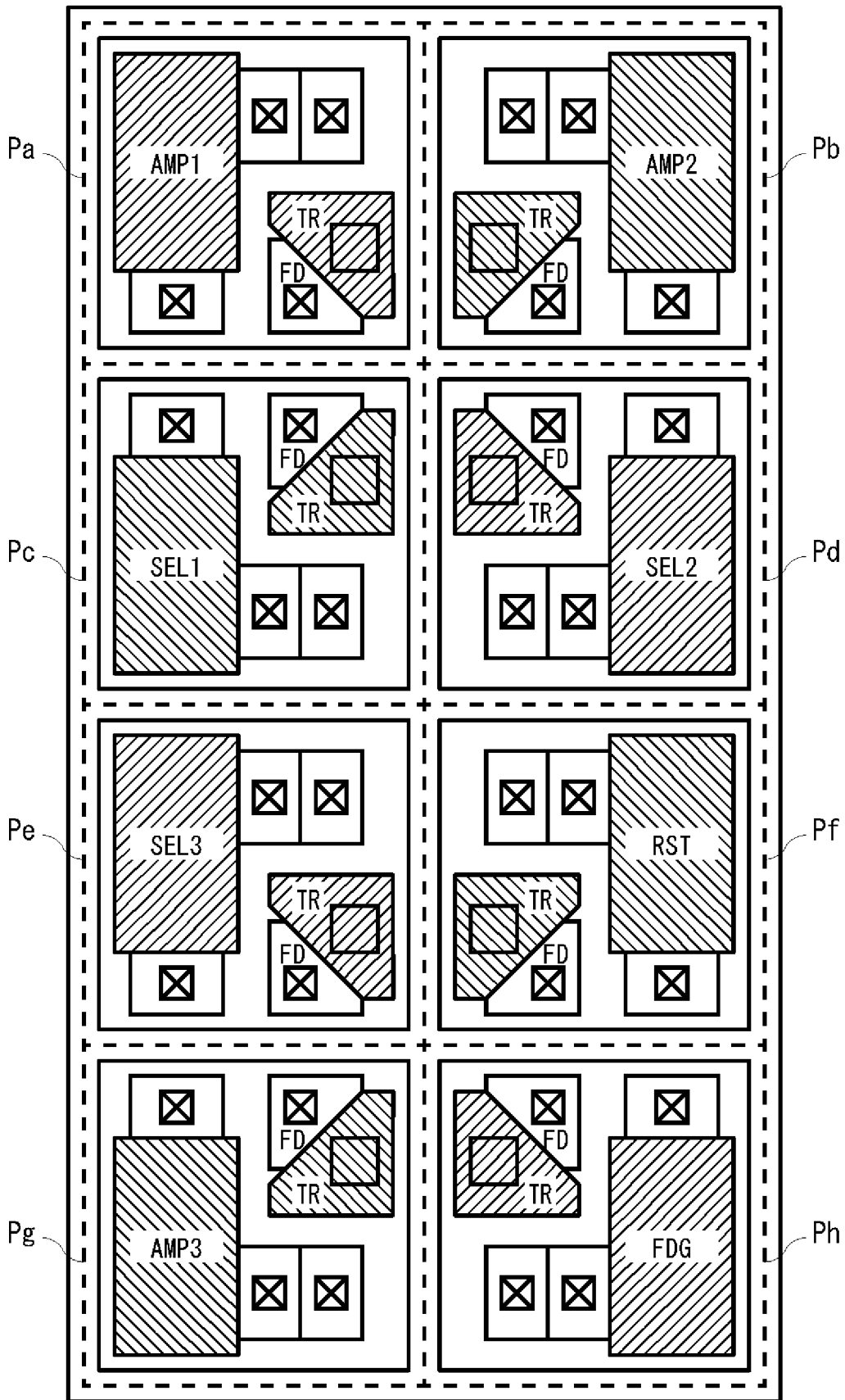
[図30]



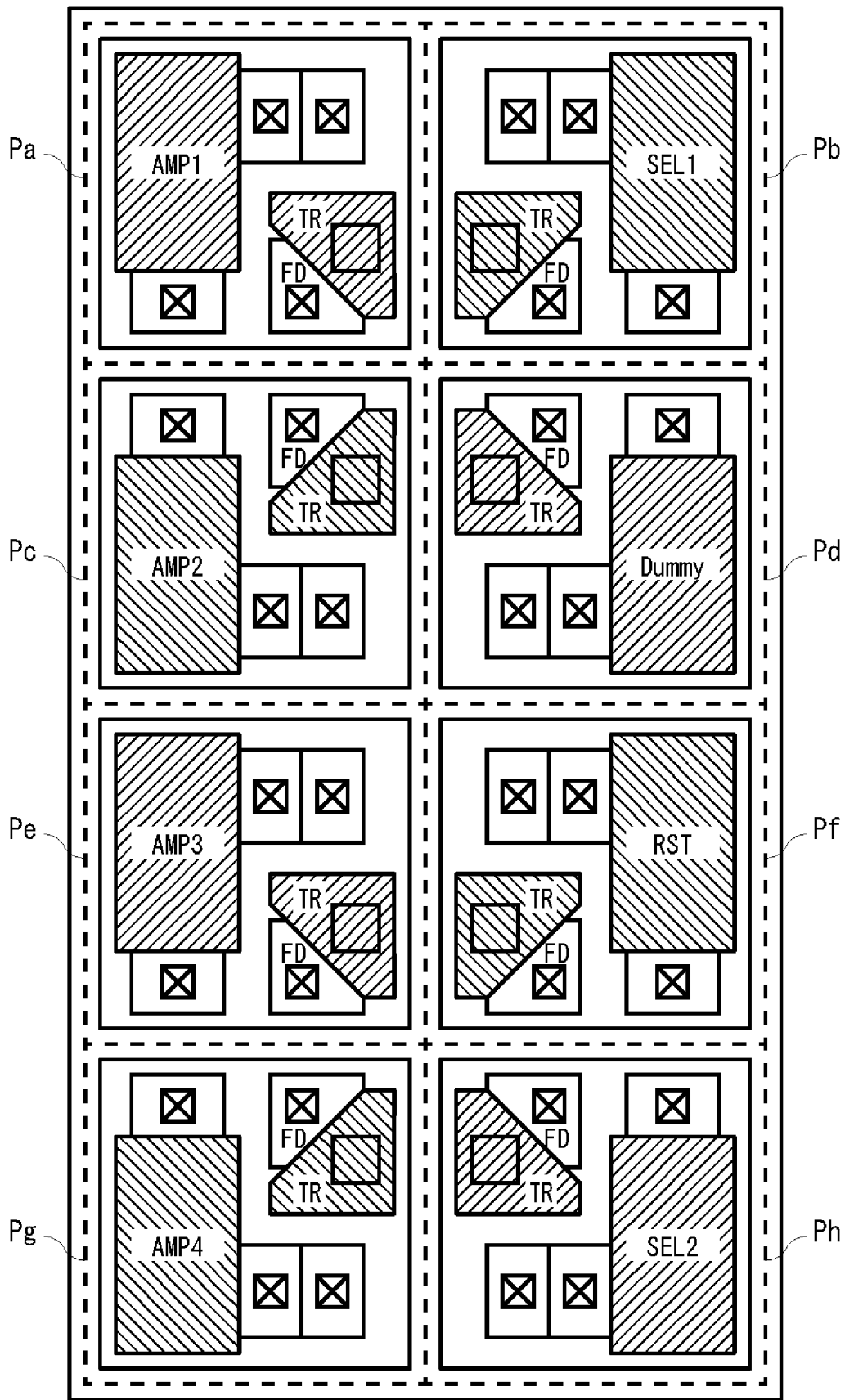
[図31]



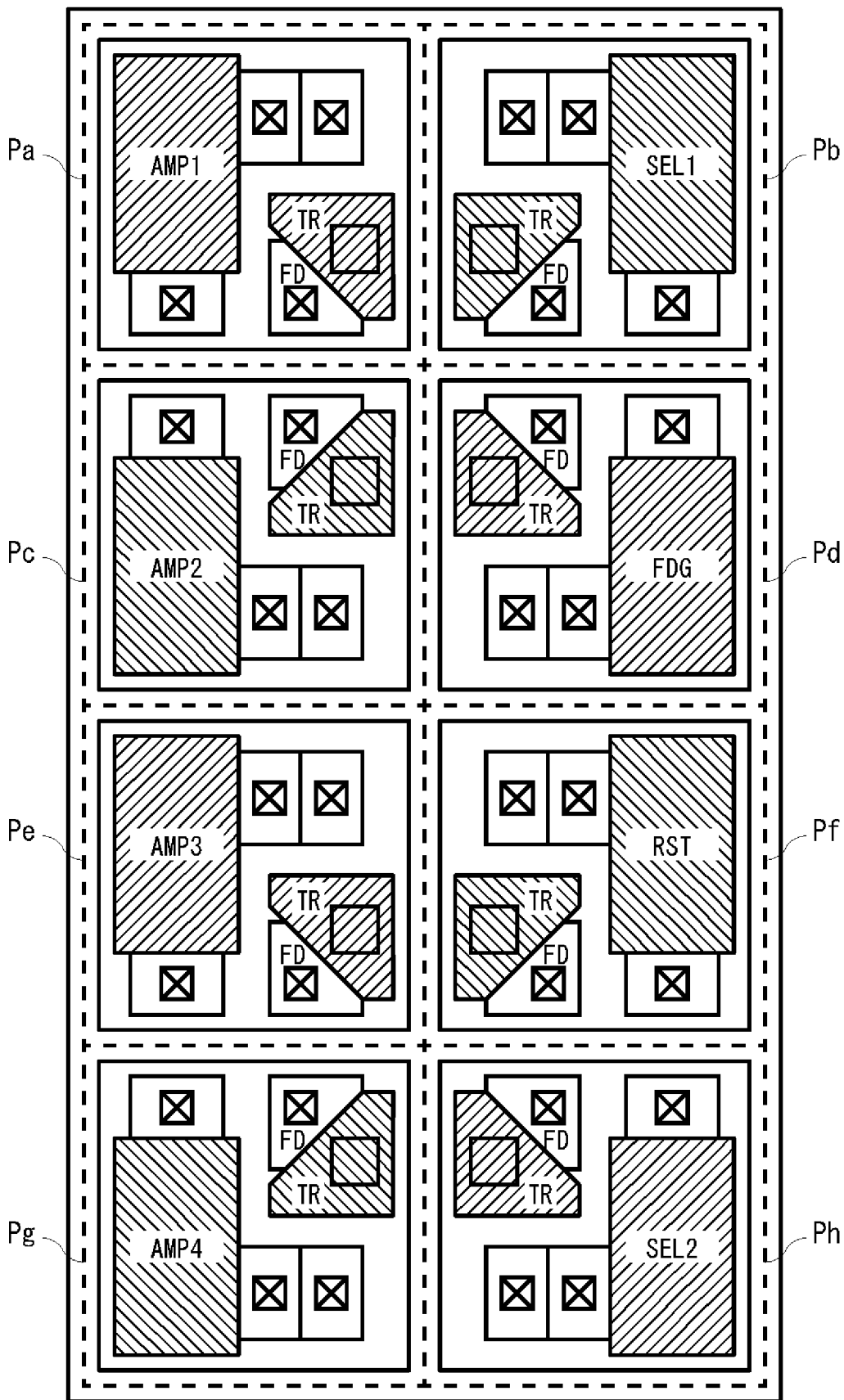
[図32]



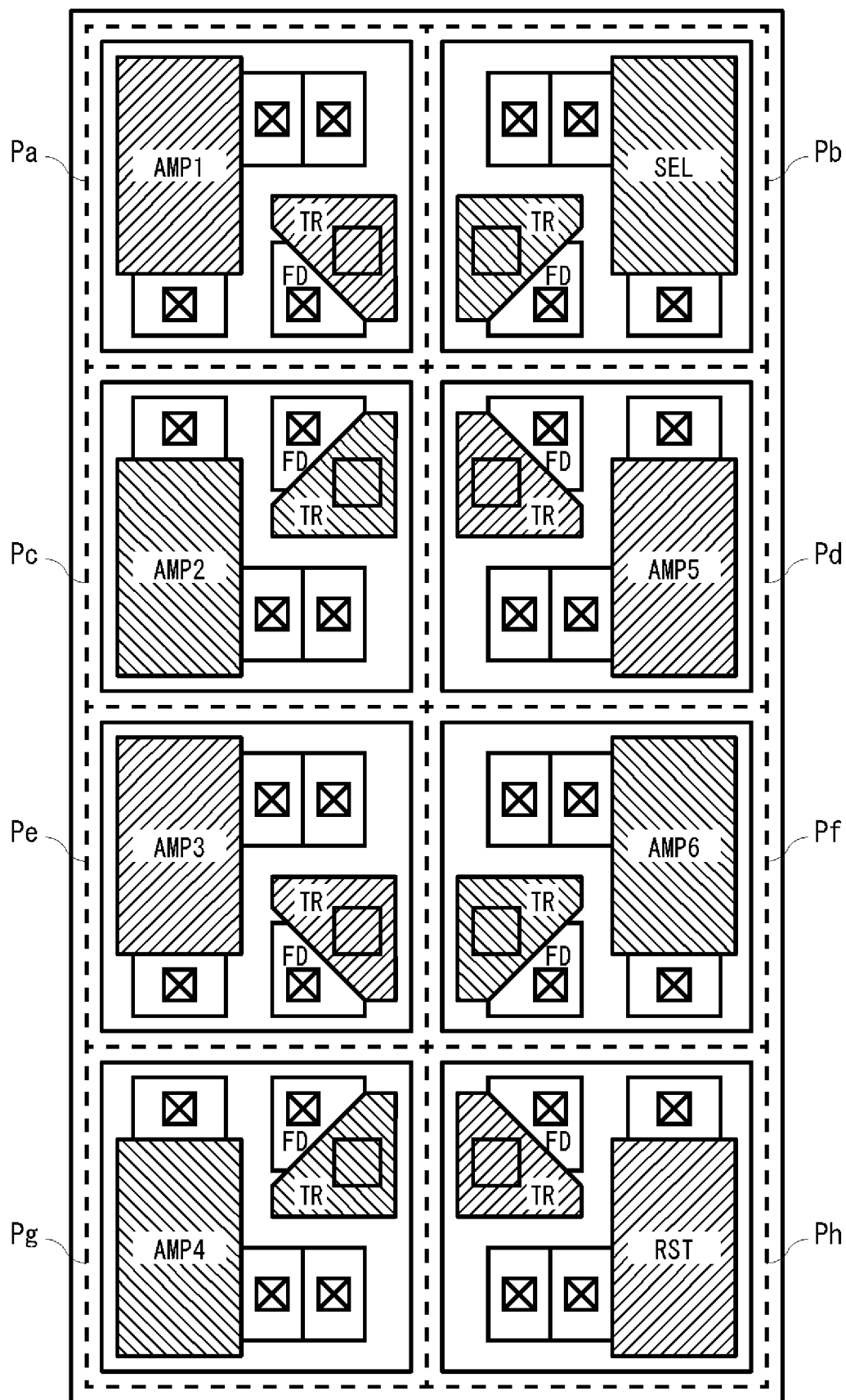
[図33]



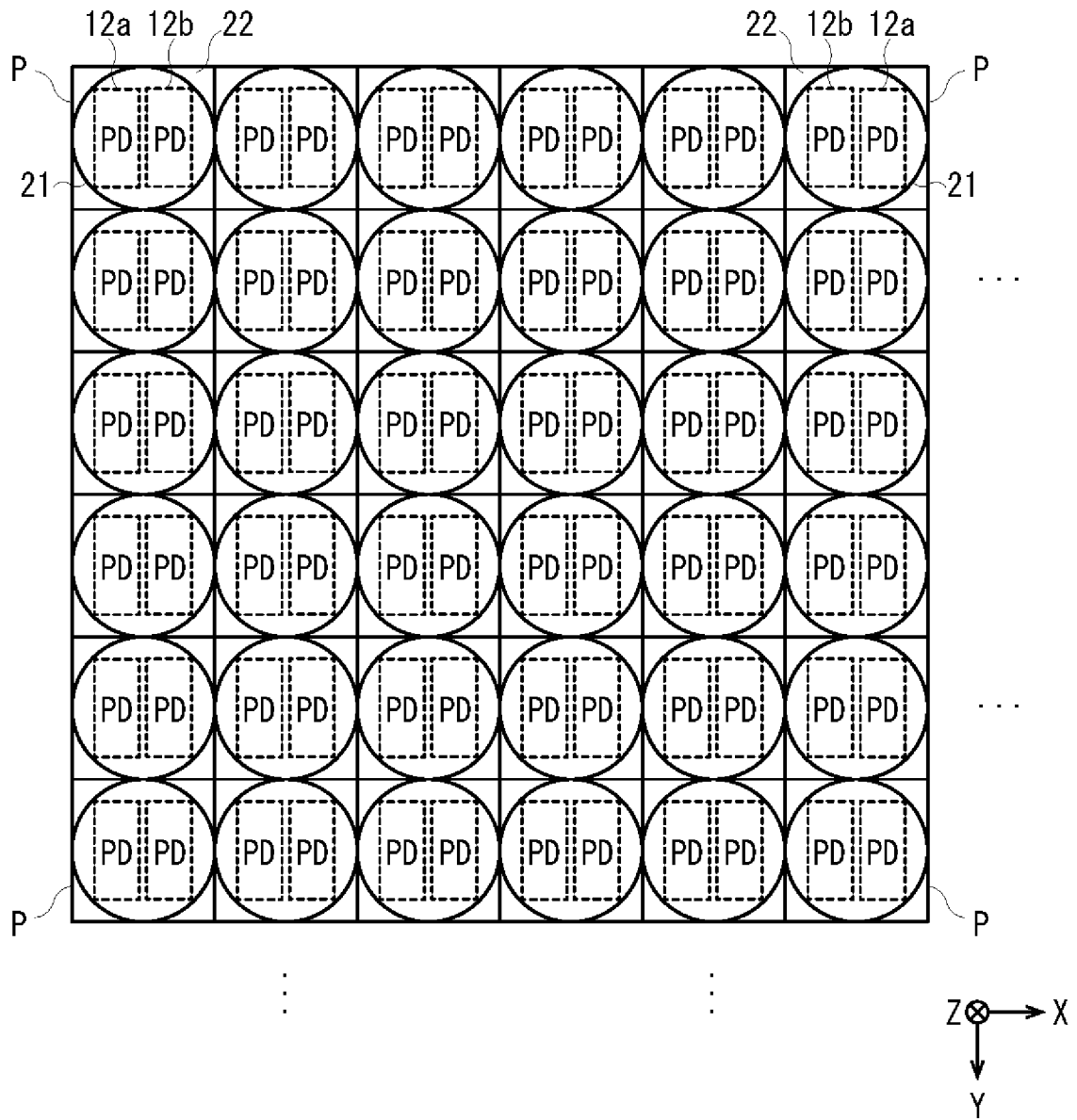
[図34]



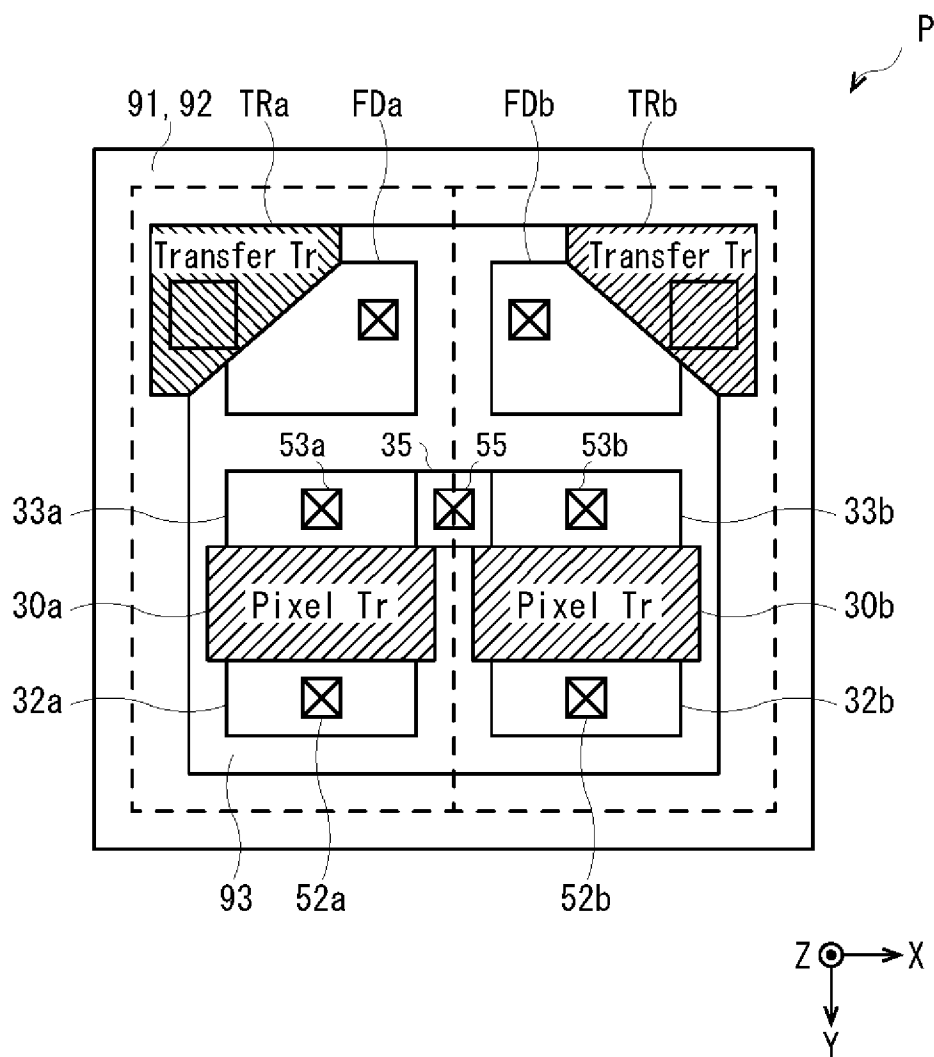
[図35]



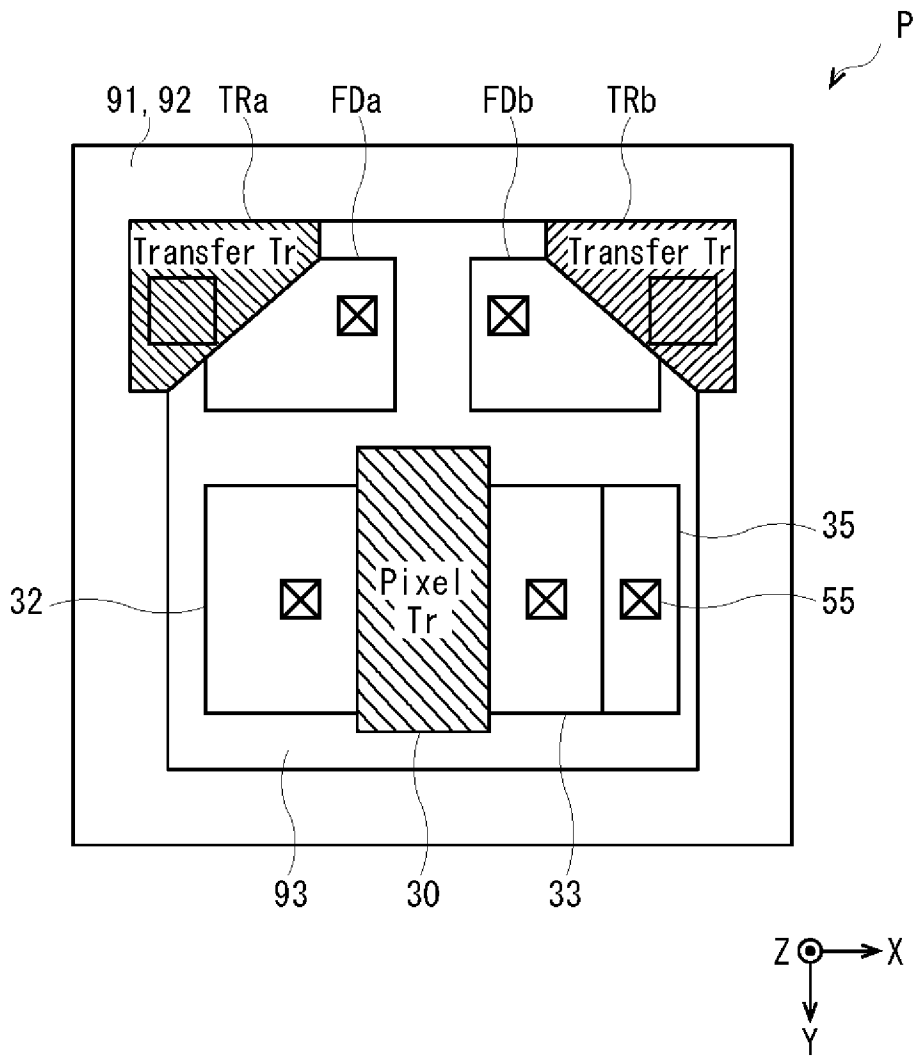
[図36]



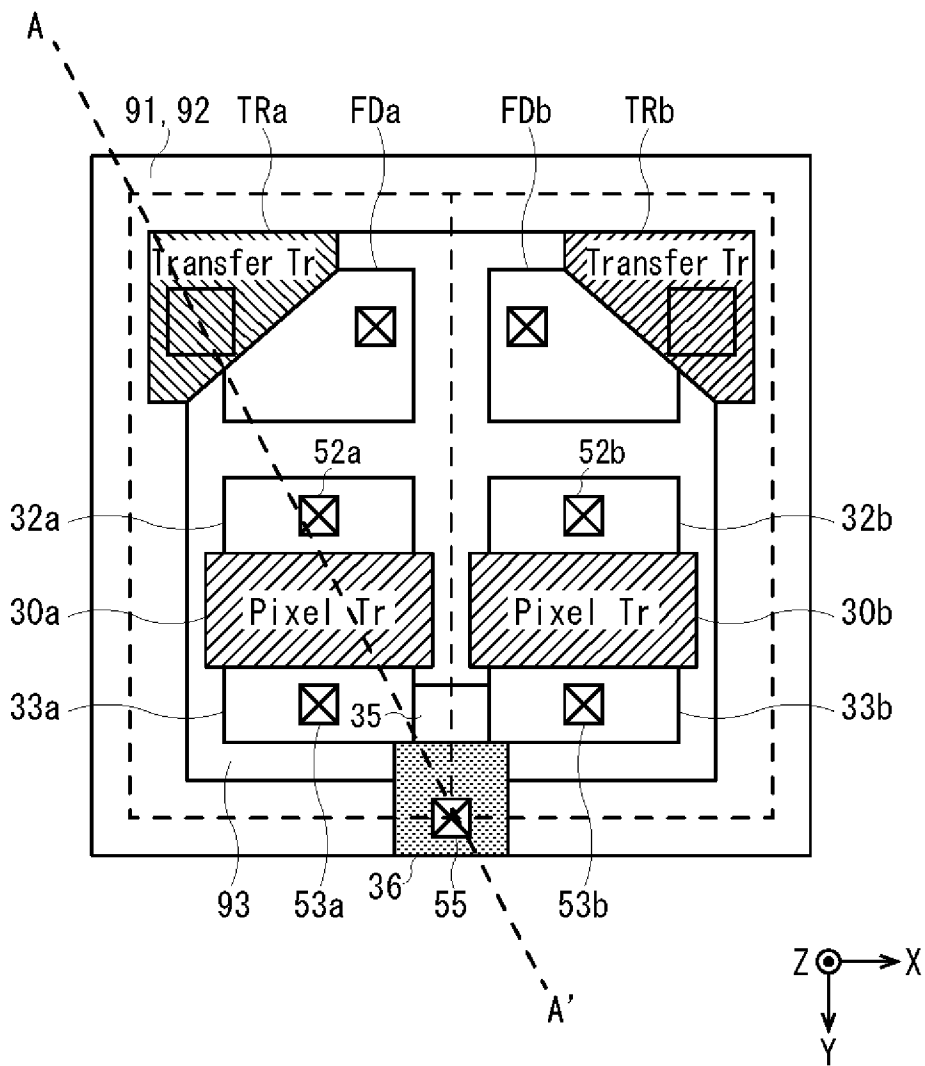
[図37]



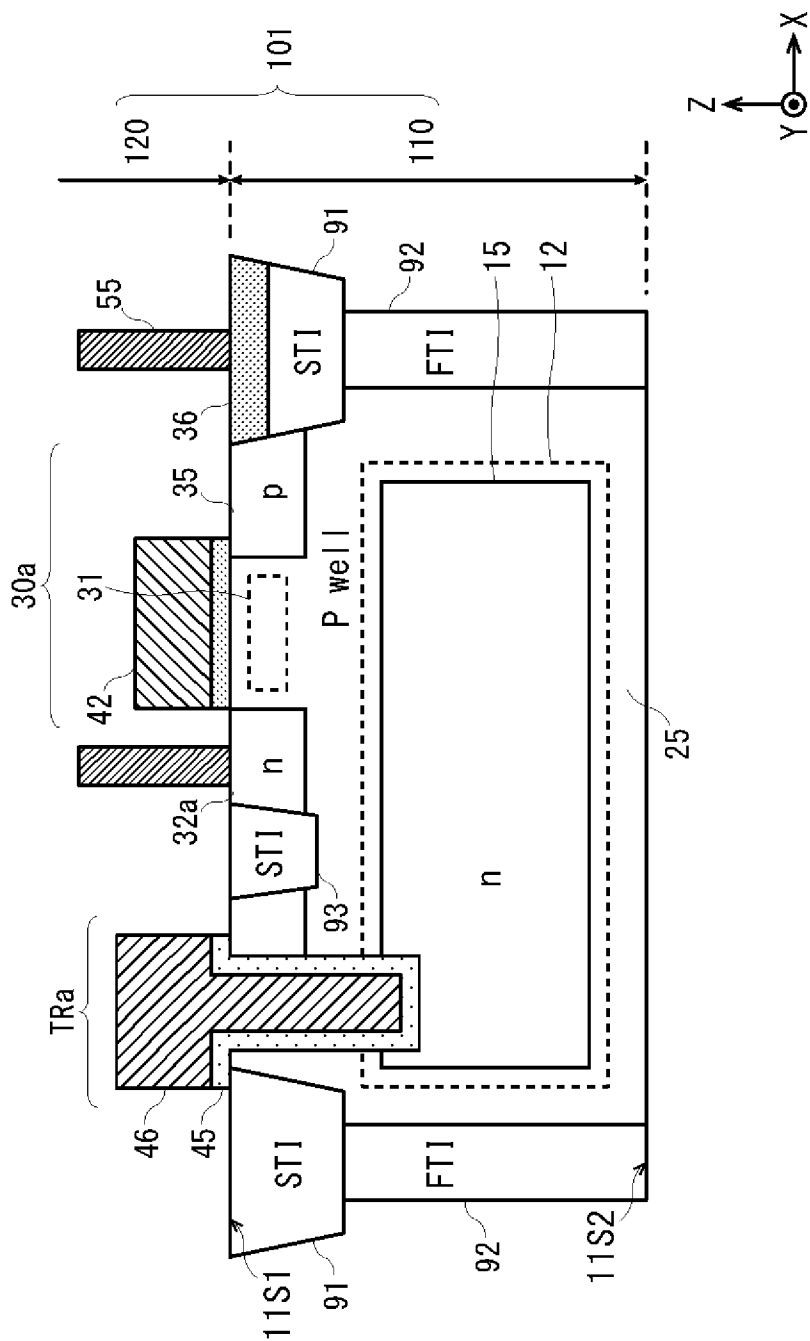
[図38]



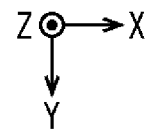
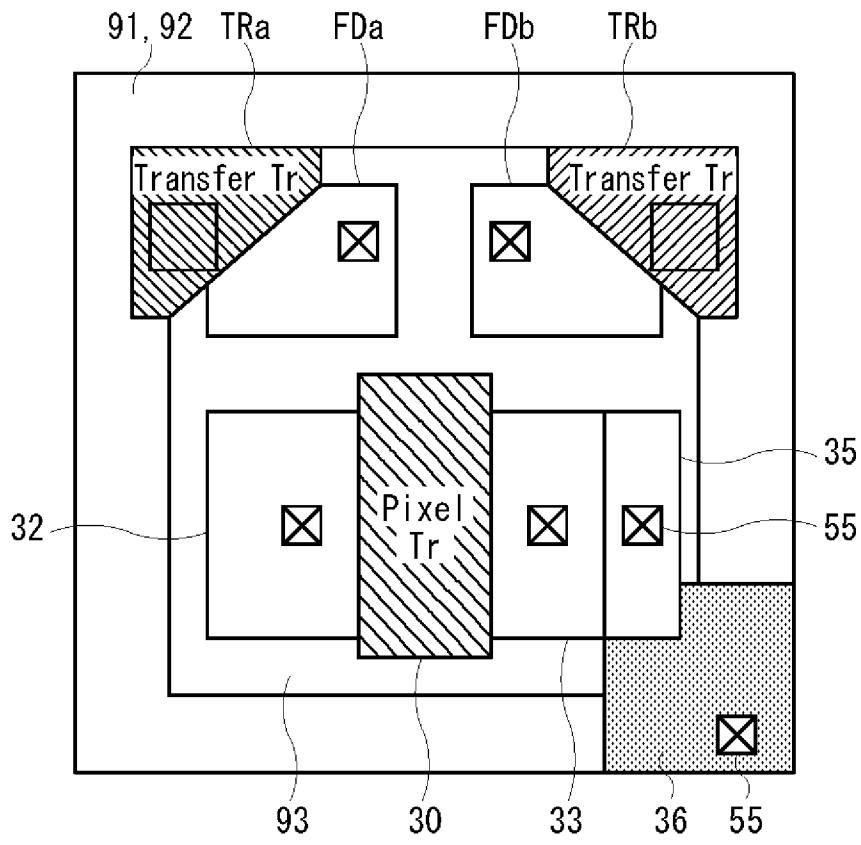
[図39]



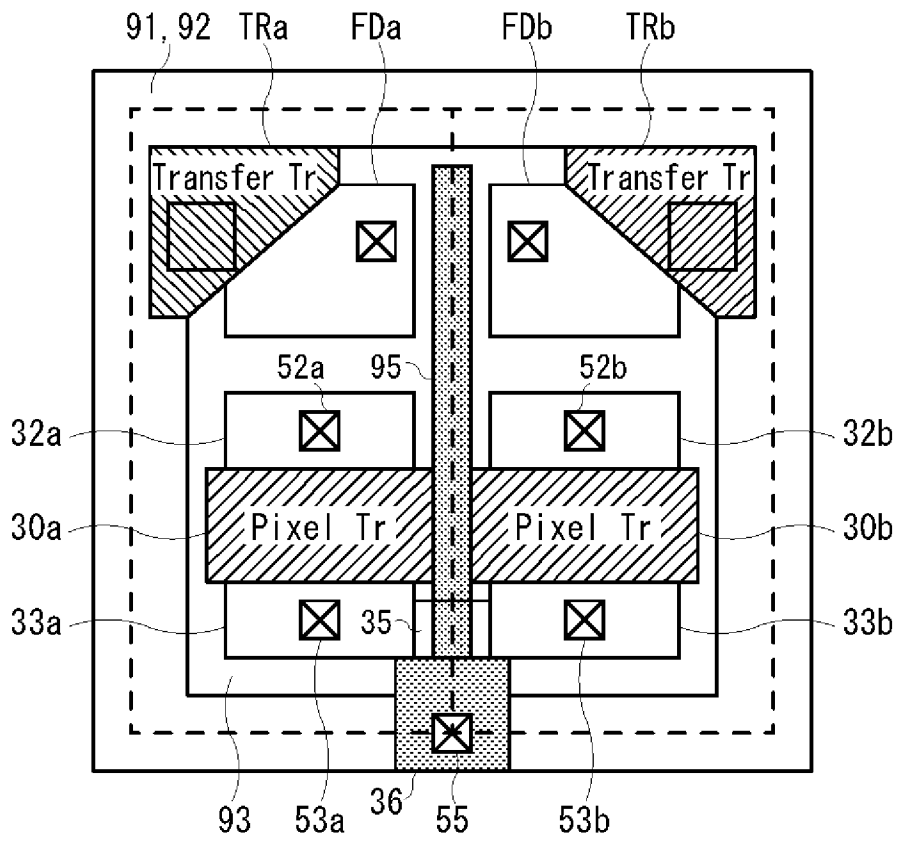
[図40]



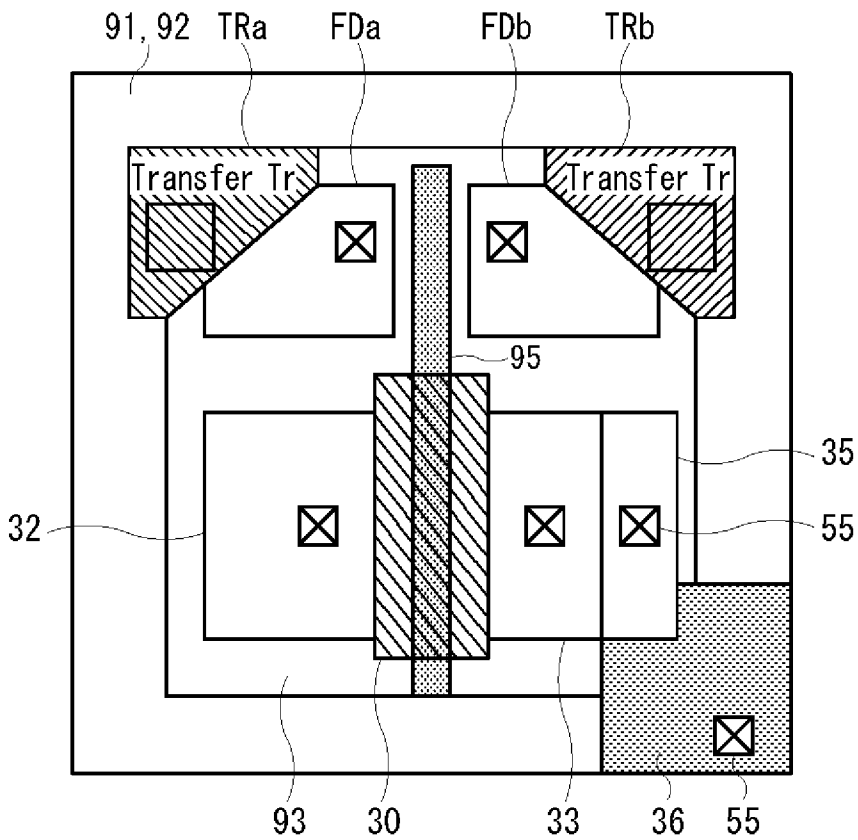
[図42]



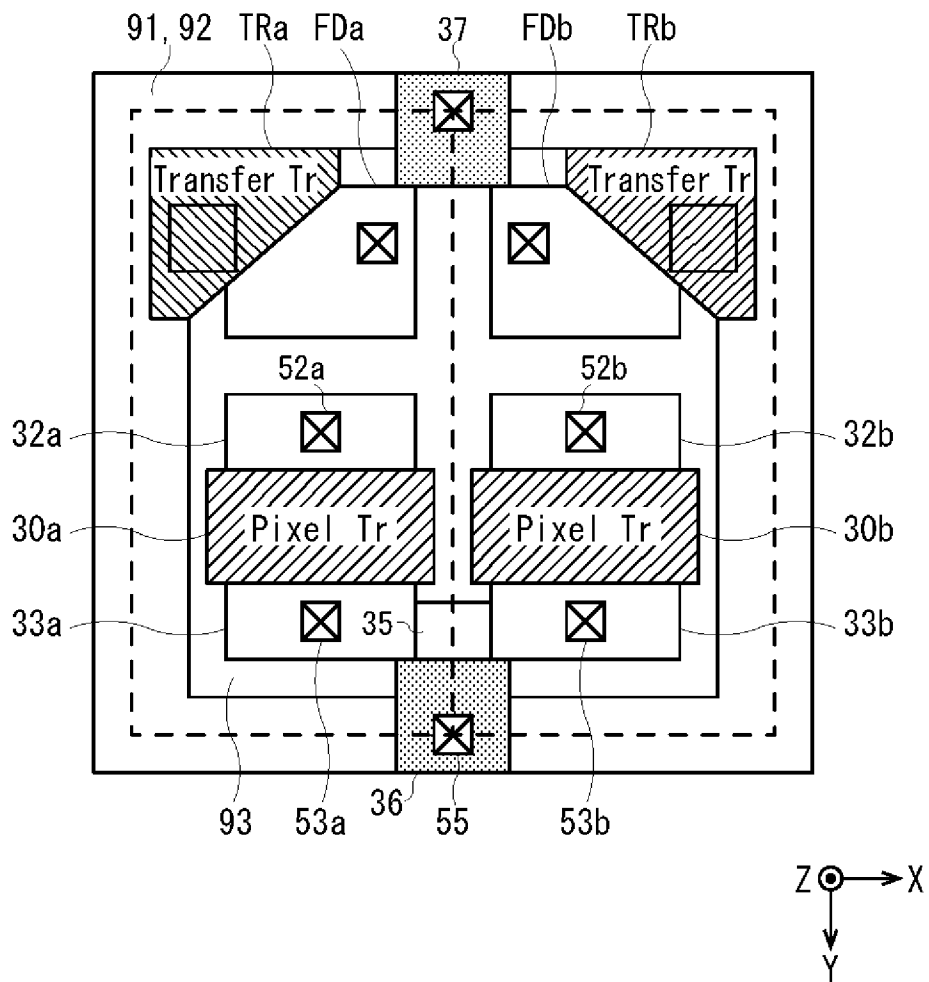
[図43A]



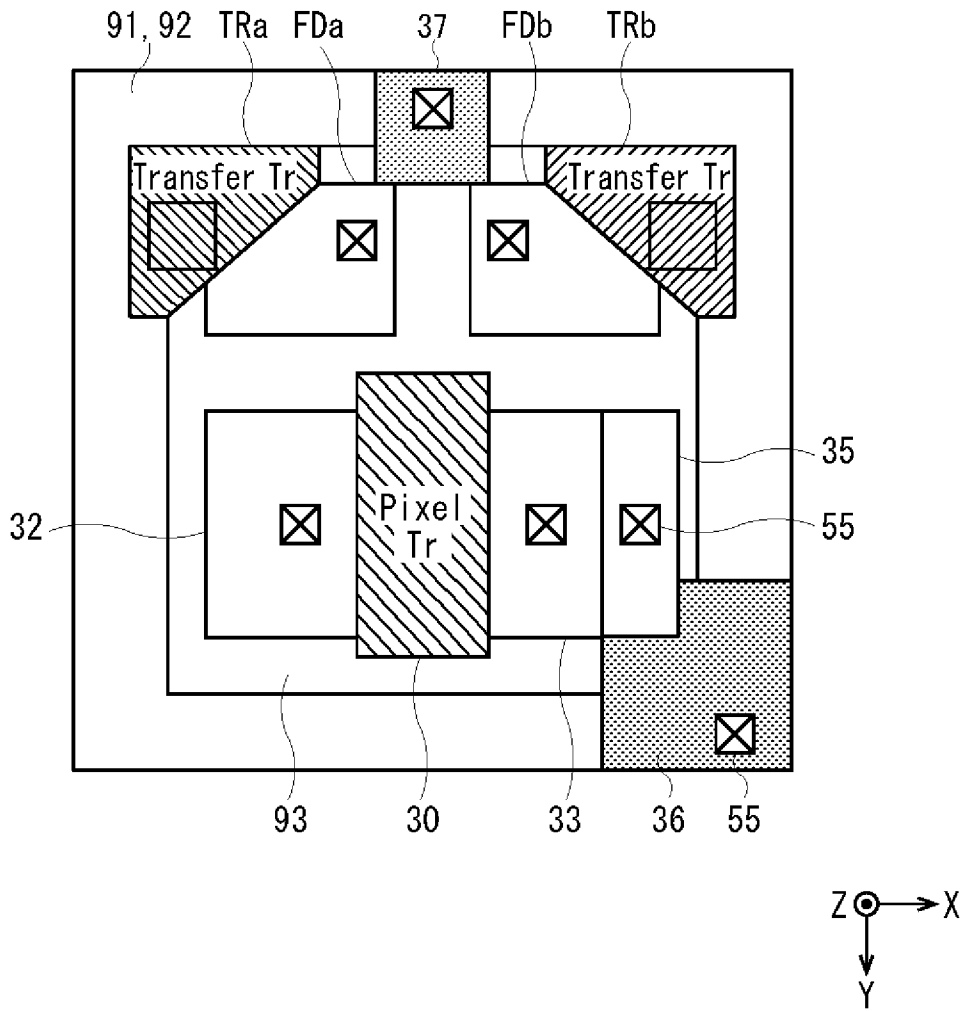
[図43B]



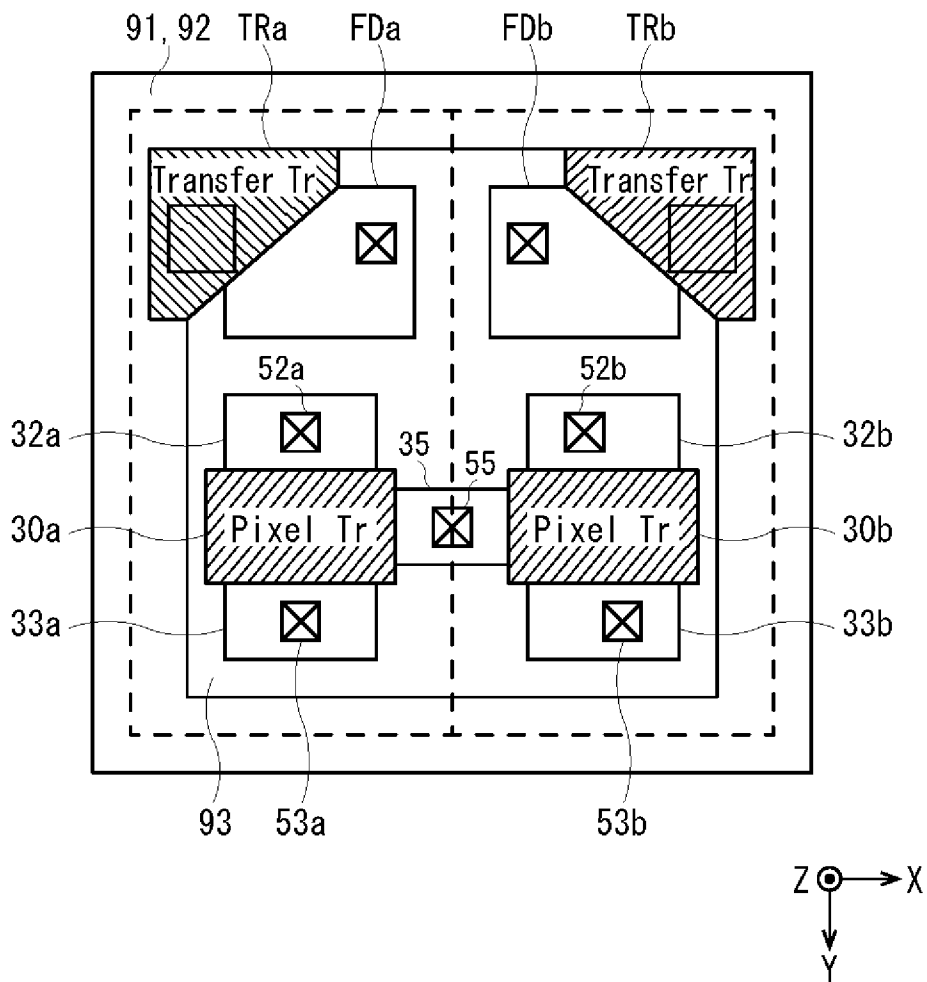
[図44]



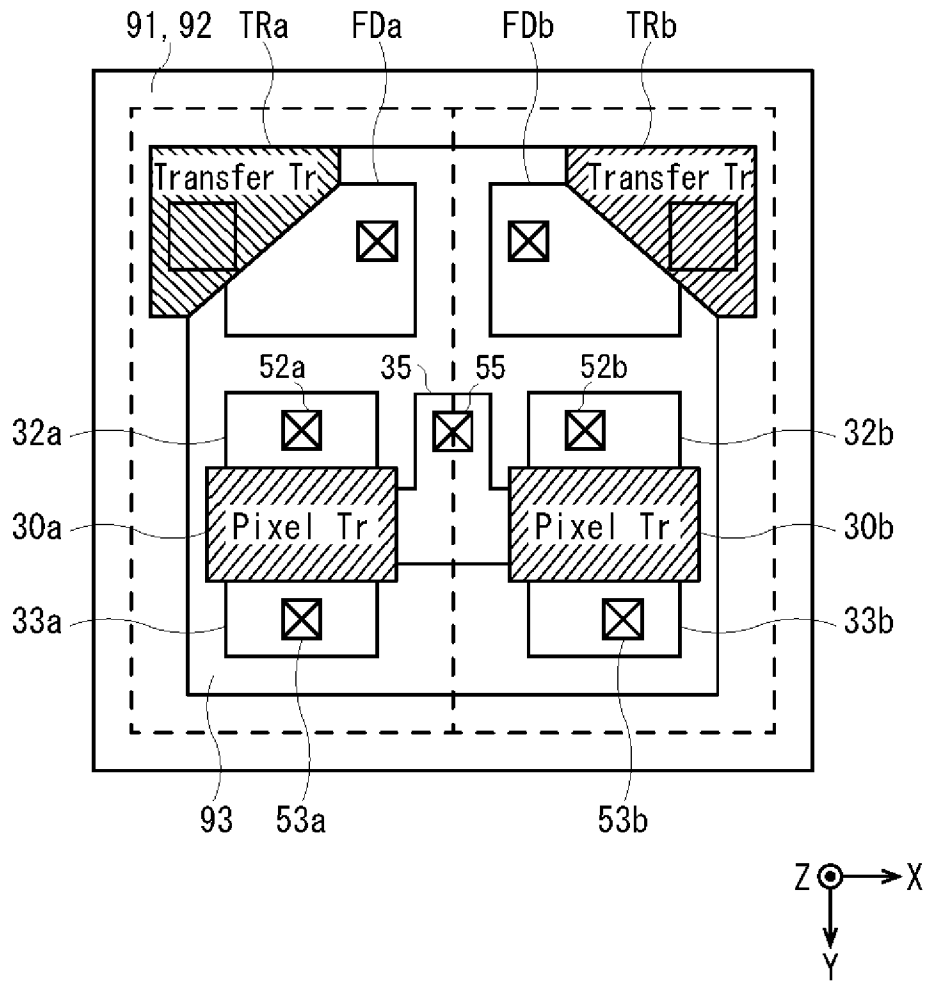
[図45]



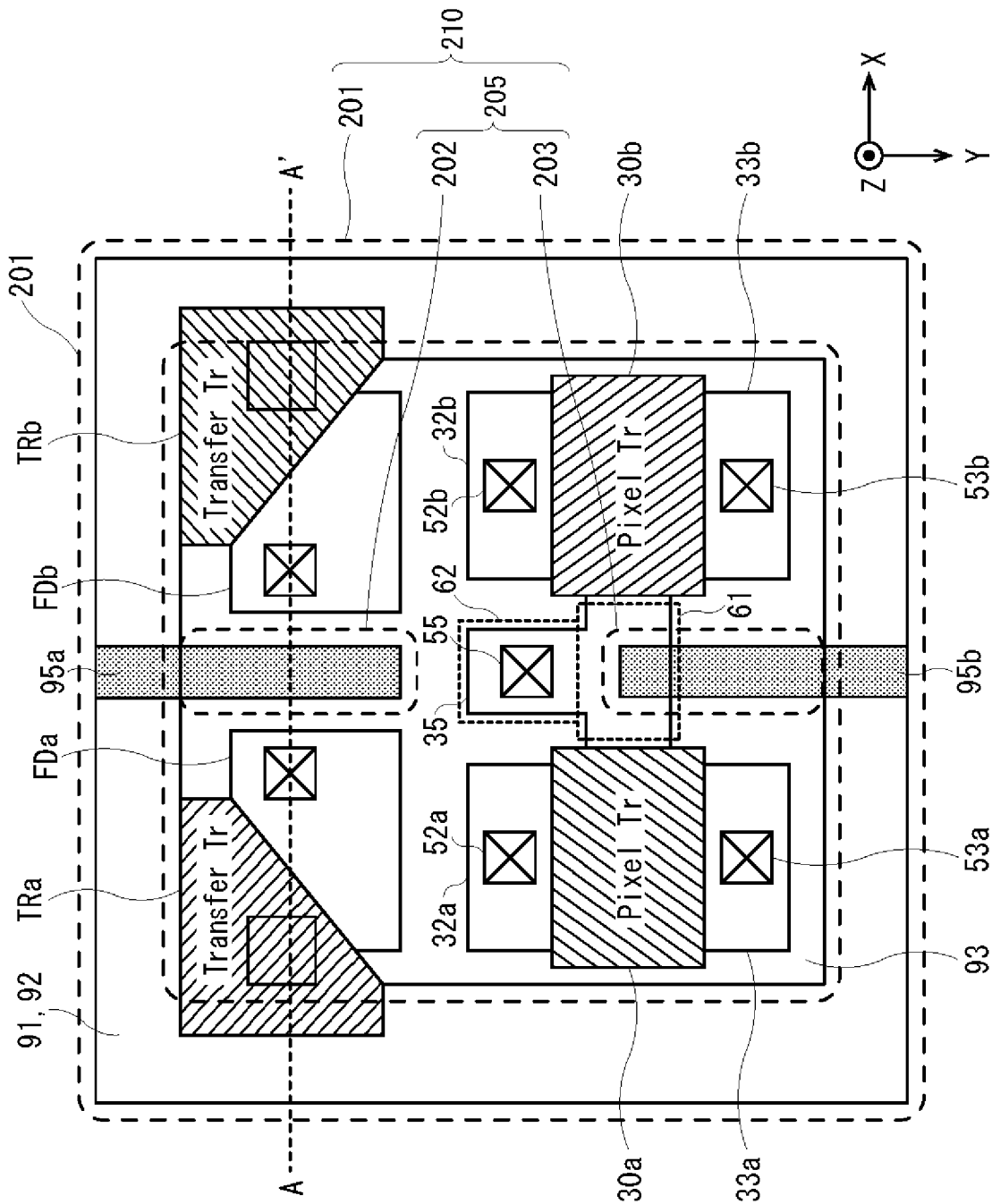
[図46]



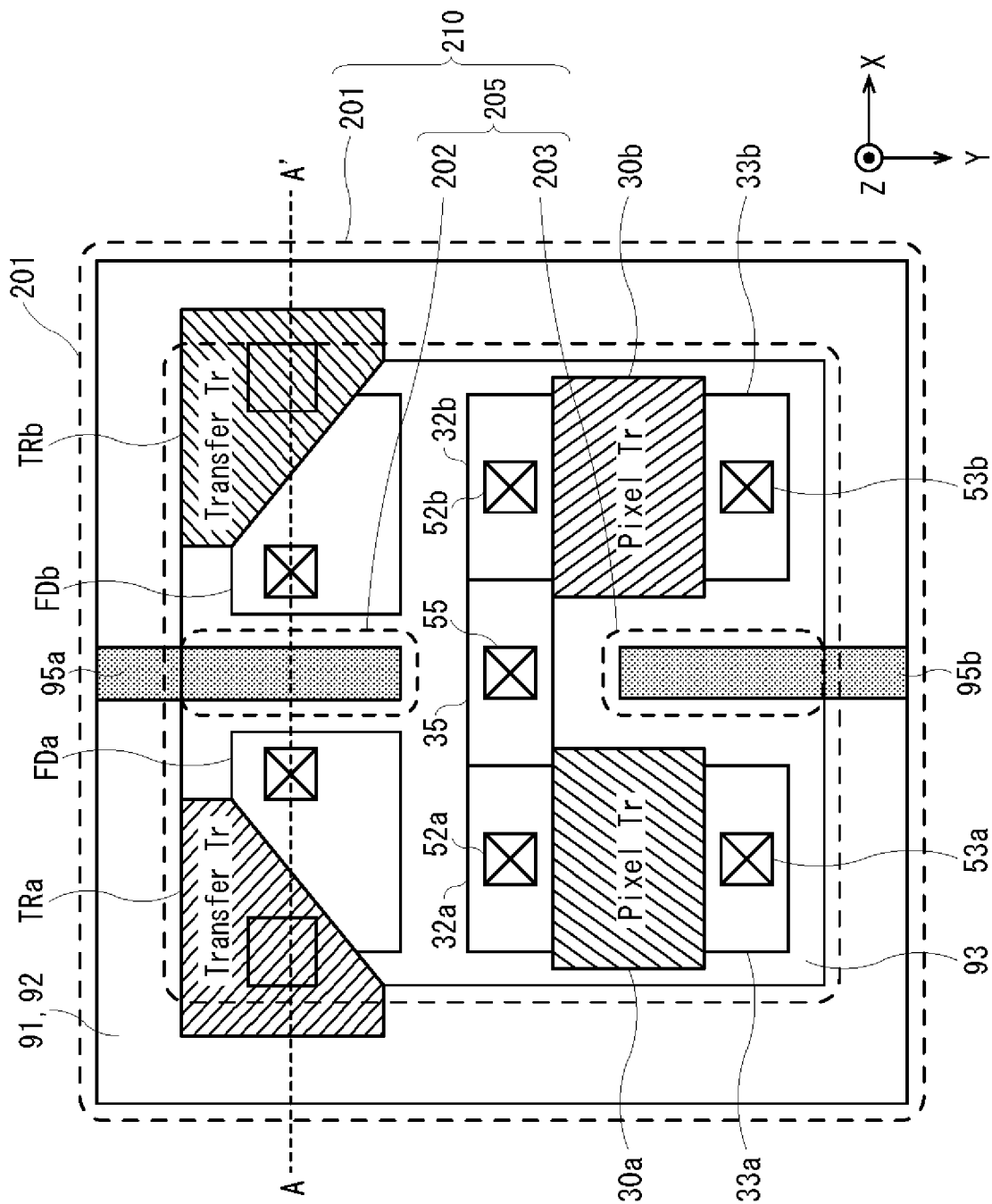
[図47]



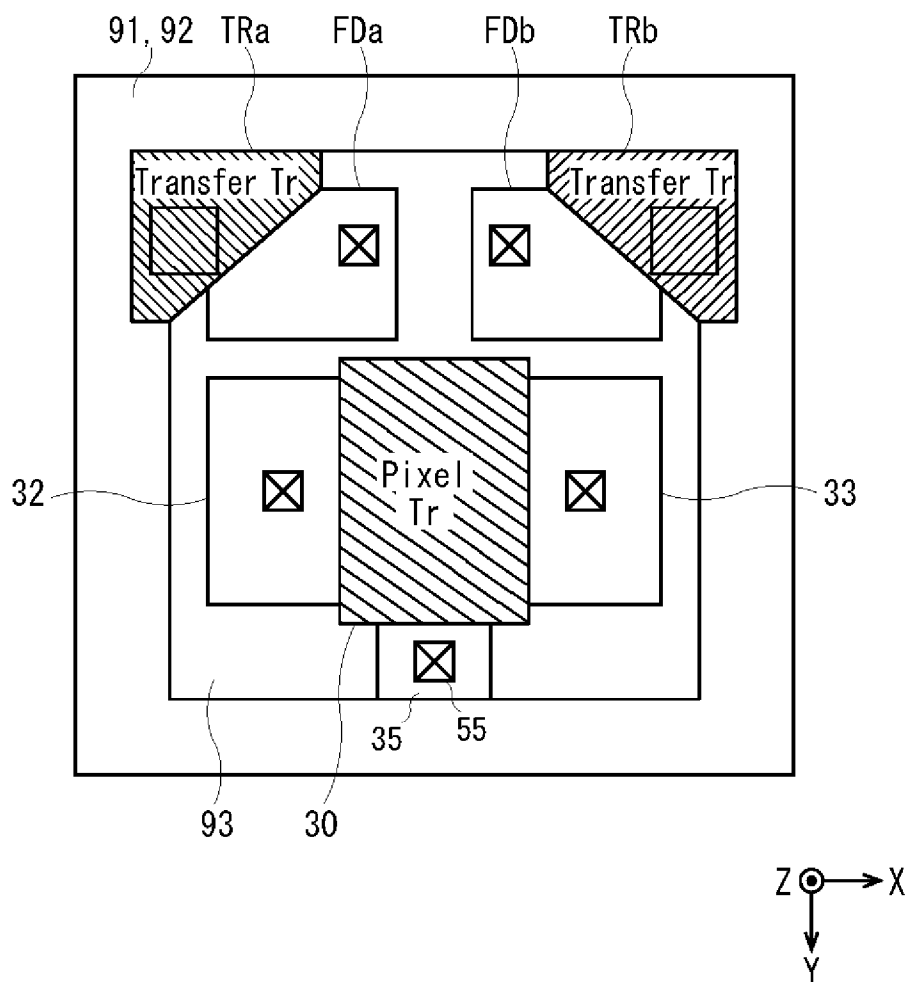
[図48]



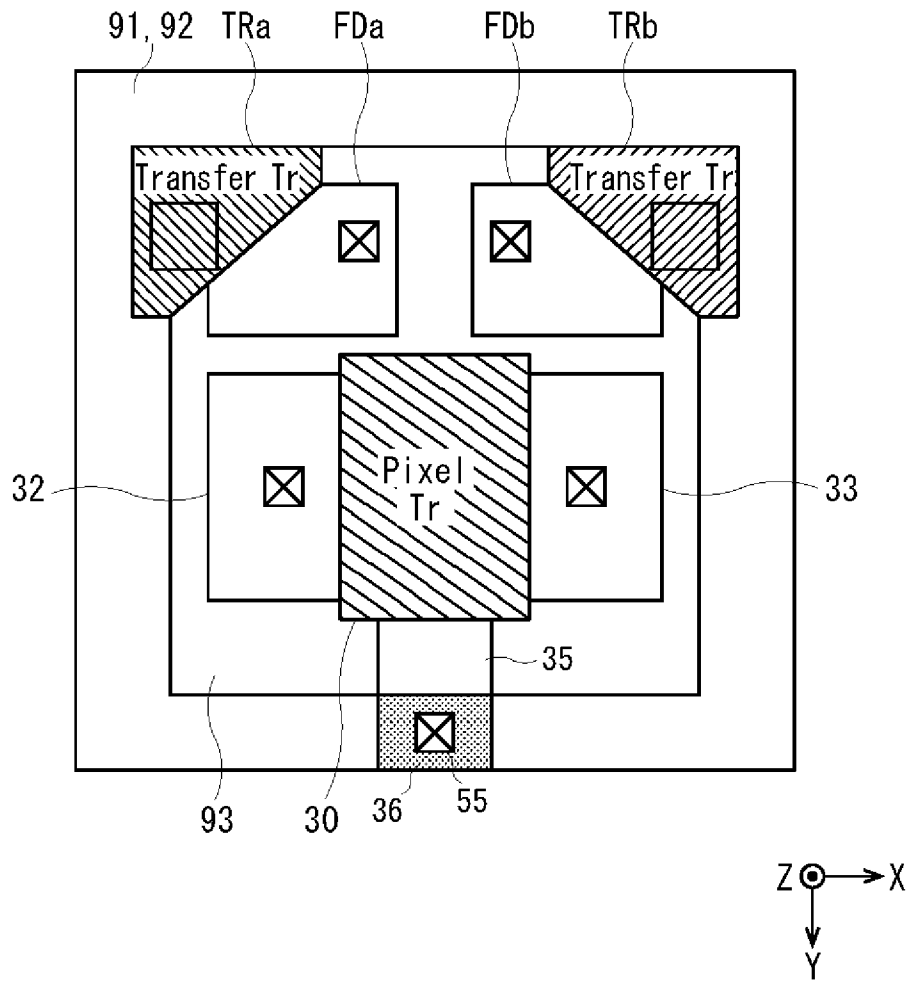
[50]



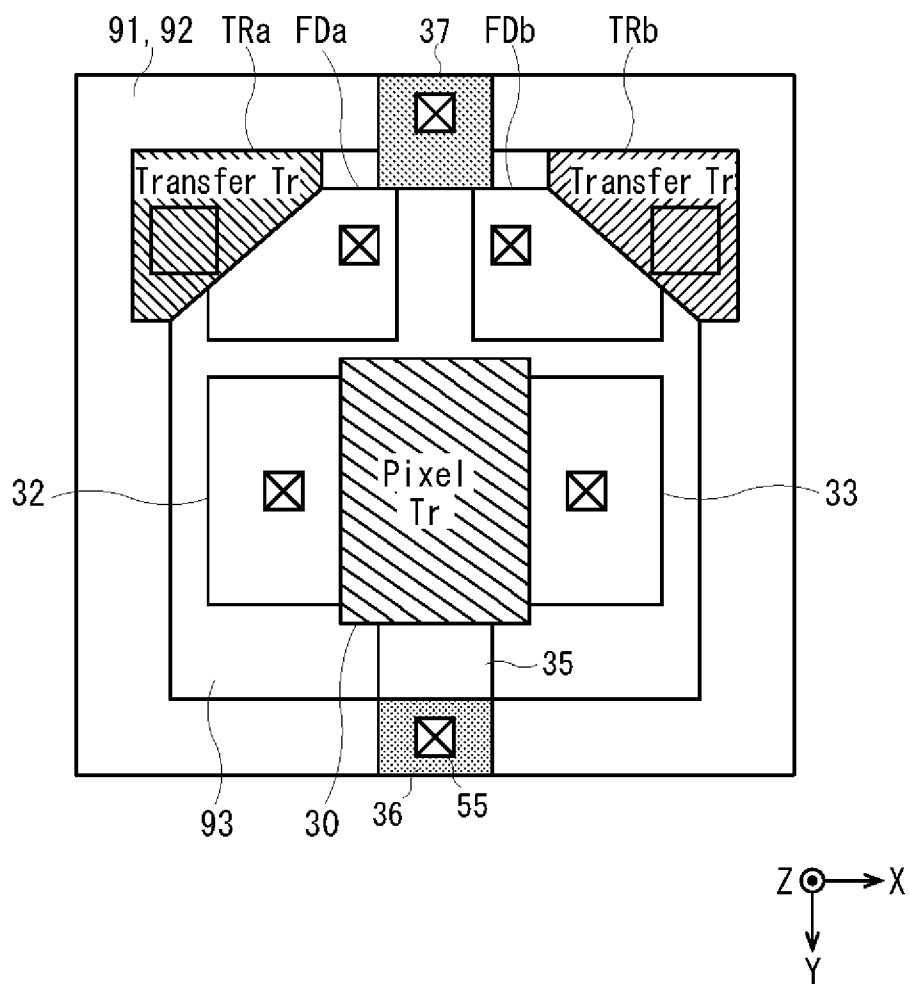
[図51]



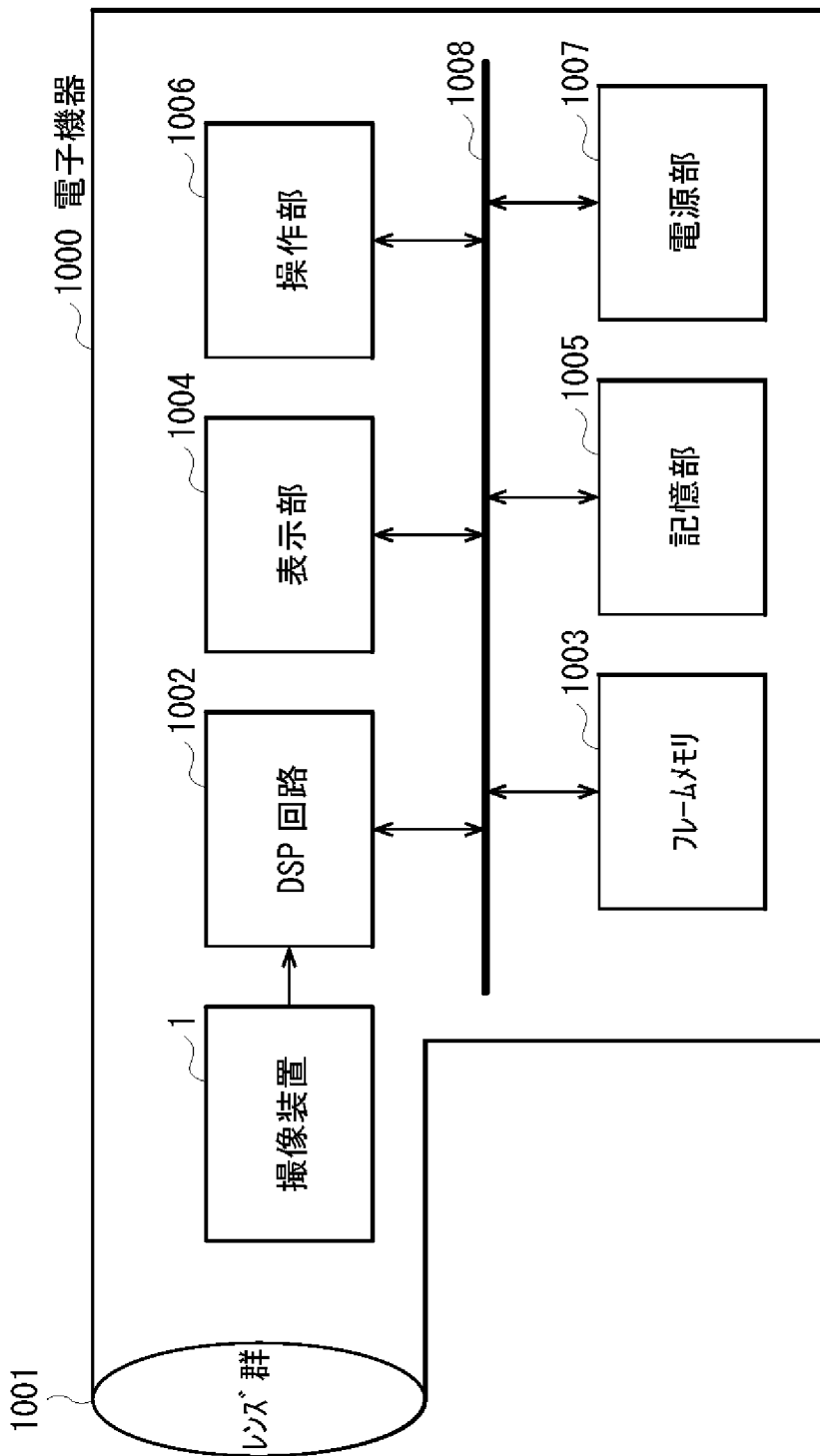
[図52]



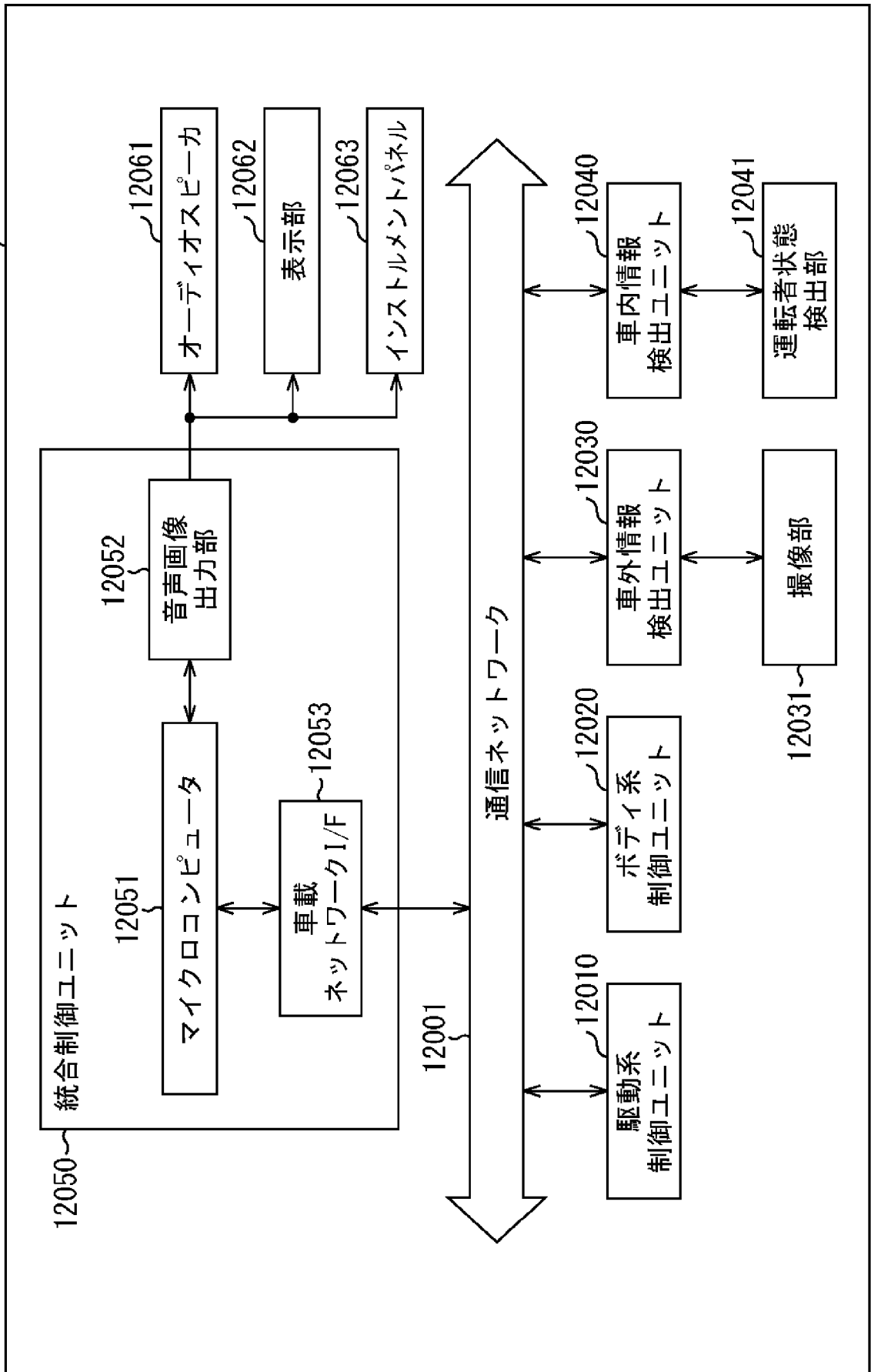
[図53]



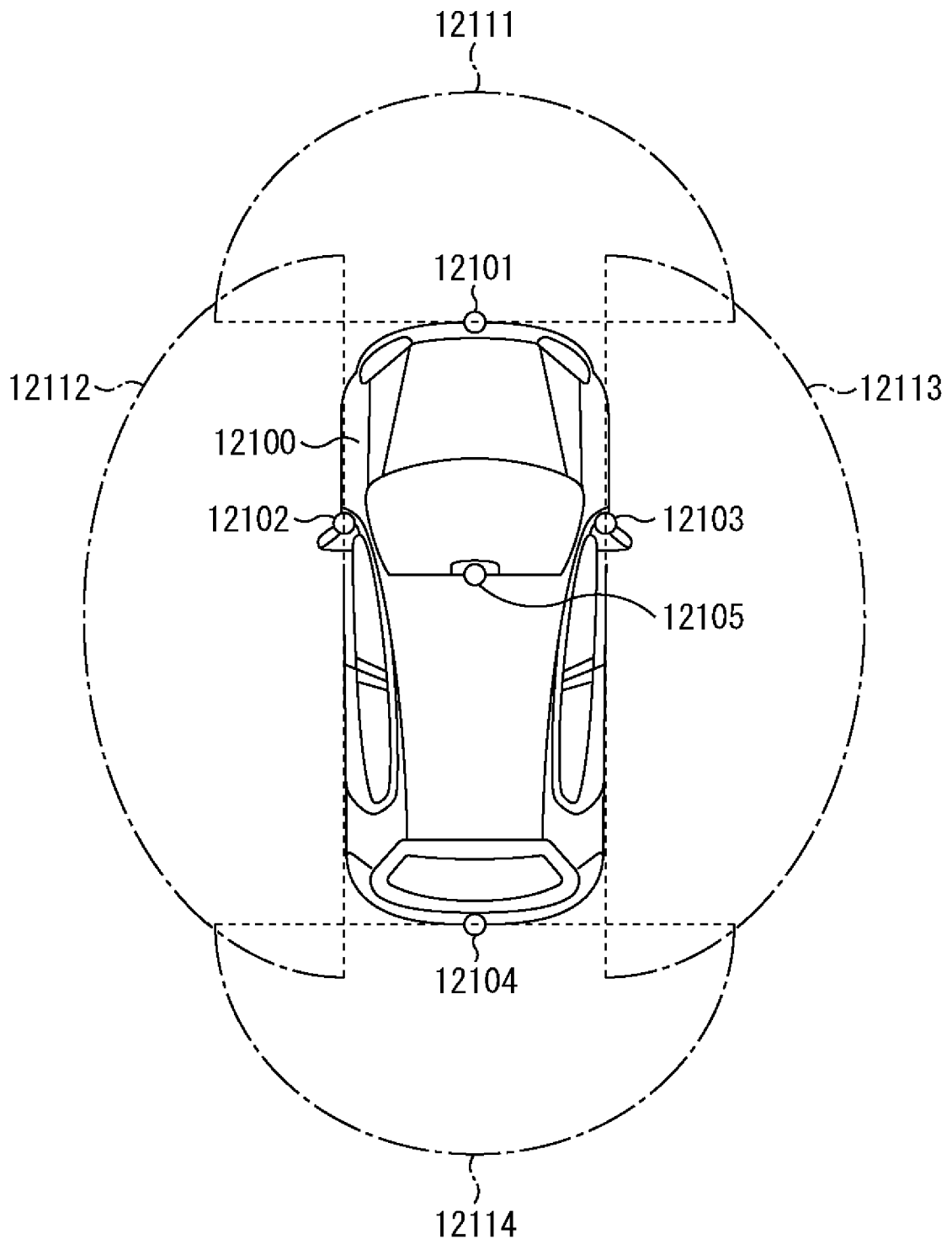
[図54]



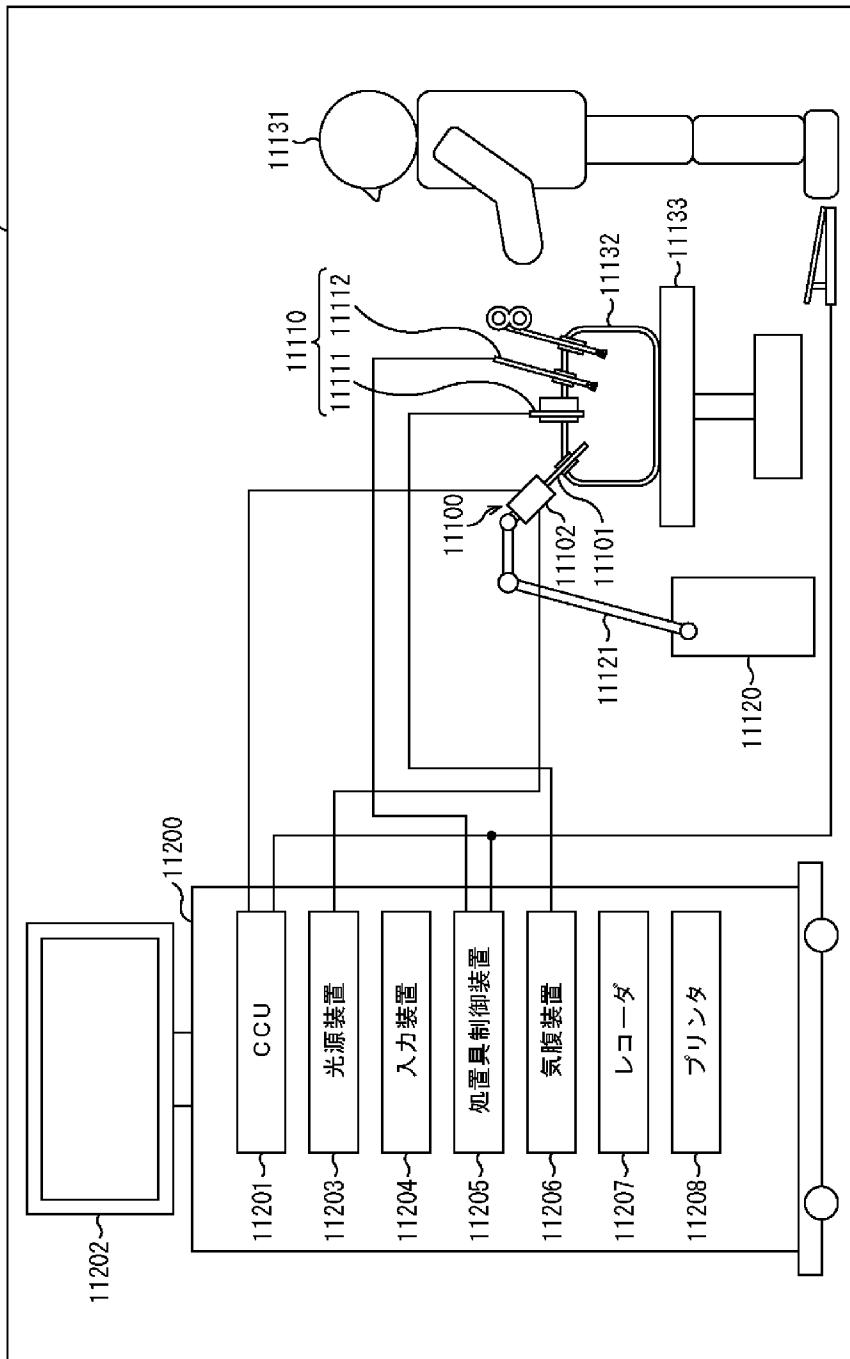
[図55]



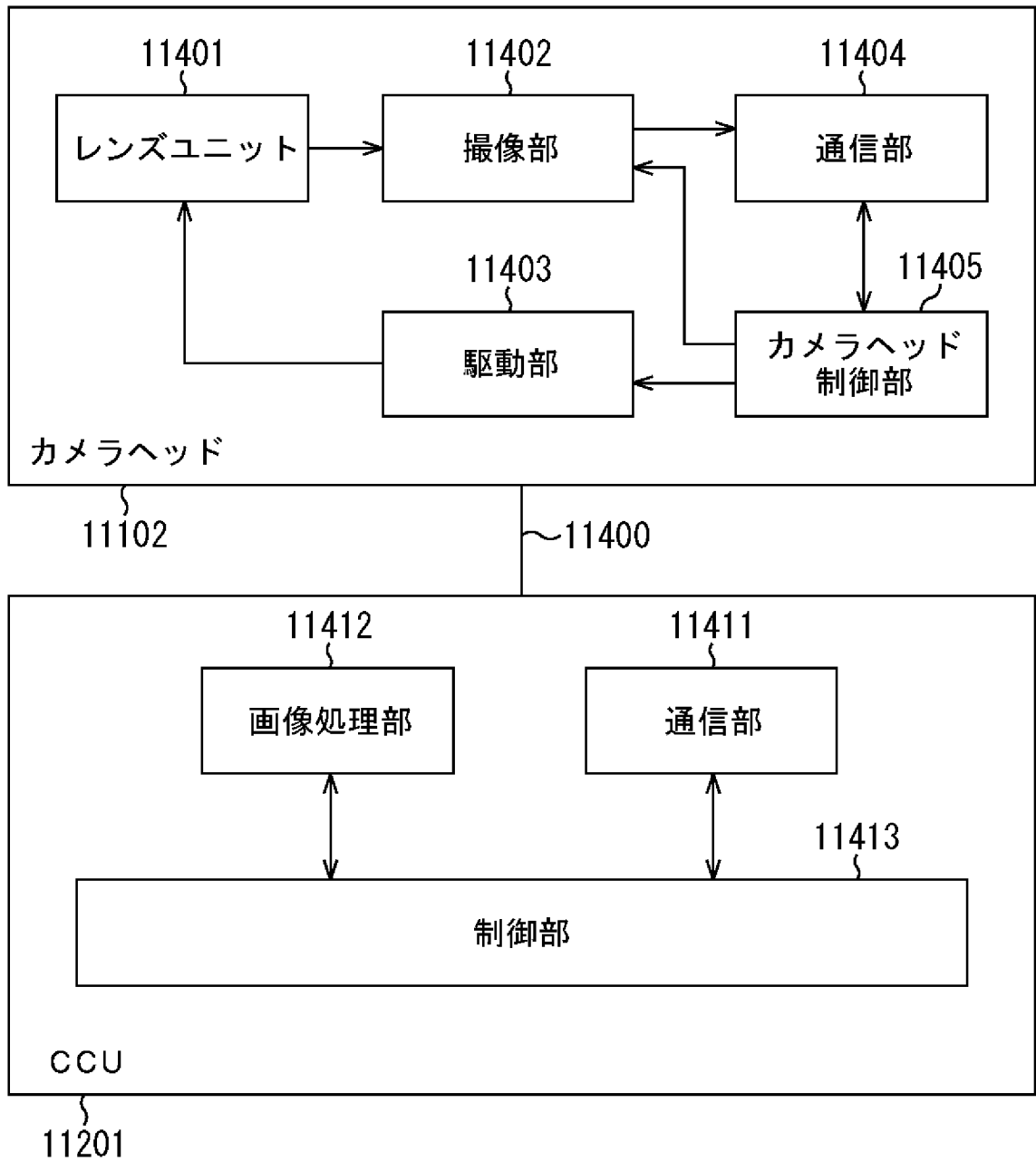
[図56]



[図57]



[図58]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004902

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 27/146</i> (2006.01)i FI: H01L27/146 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/146		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2016-039315 A (TOSHIBA CORP.) 22 March 2016 (2016-03-22) paragraphs [0012]-[0024], fig. 1, 2	1-4, 11, 12 13-19, 27 6, 7, 9, 10, 20-26, 28
X Y A	JP 2011-142188 A (NIKON CORP.) 21 July 2011 (2011-07-21) paragraphs [0029]-[0041], fig. 2, 3	1-3, 5, 8, 11, 12 13-15, 17-19, 27 6, 7, 9, 10, 16, 20-26, 28
Y	WO 2021/215290 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 28 October 2021 (2021-10-28) paragraphs [0137]-[0251], fig. 20, 41	13-19, 27
A	WO 2012/117931 A1 (SONY CORP.) 07 September 2012 (2012-09-07) paragraphs [0099]-[0110], fig. 16, 17	1-28
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 May 2023		Date of mailing of the international search report 16 May 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004902

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/220810 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 21 November 2019 (2019-11-21) paragraphs [0020]-[0045], fig. 2-7	1-28
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/004902

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-039315	A	22 March 2016	US 2016/0043130 A1 paragraphs [0028]-[0041], fig. 1, 2	
JP	2011-142188	A	21 July 2011	(Family: none)	
WO	2021/215290	A1	28 October 2021	CN 115380381 A	
WO	2012/117931	A1	07 September 2012	US 2014/0054662 A1 paragraphs [0141]-[0159], fig. 16, 17 CN 103403869 A KR 10-2014-0015326 A	
WO	2019/220810	A1	21 November 2019	US 2021/0242254 A1 paragraphs [0043]-[0068], fig. 2-7 EP 3796387 A1 CN 111819694 A KR 10-2021-0009304 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i FI: H01L27/146 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/146 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2016-039315 A（株式会社東芝） 22.03.2016（2016 - 03 - 22） [0012]-[0024], 図1, 2	1-4, 11, 12 13-19, 27 6, 7, 9, 10, 20-26, 28
X Y A	JP 2011-142188 A（株式会社ニコン） 21.07.2011（2011 - 07 - 21） [0029]-[0041], 図2, 3	1-3, 5, 8, 11, 12 13-15, 17-19, 27 6, 7, 9, 10, 16, 20-26, 28
Y	WO 2021/215290 A1（ソニーセミコンダクタソリューションズ株式会社） 28.10.2021 （2021 - 10 - 28） [0137]-[0251], 図20, 41	13-19, 27
A	WO 2012/117931 A1（ソニー株式会社） 07.09.2012（2012 - 09 - 07） [0099]-[0110], 図16, 17	1-28
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 08.05.2023	国際調査報告の発送日 16.05.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/004902

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-039315 A	22.03.2016	US 2016/0043130 A1 [0028]-[0041], FIGS. 1, 2	
JP 2011-142188 A	21.07.2011	(ファミリーなし)	
WO 2021/215290 A1	28.10.2021	CN 115380381 A	
WO 2012/117931 A1	07.09.2012	US 2014/0054662 A1 [0141]-[0159], FIGS. 16, 17 CN 103403869 A KR 10-2014-0015326 A	
WO 2019/220810 A1	21.11.2019	US 2021/0242254 A1 [0043]-[0068], FIGS. 2-7 EP 3796387 A1 CN 111819694 A KR 10-2021-0009304 A	