

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 1 月 20 日(20.01.2011)

PCT

(10) 国際公開番号
WO 2011/007678 A1

- (51) 国際特許分類:
H01L 21/205 (2006.01) H01L 21/20 (2006.01)
C30B 29/06 (2006.01) H01L 21/322 (2006.01)
- (21) 国際出願番号: PCT/JP2010/061229
- (22) 国際出願日: 2010 年 7 月 1 日(01.07.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-167623 2009 年 7 月 16 日(16.07.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 S U M C O (SUMCO CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川島 正 (KAWASHIMA Tadashi) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 株式会社 S U M C O

○ 内 Tokyo (JP). 吉川 雅博 (YOSHIKAWA Masahiro) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 株式会社 S U M C O 内 Tokyo (JP). 井上 聡 (INOUE Akira) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 株式会社 S U M C O 内 Tokyo (JP). 吉田 芳也 (YOSHIDA Yoshiya) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 株式会社 S U M C O 内 Tokyo (JP). 入口 一洋 (IRIGUCHI Kazuhiro) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 株式会社 S U M C O 内 Tokyo (JP). 諫見 俊之 (ISAMI Toshiyuki) [JP/JP]; 〒1058634 東京都港区芝浦一丁目 2 番 1 号 株式会社 S U M C O 内 Tokyo (JP).

- (74) 代理人: 特許業務法人ウィルフォート国際特許事務所 (WILLFORT INTERNATIONAL); 〒1010044 東京都千代田区鍛冶町二丁目 3 番 2 号 神田センタービルディング 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,

[続葉有]

(54) Title: EPITAXIAL SILICON WAFER AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: エピタキシャルシリコンウェーハとその製造方法

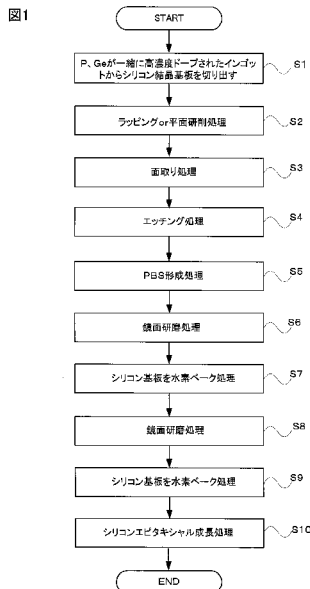


FIG. 1:
S1 CARVE SILICON CRYSTAL SUBSTRATE OUT OF INGOT INTO WHICH P AND Ge ARE DOPED AT HIGH CONCENTRATIONS
S2 PERFORM WRAPPING OR SURFACE GRINDING PROCESS
S3 PERFORM CHAMFERING PROCESS
S4 PERFORM ETCHING PROCESS
S5 PERFORM PBS GENERATION PROCESS
S6, S8 PERFORM MIRROR POLISHING PROCESS
S7, S9 PERFORM HYDROGEN BAKING WITH RESPECT TO SILICON SUBSTRATE
S10 PERFORM SILICON EPITAXIAL GROWTH PROCESS

(57) Abstract: Provided is an epitaxial silicon wafer having an excellent gettering capability, in which a polysilicon layer is formed on the rear surface of a silicon crystal substrate into which phosphorus (P) and germanium (Ge) are doped. The rear surface side of the silicon crystal substrate into which phosphorus and germanium are doped at high concentrations is subjected to a PBS (polysilicon back seal) generation process for growing the polysilicon layer, and then a baking process is performed. After that, a surface layer of the silicon crystal substrate is polished by a predetermined amount, and then a silicon epitaxial layer is grown by a CVD method. As a result, the number of LPDs (light point defects) (generated by an SF (stacking fault)) generated on the surface of an epitaxial silicon wafer due to the SF is significantly reduced.

(57) 要約: リン (P) およびゲルマニウム (Ge) がドーピングされたシリコン結晶基板の裏面側にポリシリコン層が形成されたゲッタリング能力に優れたエピタキシャルシリコンウェーハの提供を目的とする。リンとゲルマニウムが高濃度でドーピングされたシリコン結晶基板の裏面側に、ポリシリコン層を成長させるPBS形成工程を行い、ベーク処理を行う。その後、シリコン結晶基板の表層を所定量研磨した後、シリコンエピタキシャル層をCVD法で成長させる。これにより、SFに起因してエピタキシャルシリコンウェーハの表面に生じるLPD (SFに起因して生じる) の個数が大幅に減る。



CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： エピタキシャルシリコンウェーハとその製造方法 技術分野

[0001] 本発明は、半導体回路に供されるエピタキシャルシリコンウェーハとその製造方法に関し、電気抵抗率調整用の n 型ドーパントとしてリンがドーブされ、かつゲルマニウムをドーブしたシリコン結晶基板の裏面側にポリシリコン層を形成し、シリコン結晶基板の表面に、シリコンエピタキシャル層を形成したエピタキシャルシリコンウェーハとその製造方法に関する。

背景技術

[0002] 例えば、パワーMOSトランジスタ用のエピタキシャルシリコンウェーハには、そのシリコン結晶基板の電気抵抗率が非常に低いことが要求される。シリコン結晶基板の電気抵抗率を十分に低くするために、ウェーハの素材であるシリコン結晶インゴットの引き上げ工程で（すなわち、シリコン結晶の育成時に）、熔融シリコンに抵抗率調整用の n 型ドーパントとして砒素（As）やアンチモン（Sb）をドーブする技術が知られている。しかし、これらのドーパントは非常に蒸発しやすいので、シリコン結晶中のドーパント濃度を十分に高くすることが難しく、要求される程度に低い抵抗率をもつシリコン結晶基板を製造することが難しい。

[0003] そこで、揮発性の低い性質をもつ n 型ドーパントとしてリン（P）を高濃度にドーブした電気抵抗率が非常に低いシリコン結晶基板が使用されつつある。

[0004] ところが、高濃度にリンがドーブされたシリコン結晶基板上にシリコンのエピタキシャル層を形成すると、シリコン結晶基板とシリコンエピタキシャル層との界面部分でのリンの濃度差に起因する転位欠陥（ミスフィット転位）が発生するという問題がある。ミスフィット転位は、シリコン結晶基板の界面部分からシリコンエピタキシャル層の表面にまで伝播し、目視で細長く薄いラインが密集したものとして観測され、半導体素子の電氣的性能を低下

させる原因となる。ミスフィット転位の原因は、シリコンの原子半径が $1.17 \text{ \AA}$ （オングストローム）であるのに対して、リンの原子半径はシリコンよりかなり小さい $1.10 \text{ \AA}$ であり、このような両者の共有結合半径の大きな相違が結晶内に無用な歪を生じさせることにある（因みに、砒素の原子半径は、シリコンにかなり近い $1.18 \text{ \AA}$ であるため、ミスフィット転位は非常に少ない）。

[0005] この問題を解決するために、シリコン単結晶インゴット引き上げ工程において、原子半径がシリコンより大きい $1.22 \text{ \AA}$ であるゲルマニウム（Ge）をリンと同時にドーピングすることにより、リンによって生じたシリコン結晶格子の歪をゲルマニウムで緩和して、ミスフィット転位の発生を抑制する技術が知られている（特許文献1参照）。

[0006] エピタキシャルウェーハは、高温でエピタキシャル成長が行なわれるために、シリコン単結晶インゴットの育成段階で結晶内に形成された酸素析出物（BMD）や酸素析出核などが高温熱処理によって消滅してしまい、ゲッタリング能力が低いという問題がある。

[0007] ゲッタリング不足を解消するための対策としてのゲッタリング方法としては、IG（イントリンシックゲッタリング）法や、EG（エクストリンシックゲッタリング）法が知られている（非特許文献1参照）。

[0008] 例えば、ウェーハに対して酸素析出核形成熱処理を行って、酸素析出核密度を増大させた後、エピタキシャル成長を行う技術が知られている（特許文献2参照）。

[0009] また、ウェーハの裏面にポリシリコン層を形成させて、基板との界面等に行う歪み場や格子不整合を利用するEG法の一例としてのポリバックシーリング（PBS）法を、エピタキシャル成長処理前に行う技術が知られている（特許文献3、特許文献4参照）。

先行技術文献

特許文献

[0010] 特許文献1：特開平9-7961号公報

特許文献2：特開平 10-223641号公報

特許文献3：特開 2000-31153号公報

特許文献4：特開 2001-167995号公報

非特許文献

- [0011] 非特許文献1：UCS半導体基盤技術研究会、「シリコンの科学」、株式会社リアライズ社、1996年6月28日、P586-P587

発明の概要

発明が解決しようとする課題

- [0012] 特許文献1で示されるように、シリコン結晶育成時に高濃度のリンとゲルマニウムをドーブしたシリコン結晶基板上にCVD (Chemical Vapor Deposition) 法によりシリコンエピタキシャル層を成長させた場合、上記のミスフィット転位は防止されるものの、本発明者らの実験によれば、別の副作用が新たに生じることが判明した。その副作用とは、積層欠陥（スタッキングフォルト、以下SFという。）がシリコンエピタキシャル層に発生し、そのSFが段差としてウェーハ表面に現れて、ウェーハ表面のLPD (Light Point Defect: ライト・ポイント・デフェクト) レベルが悪化することである。特に、ポリバックシールをシリコン結晶基板の裏面側に施した後、シリコンエピタキシャル層を成長させた場合には、ウェーハ表面のLPDレベルが悪く、SFによるLPDの総数が非常に多いことが判明した。例えば、直径200mmのエピタキシャルシリコンウェーハにおいて、SF (Stacking Fault) によるLPDの総数は数千個程度或いはそれ以上となることもあり、実用に供することができない場合がある。このSFの発生原因は今のところ明確になっていないが、リンとゲルマニウムが高濃度にドーブされたシリコン結晶基板にシリコンエピタキシャル層を形成する際の特有の問題である。
- [0013] 本発明は、上記課題に鑑みなされたものであり、その目的は、電気抵抗率調整用のn型ドーパントとしてリン(P)がドーブされ、かつゲルマニウム(Ge)がドーブされたシリコン結晶基板をベースにし、シリコン結晶基板

の裏面側にポリシリコン層が形成されたエピタキシャルシリコンウェーハにおける、ミスフィット転位発生とスタッキングフォルト（S F）発生の双方を抑制することにある。

課題を解決するための手段

- [0014] 本発明の第1の観点に係るエピタキシャルシリコンウェーハの製造方法は、エピタキシャルシリコンウェーハの製造方法において、電気抵抗率調整用n型ドーパントとしてリンがドーブされ、かつゲルマニウムがドーブされたシリコン結晶基板を用意する第1ステップと、シリコン結晶基板にベーク処理を行って、シリコン結晶基板の表層に微小ピットを発生させる第2ステップと、シリコン結晶基板の表層を所定量研磨処理することにより、シリコン結晶基板の表層に発生させた微小ピットを減少させる第3ステップと、研磨処理後のシリコン結晶基板の表面上にシリコンエピタキシャル層を形成する第4ステップとを有する。
- [0015] 係る製造方法によれば、リンが高濃度にドーブされたシリコン結晶基板によってシリコン結晶基板上にシリコンエピタキシャル層を形成するときに問題となるミスフィット転位の発生を抑制することができる。また、ベーク処理によって意図的にシリコン結晶基板の表層に微小ピットを発生させ、研磨処理を施してこれを減少させるようにしたので、その後に、シリコンエピタキシャル層を形成する際において、微小ピットを起点としたS Fの発生が効果的に抑制され、シリコンエピタキシャル層表面（ウェーハ表面）上のLPDの個数を非常に少なくすることができる。例えば、シリコンエピタキシャル層表面における表面積100cm²当りのLPDの個数が32個以下（直径200mmのウェーハであれば、ウェーハLPD総数が100個以下）のウェーハを製造することができる。
- [0016] 上記エピタキシャルシリコンウェーハの製造方法において、第1ステップで用意するシリコン結晶基板のリン濃度を $4.7 \times 10^{19} \sim 9.47 \times 10^{19}$ atoms/cm³の範囲とし、かつシリコン結晶基板のゲルマニウム濃度を $7.0 \times 10^{19} \sim 1.0 \times 10^{20}$ atoms/cm³の範囲に調整すること

が望ましい。リンおよびゲルマニウム濃度を上記濃度範囲に設定することにより、ミスフィット転位の発生を効果的に抑制することができる。

[0017] また、上記エピタキシャルシリコンウェーハの製造方法において、第1ステップと、第2ステップの間において、シリコン結晶基板の裏面側にポリシリコン層を形成する第5ステップを更に有するようにしてもよい。係る製造方法によれば、十分なゲッタリング能力が得ることができる。なお、第5ステップを実行することにより、第2ステップにおいて顕在化するピットが増加する場合がありますが、第3ステップにおいて所定量研磨することによりピットを消し去ることができ、シリコンエピタキシャル層を形成する際において、シリコンエピタキシャル層表面（ウェーハ表面）上に発生するLPDの個数を非常に少なくすることができる。

[0018] また、上記エピタキシャルシリコンウェーハの製造方法において、所定量は、第2ステップ後に、シリコン結晶基板の表面に発生している、または発生していると想定されるピットの深さ以上の厚さであってもよい。係る製造方法によれば、第2ステップ後に顕在化しているピットを適切に消し去ることができ、シリコンエピタキシャル層を形成する際において、シリコンエピタキシャル層表面（ウェーハ表面）上に発生するLPDの個数を非常に少なくすることができる。

[0019] また、上記エピタキシャルシリコンウェーハの製造方法において、所定量は、 $1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下の厚さであってもよい。係る製造方法によれば、第2ステップ後に顕在化しているピットを適切に消し去ることができ、シリコンエピタキシャル層を形成する際において、シリコンエピタキシャル層表面（ウェーハ表面）上に発生するLPDの個数を非常に少なくすることができる。

[0020] また、上記エピタキシャルシリコンウェーハの製造方法において、第3ステップと、第4ステップとの間において、シリコン結晶基板表面の清浄化を目的としてシリコン結晶基板のベーク処理を行う第6ステップを更に有するようにしてもよい。係る製造方法によれば、研磨後に表面に形成された自然

酸化膜や付着するパーティクルなどを適切に除去することができる。

- [0021] また、上記エピタキシャルシリコンウェーハの製造方法において、第4ステップにおいて、 $1000 \sim 1090^{\circ}\text{C}$ の範囲内の温度でシリコン結晶基板上にシリコンエピタキシャル層を形成するようにしてもよい。係る製造方法によれば、SFの発生が効果的に抑制され、シリコンエピタキシャル層表面上のLPDの個数を非常に少なくすることができる。
- [0022] また、本発明の第2の観点に係るエピタキシャルシリコンウェーハは、電気抵抗率調整用n型ドーパントとしてリンが $4.7 \times 10^{19} \sim 9.47 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でドーピングされ、かつゲルマニウムが $7.0 \times 10^{19} \sim 1.0 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲でドーピングされたシリコン結晶基板と、シリコン結晶基板の表面に形成されたシリコンエピタキシャル層と、シリコン結晶基板の裏面側に形成されたポリシリコン層とを備え、シリコンエピタキシャル層の表面上のライト・ポイント・デフェクトの個数が、表面積 100 cm^2 当り32個以下である。
- [0023] このような本発明に係るエピタキシャルシリコンウェーハは、従来技術に係る製造方法で製造することはできず、本発明に係る製造方法によって初めて製造することができる。すなわち、従来、上記のように電気抵抗率の非常に低いn型のシリコン結晶基板の製品は開発されていなかった。最近になり、そのような製品の必要性が生じたため、電気抵抗率が十分に低くなるよう、シリコン結晶育成時にリンが高濃度にドーピングされたシリコン結晶基板上にシリコンエピタキシャル層を有するエピタキシャルシリコンウェーハが必要となり、それに伴い、ミスフィット転位の発生を抑制するために、ゲルマニウムを高濃度にドーピングすることが有効となる。ところが、リンおよびゲルマニウムを高濃度にドーピングしたシリコン結晶基板にシリコンエピタキシャル層を形成した場合に、エピタキシャル層にスタッキングフォルトが発生し、LPD密度が増加してしまう問題があることを本発明者らは知見した。従来は、リンおよびゲルマニウムが高濃度にドーピングされたエピタキシャルシリコンウェーハでのスタッキングフォルトの問題を解決する技術は全く開発されて

いなかった。従って、本発明に係るエピタキシャルシリコンウェーハは従来にはない新規なものである。

図面の簡単な説明

[0024] [図1]本発明の一実施形態に係るエピタキシャルシリコンウェーハの製造方法を示すフローチャートである。

[図2]エピタキシャルシリコンウェーハの製造方法におけるベーク処理後の研磨処理の研磨取代と、ウェーハの表面上のLPD個数との関係を示す図である。

[図3]本発明の一実施形態に係るエピタキシャル成長工程のプロセス温度と、ウェーハの表面上のLPD個数との関係を示す図である。

[図4]シリコン結晶基板の表面上で観察された代表的な微小ピットの様子を示す図である。

発明を実施するための形態

[0025] 以下、本発明に係るエピタキシャルシリコンウェーハの製造方法について詳細に説明する。

[0026] 従来技術では、前述したとおり、シリコン結晶育成時にリン（P）とゲルマニウム（Ge）がドーピングされた（特に、パワーMOSトランジスタ用に要求されるような非常に低い電気抵抗率を実現できる程度の高濃度にリンとゲルマニウムがドーピングされた）シリコン結晶基板の裏面側にポリシリコン層を形成させた後（ポリバックシール形成処理（PBS形成処理）後）に、シリコン結晶基板の表面上にシリコンエピタキシャル層を成長させると、そのシリコンエピタキシャル層に多数のSF（スタッキングフォルト）が発生する。

[0027] 発明者は、エピタキシャルシリコンウェーハの製造工程を精査することにより、エピタキシャル成長後に発生しているSFは、エピタキシャル成長前（ベーク後）のウェーハ表面に存在する微小ピット（微小凹部）を起点に発生していることを見出した。

[0028] 図4は、リンとゲルマニウムを高濃度にドーピングしたシリコン結晶基板の裏

面側にポリシリコン層を形成させた後に、エピタキシャル成長の前処理としてシリコンウェーハを水素雰囲気中でベークした後、シリコン結晶基板の表面を原子間力顕微鏡（AFM）を用いて観察したときに、シリコン結晶基板の表面上で観察された代表的な微小ピットの様子を示す図である。

[0029] この微小ピットの大きさは、例えば、直径0.5 μm 程度であり、深さが5 nm程度である。この微小ピットは、p型ドーパントとしてボロン（B）を高濃度に添加し、かつゲルマニウムを添加したシリコンウェーハにベーク処理を施しても観察されないことから、ウェーハの結晶内に高濃度にドーピングしたリンが関与している可能性が高いと考えられる。

[0030] 例えば、赤燐は酸素析出を促進させる働きがあることが確認されてきており、ポリバックシール形成処理がシリコン結晶内に酸素析出核が形成される温度域である650°C前後で行なわれることから、結晶内に微小な酸素析出核が多量に形成され、ベークの高温熱処理を受けた際に、酸素析出核を起点に微小ピットが形成されているという可能性が高い。また、酸素析出物とゲルマニウムとの複合体（クラスター化）が形成され、ゲルマニウムが比較的低温で昇華するために、ベーク処理の高温熱処理を受けた際に、複合体が昇華してウェーハ表面から飛び出し、当該部分が微小ピットとなるという可能性も考えられるが、まだ明確ではない。

[0031] そこで、本発明者等は、エピタキシャル成長工程を行う前に、ベーク処理後に顕在化している微小ピットを消し去ることにより、エピタキシャル成長におけるLPDの発生を抑制することができるのではないかと目論み、実験を行うことにより、ベーク処理後に顕在化している微小ピットを消し去ることにより、エピタキシャル成長におけるLPDの発生を抑制することができることを見出した。

[0032] 図1は、本発明の一実施形態に係るエピタキシャルシリコンウェーハの製造方法を示す図である。

[0033] 先ず、シリコン結晶育成時にリンとゲルマニウムと一緒に高濃度にドーピングされたシリコン結晶基板を用意する（ステップS1）。その典型的な方法の

一つは、リンとゲルマニウムが高濃度にドーピングされた溶融シリコンから、チヨクラルスキー法を用いて、リンとゲルマニウムが高濃度にドーピングされたシリコン単結晶インゴットを引き上げ、そして、そのシリコン単結晶インゴットから公知の加工技術（切断、研削、研磨、洗浄、エッチング）によりシリコン結晶基板を製作する、という方法である。

[0034] ここで、シリコン結晶基板のリンの濃度は $4.7 \times 10^{19} \sim 9.47 \times 10^{19} \text{ atoms/cm}^3$ の範囲内であり、ゲルマニウムの濃度が $7.0 \times 10^{19} \sim 1.0 \times 10^{20} \text{ atoms/cm}^3$ の範囲内であることが好ましい。シリコン結晶基板の素材であるシリコンインゴットの引き上げプロセスにおいて、インゴットが引き上げられる元の溶融シリコンにリンとゲルマニウムを同時にドーピングするときのそれぞれの濃度を調整することにより、上記のような範囲内で高濃度のリンとゲルマニウムを含んだシリコン結晶基板を得ることができる。上記のような範囲内の高濃度のリンとゲルマニウムとがドーピングされたシリコン結晶基板の電気抵抗率は $0.8 \times 10^{-3} \sim 1.5 \times 10^{-3} \Omega \cdot \text{cm}$ の範囲内であり、この電気抵抗率は、パワーMOSトランジスタ用のウェーハに要求される抵抗率条件を満たすものである。リンとともにドーピングされたゲルマニウムの作用で、シリコンエピタキシャル層を成長させたときのミスフィット転位の発生が抑止される。

[0035] 次に、切り出したシリコン結晶基板に対して、ラッピング又は平面研削処理を行うことによって、シリコン結晶基板を定寸に加工し（ステップS2）、シリコン結晶基板の面取り処理を行う（ステップS3）。なお、面取り処理後に、面取りを行なった部分（面取り部）を鏡面研磨してもよく、ステップS2の前後でステップS3を実施するようにしてもよい。

[0036] 次に、シリコン結晶基板の機械的加工のダメージを除去するためエッチング処理を行う（ステップS4）。この後、シリコン結晶基板の表面（片面又は両面）を鏡面研磨加工してもよい。

[0037] 次に、シリコン結晶基板の裏面（本実施形態では、後の工程でシリコンエピタキシャル層を成長させない側の面）側に対して、ポリシリコン層を形成

するPBS形成工程が行われる（ステップS5）。PBS形成工程は、例えば、通常の縦型反応炉を用いて減圧化学気相成長法により行うことができる。PBS形成工程においては、例えば、原料ガスを SiH_4 とし、圧力26.66Paとし、生成する膜厚としては、 $0.1\mu\text{m}$ 以上としている。なお、生産性の観点から生成する膜厚は、 $2\mu\text{m}$ 以下が好ましい。本実施形態では、PBS形成工程において、シリコン結晶基板（ウェーハ）の全面にポリシリコン層を形成し、研磨処理・エッチング処理などを行って、ウェーハの表面やウェーハの面取り部に形成されたポリシリコン層を除去することにより、ウェーハの裏面にポリシリコン層が形成されたウェーハを形成している。

[0038] 次いで、シリコン結晶基板の表面（片面又は両面）を鏡面研磨加工する（ステップS6）。

[0039] 次に、シリコン結晶基板の表層に微小ピットを形成することを目的に、シリコン結晶基板に対して高温・短時間の熱処理（ベーク）が行われる（ステップS7）。ここで実施するベーク処理条件としては、シリコン結晶基板の表層に微小ピットを形成可能な熱処理であればよく、例えば、水素ガス、又はアルゴンのような不活性ガスの雰囲気中で、 $1110\sim 1200^\circ\text{C}$ の温度範囲で、30秒～300秒の熱処理条件が挙げられる。熱処理温度が低く、熱処理時間が短い場合には、微小ピットの発生が不十分となり、研磨処理を施して発生させた微小ピットを減少させるようにしても、その後に行うエピタキシャル成長処理前のベーク処理（ステップS9）時に新たな微小ピットが形成される恐れがある。

[0040] このベーク処理の後に、研磨処理を実行して、シリコン結晶基板の表層に発生させた微小ピットを減少させる（ステップS8）。なお、より多く、できれば全ての微小ピットを除去することが好ましい。

シリコン結晶基板を研磨する研磨量（研磨厚さ：研磨取代）としては、ベーク処理により、シリコン結晶基板に顕在化したピットの数や深さを低減することができればよく、例えば、顕在化したピットの深さ（又は顕在化すると想定されるピットの深さ）よりも厚いほうが好ましい。具体的には、研磨量として

は、ピットの深さと想定される5 nm以上とすることが好ましい。本実施形態では、研磨量として1 μ m以上10 μ m以下としている。なお、研磨量を10 μ mよりも増やしても構わないが、研磨量を増やしすぎると、研磨時間が長くなるとともに、LPDの低減の効果が落ちてしまう。LPDの低減効果が落ちる理由としては、恐らく、ベーク処理によってリンやゲルマニウムが外方拡散されたシリコン結晶基板の層の多く又は全てが除去されてしまうためであると考えられる。

[0041] 次に、シリコン結晶基板表面の清浄化（基板表面に付着する自然酸化膜、パーティクルの除去）を目的に、シリコン結晶基板に対して高温・短時間の熱処理（ベーク）が行われる（ステップS 9）。ここで、望ましくは、ベーク処理は、1150～1200℃の水素ガス、又はアルゴンのような不活性ガス、の雰囲気中で行われ、ベーク時間は35秒以上（例えば最短の35秒）である。

[0042] ここで、既に行なわれたベーク処理（ステップS 7）および研磨処理（ステップS 8）により、一旦、強制的に発生させた微小ピットを減少させることで、その後のベーク処理（ステップS 9）においては、新たな微小ピットが形成されることが効果的に抑制される。

[0043] ベーク処理の後に、CVD法によりシリコン結晶基板上にシリコンエピタキシャル層を成長させる処理工程（エピタキシャル成長工程）が実行される（ステップS 10）。ここで、エピタキシャル成長工程のプロセス温度は、1000～1090℃の範囲内が望ましく、より望ましくは、1050～1080℃の範囲内である。尚、プロセス温度の1000℃以下の範囲は実用的でない。そのようなプロセス温度では、シリコンエピタキシャル層の成長速度が遅くなるとともに品質が劣化するからである。

[0044] 以上の製造プロセスにより、シリコン結晶基板の電気抵抗率が $0.8 \times 10^{-3} \sim 1.5 \times 10^{-3} \Omega \cdot \text{cm}$ の範囲内で非常に低く、かつ、シリコンエピタキシャル層のミスフィット転位が極めて少なく、かつ、SF（スタッキングフォルト）に起因するLPDの個数が少ないエピタキシャルシリコンウェ

ーハを製造することができる。例えば、K L A-T e n c o r 社製 S P-1 の D C N モードで粒径 $0.13\mu\text{m}$ サイズ以上の L P D を測定した場合、ウェーハ表面（シリコンエピタキシャル層の表面）における面積 100cm^2 当たり 32 個以下（直径 200mm ウェーハの表面（ 314cm^2 ）において、100 個以下）、好ましくはウェーハ表面の表面積 100cm^2 当たり 0~3 個程度（直径 200mm ウェーハの表面において、10 個以下）、という、パワー M O S トランジスタ用として利用できるエピタキシャルシリコンウェーハが製造される。

[0045] このようにシリコン結晶基板の電気抵抗率が非常に低く、かつ、S F（スタッキングフォルト）に起因する L P D も非常に少ない高品質のエピタキシャルシリコンウェーハは、従来の製造方法では製造不可能であり、上述した本発明に従う製造方法によって製造可能となった新規なものである。

[0046] 図 2 は、ベーク処理後の研磨処理において研磨取代と、その後にエピタキシャル成長処理を行った場合におけるウェーハの表面上の L P D 個数との関係を示す図である。同図において、横軸は、ベーク処理後の研磨処理における研磨取代を示し、縦軸は、ウェーハ 1 枚当りの L P D 個数を示している。

[0047] ここで、縦軸に示されたウェーハ 1 枚当りのウェーハ表面の L P D 個数は、パーティクルカウンターである K L A-T e n c o r 社製 S P-1 の D C N モードで測定したものであり、 $0.13\mu\text{m}$ サイズ以上である L P D を検出して計数した結果の個数を示している。

[0048] 図 2 からわかるように、研磨取代が $0\mu\text{m}$ 、すなわち研磨処理を行っていない場合には、エピタキシャル成長処理後のウェーハに発生する L P D の数は、1000 個以上であるが、研磨取代を $1\mu\text{m}$ とすると、ウェーハに発生する L P D の数を 40 個以下に低減することができ、また、研磨取代を $10\mu\text{m}$ とすると、ウェーハに発生する L P D の数を 100 個以下（ウェーハ表面（シリコンエピタキシャル層の表面）における面積 100cm^2 当たり 32 個以下）に低減することができる。

[0049] 図 3 は、本発明の一実施形態に係るエピタキシャル成長工程のプロセス温

度と、ウェーハの表面上のLPD個数との関係を示す図であり、エピタキシャル成長工程のプロセス温度（エピタキシャル成長実温度）を変えて実験した場合における、エピタキシャル成長工程のプロセス温度と、SFに起因してウェーハ表面に出現するLPDの個数との関係を示している。横軸は、エピタキシャル成長工程のプロセス温度を示し、縦軸は、ウェーハ1枚当りのウェーハ表面のLPD個数を示している。

- [0050] ここで、縦軸に示されたウェーハ1枚当りのLPD個数は、KLA-Tencor社製SP-1のDCNモードで測定し、 $0.13\mu\text{m}$ サイズ以上であるLPDを検出して計数した結果の個数を示している。
- [0051] また、本実験では、シリコン結晶育成時に上述した濃度範囲でリンとゲルマニウムと一緒にドーピングされた直径200mmのシリコン結晶基板を用いた。また、ベーク処理後の研磨処理（ステップS8）における研磨取代を $1\mu\text{m}$ とした。また、プロセス温度毎に25枚のシリコン結晶基板上にシリコンエピタキシャル層の形成を行った。図3に示される各プロセス温度でのLPD個数は、それらの25枚のウェーハのLPD個数の平均値である。
- [0052] 図3から分かるように、プロセス温度の範囲は、 1110°C 以上の範囲と、 $1110\sim 1090^{\circ}\text{C}$ の範囲と、 1090°C 以下（但し、 1000°C 以上）の範囲に大別できる。 1110°C 以上の範囲では、LPD個数は一万個以上と非常に多い。プロセス温度を下げていくと、 $1110\sim 1090^{\circ}\text{C}$ の範囲でLPD個数は急激に低下する。 $1100^{\circ}\text{C}\sim 1090^{\circ}\text{C}$ の範囲では、LPD個数は多めに見ても略100個以下（ウェーハ表面の面積 100cm^2 当たり32個以下）と少ない。更に、 1090°C 以下（但し、 1000°C 以上）の範囲では、LPD個数は多めに見ても30個以下（ウェーハ表面の面積 100cm^2 当たり10個以下）と非常に少ない。従って、エピタキシャル成長時のプロセス温度は、 1100°C 以下が好ましく、 $1000^{\circ}\text{C}\sim 1090^{\circ}\text{C}$ の範囲内がより好ましい。特に、 $1050^{\circ}\text{C}\sim 1080^{\circ}\text{C}$ の範囲は、LPD個数が数個以下（ウェーハの表面の面積 100cm^2 当たり2～0個程度）と極めて少なく、かつ、プロセス温度が 1000°C 以下の場合における上記

の問題も少ないので、最適なプロセス温度範囲といえる。

[0053] 以上、本発明の好適な実施形態を説明したが、これは本発明の説明のための例示であり、本発明の範囲をこの実施形態にのみ限定する趣旨ではない。本発明は、その要旨を逸脱しない範囲で、上記実施形態とは異なる種々の態様で実施することができる。

請求の範囲

- [請求項1] エピタキシャルシリコンウェーハの製造方法において、
電気抵抗率調整用 n 型ドーパントとしてリンがドーブされ、かつゲルマニウムがドーブされたシリコン結晶基板を用意する第 1 ステップと、
前記シリコン結晶基板のベーク処理を行って、前記シリコン結晶基板の表層に微小ピットを発生させる第 2 ステップと、
前記シリコン結晶基板の表層を所定量研磨処理することにより、前記シリコン結晶基板の表層に発生させた前記微小ピットを減少させる第 3 ステップと、
前記研磨処理後の前記シリコン結晶基板の表面上にシリコンエピタキシャル層を形成する第 4 ステップと
を有するエピタキシャルシリコンウェーハの製造方法。
- [請求項2] 前記第 1 ステップで用意される前記シリコン結晶基板のリン濃度が $4.7 \times 10^{19} \sim 9.47 \times 10^{19} \text{ atoms/cm}^3$ の範囲、かつ前記シリコン結晶基板のゲルマニウム濃度が $7.0 \times 10^{19} \sim 1.0 \times 10^{20} \text{ atoms/cm}^3$ の範囲に調整することを特徴とする請求項 1 に記載のエピタキシャルシリコンウェーハの製造方法。
- [請求項3] 前記第 1 ステップと、前記第 2 ステップの間において、前記シリコン結晶基板の裏面側にポリシリコン層を形成する第 5 ステップ
を更に有する請求項 1 又は請求項 2 に記載のエピタキシャルシリコンウェーハの製造方法。
- [請求項4] 前記所定量は、前記第 2 ステップ後に、前記シリコン結晶基板の表面に発生している、または発生していると想定されるピットの深さ以上の厚さである
請求項 1 乃至請求項 3 のいずれか一項に記載のエピタキシャルシリコンウェーハの製造方法。
- [請求項5] 前記所定量は、 $1 \mu\text{m}$ 以上、 $10 \mu\text{m}$ 以下の厚さである

請求項 1 乃至請求項 4 のいずれか一項に記載のエピタキシャルシリコンウェーハの製造方法。

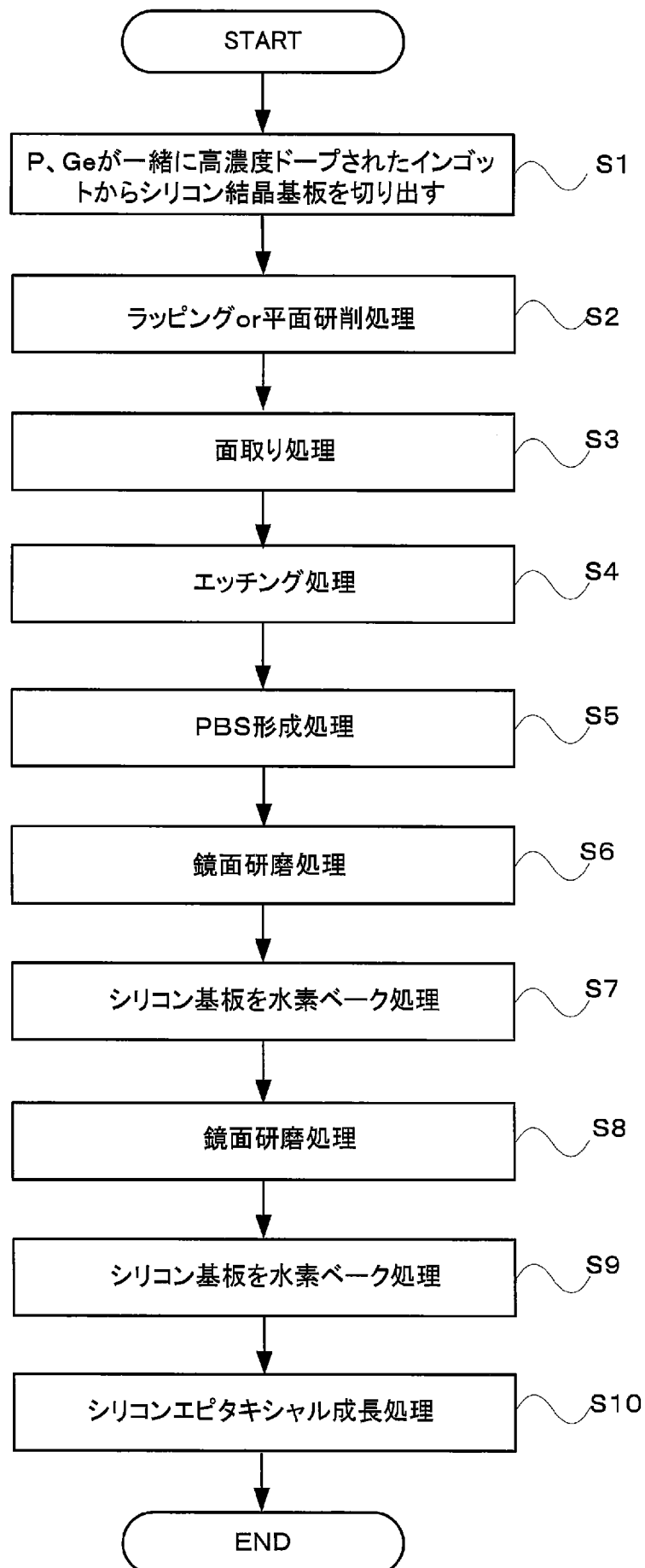
[請求項 6] 前記第 3 ステップと、前記第 4 ステップとの間において、
前記シリコン結晶基板表面の清浄化を目的として前記シリコン結晶基板のベーク処理を行う第 6 ステップ
を更に有する請求項 1 乃至請求項 5 のいずれか一項に記載のエピタキシャルシリコンウェーハの製造方法。

[請求項 7] 前記第 4 ステップにおいて、 $1000 \sim 1090^{\circ}\text{C}$ の範囲内の温度で前記シリコン結晶基板上にシリコンエピタキシャル層を形成する
請求項 1 乃至請求項 6 のいずれか一項に記載のエピタキシャルシリコンウェーハの製造方法。

[請求項 8] 電気抵抗率調整用 n 型ドーパントとしてリンが $4.7 \times 10^{19} \sim 9.47 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でドーピングされ、かつゲルマニウムが $7.0 \times 10^{19} \sim 1.0 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲でドーピングされたシリコン結晶基板と、
前記シリコン結晶基板の表面に形成されたシリコンエピタキシャル層と、
前記シリコン結晶基板の裏面側に形成されたポリシリコン層とを備え、
前記シリコンエピタキシャル層の表面上のライト・ポイント・デフェクトの個数が、表面積 100 cm^2 当り 32 個以下である
エピタキシャルシリコンウェーハ。

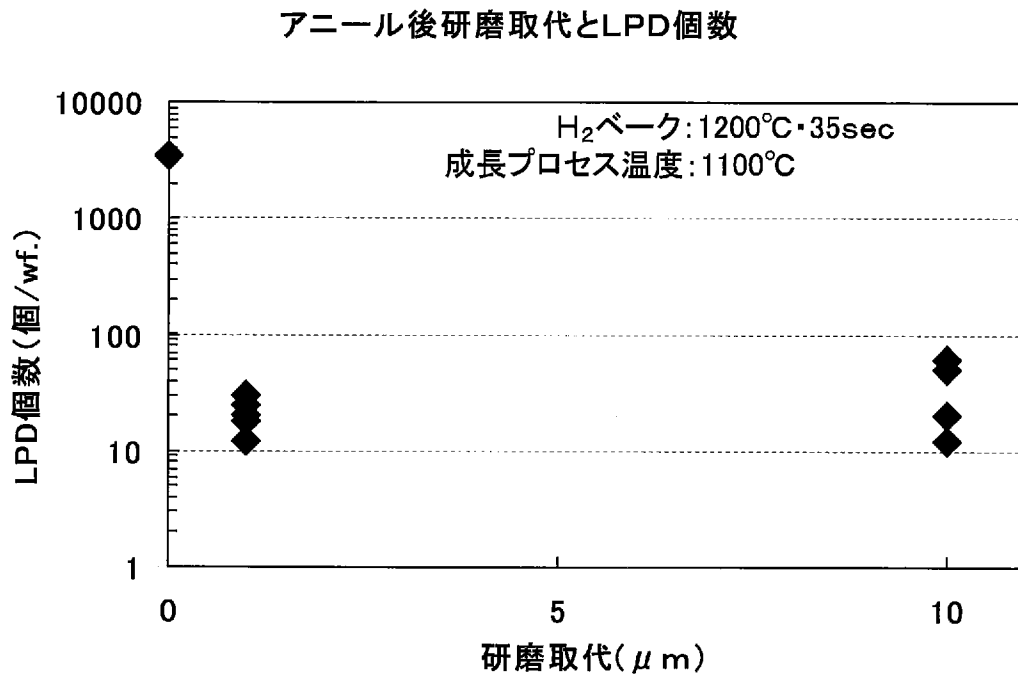
[図1]

図1



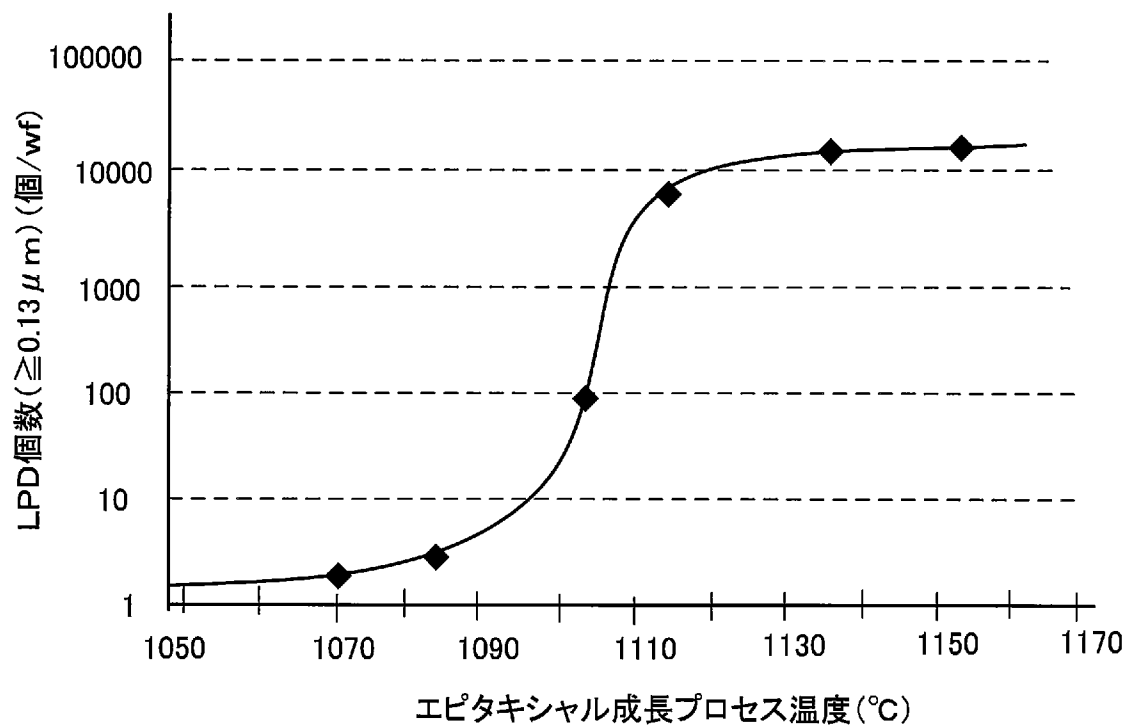
[図2]

図2



[図3]

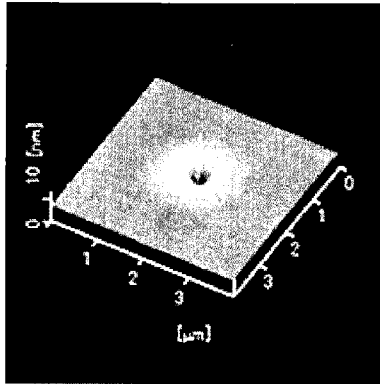
図3



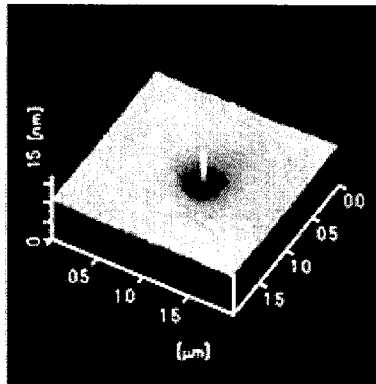
[図4]

図4

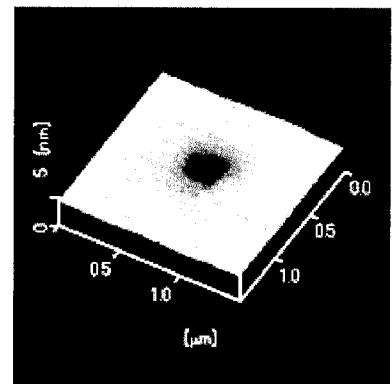
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/061229

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/205(2006.01)i, C30B29/06(2006.01)i, H01L21/20(2006.01)i,
H01L21/322(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205, C30B29/06, H01L21/20, H01L21/322

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-187797 A (Mitsubishi Materials Silicon Corp.), 05 July 2002 (05.07.2002), paragraphs [0015] to [0030] (Family: none)	1-8
A	JP 2008-159976 A (Shin-Etsu Handotai Co., Ltd.), 10 July 2008 (10.07.2008), paragraphs [0036] to [0060] & WO 2008/078404 A1	1-8
A	JP 2006-120939 A (Shin-Etsu Handotai Co., Ltd.), 11 May 2006 (11.05.2006), paragraphs [0009] to [0034] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 August, 2010 (09.08.10)

Date of mailing of the international search report
17 August, 2010 (17.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/061229

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-073594 A (SUMCO Corp.), 22 March 2007 (22.03.2007), paragraphs [0002] to [0020] (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/205 (2006.01) i, C30B29/06 (2006.01) i, H01L21/20 (2006.01) i, H01L21/322 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/205, C30B29/06, H01L21/20, H01L21/322

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-187797 A (三菱マテリアルシリコン株式会社) 2002.07.05, 段落【0015】 - 【0030】 (ファミリーなし)	1-8
A	JP 2008-159976 A (信越半導体株式会社) 2008.07.10, 段落【0036】 - 【0060】 & WO 2008/078404 A1	1-8
A	JP 2006-120939 A (信越半導体株式会社) 2006.05.11, 段落【0009】 - 【0034】 (ファミリーなし)	1-8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 8 . 2 0 1 0

国際調査報告の発送日

1 7 . 0 8 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 靖史

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

3 7 6 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-073594 A (株式会社 S U M C O) 2007. 03. 22, 段落【0002】 －【0020】 (ファミリーなし)	1-8