



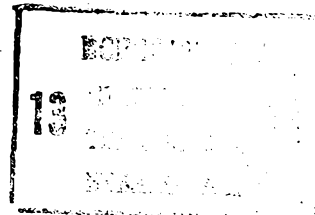
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1157541 A

4(51) G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3662952/24-24

(22) 09.11.83

(46) 23.05.85. Бюл. № 19

(72) Ю.Л.Иваськив, В.С.Харам
и С.Б.Погребинский

(71) Ордена Ленина институт кибер-
нетики им. В.М.Глушкова и Ордена
Трудового Красного Знамени институт
проблем материаловедения АН Украин-
ской ССР

(53) 681.325(088.8)

(56) 1. Авторское свидетельство СССР
№ 860062, кл. G 06 F 7/49, 1978.

2. Чу Я. Организация ЭВМ и микро-
программирование. М., Мир, 1975,
с. 223-267, рис. 6.19(прототип).

(54)(57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ
ПОСЛЕДОВАТЕЛЬНОГО ДЕЙСТВИЯ, содер-
жащее регистр множимого, регистр мно-
жителя, регистр частичных произведе-
ний, сумматор, реверсивный счетчик
циклов, реверсивный счетчик тактов
и блок управления, о т л и ч а ю-
щ е е с я тем, что, с целью повыше-
ния быстродействия, в него введены
буферный регистр и табличный узел
перемножения старших разрядов, а
блок управления содержит три элемен-
та ИЛИ, четыре элемента И и четыре
элемента задержки, причем вход за-
пуска устройства соединен с счетным
входом реверсивного счетчика циклов,
первым входом первого элемента ИЛИ
блока управления и первым входом
второго элемента ИЛИ блока управле-
ния, выход которого соединен с вхо-
дами управления чтением регистра
множимого и регистра множителя и
входом первого элемента задержки
блока управления, выход которого

соединен с управляющим входом чте-
ния буферного регистра, управляющим
входом чтения регистра частичных
произведений и с входом второго
элемента задержки блока управления,
выход которого соединен с первыми
входами первого и второго элементов
И блока управления, вторые входы
которых соединены соответственно
с выходами формирования ненулевого
и нулевого номеров тактов ревер-
сивного счетчика тактов, выход
первого элемента И блока управления
соединен с первым входом третьего
элемента ИЛИ блока управления, пер-
вым управляющим входом сдвига ре-
гистра частичных произведений,
информационным входом реверсивного
счетчика тактов и входом третьего
элемента задержки блока управления,
выход которого соединен с вторым
входом второго элемента ИЛИ блока
управления, третий вход которого
соединен с выходом четвертого
элемента задержки блока управления,
вход которого соединен с вторыми
входами первого и третьего элементов
ИЛИ блока управления, управляющим
входом сдвига регистра множителя,
вторым управляющим входом сдвига
регистра частичных произведений, ин-
формационным входом реверсивного
счетчика циклов и выходом третьего
элемента И блока управления, первый
вход которого соединен с выходом
формирования ненулевого номера цикла
реверсивного счетчика циклов, а вто-
рой вход - с выходом второго элемен-
та И и первым входом четвертого
элемента И блока управления, второй
вход которого соединен с выходом

(19) SU (11) 1157541 A

формирования нулевого номера цикла реверсивного счетчика циклов, а выход - с выходом окончания работы устройства, выходы первого и третьего элементов ИЛИ блока управления соединены соответственно со счетным входом реверсивного счетчика тактов и управляющим входом сдвига регистра множимого, выходы старших разрядов регистров множимого и множителя соединены с информационными входами табличного узла перемножения старших разрядов, выходы произведения и переноса которого соединены соответственно с информационными входами первого и второго разрядов буферного

регистра, выходы первого и второго разрядов буферного регистра соединены соответственно с первыми информационными входами первого и второго разрядов сумматора, вторые информационные входы первого и второго разрядов которого соединены соответственно с выходами первого и второго разрядов регистра частичных произведений, информационные входы первого, второго и третьего разрядов которого соединены соответственно с выходами первого, второго и третьего разрядов сумматора, выход старшего разряда регистра множимого соединен с входом младшего разряда регистра множимого.

1

Изобретение относится к вычислительной технике и может быть использовано при построении арифметических устройств ЦВМ последовательного действия.

Известны устройства для умножения чисел последовательного действия в позиционной двоичной системе счисления, которые содержат регистр множимого, регистр множителя, сумматор [1].

Наиболее близким по технической сущности к изобретению является устройство для умножения чисел последовательного действия в позиционной r -ичной ($r \geq 2$) системе счисления, содержащее регистры множимого и множителя, регистр произведения, сумматор, блок управления, счетчики тактов и циклов [2].

Недостатком известного устройства является невысокое быстродействие, обусловленное применением последовательного сумматора, осуществляющего суммирование n -разрядных чисел.

Целью изобретения является повышение быстродействия устройства для умножения последовательного действия.

Поставленная цель достигается тем, что в устройство для умножения последовательного действия, содержащее регистр множимого, регистр множителя, регистр частичных произведений, сумматор, реверсивный счет-

2

чик циклов, реверсивный счетчик тактов и блок управления, введены буферный регистр и табличный узел перемножения старших разрядов, а блок управления содержит три элемента ИЛИ, четыре элемента И и четыре элемента задержки, причем вход запуска устройства соединен со счетным входом реверсивного счетчика циклов, первым входом первого элемента ИЛИ блока управления и первым входом второго элемента ИЛИ блока управления, выход которого соединен с входами управления чтением регистра множимого и регистра множителя и входом первого элемента задержки блока управления, выход которого соединен с управляющим входом чтения буферного регистра, управляющим входом чтения регистра частичных произведений и с входом второго элемента задержки блока управления, выход которого соединен с первыми входами первого и второго элементов И блока управления, вторые входы которых соединены соответственно с выходами формирования ненулевого и нулевого номеров тактов реверсивного счетчика тактов, выход первого элемента И блока управления соединен с первым входом третьего элемента ИЛИ блока управления, первым управляющим входом сдвига регистра частичных произведений, информационным входом реверсивного счетчика тактов и вхо-

дом третьего элемента задержки блока управления, выход которого соединен с вторым входом второго элемента ИЛИ блока управления, третий вход которого соединен с выходом четвертого элемента задержки блока управления, вход которого соединен с вторыми входами первого и третьего элементов ИЛИ блока управления, управляющим входом сдвига регистра множителя, вторым управляющим входом сдвига регистра частичных произведений, информационным входом, реверсивного счетчика циклов и выходом третьего элемента И блока управления, первый вход которого соединен с выходом формирования ненулевого номера цикла реверсивного счетчика циклов, а второй вход - с выходом второго элемента И и первым входом четвертого элемента И блока управления, второй вход которого соединен с выходом формирования нулевого номера цикла реверсивного счетчика циклов, а выход - с выходом окончания работы устройства, выходы первого и третьего элементов ИЛИ блока управления соединены соответственно со счетным входом реверсивного счетчика тактов и управляющим входом сдвига регистра множителя, выходы старших разрядов регистров множителя и множителя соединены с информационными входами табличного узла перемножения старших разрядов, выходы произведения и переноса которого соединены соответственно с информационными входами первого и второго разрядов буферного регистра, выходы первого и второго разрядов буферного регистра соединены соответственно с первыми информационными входами первого и второго разрядов сумматора, вторые информационные входы первого и второго разрядов которого соединены соответственно с выходами первого и второго разрядов регистра частичных произведений, информационные входы первого, второго и третьего разрядов которого соединены соответственно с выходами первого, второго и третьего разрядов сумматора, выход старшего разряда регистра множителя соединен с входом младшего разряда регистра множителя.

На фиг. 1 показана структурная схема устройства для умножения последовательного действия; на фиг. 2 -

функциональная схема блока управления устройства для умножения.

Устройство для умножения последовательного действия содержит регистр 1 множителя, регистр 2 множителя, блок 3 управления, табличный узел 4 перемножения старших разрядов, буферный регистр 5, трехразрядный сумматор 6, регистр 7 частичных произведений, реверсивный счетчик 8 тактов, реверсивный счетчик 9 циклов, каналы 10 и 11, соединяющие первый выход блока 3 управления с входами управления чтением регистров множителя 2 и множителя 1, каналы 12 и 13, соединяющие второй выход блока 3 управления с входами управления чтением регистров 5 и частичных произведений 7, канал 14, соединяющий третий выход блока 3 управления с входом управления сдвигом регистра 2 множителя, каналы 15 и 16, соединяющие четвертый выход блока 3 управления соответственно с первым управляющим входом сдвига регистра 7 частичных произведений и информационным входом реверсивного счетчика 8 тактов, каналы 17 - 19, соединяющие пятый выход блока 3 управления соответственно с входом управления сдвигом регистра 1 множителя, с информационным входом реверсивного счетчика 9 циклов, с вторым управляющим входом сдвига регистра 7 частичных произведений, канал 20, соединяющий шестой выход блока 3 управления со счетным входом реверсивного счетчика 9 циклов, канал 21, соединяющий седьмой выход блока 3 управления со счетным входом реверсивного счетчика 8 тактов, каналы 22 и 23, соединяющие выходы формирования ненулевого и нулевого номеров тактов реверсивного счетчика 8 тактов с первым и вторым входами блока 3 управления соответственно, каналы 24 и 25, соединяющие выходы формирования ненулевого и нулевого номеров циклов реверсивного счетчика 9 циклов с третьим и четвертым входами блока 3 управления соответственно, каналы 26 и 27, соединяющие выходы старших разрядов регистров множителя 1 и множителя 2 соответственно с первыми и вторыми информационными входами табличного узла 4 перемножения старших разрядов соответственно, канал 28, соединяющий выход старшего разряда регистра 2 множителя с вхо-

дом младшего разряда регистра 2 множимого, каналы 29 и 30, соединяющие выходы произведения и переноса табличного узла 4 перемножения старших разрядов соответственно с информационными входами первого и второго разрядов буферного регистра 5, каналы 31, соединяющие информационные выходы первого и второго разрядов буферного регистра 5 соответственно с первыми информационными входами первого и второго разрядов трехразрядного сумматора 6, каналы 32, соединяющие информационные выходы первого и второго разряда регистра 7 частичных произведений соответственно с вторыми информационными входами первого и второго разрядов трехразрядного сумматора 6, каналы 33, соединяющие информационные выходы первого, второго, третьего разрядов трехразрядного сумматора с информационными входами первого, второго, третьего разрядов регистра 7 частичных произведений 25 соответственно, входной канал 34, соединяющий вход запуска устройства с пятым входом блока управления, выходной канал 35 окончания работы устройства.

Блок управления (фиг. 2) содержит элементы ИЛИ 36 - 38, элементы И 39-42, элементы 43-46 задержки.

Табличный узел перемножения старших разрядов множителя и множимого может быть построен по схеме, реализуемой на стандартных элементах, таких как дешифраторы и шифраторы.

Регистры 1 и 2 имеют n r -ичных разрядов, регистр 5 - два r -ичных разряда, сумматор 6 - три разряда в избыточной (r, k) системе счисления, регистр 7 - $(3n-2)$ k -ичных разрядов. Счетчик 8 тактов содержит $\lceil \log_2(n-1) \rceil$ двоичных разрядов. Счетчик 9 циклов также содержит $\lceil \log_2(n-1) \rceil$ двоичных разрядов.

Работа устройства для умножения начинается с момента поступления управляющего сигнала по каналу 34 устройства, который может быть сформирован в центральном устройстве управления арифметического устройства, в котором применяется в качестве отдельного функционального блока данное устройство. Управляющий сигнал, 55 приходящий по входному каналу 34, запускает в работу блок 3 управления. Блок 3 управления формирует сигналы,

поступающие по каналам 21 и 20 на входы счетчика 8 тактов и счетчика 9 циклов. Под действием этих сигналов в счетчик 9 циклов и счетчик 8 тактов заносится число " $n-1$ ".

Операция умножения двух n -разрядных r -ичных чисел состоит из n -циклов (от $n-1$ до 0). В каждом очередном цикле множимое умножается 10 на соответствующий i -й ($i=n, n-1, n-2, \dots, 2, 1$) разряд множителя. Цикл состоит из n тактов (от $n-1$ до 1). В каждом очередном такте i -й ($i=n, n-1, \dots, 2, 1$) разряд множителя умножается 15 на j -й ($j=n, n-1, \dots, 2, 1$) разряд множимого. Очередной такт выполнения операции умножения начинается с формирования блоком 3 управления сигналов, поступающих по каналам 20 и 11 на входы управления чтением регистров множимого 2 и множителя 1. Под действием этих сигналов старшие 20 разряды регистров 1 и 2 подаются по каналам 26 и 27 на входы табличного узла 4 перемножения старших разрядов, где и осуществляется умножение цифр этих разрядов в r -ичной системе счисления. Результат умножения, представляющий собой цифру произведения и цифру переноса, по каналам 29 и 30 30 соответственно переписывается в первый и второй разряды буферного регистра 5. Далее под действием управляющих сигналов, приходящих с блока 3 управления по каналам 12 и 13, осуществляется суммирование кодов буферного регистра 5 и регистра 7 35 частичных произведений на сумматоре 6. Коды регистров 5 и 7 поступают на сумматор 6 соответственно по каналам 31 и 32. Результат суммирования по каналу 33 переписывается в регистр 7. Сумматор 6 осуществляет суммирование кодов в избыточной (r, k) системе счисления.

При выполнении тактов с номерами от $n-1$ до 1, т.е. когда значение счетчика 8 тактов не равняется нулю, по каналу 22 из счетчика тактов на первый вход блока 3 управления поступает сигнал, в ответ на который в блоке 3 управления вырабатываются 50 сигналы, поступающие по каналам 14-16 соответственно на сдвиговые входы регистра 2 множимого и регистра 7 частичных произведений, а также на информационный вход счетчика 8 тактов. Под действием этих сигналов в регистре 2 множимого осуществляется

циклический сдвиг влево на один разряд, в регистре частичных произведений - сдвиг влево на один разряд, а значение счетчика 8 тактов уменьшается на единицу. На этом выполнение очередного такта операции умножения заканчивается. Устройство умножения переходит к выполнению следующего такта работы.

При выполнении такта с номером n выполняется последний такт очередного j -го цикла ($j=n, n-1, \dots, 1, 0$). Дальнейшая работа устройства зависит от текущего значения счетчика 9 циклов. При выполнении циклов с номерами от $n-1$ до 1, т.е. когда значение счетчика 9 циклов не равняется нулю, по каналу 23 из счетчика тактов поступает сигнал, свидетельствующий о нулевом значении счетчика 8 тактов, а по каналу 24 из счетчика циклов в блок 3 управления поступает сигнал, свидетельствующий о ненулевом значении счетчика 9 циклов. В результате сочетания этих сигналов в блоке 3 управления вырабатываются сигналы, поступающие по каналам 14, 17, 18, 19, 21 соответственно на регистр 2 множимого, регистр 1 множителя, счетчик 9 циклов, регистр 7 частичных произведений, счетчик 8 тактов. Под действием этих сигналов происходит циклический сдвиг влево в регистре 2 множимого, сдвиг влево на один разряд регистра 1 множителя, уменьшение на единицу значения счетчика 9 циклов, сдвиг вправо на $n-2$ разряда регистра 7 частичных произведений, занесение числа " $n-1$ " в счетчик 8 тактов. Завершается очередной цикл работы устройства умножения и осуществляется переход к следующему за данным циклу работ устройства умножения.

При выполнении нулевого такта нулевого цикла работа устройства умножения заканчивается. При этом по каналу 23 из счетчика тактов и по каналу 25 из счетчика циклов в блок

3 управления поступают сигналы, в результате сочетания которых блок управления по каналу 35 выдает сигнал окончания работы устройства умножения. Результат умножения, представленный в избыточной (r, k) системе счисления, находится в регистре 7 частичных произведений.

Экономический эффект от использования предлагаемого устройства состоит в построении последовательного устройства умножения в r -ичной системе счисления таким образом, что вместе последовательного сумматора n -разрядных чисел используется трехразрядный параллельный сумматор в позиционной избыточной (r, k) системе счисления.

Экономический эффект может быть оценен следующим образом. Время выполнения умножения $t_{умн.1}$ при условии, что цифры от 0 до $r-1$ в каждом разряде равновероятны, в известном устройстве равно

$$t_{умн.1} = n \left/ \frac{r-1}{2} t_{\Sigma} + t_c \right/ ,$$

где t_{Σ} - время суммирования последовательным сумматором n -разрядных чисел;

t_c - время сдвига на один разряд регистра множителя и регистра произведения.

Так как $t_{\Sigma} = n t_+$, где t_+ - время суммирования одного разряда сумматора,

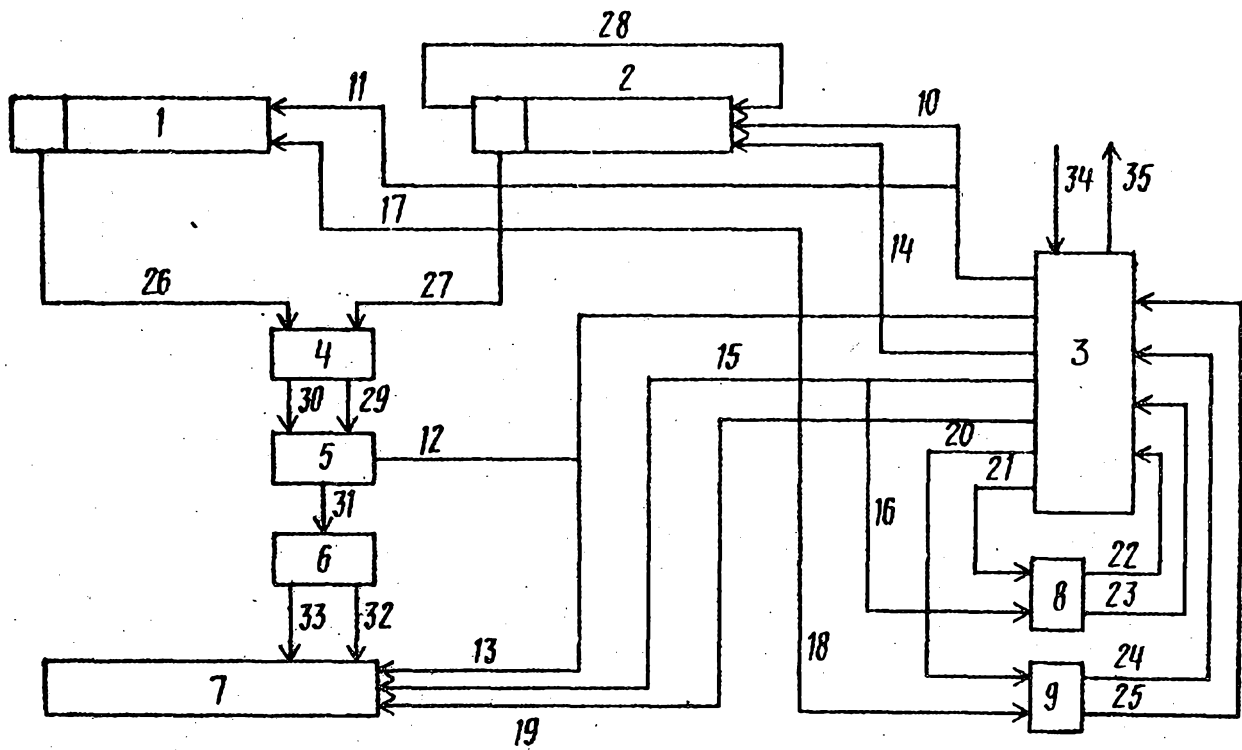
$$t_{умн.1} = n \left/ \frac{r-1}{2} n t_+ + t_c \right/ .$$

Время выполнения умножения $t_{умн.2}$ в предлагаемом устройстве равно

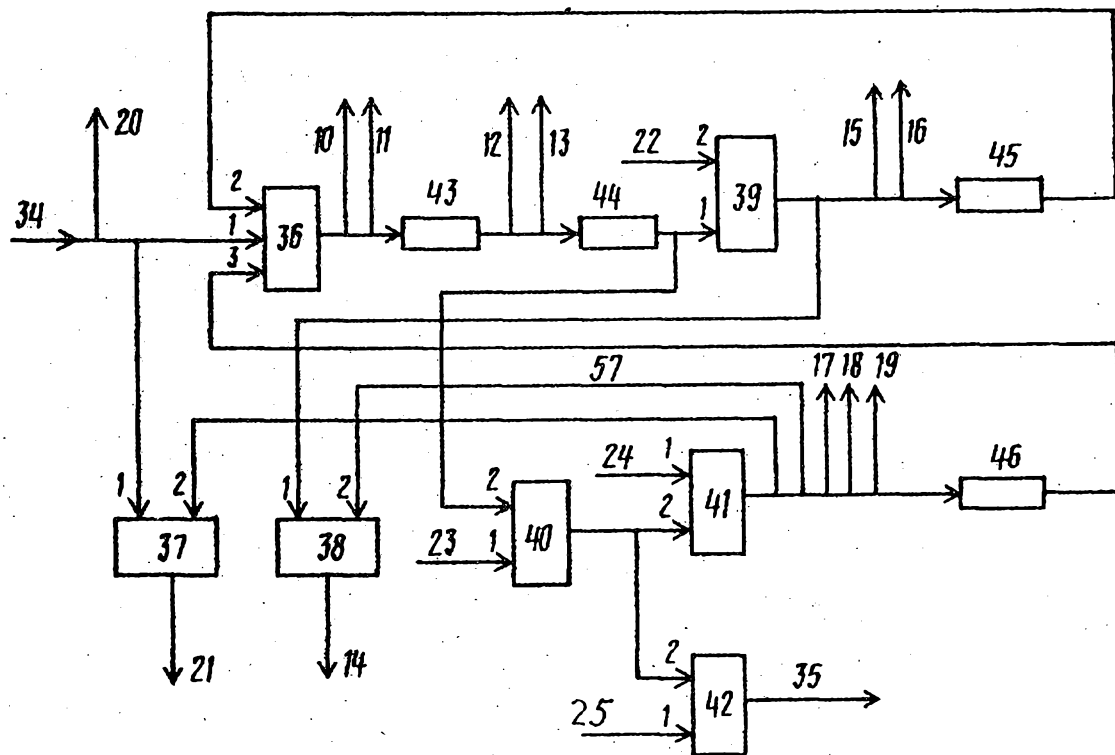
$$t_{умн.2} = n \left/ n (t_+ + t_c) \right/ .$$

$$\frac{t_{умн.1}}{t_{умн.2}} = \frac{n \left/ \frac{r-1}{2} n t_+ + t_c \right/}{n \left/ n (t_+ + t_c) \right/} = \frac{\frac{r-1}{2} n t_+ + t_c}{n (t_+ + t_c)} \approx \frac{r-1}{2}$$

Таким образом, при $r=10$ предлагаемое устройство по быстродействию почти в 4 раза превышает известное устройство.



Фиг.1



Фиг.2