

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7575601号
(P7575601)

(45)発行日 令和6年10月29日(2024.10.29)

(24)登録日 令和6年10月21日(2024.10.21)

(51)国際特許分類		F I	
H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00 6 7 1 A
H 0 1 L	21/336 (2006.01)	H 1 0 B	12/00 6 8 1 A
H 0 1 L	29/78 (2006.01)	H 1 0 B	12/00 6 8 1 B
		H 0 1 L	29/78 3 0 1 Z
		H 0 1 L	29/78 3 0 1 H
請求項の数 14 (全35頁) 最終頁に続く			
(21)出願番号 特願2023-532840(P2023-532840)		(73)特許権者 522246670	
(86)(22)出願日 令和3年9月29日(2021.9.29)		チャンシン メモリー テクノロジーズ	
(65)公表番号 特表2023-551332(P2023-551332 A)		インコーポレイテッド	
(43)公表日 令和5年12月7日(2023.12.7)		CHANGXIN MEMORY T E C	
(86)国際出願番号 PCT/CN2021/121617		HNOLOGIES , I N C .	
(87)国際公開番号 WO2023/272990		中華人民共和国 2 3 0 6 0 1 アンファイ	
(87)国際公開日 令和5年1月5日(2023.1.5)		プロヴィンス ヘーフェイ シティ エコ	
審査請求日 令和5年5月30日(2023.5.30)		ノミック アンド テクノロジカル ディ	
(31)優先権主張番号 202110746050.4		ベロップメント エリア エアポート イ	
(32)優先日 令和3年7月1日(2021.7.1)		ングダストリアル パーク シンイエ アベ	
(33)優先権主張国・地域又は機関 中国(CN)		ニュー ナンバー 3 8 8	
		(74)代理人 100205659	
		弁理士 齋藤 拓也	
		(74)代理人 100185269	
		弁理士 小菅 一弘	
		最終頁に続く	

(54)【発明の名称】 半導体構造及びその製作方法

(57)【特許請求の範囲】

【請求項1】

半導体構造であって、基板、ビットライン、半導体チャネル、第1誘電体層、絶縁層、ワードライン、第2誘電体層、及び第3誘電体層を含み、

前記ビットラインは、前記基板の上に位置し、前記ビットラインの材料は金属半導体化合物を含み、

前記半導体チャネルは、前記ビットラインの表面に位置し、前記基板から前記ビットラインに指す方向に沿って、前記半導体チャネルは、順次に配置された第1ドープ領域、チャネル領域及び第2ドープ領域を含み、前記第1ドープ領域は前記ビットラインと接触し、

前記第1誘電体層は、前記第1ドープ領域の側壁表面を覆い、同じ前記ビットライン上の、隣接する前記第1ドープ領域の側壁の前記第1誘電体層の間に第1間隔が設けられ、

前記絶縁層は、前記チャネル領域の側壁表面を覆い、

前記ワードラインは、前記絶縁層の前記チャネル領域から離れた側壁表面を覆い、隣接する前記ワードラインの間に第2間隔が設けられ、

前記第2誘電体層は、前記第2ドープ領域の側壁表面を覆い、隣接する前記第2ドープ領域の側壁に位置する前記第2誘電体層の間に第3間隔が設けられ、

前記第3誘電体層は、前記第1間隔、前記第2間隔と前記第3間隔の中に位置し、

前記半導体構造は更に、前記第2ドープ領域の前記基板から離れた上面に位置する金属接触層と、前記第2ドープ領域と前記金属接触層との間に位置する過渡層とを含み、前記金属接触層は前記過渡層を包み、前記過渡層と前記第2ドープ領域に、同じ種類のドーピング

オンがドーピングされ、且つ前記過渡層における前記ドーバイオンのドーピング濃度は、前記第 2 ドープ領域におけるドーピング濃度より大きく、前記ドーバイオンは、N 型イオン又は P 型イオンのうちの 1 つである、

半導体構造。

【請求項 2】

前記金属半導体化合物と前記金属接触層は同じ金属元素を有し、

前記金属接触層の前記基板への正投影は、前記第 2 ドープ領域の前記基板への正投影を覆う、

請求項 1 に記載の半導体構造。

【請求項 3】

前記基板、前記ビットライン及び前記半導体チャネルは、同じ半導体元素を有する、

請求項 1 に記載の半導体構造。

【請求項 4】

前記第 1 ドープ領域、前記チャネル領域と前記第 2 ドープ領域に、同じ種類のドーバイオンがドーピングされ、且つ前記第 1 ドープ領域における前記ドーバイオンのドーピング濃度は、前記チャネル領域と前記第 2 ドープ領域におけるドーピング濃度と一致し、前記ドーバイオンは、N 型イオン又は P 型イオンのうちの 1 つである、

請求項 1 に記載の半導体構造。

【請求項 5】

前記チャネル領域の前記基板への正投影は、前記第 2 ドープ領域の前記基板への正投影より小さく、且つ前記第 1 ドープ領域の前記基板への正投影より小さい、

請求項 1 に記載の半導体構造。

【請求項 6】

前記絶縁層と前記第 2 誘電体層は、同じ膜層構造であり、

前記絶縁層の外囲の前記基板への正投影は、前記第 2 誘電体層の外囲の前記基板への正投影より小さい、

請求項 1 に記載の半導体構造。

【請求項 7】

前記第 1 誘電体層は、第 4 誘電体層と第 5 誘電体層とを含み、前記第 4 誘電体層は、隣接する前記ビットラインの間隔の中に位置し、且つ隣接する前記ビットライン上の隣接する前記第 1 ドープ領域の間隔の中に位置し、前記第 5 誘電体層は、同じ前記ビットライン上の、隣接する前記第 1 ドープ領域の側壁に位置し、且つ前記第 4 誘電体層の側壁に位置する、

請求項 1 に記載の半導体構造。

【請求項 8】

前記第 2 間隔に位置する前記第 3 誘電体層に隙間がある、

請求項 1 に記載の半導体構造。

【請求項 9】

半導体構造の製作方法であって、

基板を提供するステップと、

前記基板上に初期ビットラインを形成し、前記初期ビットラインの前記基板から離れた表面に半導体チャネルを形成するステップであって、前記基板から前記初期ビットラインに指す方向に沿って、前記半導体チャネルは、順次に配置された第 1 ドープ領域、チャネル領域及び第 2 ドープ領域を含むステップと、

前記第 1 ドープ領域の側壁表面を覆う第 1 誘電体層を形成するステップであって、同じ前記初期ビットライン上の、隣接する前記第 1 ドープ領域の側壁の前記第 1 誘電体層の間に第 1 間隔が設けられるステップと、

前記チャネル領域の側壁表面を覆う絶縁層を形成するステップと、

前記絶縁層の前記チャネル領域から離れた側壁表面を覆うワードラインを形成するステップであって、隣接する前記ワードラインの間に第 2 間隔が設けられるステップと、

10

20

30

40

50

前記第 2 ドープ領域の側壁表面を覆う第 2 誘電体層を形成するステップであって、隣接する前記第 2 ドープ領域の側壁に位置する前記第 2 誘電体層の間に第 3 間隔が設けられ、前記第 1 間隔、前記第 2 間隔及び前記第 3 間隔は互いに連通され、前記初期ビットラインの一部が露出されるステップと、

露出された前記初期ビットラインに対して金属化処理を行うことにより、ビットラインを形成するステップであって、前記ビットラインの材料は、金属半導体化合物を含むステップと、を含み、

前記ワードラインを形成した後、前記第 2 誘電体層を形成する前に、前記製作方法は、エピタキシャル成長工程を採用して、前記第 2 ドープ領域の前記基板から離れた上面に初期過渡層を形成するステップを更に含み、前記初期過渡層と前記第 2 ドープ領域に同じ種類のドーバイオンがドーピングされ、前記初期過渡層における前記ドーバイオンのドーピング濃度は、前記第 2 ドープ領域におけるドーピング濃度より大きく、前記ドーバイオンは、N 型イオン又は P 型イオンのうちの 1 つであり、前記初期過渡層の前記基板への正投影は、前記第 2 ドープ領域の前記基板への正投影を覆う、

10

半導体構造の製作方法。

【請求項 10】

前記初期ビットラインに対して前記金属化処理を行うステップにおいて、前記製作方法は、前記初期過渡層に対して金属化処理を行うステップを更に含む、

請求項 9 に記載の半導体構造の製作方法。

【請求項 11】

20

前記第 1 誘電体層を形成するステップは、

初期第 1 誘電体層を形成するステップであって、前記初期第 1 誘電体層は、前記半導体チャンネルの側壁を取り囲み、同じ前記初期ビットライン上の、隣接する前記半導体チャンネルの側壁に位置する前記初期第 1 誘電体層の間に第 4 間隔が設けられる、ステップと、

第 1 分離層を形成するステップであって、前記第 1 分離層が前記第 4 間隔を満たすように充填され、前記第 1 分離層の材料は、前記初期第 1 誘電体層の材料と異なるステップと、前記第 2 ドープ領域の側壁を露出するまで、前記初期第 1 誘電体層の一部をエッチングするステップと、

第 2 分離層を形成するステップであって、前記第 2 分離層は、前記第 2 ドープ領域の側壁を取り囲んで前記第 1 分離層の側壁に位置し、前記第 2 ドープ領域の側壁に位置する前記第 2 分離層と前記第 1 分離層の側壁に位置する前記第 2 分離層によって通孔を形成し、前記通孔の底部で前記初期第 1 誘電体層が露出され、前記第 2 分離層の材料は、前記初期第 1 誘電体層の材料と異なるステップと、

30

前記通孔から露出された、前記チャンネル領域の側壁に位置する前記初期第 1 誘電体層を除去するステップであって、残余の前記初期第 1 誘電体層を前記第 1 誘電体層とするステップと、を含み、

前記絶縁層を形成するステップは、

露出された前記チャンネル領域の側壁に対して熱酸化処理を行い、前記絶縁層を形成するステップを含み、前記絶縁層は、残余の前記チャンネル領域の側壁表面を覆い、前記絶縁層と前記第 1 分離層との間に第 5 間隔が設けられる、

40

請求項 9 に記載の半導体構造の製作方法。

【請求項 12】

前記ワードラインを形成するステップは、

初期ワードラインを形成するステップであって、前記初期ワードラインが前記第 5 間隔と前記通孔を満たすように充填され、前記初期ワードラインは更に、隣接する前記初期ビットライン上の前記チャンネル領域の側壁の前記絶縁層の間に位置するステップと、

前記通孔内に位置する前記初期ワードラインを除去し、残余の前記初期ワードラインを前記ワードラインとするステップと、を含む、

請求項 11 に記載の半導体構造の製作方法。

【請求項 13】

50

前記第 1 誘電体層を形成するステップは、

初期第 1 誘電体層を形成するステップであって、前記初期第 1 誘電体層は、前記半導体チャンネルの側壁を取り囲み、同じ前記初期ビットライン上の隣接する前記半導体チャンネルの側壁に位置する前記初期第 1 誘電体層の間に第 4 間隔が設けられる、ステップと、

第 1 分離層を形成するステップであって、前記第 1 分離層が前記第 4 間隔を満たすように充填され、前記第 1 分離層の材料は、前記初期第 1 誘電体層の材料と異なるステップと、

前記第 2 ドープ領域の側壁と前記チャンネル領域の側壁を露出するまで、前記初期第 1 誘電体層の一部をエッチングし、残余の前記初期第 1 誘電体層を前記第 1 誘電体層とするステップと、を含み、

前記絶縁層と前記第 2 誘電体層を形成するステップは、

前記第 2 ドープ領域の側壁と前記チャンネル領域の側壁を覆う保護層を形成するステップを含み、前記保護層と前記第 1 分離層との間に第 6 間隔が設けられ、前記チャンネル領域の側壁の前記保護層は、前記絶縁層であり、前記第 2 ドープ領域の側壁を覆う前記保護層は、前記第 2 誘電体層である、

請求項 9 に記載の半導体構造の製作方法。

【請求項 1 4】

前記ワードラインを形成するステップは、

初期ワードラインを形成するステップであって、前記初期ワードラインが前記第 6 間隔を満たすように充填され、前記初期ワードラインは更に、隣接する前記初期ビットライン上の前記半導体チャンネルの一部側壁の前記保護層の間に位置するステップと、

前記初期ワードラインの一部を除去し、残余の前記初期ワードラインを前記ワードラインとするステップであって、前記ワードラインは、前記チャンネル領域の側壁に位置する前記絶縁層の側壁のみを取り囲むステップと、を含む、

請求項 1 3 に記載の半導体構造の製作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2021年07月01日に中国特許局に提出された、出願番号が202110746050.4であり、発明の名称が「半導体構造及びその製作方法」である中国特許出願の優先権を主張し、当該中国特許出願の全ての内容が参照により本願に援用される。

【0002】

本開示は、半導体構造及びその製作方法を含むが、これに限定されない。

【背景技術】

【0003】

ダイナミックメモリの集積密度の増加に伴い、ダイナミックメモリアレイ構造におけるトランジスタの配置方式、及びダイナミックメモリアレイ構造における機能素子そのもののサイズを如何に縮小させるかについて研究すると同時に、小型の機能素子の電气的性能を向上させる必要もある。

【0004】

垂直なゲートオールアラウンド (GAA: Gate - All - Around) トランジスタ構造をダイナミックメモリアクセストランジスタ (access transistor) として使用する場合、その占有面積は、 $4F^2$ (F が所定の工程条件で取得することができる最小のパターンサイズである) に達することができ、原理的には、より高い密度効果を実現することができるが、一部のサイズのトランジスタ構造では、トランジスタの底部に埋設されたビットラインの主成分がシリコンであるため、抵抗が大きい。

【発明の概要】

【0005】

以下は、本開示で詳細に説明される主題の概要である。本概要は、請求項の保護範囲を制限するためのものではない。

【0006】

10

20

30

40

50

本開示の実施例は、半導体構造を提供し、半導体構造は、基板、ビットライン、半導体チャンネル、第1誘電体層、絶縁層、ワードライン、第2誘電体層、及び第3誘電体層を含み、前記ビットラインは、前記基板の上に位置し、前記ビットラインの材料は金属半導体化合物を含み、前記半導体チャンネルは、前記ビットラインの表面に位置し、前記基板から前記ビットラインに指す方向に沿って、前記半導体チャンネルは、順次に配置された第1ドーピング領域、チャンネル領域及び第2ドーピング領域を含み、前記第1ドーピング領域は前記ビットラインと接触し、前記第1誘電体層は、前記第1ドーピング領域の側壁表面を覆い、同じ前記ビットライン上の、隣接する前記第1ドーピング領域の側壁の前記第1誘電体層の間に第1間隔が設けられ、前記絶縁層は、前記チャンネル領域の側壁表面を覆い、前記ワードラインは、前記絶縁層の前記チャンネル領域から離れた側壁表面を覆い、隣接する前記ワードラインの間に第2間隔が設けられ、前記第2誘電体層は、前記第2ドーピング領域の側壁表面を覆い、隣接する前記第2ドーピング領域の側壁に位置する前記第2誘電体層の間に第3間隔が設けられ、前記第3誘電体層は、前記第1間隔、前記第2間隔と前記第3間隔の中に位置する。

10

【0007】

本開示のいくつかの実施例において、半導体構造は更に、第2ドーピング領域の基板から離れた上面に位置する金属接触層を含み、金属半導体化合物と金属接触層は、同じ金属元素を有する。

【0008】

本開示のいくつかの実施例において、金属接触層の基板への正投影は、第2ドーピング領域の基板への正投影を覆う。

20

【0009】

本開示のいくつかの実施例において、半導体構造は更に、第2ドーピング領域と金属接触層との間に位置する過渡層を含み、金属接触層は過渡層を包み、過渡層と第2ドーピング領域に、同じ種類のドーパイオンがドーピングされ、且つ過渡層におけるドーパイオンのドーピング濃度は、第2ドーピング領域におけるドーピング濃度より大きく、ドーパイオンは、N型イオン又はP型イオンのうちの1つである。

【0010】

本開示のいくつかの実施例において、基板、ビットラインと半導体チャンネルは、同じ半導体元素を有する。

【0011】

30

本開示のいくつかの実施例において、第1ドーピング領域、チャンネル領域と第2ドーピング領域に、同じ種類のドーパイオンがドーピングされ、且つ第1ドーピング領域におけるドーパイオンのドーピング濃度は、チャンネル領域と第2ドーピング領域におけるドーピング濃度と一致し、ドーパイオンは、N型イオン又はP型イオンのうちの1つである。

【0012】

本開示のいくつかの実施例において、チャンネル領域の基板への正投影は、第2ドーピング領域の基板への正投影より小さく、且つ第1ドーピング領域の基板への正投影より小さい。

【0013】

本開示のいくつかの実施例において、絶縁層と第2誘電体層は、同じ膜層構造である。

【0014】

40

本開示のいくつかの実施例において、絶縁層の外囲の基板への正投影は、第2誘電体層の外囲の基板への正投影より小さい。

【0015】

本開示のいくつかの実施例において、第1誘電体層は、第4誘電体層と第5誘電体層とを含み、第4誘電体層は、隣接するビットラインの間隔の中に位置し、且つ隣接するビットライン上の隣接する第1ドーピング領域の間隔の中に位置し、第5誘電体層は、同じビットライン上の、隣接する第1ドーピング領域の側壁に位置し、且つ第4誘電体層の側壁に位置する。

【0016】

本開示のいくつかの実施例において、第2間隔に位置する第3誘電体層の中に隙間があ

50

る。

【 0 0 1 7 】

それに対応して、本開示の実施例は更に、半導体構造の製作方法を提供し、前記方法は、基板を提供するステップと、基板上に初期ビットラインを形成し、初期ビットラインの基板から離れた表面に半導体チャンネルを形成するステップであって、基板から初期ビットラインに指す方向において、半導体チャンネルは、順次に配置された第1ドープ領域、チャンネル領域及び第2ドープ領域を含むステップと、第1ドープ領域の側壁表面を覆う第1誘電体層を形成するステップであって、同じ初期ビットライン上の、隣接する第1ドープ領域の側壁の第1誘電体層の間に第1間隔が設けられるステップと、チャンネル領域の側壁表面を覆う絶縁層を形成するステップと、絶縁層のチャンネル領域から離れた側壁表面を覆うワードラインを形成するステップであって、隣接するワードラインの間に第2間隔が設けられるステップと、第2ドープ領域の側壁表面を覆う第2誘電体層を形成するステップであって、隣接する第2ドープ領域の側壁に位置する第2誘電体層の間に第3間隔が設けられ、第1間隔、第2間隔及び第3間隔は互いに連通され、初期ビットラインの一部が露出されるステップと、露出された初期ビットラインに対して金属化処理を行うことにより、ビットラインを形成するステップであって、ビットラインの材料は、金属半導体化合物を含むステップと、を含む。

10

【 0 0 1 8 】

本開示のいくつかの実施例において、ワードラインを形成した後、第2誘電体層を形成する前に、前記方法は、エピタキシャル成長工程を採用して、第2ドープ領域の基板から離れた上面に初期過渡層を形成するステップを更に含み、初期過渡層と第2ドープ領域に同じ種類のドーバイオンがドーピングされ、初期過渡層におけるドーバイオンのドーピング濃度は、第2ドープ領域におけるドーピング濃度より大きく、ドーバイオンは、N型イオン又はP型イオンのうちの1つであり、且つ初期過渡層の基板への正投影は、第2ドープ領域の基板への正投影を覆う。

20

【 0 0 1 9 】

本開示のいくつかの実施例において、初期ビットラインに対して金属化処理を行うステップにおいて、前記方法は、初期過渡層に対して金属化処理を行うステップを更に含む。

【 0 0 2 0 】

本開示のいくつかの実施例において、第1誘電体層を形成するステップは、初期第1誘電体層を形成するステップであって、初期第1誘電体層は、半導体チャンネルの側壁を取り囲み、同じ初期ビットライン上の、隣接する半導体チャンネルの側壁に位置する初期第1誘電体層の間に第4間隔が設けられる、ステップと、

30

第1分離層を形成するステップであって、第1分離層が第4間隔に満タンに充填され、第1分離層の材料は、初期第1誘電体層の材料と異なるステップと、

第2ドープ領域の側壁を露出するまで、初期第1誘電体層の一部をエッチングするステップと、

第2分離層を形成するステップであって、第2分離層は、第2ドープ領域の側壁を取り囲んで第1分離層の側壁に位置し、第2ドープ領域の側壁に位置する第2分離層と第1分離層の側壁に位置する第2分離層によって通孔を形成し、通孔の底部で初期第1誘電体層が露出され、且つ第2分離層の材料は、初期第1誘電体層の材料と異なるステップと、

40

通孔から露出された、チャンネル領域の側壁に位置する初期第1誘電体層を除去するステップであって、残余の初期第1誘電体層を第1誘電体層とするステップと、を含む。

【 0 0 2 1 】

本開示のいくつかの実施例において、絶縁層を形成するステップは、

露出されたチャンネル領域の側壁に対して熱酸化処理を行い、絶縁層を形成するステップを含み、絶縁層は、残余のチャンネル領域の側壁表面を覆い、絶縁層と第1分離層との間に第5間隔が設けられる。

【 0 0 2 2 】

本開示のいくつかの実施例において、ワードラインを形成するステップは、

50

初期ワードラインを形成するステップであって、初期ワードラインが第5間隔と通孔に充填され、初期ワードラインは更に、隣接する初期ビットライン上のチャネル領域の側壁の絶縁層の間に位置するステップと、

通孔内に位置する初期ワードラインを除去し、残余の初期ワードラインをワードラインとするステップと、を含む。

【0023】

本開示のいくつかの実施例において、第1誘電体層を形成するステップは、

初期第1誘電体層を形成するステップであって、初期第1誘電体層は、半導体チャネルの側壁を取り囲み、同じ初期ビットライン上の隣接する半導体チャネルの側壁に位置する初期第1誘電体層の間に第4間隔が設けられる、ステップと、

第1分離層を形成するステップであって、第1分離層が第4間隔に満タンに充填され、第1分離層の材料は、初期第1誘電体層の材料と異なるステップと、

第2ドーブ領域の側壁とチャネル領域の側壁を露出するまで、初期第1誘電体層の一部をエッチングし、残余の初期第1誘電体層を第1誘電体層とするステップと、を含む。

【0024】

本開示のいくつかの実施例において、絶縁層と第2誘電体層を形成するステップは、

第2ドーブ領域の側壁とチャネル領域の側壁を覆う保護層を形成するステップを含み、保護層と第1分離層との間に第6間隔が設けられ、チャネル領域の側壁の保護層は、絶縁層であり、第2ドーブ領域の側壁を覆う保護層は、第2誘電体層である。

【0025】

本開示のいくつかの実施例において、ワードラインを形成するステップは、

初期ワードラインを形成するステップであって、初期ワードラインが第6間隔に満タンに充填され、初期ワードラインは更に、隣接する初期ビットライン上の半導体チャネルの一部側壁の保護層の間に位置するステップと、

初期ワードラインの一部を除去し、残余の初期ワードラインをワードラインとするステップであって、ワードラインは、チャネル領域の側壁に位置する絶縁層の側壁のみを取り囲むステップと、を含む。

【0026】

添付の図面と詳細な説明を読み理解することにより、他の側面を理解できる。

【図面の簡単な説明】

【0027】

【図1】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図2】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図3】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図4】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図5】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図6】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図7】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図8】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図9】本開示の実施例による半導体構造の形成方法における各ステップに対応する半導体構造の概略図である。

【図10】本開示の実施例による半導体構造の形成方法における各ステップに対応する半

10

20

30

40

50

50

導体構造の概略図である。

【発明を実施するための形態】

【0028】

明細書に組み込まれ、明細書の一部である図面では、本開示の実施例を示し、説明と共に本開示の実施例の原理を解説するために使用される。これらの図面において、類似する符号は、類似する要素を示すために使用される。上記に記載された図面は、本開示のいくつかの実施例であり、すべての実施例ではない。当業者であれば、創造的な努力を払わなくても、これらの図面に基づいて他の図面を得ることができる。

【0029】

1つ又は複数の実施例において、それに対応する図面を参照して例示的に記載し、これらの例示的な記載は、実施例を限定するものではなく、図面において同じ符号を有する要素は、類似する要素を表し、特に明記しない限り、図面は、比例を制限するものではない。

10

【0030】

背景技術から分かるように、現在、半導体構造の集積密度を向上させるのと同時に、半導体構造における小型の機能素子の電気的性能を向上させる必要がある。

【0031】

本開示の実施例は、半導体構造及びその製作方法を提供し、半導体構造において、基板に垂直なG A Aトランジスタが配置され、ビットラインは、基板とG A Aトランジスタとの間に位置するため、3 D積層された半導体構造を構成することができ、これは、半導体構造の集積密度を向上させることに役立つ。更に、ビットラインの材料に金属半導体化合物が含まれるため、ビットラインの抵抗を低下させ、半導体構造の電気的性能を向上させることに役立つ。

20

【0032】

以下では、図面を参照して本開示の各実施例について詳細に説明する。しかし、当業者であれば理解できるように、本開示の各実施例では、本開示をより良く理解させるために、多くの技術的詳細が提供されているが、これらの技術的詳細がなくても、下記の各実施例における様々な変更と変形に基づいて、本出願の請求範囲に記載される発明を実現することができる。

【0033】

本開示の一実施例は、半導体構造を提供し、以下では、図面を参照して本開示の一実施例による半導体構造について詳細に説明する。図1ないし図5は、本開示の一実施例による半導体構造に対応する例示的な構造図である。ここで、図1は、本開示の一実施例による半導体構造の例示的な構造図であり、図2は、図1に示す構造の、第1断面方向A A 1に沿って切断した例示的な断面図であり、図3は、図1に示す構造の、第1断面方向A A 1に沿って切断した別の例示的な断面図であり、図4は、図1に示す構造の、第2断面方向B B 1に沿って切断した例示的な断面図であり、図5は、本開示の一実施例による半導体構造の別の例示的な構造図である。

30

【0034】

図1ないし図5を参照すると、半導体構造は、基板11、ビットライン104、半導体チャンネル105、第1誘電体層113、絶縁層106、ワードライン107、第2誘電体層123、及び第3誘電体層133を含み、ビットライン104は基板11上に位置し、ビットライン104の材料は、金属半導体化合物を含み、半導体チャンネル105は、ビットライン104の表面に位置し、基板11からビットライン104に指す方向Zに沿って、半導体チャンネル105は、順次に配置された第1ドープ領域I、チャンネル領域II及び第2ドープ領域IIIを含み、第1ドープ領域Iは、ビットライン104と接触し、第1誘電体層113は、第1ドープ領域Iの側壁表面を覆い、同じビットライン104上の、隣接する第1ドープ領域Iの側壁の第1誘電体層113の間に第1間隔が設けられ、絶縁層106はチャンネル領域IIの側壁表面を覆い、ワードライン107は絶縁層106のチャンネル領域IIから離れた側壁表面を覆い、隣接するワードライン107の間に第2間隔が設けられ、第2誘電体層123は第2ドープ領域IIIの側壁表面を覆い、隣接する第

40

50

２ドープ領域ⅠⅠⅠの側壁に位置する第２誘電体層１２３の間に第３間隔が設けられ、第３誘電体層１３３は、第１間隔、第２間隔と第３間隔の中に位置する。

【００３５】

半導体構造が垂直なＧＡＡトランジスタを含み、ビットライン１０４が基板１１とＧＡＡトランジスタとの間に位置するため、３Ｄ積層されたメモリ素子を構成することができ、半導体構造の集積密度を向上させることに役立つ。

【００３６】

以下では、図１ないし図５を参照して半導体構造についてより詳細に説明する。

【００３７】

本実施例において、基板１１の材料の種類は、元素半導体材料又は結晶無機化合物半導体材料であってもよい。元素半導体材料は、シリコン又はゲルマニウムであってもよく、結晶無機化合物半導体材料は、炭化ケイ素、シリコンゲルマニウム、砒化ガリウム又はインジウムガリウムなどであってもよい。更に、基板１１に、第１種類のイオンがドーピングされている。

【００３８】

本開示のいくつかの実施例において、基板１１、ビットライン１０４と半導体チャネル１０５は、同じ半導体元素を有し、それによって半導体チャネル１０５とビットライン１０４は、同じ膜層構造で形成されることができ、当該膜層構造は、半導体元素によって構成され、半導体チャネル１０５とビットライン１０４を一体構造とし、それにより、半導体チャネル１０５とビットライン１０４との界面準位の欠陥を改善し、半導体構造の性能を向上させる。

【００３９】

ここで、半導体元素は、シリコン、炭、ゲルマニウム、ヒ素、ガリウム、インジウムのうちの少なくとも１つを含み得る。一例において、ビットライン１０４と半導体チャネル１０５は両方ともシリコン元素を含む。他の例において、ビットラインと半導体チャネルは両方とも、ゲルマニウム元素を含み得、又は、ビットラインと半導体チャネルは両方とも、シリコン元素とゲルマニウム元素とを含み得、又は、ビットラインと半導体チャネルは両方とも、シリコン元素と炭元素とを含み得、又は、ビットラインと半導体チャネルは両方とも、ヒ素とガリウム元素を含み得、又は、ビットラインと半導体チャネルは両方とも、ガリウム元素とインジウム元素とを含み得る。

【００４０】

ビットライン１０４の材料は、金属半導体化合物１１４を含み、金属化されてない半導体材料と比較して、金属半導体化合物１１４は、低い抵抗率を有するため、半導体チャネル１０５と比較して、ビットライン１０４の抵抗率がより低く、それにより、ビットライン１０４の抵抗を低下させ、ビットライン１０４と第１ドープ領域Ⅰとの接触抵抗を低下させ、更に、半導体構造の電氣的性能を向上させることに役立つ。更に、ビットライン１０４の抵抗率は、基板１１の抵抗率よりも低い。

【００４１】

いくつかの例において、第１ドープ領域Ⅰの直下に位置するビットライン１０４の領域の材料は、半導体材料であり、第１ドープ領域Ⅰによって覆われてないビットライン１０４の一部領域の材料は、金属半導体化合物である。素子のサイズの縮小、又は製造プロセスのパラメータの調整に伴い、第１ドープ領域Ⅰの直下に位置するビットライン１０４の一部領域の材料は半導体材料であり、第１ドープ領域Ⅰの直下に位置するビットライン１０４のその他の領域の材料が金属半導体化合物であっても良く、ここでの「その他の領域」は、「一部領域」の外圍に位置する。

【００４２】

一例において、図２を参照すると、同じビットライン１０４における複数の金属半導体化合物１１４の間は互いに間隔を置いて配置され、別の例において、図３を参照すると、同じビットライン１０４における複数の金属半導体化合物１１４の間は、互いに連通され、図３は、隣接する金属半導体化合物１１４のエッジがちょうど互いに接触して連通され

10

20

30

40

50

ていることのみを示しており、実際の場合には、隣接する金属半導体化合物 114 の互いに接触する領域はより大きくてもよく、本実施例は、隣接する金属半導体化合物 114 の互いに接触する領域のサイズに対して限定しない。

【0043】

他の例において、ビットライン全体の材料は、すべて金属半導体化合物であってもよい。

【0044】

半導体元素がシリコンであることを例として、金属半導体化合物 114 は、珪化コバルト、珪化ニッケル、珪化モリブデン、珪化チタン、珪化タングステン、珪化タンタル又は珪化プラチナのうちの少なくとも 1 つを含む。

【0045】

本実施例において、基板 11 に間隔を置いて配置された複数のビットライン 104 を形成することができ、各ビットライン 104 は、少なくとも 1 つの第 1 ドープ領域 I と接触することができ、図 1 ないし図 4 では、4 つの互いに間隔を置いたビットライン 104 と、各ビットライン 104 が 4 つの第 1 ドープ領域 I と接触することを例として説明しており、実際の電氣的要求に応じて、ビットライン 104 の数及び各ビットライン 104 と接触する第 1 ドープ領域 I の数を合理的に設定することができる。

【0046】

ここで、ビットライン 104 には、第 2 種類のイオンがドーピングされ、基板 11 には、第 1 種類のイオンがドーピングされ、第 2 種類のイオンは、第 1 種類のイオンと異なり、第 1 種類のイオンと第 2 種類のイオンは両方とも、N 型イオン又は P 型イオンのうちの 1 つである。このようにして、ビットライン 104 と基板 11 によって P N 接合を構成し、当該 P N 接合は、ビットライン 104 の電流漏れを防止し、更に半導体構造の電氣的性能を向上させることに役立つ。他の実施例において、基板 11 に、第 1 種類のイオンをドーピングしなくてもよい。

【0047】

N 型イオンは、ヒ素イオン、リンイオン又はアンチモンイオンのうちの少なくとも 1 つであり、P 型イオンは、ホウ素イオン、インジウムイオン又はガリウムイオンのうちの少なくとも 1 つである。

【0048】

本開示のいくつかの実施例において、半導体チャネル 105 における第 1 ドープ領域 I、チャネル領域 II 及び第 2 ドープ領域 III には、同じ種類のドーパイオン、即ち、第 2 種類のイオンがドーピングされ、且つ第 1 ドープ領域 I におけるドーパイオンのドーピング濃度は、チャネル領域 II と第 2 ドープ領域 III におけるドーピング濃度と一致する。

【0049】

よって、半導体チャネル 105 によって構成された素子は、ジャンクションレストランジスタ (Junctionless Transistor) であり、つまり、第 1 ドープ領域 I、チャネル領域 II と第 2 ドープ領域 III におけるドーパイオンの種類が同じであり、例えば、ドーパイオンがすべて N 型イオンであり、第 1 ドープ領域 I、チャネル領域 II と第 2 ドープ領域 III におけるドーパイオンは、同じであってもよい。ここで、「ジャンクションレス」とは、P N 接合なしのこと、即ち、半導体チャネル 105 によって構成されたトランジスタに P N 接合が存在しないことを指し、つまり、第 1 ドープ領域 I、チャネル領域 II と第 2 ドープ領域 III におけるドーパイオンのドーピング濃度が同じであることを指し、このようにして、第 1 ドープ領域 I と第 2 ドープ領域 III に対して更なるドーピングを行う必要がなくなり、それにより、第 1 ドープ領域 I と第 2 ドープ領域 III に対するドーピング工程が制御困難であるという問題を回避することができる。特に、トランジスタのサイズが更に縮小されるにつれて、第 1 ドープ領域 I と第 2 ドープ領域 III に対して更なるドーピングを行う場合、ドーピング濃度の制御がより困難になり、もう一方、素子がジャンクションレストランジスタであることによって、超急峻なソース・ドレイン濃度勾配工程を採用することでナノスケールの範囲で超急峻な P N 接

10

20

30

40

50

合を形成する現象を減らすことに役立ち、よって、ドーピングの急変による閾値電圧ドリフトや電流漏れの増加などの問題を回避することができ、更に、短チャネル効果を抑制し、数ナノメートルのスケール範囲でも機能できるため、半導体構造の集積密度と電気的性能を更に向上させることに役立つ。ここで、更なるドーピングとは、第1ドーブ領域Ⅰと第2ドーブ領域ⅠⅠⅠのドーブイオン種類をチャネル領域ⅠⅠのドーブイオン種類と相違させるために行われるドーピングを指す。

【0050】

いくつかの例において、半導体チャネル105における第2種類のイオンのドーピング濃度は、 $1 \times 10^{19} \text{ atom/cm}^3 \sim 1 \times 10^{20} \text{ atom/cm}^3$ であり、基板11からビットライン104に指す方向Zにおいて、半導体チャネル105の高さは、100 nm ~ 150 nmであり、第1ドーブ領域Ⅰ、チャネル領域ⅠⅠと第2ドーブ領域ⅠⅠⅠの高さはすべて、30 nm ~ 50 nmである。

10

【0051】

本実施例において、チャネル領域ⅠⅠの基板11への正投影は、第2ドーブ領域ⅠⅠⅠの基板11への正投影より小さく、且つ第1ドーブ領域Ⅰの基板11への正投影より小さく、ビットライン104から半導体チャネル105に指す方向Zに垂直する断面において、断面面積がより小さいチャネル領域ⅠⅠを形成することに役立ち、後続で形成されるワードラインのチャネル領域ⅠⅠに対する制御能力を向上させることに役立ち、それにより、GAAトランジスタの導通又は遮断をより容易に制御する。他の実施例において、第1ドーブ領域、チャネル領域及び第2ドーブ領域の基板への正投影は同じであってもよく、又は、チャネル領域と第2ドーブ領域の基板への正投影は両方とも、第1ドーブ領域の基板への正投影より小さい。

20

【0052】

いくつかの例において、方向Zに垂直する断面において、チャネル領域ⅠⅠの幅Wとチャネル領域ⅠⅠの長さLは両方とも、10 nm以下であり、これは、後続で形成されるワードラインがチャネル領域ⅠⅠをうまく制御することが保証される。

【0053】

第1誘電体層113は、第4誘電体層143と第5誘電体層153とを含み得、第4誘電体層143は、隣接するビットライン104の間隔の中に位置し、且つ隣接するビットライン104上の隣接する第1ドーブ領域Ⅰの間隔の中に位置し、第5誘電体層153は、同じビットライン104上の隣接する第1ドーブ領域Ⅰの側壁に位置し、且つ第4誘電体層143の側壁に位置する。第1誘電体層113は、隣接する半導体チャネル105と隣接するビットライン104との間の電気絶縁を達成するために使用される。

30

【0054】

いくつかの例において、第4誘電体層143の材料とは、第5誘電体層153の材料と同じであり、第4誘電体層143の材料と第5誘電体層153の材料は、両方とも酸化シリコンであってもよい。他の実施例において、第4誘電体層の材料と第5誘電体層の材料が、良好な絶縁効果を有する材料であれば、第4誘電体層の材料は、第5誘電体層の材料と異なってもよい。

【0055】

40

本実施例において、絶縁層106の外囲の基板11への正投影は、第2誘電体層123の外囲の基板11への正投影より小さく、つまり、図2と図4を参照すると、絶縁層106の半導体チャネル105から離れた外壁は、第2誘電体層123の半導体チャネル105から離れた外壁と比べて、半導体チャネル105により近い。更に、絶縁層106の半導体チャネル105から離れた外壁は、第1誘電体層113の半導体チャネル105から離れた外壁と比べて、半導体チャネル105により近い。ここで、絶縁層106の材料は、酸化シリコンである。

【0056】

他の実施例において、絶縁層と第2誘電体層は、同じ膜層構造であり得、つまり、絶縁層と第2誘電体層は、同じ工程により形成されることができる。ここで、絶縁層の材料と

50

第 2 誘電体層の材料は、酸化シリコン又は窒化シリコンのうちの少なくとも 1 つを含む。

【 0 0 5 7 】

第 1 間隔、第 2 間隔と第 3 間隔は、互いに連通される。

【 0 0 5 8 】

いくつかの例において、図 2 ないし図 4 を参照すると、第 1 間隔と第 2 間隔の基板 1 1 への正投影は重なり、第 3 誘電体層 1 3 3 を第 1 間隔、第 2 間隔と第 3 間隔に満タンに充填し、且つ第 3 誘電体層 1 3 3 の基板 1 1 から離れた上面は、第 2 ドープ領域 I I I の基板 1 1 から離れた上面より高い。

【 0 0 5 9 】

他のいくつかの例において、図 5 を参照すると、第 2 間隔に位置する第 3 誘電体層 1 3 3 の中に隙間 1 0 9 があり、つまり、隣接するワードライン 1 0 7 間に、第 3 誘電体層 1 3 3 以外に、隙間 1 0 9 も有し、隣接するワードライン 1 0 7 の間に生じる容量を低減して、半導体構造の電気的特性を向上させることに役立つ。他の例において、隙間は、第 2 間隔に位置する第 3 誘電体層だけではなく、第 1 間隔の中に位置する第 3 誘電体層にも存在し、又は第 3 間隔に位置する第 3 誘電体層に存在し得る。

【 0 0 6 0 】

半導体構造は更に、第 2 ドープ領域 I I I の基板 1 1 から離れた上面に位置する金属接触層 1 0 8 を備えることができ、金属半導体化合物 1 1 4 と金属接触層 1 0 8 内に、同じ金属元素を有する。ここで、金属元素は、コバルト、ニッケル、モリブデン、チタン、タングステン、タンタル又は白金のうちの少なくとも 1 つを含む。

【 0 0 6 1 】

金属接触層 1 0 8 に金属元素が含まれるため、後続で金属接触層 1 0 8 上に容量構造の下部電極を形成する時に、金属接触層 1 0 8 と下部電極によってオーミック接触を構成し、下部電極が半導体材料と直接接触することによってショットキー障壁接触を形成することを回避し、オーミック接触は、第 2 ドープ領域 I I I と下部電極との間の接触抵抗を低減することに役立ち、それにより、半導体構造の動作中のエネルギー消費量を低減させ、R C 遅延効果を改善させ、半導体構造の電気的性能を向上させる。更に、製作工程において、金属接触層 1 0 8 と金属半導体化合物 1 1 4 には同じ金属元素が含まれるため、1 つの工程ステップで、金属接触層 1 0 8 を形成し、ビットライン 1 0 4 に金属半導体化合物 1 1 4 を形成することに役立つ。

【 0 0 6 2 】

本開示のいくつかの実施例において、金属接触層 1 0 8 の基板 1 1 への正投影は、第 2 ドープ領域 I I I の基板 1 1 への正投影を覆うことは、金属接触層 1 0 8 と下部電極との間の接触面積を増加することに役立ち、それにより、金属接触層 1 0 8 と下部電極との間の接触抵抗を低減して、半導体構造の電気的性能を向上させる。

【 0 0 6 3 】

半導体構造は更に、第 2 ドープ領域 I I I と金属接触層 1 0 8 との間に位置する過渡層 1 1 8 を備え、過渡層 1 1 8 は、第 2 ドープ領域 I I I の上面の一部に位置し、金属接触層 1 0 8 は過渡層 1 1 8 のその他の表面を包み、過渡層 1 1 8 と第 2 ドープ領域 I I I に同じ種類のドーパイオンがドーピングされ、且つ過渡層 1 1 8 におけるドーパイオンのドーピング濃度は、第 2 ドープ領域 I I I におけるドーピング濃度より大きく、すると、過渡層 1 1 8 の抵抗は、第 2 ドープ領域 I I I の抵抗より小さく、第 2 ドープ領域 I I I と下部電極との間の伝送抵抗を更に低減することに役立つ。

【 0 0 6 4 】

他の実施例において、半導体構造は、過渡層を含まず、第 2 ドープ領域の上面は金属接触層のみを有してもよい。

【 0 0 6 5 】

半導体構造は更に、金属接触層 1 0 8 と第 3 誘電体層 1 3 3 によって共同に構成された表面に位置する容量構造（未図示）を備えることができる。

【 0 0 6 6 】

10

20

30

40

50

上記に記載されたように、基板 11 に垂直な G A A トランジスタが配置され、且つビットライン 104 は、基板 11 と G A A トランジスタとの間に位置するため、3D 積層された半導体構造を構成することができ、半導体構造の集積密度を向上させることに役立つ。しかも、ビットライン 104 の材料は、金属半導体化合物 114 を含み、ビットライン 104 の抵抗を低下させ、ビットライン 104 と第 1 ドープ領域 I との接触抵抗を低下させ、更に、半導体構造の電气的性能を向上させることに役立つ。更に、半導体チャネル 105 によって構成された素子がジャンクションレストランジスタであることによって、超急峻なソース・ドレイン濃度勾配工程を採用することを回避することに役立ち、よって、ドーピングの急変による閾値電圧のドリフトや漏れ電流の増加などの問題を回避することができ、更に、短チャネル効果を抑制することに役立ち、それにより、半導体構造の集積密度と電气的性能を更に向上させる。

10

【0067】

それに対応して、本開示のまた別の実施例は更に、上記の半導体構造を形成するために使用される、半導体構造の製作方法を提供する。

【0068】

図 1 ないし図 35 は、本開示のまた別の実施例による半導体構造の製作方法における各ステップに対応する断面構造の概略図であり、以下では、図面を参照して本実施例による半導体構造の製作方法について詳細に説明し、上述した実施例と同じ又は対応する部分については、以下では繰り返して詳細に説明しない。

【0069】

20

図 6 ないし図 9 を参照すると、基板 11 を提供し、基板 11 上に初期ビットライン 124 を形成し、初期ビットライン 124 の基板 11 から離れた表面に半導体チャネル 105 を形成し、基板 11 から初期ビットライン 124 に指す方向に沿って、半導体チャネル 105 は、順次に配置された第 1 ドープ領域 I、チャネル領域 II 及び第 2 ドープ領域 II を含む。

【0070】

基板 11 を提供し、基板 11 上に初期ビットライン 124 と半導体チャネル 105 を形成することは、以下のステップを含む。

【0071】

図 6 を参照すると、ベース 110 を提供し、ベース 110 の材料の種類は、元素半導体材料又は結晶無機化合物半導体材料であってもよい。元素半導体材料は、シリコン又はゲルマニウムであってもよく、結晶無機化合物半導体材料は、炭化ケイ素、シリコンゲルマニウム、砒化ガリウム又はインジウムガリウムなどであってもよい。

30

【0072】

ベース 110 は、基板 11 と、基板 11 上に配置された初期半導体層 10 と、を備え、基板 11 に第 1 種類のイオンがドーピングされる。

【0073】

初期半導体層 10 に対してドーピング処理及び焼鈍処理を行い、後続で初期半導体層 10 をエッチングして初期ビットライン 124 と半導体チャネル 105 を形成するために、初期半導体層 10 に第 2 種類のイオンがドーピングされ、且つ第 2 種類のイオンは、第 1 種類のイオンと異なり、第 1 種類のイオンと第 2 種類のイオンは両方とも、N 型イオン又は P 型イオンのうちの 1 つである。

40

【0074】

ここで、ドーピング処理は、高温拡散又はイオン注入の方法を採用することができ、イオン注入の方式により初期半導体層 10 に対してドーピング処理を行った後、焼鈍処理の焼鈍温度は、800 ~ 1000 である。

【0075】

本実施例において、初期半導体層 10 における第 2 種類のイオンのドーピング濃度は、 $1 \times 10^{19} \text{ atom/cm}^3 \sim 1 \times 10^{20} \text{ atom/cm}^3$ であり、初期半導体層 10 から基板 11 に指す方向に、初期半導体層 10 における第 2 種類のイオンのドーピング深

50

さは、150nm～250nmである。更に、第1種類のイオンは、P型イオンであり、第2種類のイオンは、N型イオンである。他の実施例において、第1種類のイオンは、N型イオンであってもよく、第2種類のイオンは、P型イオンであってもよい。

【0076】

初期半導体層10の基板11から離れた側に、バッファ層120とバリア層130が順次積層される。いくつかの例において、堆積工程によりバッファ層120とバリア層130を形成することができ、バッファ層120の材料は、酸化シリコンであり、バリア層130の材料は、窒化シリコンである。

【0077】

本開示のいくつかの実施例において、化学気相堆積工程により窒化シリコンを堆積してバリア層130を形成することができ、窒化シリコン膜層の酸化速度が非常に遅いため、窒化シリコン膜層の下に位置するベース100を保護し、ベース100が酸化されることを防止することができる。

10

【0078】

いくつかの例において、ベース110はシリコンベースであり、窒化シリコンの格子定数と熱膨張係数、及びシリコンベースの格子定数と熱膨張係数のミスマッチ率が大きいため、シリコンベース上に窒化シリコンを直接に形成すると、窒化シリコンとシリコンとの界面の欠陥密度が大きくなり、キャリアトラップや再結合中心となりやすく、シリコンのキャリアモビリティに影響を及ぼし、それにより、半導体構造の性能と動作寿命に影響を及ぼす。そして、窒化シリコン膜の応力が大きく、シリコンベース上に直接に堆積すると、クラックが発生しやすい。したがって、シリコンベース上に窒化シリコンを堆積する前に、まずバッファ層120として酸化シリコンを形成し、それによって半導体構造の性能と動作寿命を向上させることに役立つ。

20

【0079】

続けて図6を参照すると、バリア層130に第1マスク層102を形成し、第1マスク層102は互いに離間した複数の第1開口部bを有し、第1開口部bの延在方向Xに、第1開口部bの長さは、後続で形成されるビットラインの長さと一致する。

【0080】

図7を参照すると、第1マスク層102をマスクとしてバリア層130、バッファ層120及び初期半導体層10をエッチングし、複数の第1トレンチaを形成し、第1マスク層102を除去する。

30

【0081】

本実施例において、基板11の表面に垂直する方向Zに沿って、第1トレンチaの深さは、250～300nmである。第1トレンチaの深さが初期半導体層10における第2種類のイオンのドーピング深さより大きいため、第2種類のイオンがドーピングされた初期半導体層10がいずれもエッチングされるようにすることに役立ち、後続で第2種類のイオンのドーピング濃度が高い半導体チャネルとビットラインを形成しやすくする。

【0082】

図8を参照すると、第1トレンチa内に第4誘電体層143を形成する。

【0083】

40

本実施例において、以下の工程ステップを採用して第4誘電体層143を形成することができ、即ち、堆積工程を行うことによって、バリア層130の上面を覆いながら第1トレンチaに満タンに充填する第4誘電体膜を形成し、バリア層130の上面を露出するまで、第4誘電体膜に対して化学機械平坦化処理を行い、残余の第4誘電体膜を第4誘電体層143とする。ここで、第4誘電体膜の材料は、酸化シリコンを含む。

【0084】

本開示のいくつかの実施例において、第4誘電体層143と残余のベース110によって構成された上面に、第2マスク層112を形成し、第2マスク層112は、互いに離間した複数の第2開口部cを有し、第2開口部cの延在方向Yに沿って、第2開口部cの長さは、後続で形成されるワードラインの長さと一致する。

50

【0085】

本実施例において、図6と図8とを組み合わせると、第1開口部bの延在方向Xは、第2開口部cの延在方向Yに垂直し、最終的に形成される半導体チャネル105は4F2配列になり、半導体構造の集積密度を更に向上させることに役立つ。他の実施例において、第1開口部の延在方向は、第2開口部の延在方向と交差し、両者の間の夾角は、90°でなくてもよい。

【0086】

本開示のいくつかの実施例において、第1開口部bの方向Yに沿った開口幅と、第2開口部cの方向Xに沿った開口幅の比は、2~1であり、それによって、後続でチャネル領域IIの側壁を取り囲む第1誘電体層を露出する通孔を形成することができることを保証し、それにより、後続でワードラインを製造するための第1隙間を形成することに役立つ。いくつかの例において、第1開口部bの方向Yに沿った開口幅は、第2開口部cの方向Xに沿った開口幅と等しく、隣接する第1開口部bの間隔は、隣接する第2開口部cの間隔と等しく、一方では、後続で形成される複数の半導体チャネルが揃えて配置され、半導体構造の集積密度を更に向上させ、他方では、同じマスクを採用して第1マスク層102と第2マスク層112を形成し、半導体構造の製造コストを低減することに役立つ。

【0087】

本実施例において、第1マスク層102の形成方法と第2マスク層112の形成方法は、いずれも、自己整合四重パターニング(SAQP: Self-Aligned Quadruple Patterning)又は自己整合ダブルパターニング(SADP: Self-Aligned Double Patterning)を含む。

【0088】

図9を参照すると、第2マスク層112をマスクとして初期半導体層10(図6を参照)と第4誘電体層143をエッチングして、複数の第2トレンチd、初期ビットライン124と半導体チャネル105を形成し、基板11の表面に垂直する方向Zにおいて、第2トレンチdの深さは、第1トレンチaの深さより小さく、初期ビットライン124を形成しながら、初期ビットライン124の基板11から離れた側に互いに離間した複数の半導体チャネル105を形成することに役立ち、且つ初期ビットライン124は、半導体チャネル105の第1ドープ領域Iと接触しており、第2マスク層112を除去する。

【0089】

いくつかの例において、第2トレンチdの深さは、100nm~150nmであり、初期半導体層10における第2種類のイオンのドーピング深さが150nm~250nmであるため、第2種類のイオンがドーピングされたほとんど又はすべての初期半導体層10を、2回のエッチングにより半導体チャネル105に変化させることに役立つ。

【0090】

更に、ベース110の材料は、シリコンであり、第4誘電体層143の材料は、酸化シリコンであり、第2マスク層112をマスクとして初期半導体層10と第4誘電体層143をエッチングするステップにおいて、エッチング工程による酸化シリコンのエッチング速度は、シリコンのエッチング速度より大きいので、初期ビットライン124の側壁の一部は露出される。

【0091】

隣接する初期ビットライン124と、隣接する半導体チャネル105との間の電気絶縁を実現するために、第2マスク層112をマスクとして初期半導体層10と第4誘電体層143をエッチングした後、残余の第4誘電体層143は、隣接する初期ビットライン124の間隔の中に位置し、及び隣接する半導体チャネル105の間隔の中に位置する。

【0092】

第1ドープ領域I、チャネル領域IIと第2ドープ領域IIIにおけるドーバイオンの種類が同じであり、例えば、ドーバイオンがすべてN型イオンであり、第1ドープ領域I、チャネル領域IIと第2ドープ領域IIIにおけるドーバイオンのドーピング濃度は同じであり、つまり、半導体チャネル105によって構成された素子は、ジャンクションレ

10

20

30

40

50

ストランジスタである。第1ドープ領域Ⅰ、チャンネル領域ⅠⅠと第2ドープ領域ⅠⅠⅠにおけるドーピングは、同じであってもよい。このようにして、第1ドープ領域Ⅰと第2ドープ領域ⅠⅠⅠに対して更なるドーピングを行う必要がなくなり、それにより、第1ドープ領域Ⅰと第2ドープ領域ⅠⅠⅠに対するドーピング工程が制御困難であるという問題を回避することができ、特に、トランジスタのサイズが更に縮小されるにつれて、第1ドープ領域Ⅰと第2ドープ領域ⅠⅠⅠに対して更なるドーピングを行う場合、ドーピング濃度の制御がより困難になる。一方、素子がジャンクションレストランジスタであることによって、超急峻なソース・ドレイン濃度勾配工程を採用することでナノスケールの範囲で超急峻なPN接合を製作する現象を減らすことに役立ち、よって、ドーピングの急変による閾値電圧ドリフトや漏れ電流の増加などの問題を回避することができ、更に、短チャンネル効果を抑制し、数ナノメートルのスケール範囲でも機能できるため、半導体構造の集積密度と電氣的性能を更に向上させることに役立つ。ここで、更なるドーピングとは、第1ドープ領域Ⅰと第2ドープ領域ⅠⅠⅠのドーピング種類をチャンネル領域ⅠⅠのドーピング種類と相違させるために行われるドーピングを指す。

10

【0093】

本開示のいくつかの実施例において、半導体チャンネル105に初期ビットライン124の基板11から離れた上面に垂直するGAAトランジスタを形成し、3D積層された半導体構造を構成することができ、GAAトランジスタの電氣的性能に悪影響を与えることなく、GAAトランジスタを小型に設計して、半導体構造の集積密度を向上させることに役立つ。

20

【0094】

本実施例において、第1マスク層102と第2マスク層112を利用し、2回のエッチング工程により初期ビットライン124と半導体チャンネル105を同時に形成し、一方では、第1開口部bと第2開口部cのサイズを調整することによって、半導体チャンネル105のサイズを調整し、サイズ精度がより高い半導体チャンネル105を形成し、他方では、初期ビットライン124と半導体チャンネル105は両方とも初期半導体層10をエッチングすることにより形成され、つまり、初期ビットライン124と半導体チャンネル105は、同じ膜層構造を利用して形成され、それによって初期ビットライン124と半導体チャンネル105が一体構造になり、それにより、初期ビットライン124と半導体チャンネル105との間の界面準位の欠陥を改善し、半導体構造の性能を向上させる。更に、第1マスク層102をマスクとして初期半導体層10をエッチングした後、第1トレンチaに第4誘電体層143をさらに形成し、それによって、後続でチャンネル領域ⅠⅠの側壁と第1分離層との間に隙間を形成するための事前準備を行い、それにより、後続でワードラインを製造する第1隙間を形成することに役立つ。

30

【0095】

図10ないし図35を参照すると、第1ドープ領域Ⅰの側壁表面を覆う第1誘電体層113を形成し、同じ初期ビットライン124上の、隣接する第1ドープ領域Ⅰの側壁の第1誘電体層113の間に第1間隔が設けられ、チャンネル領域ⅠⅠの側壁表面を覆う絶縁層106を形成し、絶縁層106のチャンネル領域ⅠⅠから離れた側壁表面を覆うワードライン107を形成し、隣接するワードライン107の間に第2間隔が設けられ、第2ドープ領域ⅠⅠⅠの側壁表面を覆う第2誘電体層123を形成し、隣接する第2ドープ領域ⅠⅠⅠの側壁に位置する第2誘電体層123の間に第3間隔が設けられ、第1間隔、第2間隔及び第3間隔は連通され、初期ビットライン124の一部を露出し、露出された初期ビットライン124に対して金属化処理を行うことにより、ビットライン104を形成し、ビットライン104の材料は、金属半導体化合物114を含む。

40

【0096】

ここで、図12は、図11に示す構造の第1断面方向AA1に沿った例示的な断面図であり、図13は、図11に示す構造の第2断面方向BB1に沿った例示的な断面図である。後続では、記載の便利上、第1断面方向AA1に沿った例示的な断面図及び第2断面方向BB1に沿った例示的な断面図のうち的一方又は両方を設定し、1つの図面のみを参照

50

するとき、図面は、第1断面方向A A 1に沿った例示的な断面図であり、2つの図面を同時に参照するとき、図面は、まず第1断面方向A A 1に沿った例示的な断面図であり、その次に第2断面方向B B 1に沿った例示的な断面図である。

【0097】

いくつかの例において、図10ないし図27を参照すると、第1誘電体層113、絶縁層106、ワードライン107及び第2誘電体層123を形成することは、以下のステップを含む。

【0098】

図10ないし図11を参照すると、初期第1誘電体層113aを形成し、初期第1誘電体層113aは、半導体チャネル105の側壁を取り囲み、且つ同じ初期ビットライン124上の、隣接する半導体チャネル105の側壁に位置する初期第1誘電体層113aの間に第4間隔eが設けられる。

10

【0099】

図10を参照すると、第5誘電体膜103を形成し、第5誘電体膜103は、第2トレンチd（参考図9）の側壁と底部を外形のままで保持して覆い、バリア層130と第4誘電体層143の上面に位置する。

【0100】

図10と図11を組み合わせると、バリア層130を露出するまで、第5誘電体膜103に対してマスクなしのドライエッチング工程を行い、同じエッチング時間で、エッチング工程によってエッチングされる第5誘電体膜103の異なる領域の厚さは同じであり、第5誘電体層153を形成する。

20

【0101】

図11ないし図13を組み合わせると、第4誘電体層143は、第2トレンチd（図9を参照）の側壁に位置し、第4誘電体層143は、隣接する半導体チャネル105の間隔の中に位置し、第4誘電体層143と第5誘電体層153によって初期第1誘電体層113aを構成し、第2トレンチdの側壁に位置する第5誘電体層153の間に第4間隔eが設けられる。

【0102】

ここで、後続でエッチング工程により、チャネル領域I Iの側壁に対応する第4誘電体層143と第5誘電体層153を同時に除去することを容易にするために、第4誘電体層143の材料は、第5誘電体層153の材料と同じであり、それにより、チャネル領域I Iの側壁と後続で形成される第1分離層との間に隙間を形成し、それにより、後続でワードラインを製造する隙間を形成することに役立つ。第4誘電体層143の材料と第5誘電体層153の材料は、両方とも酸化シリコンである。

30

【0103】

他の実施例において、第4誘電体層の材料と第5誘電体層の材料が、良好な絶縁効果を有する材料であれば、第4誘電体層の材料は、第5誘電体層の材料と異なってもよく、チャネル領域の側壁に対応する第4誘電体層と第5誘電体層を別々に除去することができる。

【0104】

図14を参照すると、第1分離層163を形成し、第1分離層163が第4間隔eに満タンに充填され、第1分離層163の材料は、初期第1誘電体層113aの材料と異なる。

40

【0105】

以下の工程ステップを採用して第1分離層163を形成することができ、即ち、堆積工程を行うことによって、バリア層130の上面を覆いながら第4間隔eに満タンに充填する第1隔離膜を形成し、第2ドープ領域I I Iの上面を露出するまで、第1隔離膜、バリア層130、バッファ層120及び初期第1誘電体層113aに対して化学機械平坦化処理を行い、残余の第1隔離膜を第1分離層163とする。ここで、第1隔離膜の材料は、窒化シリコンを含む。

【0106】

図15を参照すると、第2ドープ領域I I Iの側壁を露出するまで、初期第1誘電体層

50

1 1 3 aの一部をエッチングする。

【0107】

図16ないし図19を参照すると、ここで、図17は、図16の例示的な上面図であり、図18は、第3断面方向CC1に沿った例示的な断面図であり、図19は、第2断面方向BB1に沿った例示的な断面図である。

【0108】

第2分離層173を形成し、第2分離層173は、第2ドープ領域IIIの側壁を取り囲んで第1分離層163の側壁に位置し、第2ドープ領域IIIの側壁に位置する第2分離層173と第1分離層163の側壁に位置する第2分離層173とによって通孔fを形成し、通孔fの底部で初期第1誘電体層113aが露出され、第2分離層173の材料は、初期第1誘電体層113aの材料と異なる。

10

【0109】

本開示のいくつかの実施例において、図18と図19を参照すると、第2分離層173は、第2ドープ領域IIIの側壁を取り囲みながら、第5誘電体層153の上面と第4誘電体層143の一部上面を覆い、通孔fで露出されるのは第4誘電体層143の上面の一部である。

【0110】

本実施例において、以下の工程ステップを採用して第2分離層173を形成することができ、即ち、堆積工程を行うことによって、半導体チャネル105、初期第1誘電体層113a及び第1分離層163によって構成された表面を外形のままで保持して覆う第2隔離膜を形成し、第2ドープ領域IIIの上面を露出するまで、第2隔離膜に対してマスクなしのドライエッチング工程を行い、同じエッチング時間で、エッチング工程によってエッチングされる第2隔離膜の異なる領域の厚さは同じであり、第1分離層163を露出する第2分離層173を形成する。ここで、第2分離層173の材料は、窒化シリコンを含む。

20

【0111】

更に、前述した第1マスク層102と第2マスク層112において、第1開口部bの方向Yに沿った開口幅と、第2開口部cの方向Xに沿った開口幅との比は、2~1であり、それによって、第2分離層173を形成するとき、第2分離層173が、同じ初期ビットライン124上の隣接する半導体チャネル105の間の間隔に充填されると同時に、隣接する初期ビットライン124上の隣接する半導体チャネル105の間の隙間に満タンに充填されないことを保証することに役に立ち、それにより、第4誘電体層143の一部上面を露出する通孔fを形成することを保証し、後続で通孔fを利用して初期第1誘電体層113aの一部を除去することを容易にする。

30

【0112】

図20ないし図22を参照すると、通孔fから露出された、チャネル領域IIIの側壁に位置する初期第1誘電体層113aを除去し、残余の前記初期第1誘電体層113aを第1誘電体層113とする。

【0113】

通孔fから第1誘電体層113の一部上面が露出され、第1誘電体層113の材料は、第2誘電体層123と第3誘電体層133の材料と異なるため、通孔fにエッチング溶液を注入し、ウェットエッチング工程によって、チャネル領域IIIの側壁に位置する第1誘電体層113を除去し、第1ドープ領域Iの側壁に位置する第1誘電体層113を保留する。

40

【0114】

更に、第1分離層163と第2分離層173によって支持骨組を構成し、支持骨組は、第2ドープ領域IIIと接触するように接続し、支持骨組の一部は、第1誘電体層113に嵌め込まれる。ウェットエッチング工程を行うステップにおいて、一方では、支持骨組は、半導体チャネル105を支持し固定する役割を果たし、エッチング溶液が流れる時に半導体チャネル105への押圧力が生じ、半導体チャネル105が押されて傾いたりずれ

50

たりすることを防止して、半導体構造の安定性を向上させ、他方では、支持骨組が第2ドーブ領域ⅠⅠⅠの側壁を包み、エッチング溶液による第2ドーブ領域ⅠⅠⅠに対する損傷を回避することに役立つ。

【0115】

チャネル領域ⅠⅠの側壁に位置する初期第1誘電体層113aを除去した後、チャネル領域ⅠⅠと第1分離層163との間に第2隙間gが形成され、通孔fと第2隙間gによって洞穴構造hを形成する。

【0116】

図23と図24を参照すると、露出されたチャネル領域ⅠⅠの側壁に対して熱酸化処理を行うことによって絶縁層106を形成し、絶縁層106は、残余のチャネル領域ⅠⅠの側壁表面を覆い、絶縁層106と第1分離層163との間に第5間隔iが設けられる。

10

【0117】

本開示のいくつかの実施例において、図24を参照すると、第5間隔iは更に、隣接する初期ビットライン124の隣接する半導体チャネル105の側壁の絶縁層106の間に位置する。

【0118】

熱酸化処理中に、第2ドーブ領域ⅠⅠⅠの上面も外に露出されるため、第2ドーブ領域ⅠⅠⅠの、上面に近い一部領域とチャネル領域ⅠⅠの一部領域はいずれも絶縁層106に変わり、それによって、チャネル領域ⅠⅠの基板11への正投影を、第2ドーブ領域ⅠⅠⅠの基板11への正投影より小さくさせ、且つ第1ドーブ領域Ⅰの基板11への正投影より小さくさせることができる。これは、エッチング工程を採用しない前提で、初期ビットライン124の半導体チャネル105に指す方向Zに垂直する断面において、断面面積がより小さいチャネル領域ⅠⅠを形成することに役立ち、後続で形成されるワードラインのチャネル領域ⅠⅠに対する制御能力を向上させることに役立ち、それにより、GAAトランジスタの導通又は遮断をより容易に制御する。ここで、絶縁層106の材料は、酸化シリコンである。他の実施例において、堆積工程を採用してチャネル領域の側壁表面を覆う絶縁層を形成してもよい。

20

【0119】

本実施例において、後続の工程ステップで残余の第2ドーブ領域ⅠⅠⅠの上面に位置する絶縁層106を除去する。他の実施例において、熱酸化処理の後、残余の第2ドーブ領域の上面に位置する絶縁層を除去し、残余のチャネル領域の側壁表面を覆う絶縁層のみを保留することができる。

30

【0120】

続けて図23と図24を参照すると、絶縁層106の外囲の基板11への正投影は、第2分離層173の外囲の基板11への正投影より小さく、つまり、絶縁層106の半導体チャネル105から離れた外壁は、第2分離層173の半導体チャネル105から離れた外壁と比べて、半導体チャネル105により近く、それにより、絶縁層106と第1分離層163との間に第5間隔iがあることを保証し、それによって、後続でワードラインがチャネル領域ⅠⅠの側壁に位置する絶縁層106を取り囲むことができる。更に、絶縁層106の半導体チャネル105から離れた外壁は、第1誘電体層113(図20を参照)の半導体チャネル105から離れた外壁と比べて、半導体チャネル105により近くてもよい。

40

【0121】

図25ないし図27を参照すると、初期ワードラインを形成し、初期ワードラインが第5間隔iと通孔fに満タンに充填され、初期ワードラインは更に、隣接する初期ビットライン124上のチャネル領域ⅠⅠの側壁の絶縁層106間に位置し、通孔fに位置する初期ワードラインを除去し、残余の初期ワードラインをワードライン107とする。ここで、堆積工程によって、初期ワードラインを形成することができ、初期ワードラインの材料は、ポリシリコン、窒化チタン、窒化タンタル、銅又はタングステンのうちの少なくとも1つを含む。

50

【 0 1 2 2 】

初期ワードラインは、洞穴構造 h (図 2 0 を参照) に自己整合的に充填され、それによって、通孔 f に位置する初期ワードラインを除去した後、エッチング工程によってワードライン 1 0 7 のサイズを設計する必要なく、正確なサイズのワードライン 1 0 7 を自己整合的に形成することに役立ち、ワードライン 1 0 7 の形成ステップを簡略化することに役立ち、第 5 間隔 i のサイズを調整することにより、小型のワードライン 1 0 7 を得ることができる。

【 0 1 2 3 】

図 2 8 を参照すると、ワードライン 1 0 7 を形成した後、更に第 3 分離層 1 8 3 を形成し、第 3 分離層 1 8 3 が通孔 f (図 2 6 を参照) に充填される。

10

【 0 1 2 4 】

本実施例において、以下の工程ステップを採用して第 3 分離層 1 8 3 を形成することができ、即ち、堆積工程を行うことによって、第 2 ドープ領域 I I I の上面に位置する絶縁層 1 0 6 の上面を覆いながら、通孔 f に満タンに充填する第 3 隔離膜を形成し、絶縁層 1 0 6 の上面を露出するまで、第 3 隔離膜に対して化学機械平坦化処理を行い、残余の第 3 隔離膜を第 3 分離層 1 8 3 とする。ここで、第 3 隔離膜は、第 1 分離層と第 2 分離層の材料と同じであり、いずれも窒化シリコンを含む。他の実施例において、第 2 ドープ領域の上面を露出するまで、第 3 隔離膜に対して化学機械平坦化処理を行うこともでき、つまり、第 2 ドープ領域の上面に位置する絶縁層を同期的に除去し、残余の第 3 隔離膜を第 3 分離層とする。

20

【 0 1 2 5 】

続けて図 2 8 を参照すると、第 2 ドープ領域 I I I の上面に位置する絶縁層 1 0 6 を除去し、エピタキシャル成長工程を採用して、第 2 ドープ領域 I I I の上面に初期過渡層 1 2 8 を形成し、初期過渡層 1 2 8 の基板 1 1 への正投影は、第 2 ドープ領域 I I I の基板 1 1 への正投影を覆う。

【 0 1 2 6 】

更に、エピタキシャル成長の工程ステップにおいて、初期過渡層 1 2 8 に第 2 ドープ領域 I I I と同じ種類のドーピングがさらにドーピングされ、初期過渡層 1 2 8 におけるドーピングのドーピング濃度が、第 2 ドープ領域 I I I におけるドーピング濃度より大きく、初期過渡層 1 2 8 の抵抗は、第 2 ドープ領域 I I I の抵抗より小さい。

30

【 0 1 2 7 】

エピタキシャル成長工程を採用することは、第 2 ドープ領域 I I I と初期過渡層 1 2 8 との間の連続性を改善し、異なる結晶格子特性又は結晶格子ズレによる接触欠陥を低減し、接触欠陥による接触抵抗を低減し、キャリアの伝送能力や移動速度を改善し、更に、第 2 ドープ領域 I I I と初期過渡層 1 2 8 との間の導電性能を向上させ、半導体構造の実行中に生じる熱を低減することに役立つ。さらに、エピタキシャル成長工程を採用することは、初期過渡層 1 2 8 の基板 1 1 への正投影を増加させることに役立ち、初期過渡層 1 2 8 の基板 1 1 への正投影面積が、第 2 ドープ領域 I I I の基板 1 1 への正投影面積より大きくすることに有利であり、後続でマスクとして使用することができ、第 2 ドープ領域 I I I の側壁を取り囲む第 2 誘電体層が、第 2 ドープ領域 I I I を露出するまでエッチングされることを回避して、後続で形成される第 2 誘電体層の第 2 ドープ領域 I I I に対する良好な保護効果を保証することに役立つ。

40

【 0 1 2 8 】

図 2 8 と図 2 9 を組み合わせて参照すると、初期過渡層 1 2 8 をマスクとして、第 1 分離層 1 6 3、第 2 分離層 1 7 3 及び第 3 分離層 1 8 3 をエッチングして、第 2 ドープ領域 I I I の側壁を露出し、残余の第 1 分離層 1 6 3 の上面は、ワードライン 1 0 7 の上面より高くない。ここで、初期過渡層 1 2 8 の基板 1 1 への正投影は、第 2 ドープ領域 I I I の基板 1 1 への正投影を覆い、それによって、当該ステップで半導体チャネル 1 0 5 がエッチングによって損傷されるのを防ぐことに役立つ。

【 0 1 2 9 】

50

図30を参照すると、初期過渡層128の表面、第2ドープ領域IIIの側壁、ワードライン107の上面及び第1分離層163（図29を参照）の上面を外形のままで保持して覆う第2誘電体膜を形成し、初期過渡層128の表面を露出するまで、第2誘電体膜に対して化学機械平坦化処理を行い、初期過渡層128をマスクとして残余の第2誘電体層123をエッチングし、初期過渡層128の基板11への正投影面積が、第2ドープ領域IIIの基板11への正投影面積より大きいため、初期過渡層128の表面、第1分離層163の上面及びワードライン107の一部上面に位置する第2誘電体膜を除去する同時に、初期過渡層128の基板11への正投影に正対する第2誘電体膜がエッチングされることを防ぎ、それにより、第2ドープ領域IIIの側壁を取り囲む第2誘電体層123を形成して、第2誘電体層123の第2ドープ領域IIIに対する良好な保護効果を保証する。ここで、堆積工程を採用して第2誘電体膜を形成することができる。

10

【0130】

本開示のいくつかの実施例において、図30を参照すると、残余の第1分離層163を除去して、初期ビットライン124の上面を露出する。

【0131】

他の実施例において、初期過渡層をマスクとして、第1分離層、第2分離層及び第3分離層をエッチングして、初期ビットライン、第2ドープ領域の側壁を露出し、そして、露出された第2ドープ領域の側壁に対して熱酸化処理を行い、第2誘電体層を形成する。

【0132】

図1ないし図4を参照すると、露出された初期ビットライン124と初期過渡層128に対して金属化処理を行うことによって、ビットライン104を形成し、ビットライン104の材料は、金属半導体化合物114を含む。

20

【0133】

初期過渡層128の表面と初期ビットライン124の上面に金属層を形成し、金属層は、後続のビットラインの形成に金属元素を提供し、金属層は更に、第2誘電体層123、ワードライン107及び第1誘電体層113から露出された表面に位置する。ここで、金属層の材料は、コバルト、ニッケル、モリブデン、チタン、タングステン、タンタル又は白金のうちの少なくとも1つを含む。

【0134】

焼鈍処理を行うことによって、初期過渡層128の厚さの一部を金属接触層108に転化し、初期ビットライン124（図30を参照）の厚さの一部をビットライン104に転化する。

30

【0135】

ビットライン104を形成した後、残余の金属層を除去する。

【0136】

いくつかの実施例において、焼鈍処理中に、金属層は、初期過渡層128と初期ビットライン124と反応し、初期過渡層128の厚さの一部を金属接触層108に転化し、初期ビットライン124の厚さの一部をビットライン104に転化する。一例において、図2を参照すると、同じビットライン104における複数の金属半導体化合物114の間は、互いに間隔を置いて配置され、別の例において、図3を参照すると、同じビットライン104における複数の金属半導体化合物114の間は、互いに連通される。

40

【0137】

他の実施例において、初期過渡層の厚さの全体を金属接触層に転化することができ、初期ビットラインの厚さの全体は、ビットラインに転化することができる。

【0138】

他の実施例において、第2ドープ領域の上面に初期過渡層が形成されていない時に、まず第2ドープ領域の上面に位置する絶縁層を除去せず、後続で初期ビットラインに対して金属化処理を行い、ビットラインを形成した後、第2ドープ領域の上面に位置する絶縁層を除去する。図30を図1ないし図4と組み合わせて参照すると、第3誘電体層133を形成し、第3誘電体層133が、隣接する第1誘電体層113間の第1間隔、隣接するワ

50

ードライン 107 の間の第 2 間隔及び隣接する第 2 誘電体層 123 の間の第 3 間隔に充填され、隣接する半導体チャネル 105 と隣接するワードライン 107 との電気絶縁を実現する。いくつかの例において、図 5 を参照すると、第 3 誘電体層 133 を形成するときに、第 2 間隔に位置する第 3 誘電体層 133 の中に隙間が有り得る。

【0139】

別のいくつかの例において、図 10 ないし図 14 を図 31 ないし図 35 と組み合わせて参照すると、第 1 誘電体層 113、絶縁層 106、ワードライン 107 及び第 2 誘電体層 123 を形成することは、以下のステップを含む。

【0140】

図 10 ないし図 14 を参照すると、初期第 1 誘電体層 113a を形成し、初期第 1 誘電体層 113a は、半導体チャネル 105 の側壁を取り囲み、同じ初期ビットライン 124 上の、隣接する半導体チャネル 105 の側壁に位置する初期第 1 誘電体層 113a 間に第 4 間隔 e が設けられ、第 1 分離層 163 を形成し、第 1 分離層 163 が第 4 間隔 e に充填され、且つ第 1 分離層 163 の材料は、初期第 1 誘電体層 113a の材料と異なる。

【0141】

初期第 1 誘電体層 113a と第 1 分離層 163 を形成するステップは、上記の例と同じであり、ここで繰り返して説明しない。

【0142】

図 31 を参照すると、第 2 ドープ領域 III の側壁とチャネル領域 II の側壁を露出するまで、初期第 1 誘電体層 113a (図 14 を参照) の一部をエッチングし、残余の初期第 1 誘電体層 113a を第 1 誘電体層 113 とする。

【0143】

図 32 ないし図 33 を参照すると、第 2 ドープ領域 III の側壁とチャネル領域 II の側壁を覆う保護層 116 を形成し、保護層 116 と第 1 分離層 163 との間に第 6 間隔 k が設けられ、チャネル領域 II の側壁の保護層 116 は、絶縁層 106 であり、第 2 ドープ領域 III の側壁を覆う保護層 116 は、第 2 誘電体層 123 である。

【0144】

本開示のいくつかの実施例において、図 33 を参照すると、第 6 間隔 k は更に、隣接する初期ビットライン 124 の隣接する半導体チャネル 105 の側壁の保護層 116 の間に設けられる。

【0145】

本実施例において、半導体チャネル 105 の材料はシリコンであり、保護層 116 の形成ステップは、露出されたチャネル領域 II の側壁及び第 2 ドープ領域 III の側壁と第 2 ドープ領域 III の上面に対して熱酸化処理を行い、それによって、保護層 116 は、残余のチャネル領域 II と残余の第 2 ドープ領域 III の側壁表面を覆い、且つ残余の第 2 ドープ領域 III の上面を覆う。他の実施例において、更に、堆積工程によって、チャネル領域の側壁、第 2 ドープ領域の側壁と上面表面を覆う保護層を形成することができる。

【0146】

露出されたチャネル領域 II と第 2 ドープ領域 III の側壁に対して熱酸化処理を行ったため、チャネル領域 II と第 2 ドープ領域 III の一部領域は、保護層 116 に転化され、チャネル領域 II と第 2 ドープ領域 III の基板 11 への正投影を、いずれも、第 1 ドープ領域 I の基板 11 への正投影より小さくし、それによって、エッチング工程を採用しない前提下で、初期ビットライン 124 の半導体チャネル 105 に指す方向 Z に垂直する断面において、断面面積がより小さいチャネル領域 II と第 2 ドープ領域 III を形成することに役立ち、後続で形成されるワードラインのチャネル領域 II に対する制御能力を向上させることに役立ち、それにより、GAA トランジスタの導通又は遮断をより容易に制御する。

【0147】

本実施例において、後続の工程ステップで残余の第 2 ドープ領域 III の上面に位置する保護層 116 を除去する。他の実施例において、熱酸化処理の後、直ちに残余の第 2 ド

10

20

30

40

50

ープ領域の上面に位置する保護層を除去し、残余のチャンネル領域及び残余の第2ドープ領域の側壁表面を覆う保護層のみを保留することができる。

【0148】

図34ないし図35を参照すると、初期ワードラインを形成し、初期ワードラインが第6間隔kに充填され、初期ワードラインは更に、隣接する初期ビットライン124上の半導体チャンネル105の一部側壁の保護層116の間に位置し、初期ワードラインの一部を除去し、残余の初期ワードラインをワードライン107とし、ワードライン107は、チャンネル領域IIの側壁に位置する絶縁層106の側壁のみを取り囲む。ここで、堆積工程によって、初期ワードラインを形成することができ、初期ワードラインの材料は、ポリシリコン、窒化チタン、窒化タンタル、銅又はタングステンのうちの少なくとも1つを含む。

10

【0149】

初期ワードラインを第6間隔kに自己整合的に充填することは、正確なサイズのワードライン107を自己整合的に形成することに役立つ。

【0150】

ワードライン107を形成した後、第3分離層を形成し、初期過渡層を形成し、初期過渡層と初期ビットラインに対して金属化処理を行うことによって、金属接触層とビットラインを形成し、第3誘電体層を形成するステップは、上記の例と同じであり、ここでは繰り返して説明しない。

【0151】

本開示のいくつかの実施例において、金属接触層108と第3誘電体層133によって構成された表面に容量構造（未図示）を形成する。他の実施例において、金属接触層を形成しなくてもよく、第2ドープ領域の上面に位置する絶縁層を除去した後、直接に第2ドープ領域と第3誘電体層によって構成された表面に容量構造を形成する。

20

【0152】

上記に記載されたように、第1誘電体層113と第2誘電体層123を形成し、第2誘電体層123をマスクとして第1誘電体層113をエッチングすることにより、特定形状のボイド構造を形成し、エッチング工程によってワードライン107のサイズを設計する必要なく、堆積工程を採用して、ボイド構造に正確なサイズのワードライン107を自己整合的に形成し、それによって、ワードライン107の形成ステップを簡略化することに役立ち、ボイド構造のサイズを調整することにより、小型のワードライン107を得ることができる。更に、初期ビットライン124と初期過渡層128に対して金属化処理を行うことによって、最終的に形成されるビットライン104と金属接触層108の抵抗を低減し、金属接触層108と容量構造との間にオーミック接触を構成し、容量構造が半導体材料と直接に接触してショットキー障壁接触を形成することを回避することに役立ち、第2ドープ領域IIIと容量構造との間の接触抵抗を低減することに役立ち、それにより、半導体構造の動作中のエネルギー消費量を低減させ、半導体構造の電気的性能を向上させる。

30

【0153】

本明細書の説明において、参照用語「実施例」、「例示的な実施例」、「いくつかの実施形態」、「例示的な実施形態」、「例」などの説明は、当該実施形態又は例を参照する説明の具体的な特徴、構造、材料又は特性は、本願の少なくとも1つの実施形態又は例に含まれることを意味する。

40

【0154】

本明細書において、上記の用語の概略的な表現は、必ずしも同じ実施形態又は例を指すとは限らない。更に、説明した具体的な特徴、構造、材料又は特性は、任意の1つ又は複数の実施形態又は例において、適切な方法で組み合わせることができる。

【0155】

本開示の説明において、説明すべきこととして、用語「中心」、「上」、「下」、「左」、「右」、「垂直」、「水平」、「内」、「外」などが指示するポジション又は位置関係は、図面に示されたポジション又は位置関係に基づき、単に、本開示の説明の便宜上及

50

び簡潔のためであり、言及される装置又は要素が必ずしも特定のポジションを有し、特定のポジションで構築及び操作されると指示又は暗示することではないため、本開示の制限と見なすべきではないことを理解されたい。

【 0 1 5 6 】

本開示で使用される「第 1 」、「第 2 」などという用語は、本開示では様々な構造を説明するために使用されるが、これらの構造は、これらの用語によって限定されない。これらの用語は、構造を別の構造と区別するためにのみ使用される。

【 0 1 5 7 】

1 つ又は複数の図面において、同じ素子は、類似する符号で表示する。明らかにするために、図面におけるいくつかの部分は、縮尺通りに描かれていない。更に、いくつかの周知の部分は、示されていない可能性がある。簡潔にするために、1 つの図面で、複数のステップによって得られた構造を示すことができる。本開示の理解をより明確にするために、本明細書では、素子の構造、材料、サイズ、処理工程や技術などの本開示の複数の特定の詳細を説明する。しかしながら、当業者であれば理解できるように、これらの特定の詳細に従って本開示を実現しなくてもよい。

【 0 1 5 8 】

最後に説明されたいこととして、以上の各実施例は、本開示の技術的解決策を説明するためのものに過ぎず、それに対する制限ではない。前述した各実施例を参照して本開示について詳細に説明したが、当業者であれば理解できるように、依然として、前述した各実施例に記載の技術的解決策を修正するか、又はそのうちの部分又はすべての技術特徴に対して同等に置き換えることができ、これらの修正又は置き換えは、対応する技術的解決策の本質を本開示の各実施例の技術的解決策の範囲を逸脱させない。

【 産業上の利用可能性 】

【 0 1 5 9 】

本開示の実施例による半導体構造及びその製作方法において、基板は垂直な G A A トランジスタを有し、ビットラインは、基板と G A A トランジスタとの間に位置するため、3 D 積層された半導体構造を構成することができ、半導体構造の集積密度を向上させることに役立つ。更に、ビットラインの材料に金属半導体化合物が含まれるため、ビットラインの抵抗を低下し、半導体構造の電気的性能を向上させることに役立つ。

10

20

30

40

50

【図面】

【図 1】

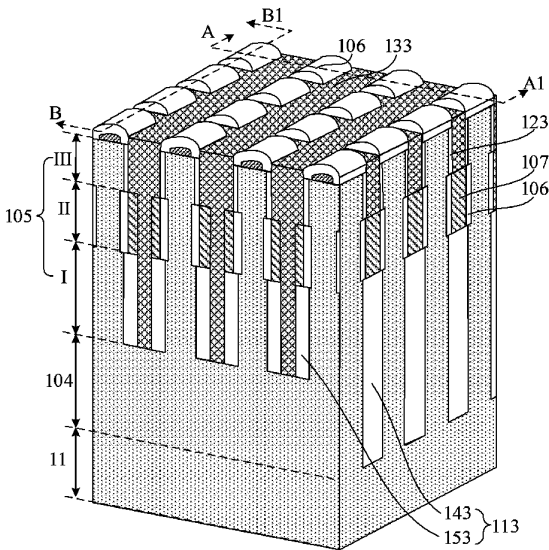


图 1

【図 2】

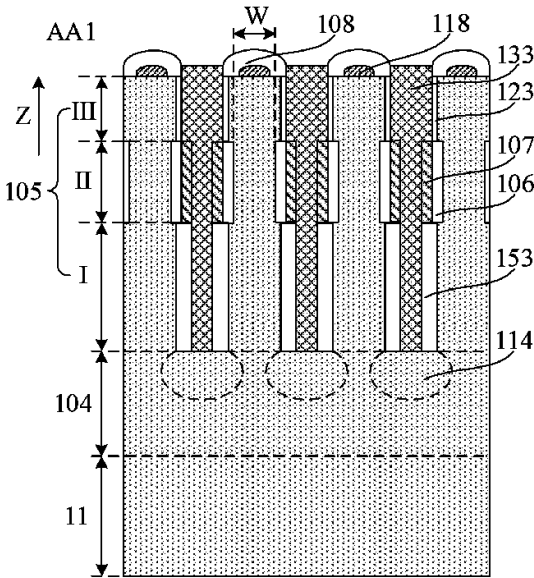


图 2

10

20

【図 3】

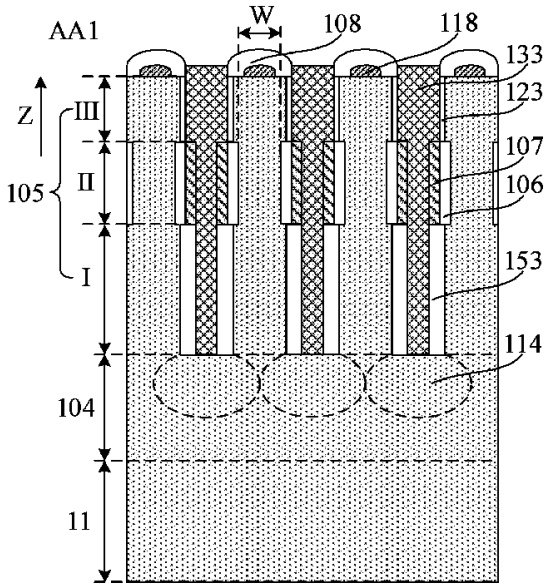


图 3

【図 4】

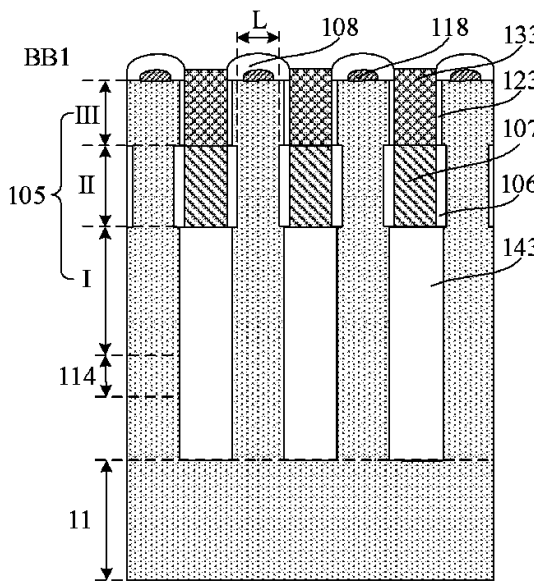


图 4

30

40

50

【 図 5 】

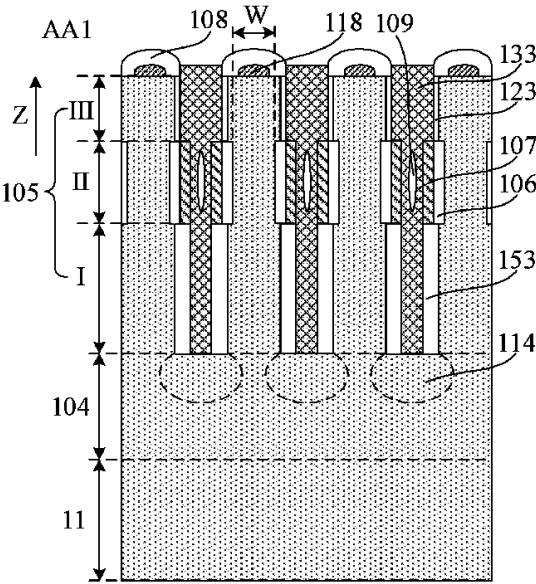


图 5

【 图 6 】

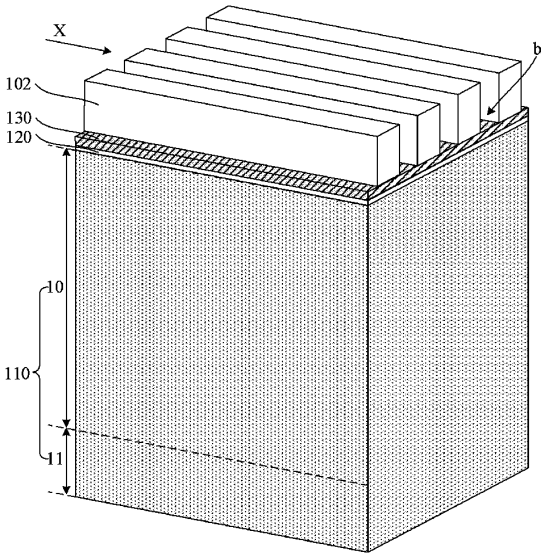


图 6

【 图 7 】

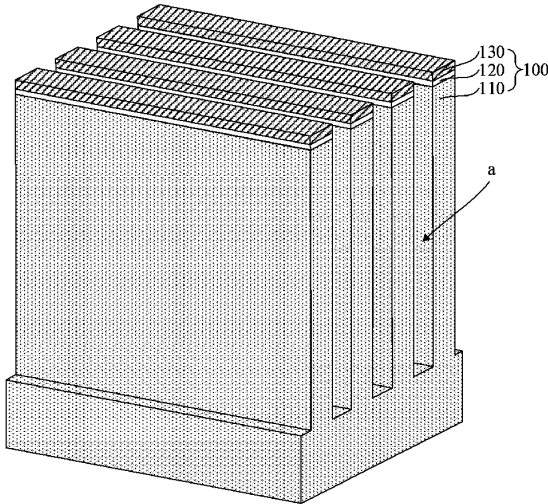


图 7

【 图 8 】

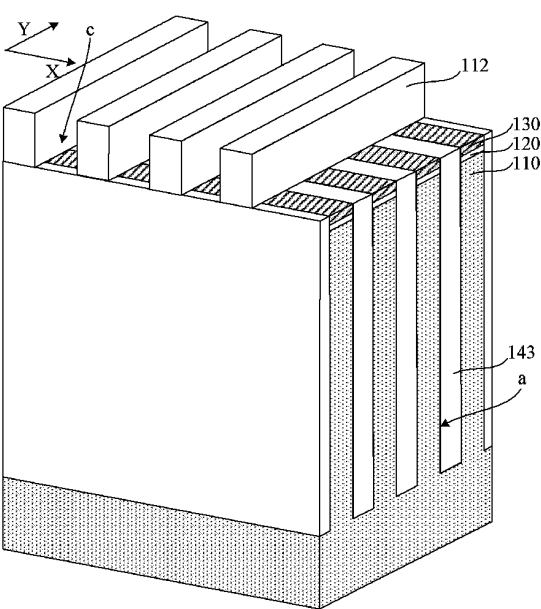


图 8

10

20

30

40

50

【図 9】

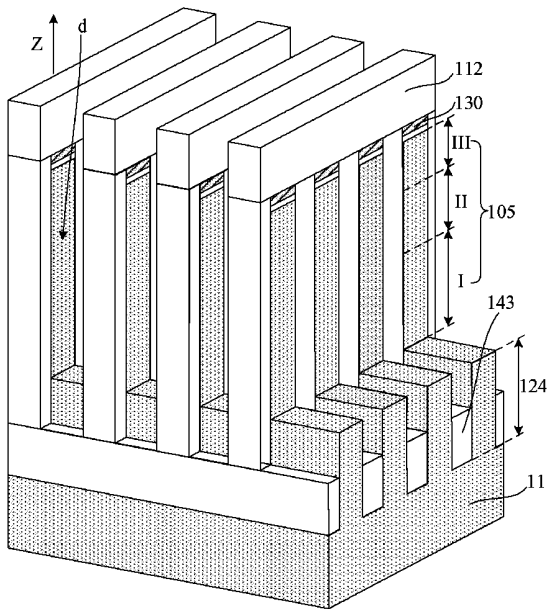


图 9

【図 10】

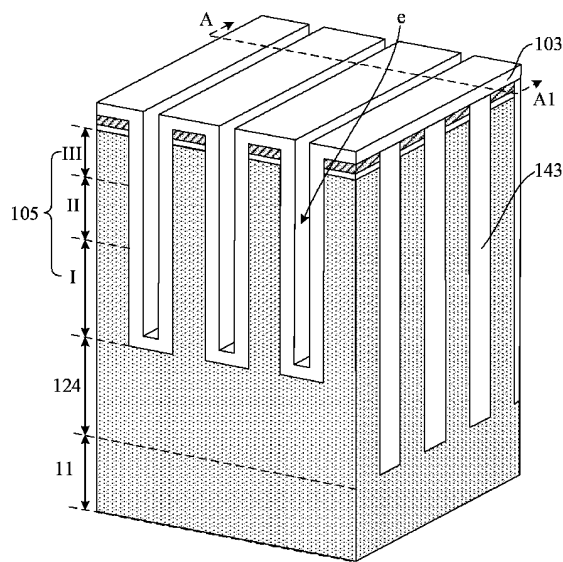


图 10

【図 11】

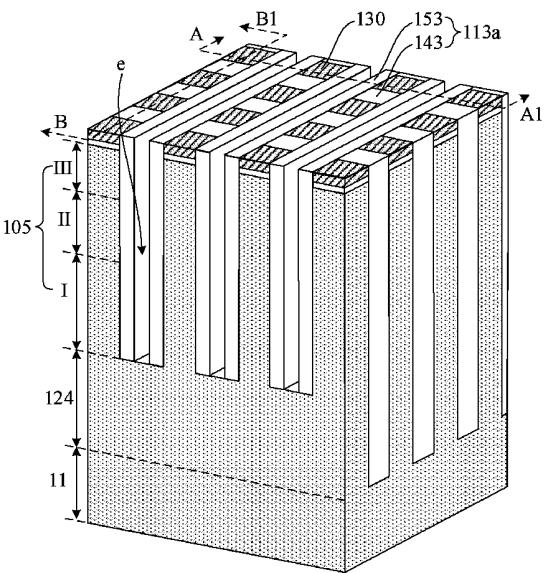


图 11

【図 12】

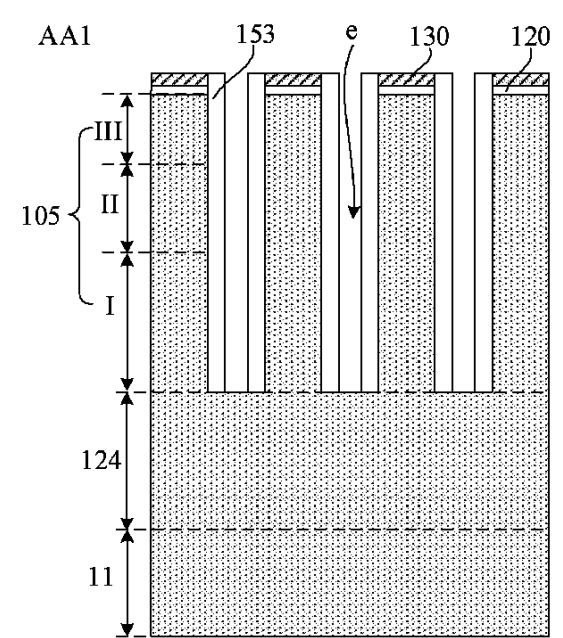


图 12

10

20

30

40

50

【図 1 3】

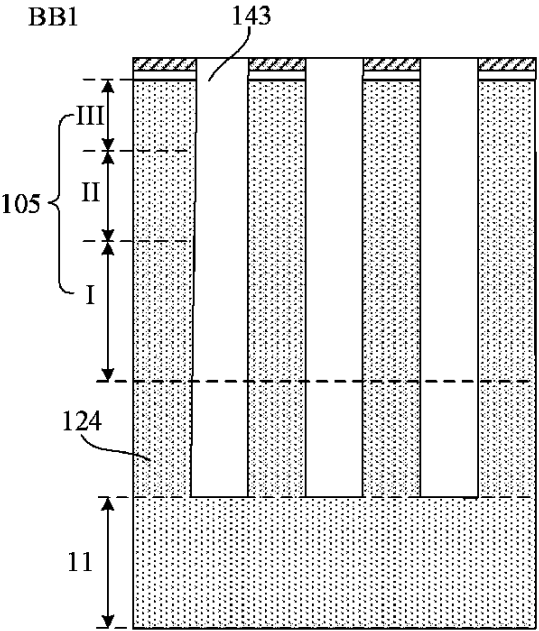


图 13

【图 1 4】

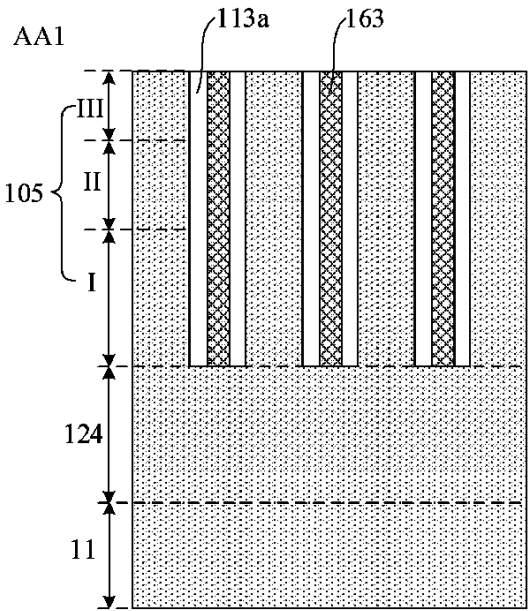


图 14

【图 1 5】

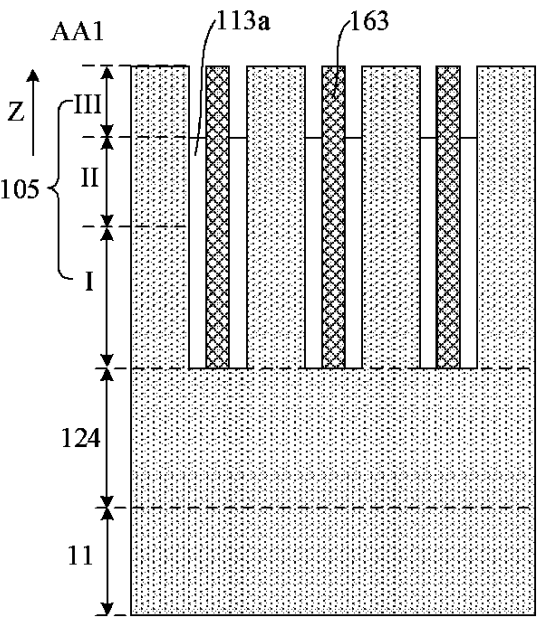


图 15

【图 1 6】

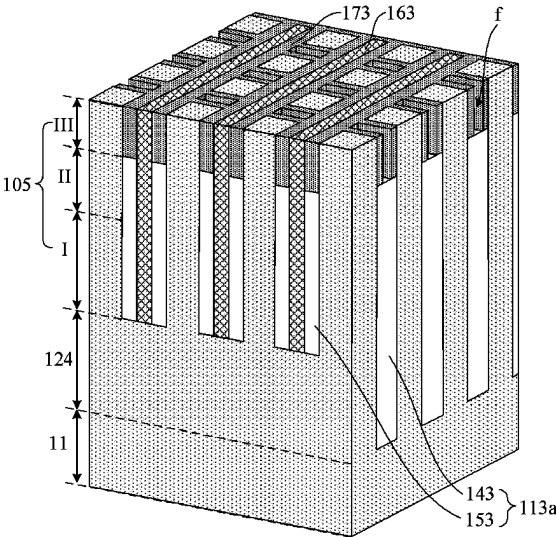


图 16

10

20

30

40

50

【 図 1 7 】

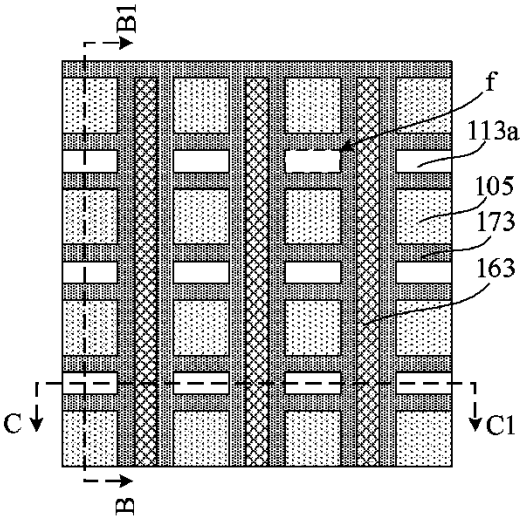


图 17

【 図 1 8 】

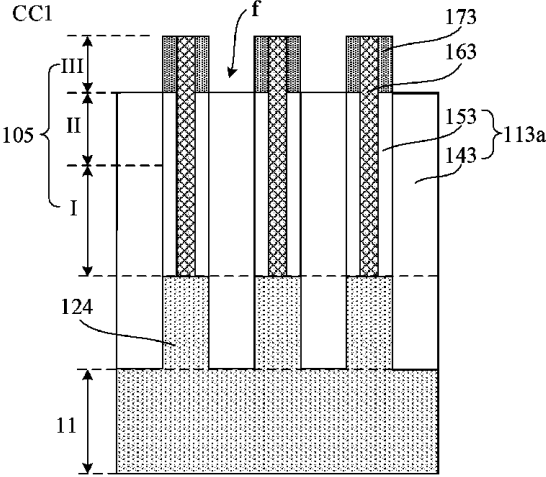


图 18

【 図 1 9 】

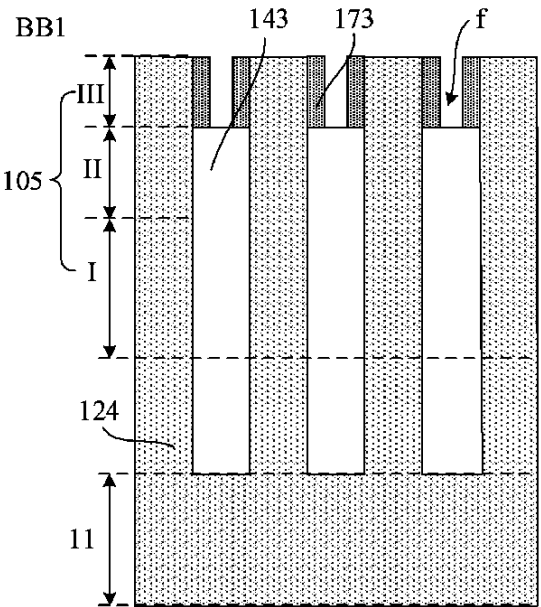


图 19

【 図 2 0 】

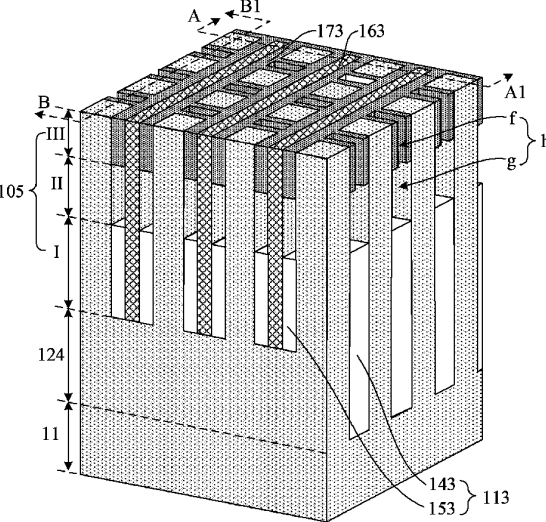


图 20

10

20

30

40

50

【図 2 1】

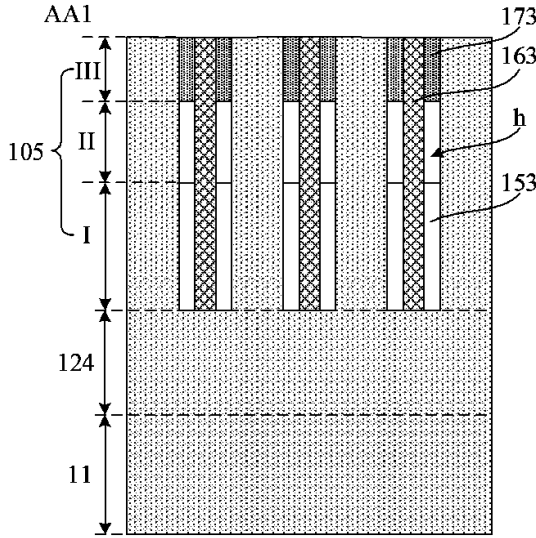


图 21

【图 2 2】

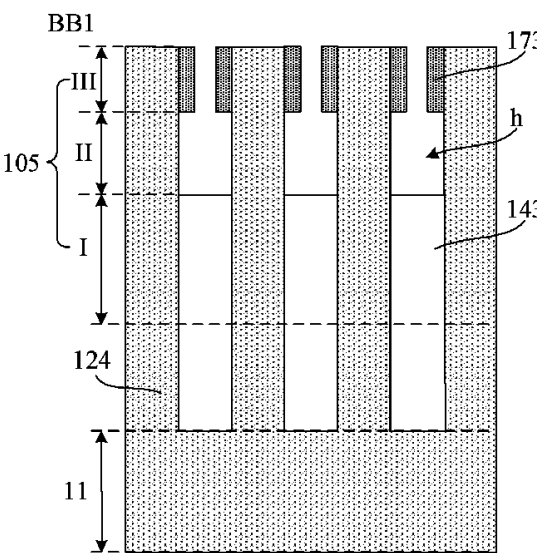


图 22

【图 2 3】

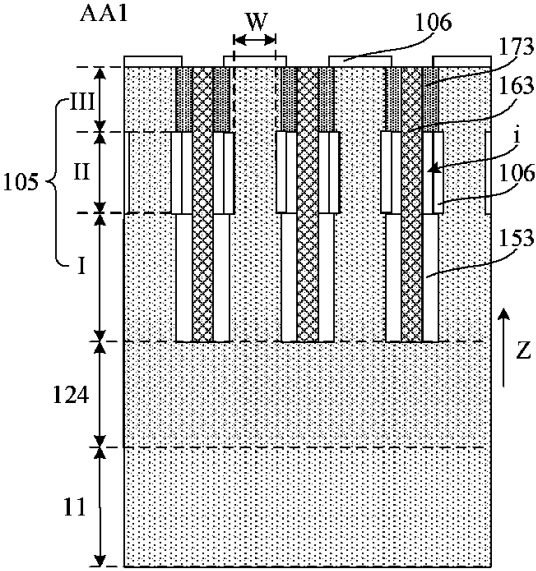


图 23

【图 2 4】

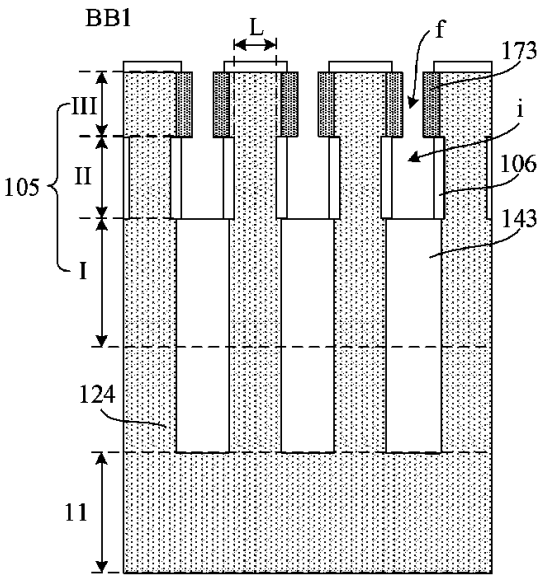


图 24

10

20

30

40

50

【 図 2 5 】

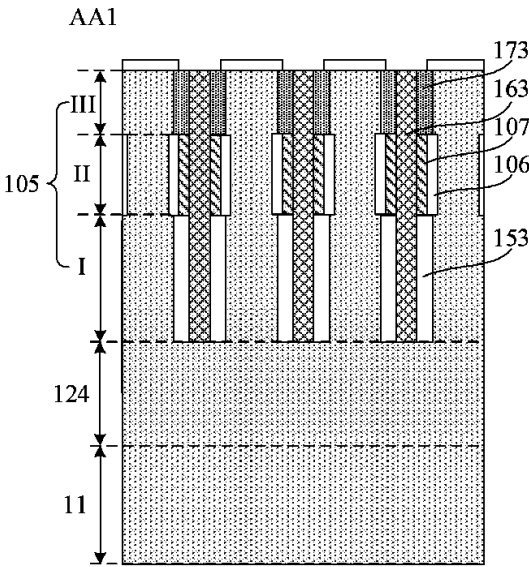


图 25

【 图 2 6 】

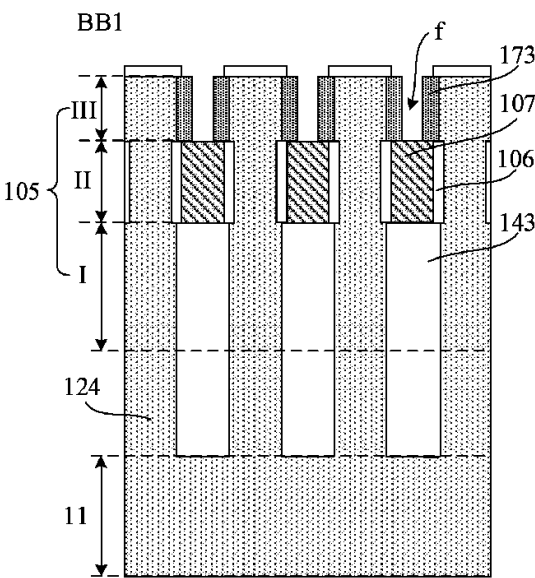


图 26

【 图 2 7 】

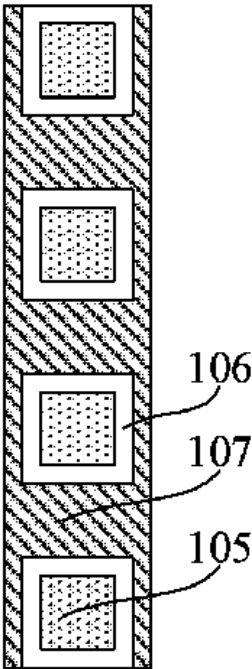


图 27

【 图 2 8 】

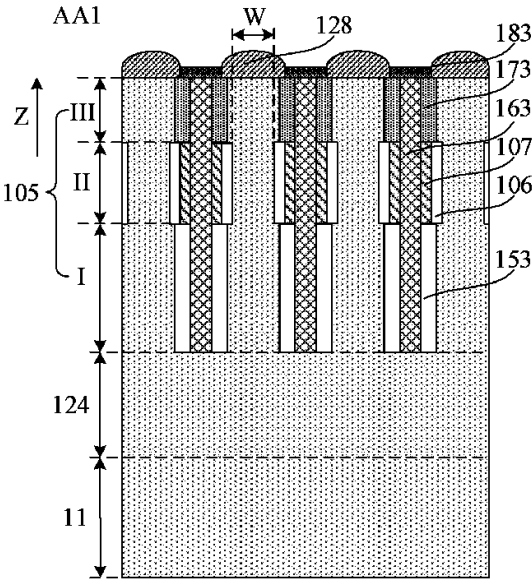


图 28

10

20

30

40

50

【 図 2 9 】

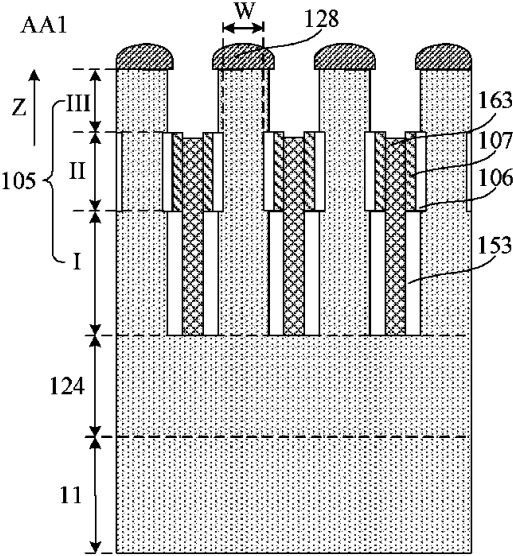


图 29

【 图 3 0 】

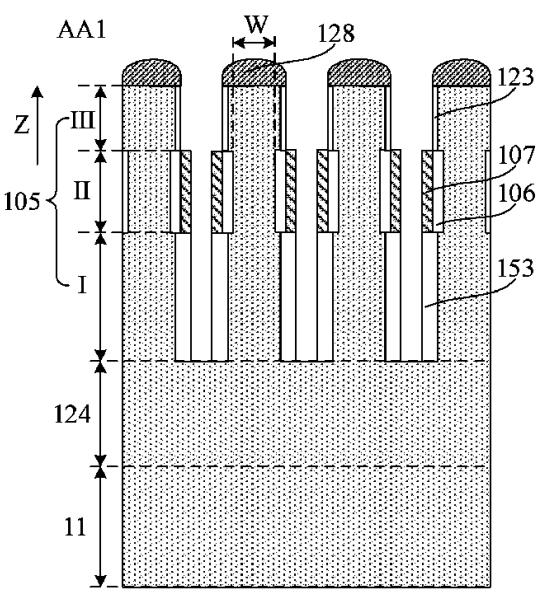


图 30

【 图 3 1 】

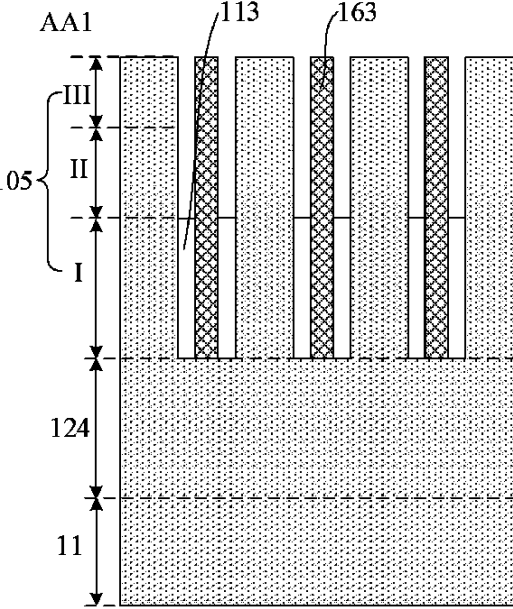


图 31

【 图 3 2 】

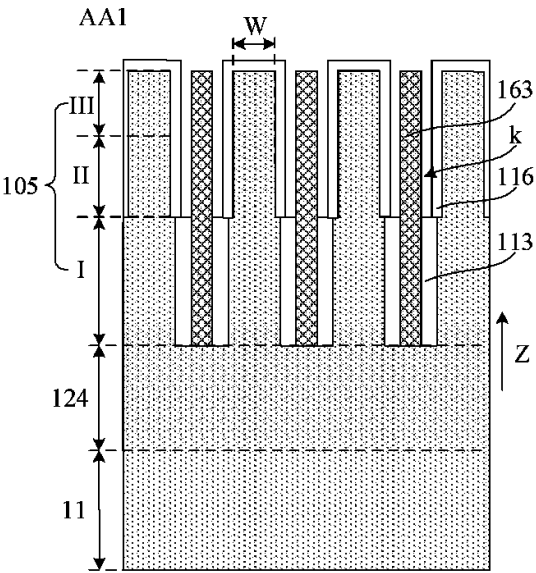


图 32

10

20

30

40

50

【 3 3 】

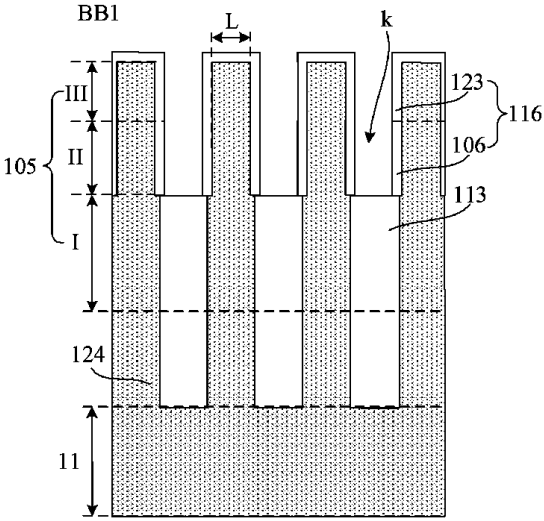


图 33

【 3 4 】

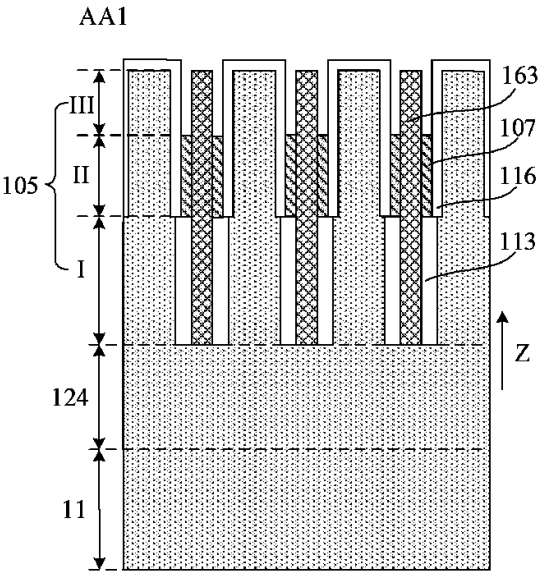


图 34

【 3 5 】

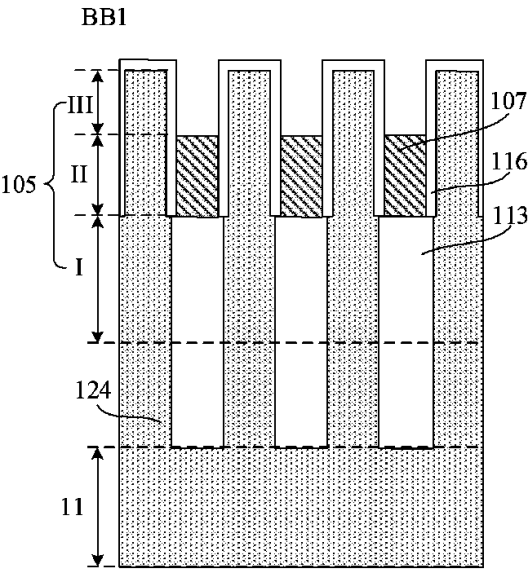


图 35

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L29/783 0 1 M

H 0 1 L29/783 0 1 P

(72)発明者

ハン チンファ

中華人民共和国 2 3 0 6 0 1 アンファイ プロヴィンス ヘーフェイ シティ エコノミック アンド

テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイエ ア

ベニュー ナンバー 3 8 8

審査官

宮本 博司

(56)参考文献

韓国公開特許第 2 0 2 1 - 0 0 4 4 2 8 2 (K R , A)

米国特許出願公開第 2 0 1 9 / 0 0 7 4 3 6 3 (U S , A 1)

米国特許出願公開第 2 0 1 5 / 0 3 4 8 9 7 6 (U S , A 1)

特開 2 0 1 1 - 0 9 7 0 0 1 (J P , A)

特開 2 0 1 2 - 1 4 2 5 4 8 (J P , A)

(58)調査した分野

(Int.Cl. , D B 名)

H 1 0 B 1 2 / 0 0

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8