



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월30일 10-0713552 2007년04월24일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0123285 2005년12월14일 2005년12월14일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 동부일렉트로닉스 주식회사
 서울 강남구 대치동 891-10

(72) 발명자 황상일
 강원도 원주시 무실동 요진 보네르카운티 104동 306호

(74) 대리인 허용록

(56) 선행기술조사문헌
KR100443513 B1 *
* 심사관에 의하여 인용된 문헌

심사관 : 최정식

전체 청구항 수 : 총 4 항

(54) 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 금속 배선이 산화되거나 보이드가 생기는 것을 방지하는 것으로서, 전도층을 포함하는 반도체 기판, 반도체 기판 위에 형성되어 있으며 비아홀 및 트렌치를 가지는 금속간 절연막, 비아홀 및 상기 트렌치를 채우는 금속 배선, 그리고 금속 배선 위에 형성되어 있는 탄탈나이트라이드(TaN)로 이루어진 전도성 확산 방지막을 포함한다. 본 발명에 따르면 다층 구조 금속 배선 제조시, 비아홀을 통해 상부 금속 배선과 전기적으로 연결을 이루는 하부 금속 배선 위에 전도성이 우수한 탄탈나이트라이드(TaN)로 이루어진 전도성 확산 방지막을 남김에 따라 종래에 비아홀을 통해 노출된 질화 규소로 이루어진 확산 방지막을 제거함으로써 발생한 부산물이 발생하지 않으므로 반도체 소자의 전기적 특성 및 신뢰성이 향상될 수 있다. 또한, 전도성 확산 방지막을 제거하지 않음으로써 종래에 비아홀을 통해 노출된 금속 배선이 산화되는 것을 방지하기 위해 비아홀 및 트렌치 내벽에 배리어 금속막을 증착하는 공정을 일정 시간 안에 신속히 진행하지 않아도 된다.

대표도

도 1

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

전도층을 가지는 반도체 기판 위에 비아홀 및 트렌치를 가지는 금속간 절연막을 형성하는 단계,

상기 비아홀 및 상기 트렌치 내부에 금속 배선을 형성하는 단계,

상기 금속간 절연막 및 상기 금속 배선 위에 탄탈나이트라이드(TaN)로 이루어진 전도성막을 형성하는 단계, 그리고

상기 전도성막을 패터닝하여 상기 금속 배선 위에 전도성 확산 방지막을 형성하는 단계

를 포함하는 반도체 소자의 제조 방법.

청구항 5.

제4항에서,

상기 전도성 확산 방지막은 100Å 내지 700Å 두께로 형성하는 반도체 소자의 제조 방법.

청구항 6.

제4항에서,

상기 금속간 절연막은 PSG(phosphorous silicate glass), BPSG(boron phosphorous silicate glass), FSG(fluorine doped silicate glass) 및 USG(un-doped silicate glass)으로 이루어지는 반도체 소자의 제조 방법.

청구항 7.

제4항에서,

상기 비아홀 및 트렌치를 가지는 금속간 절연막 형성 단계는

상기 반도체 기판 위에 금속간 절연막을 형성하는 단계,

상기 금속간 절연막 위에 감광막을 이용한 비아홀 패턴을 형성하는 단계,

상기 비아홀 패턴을 마스크로 이용하여 상기 금속간 절연막을 식각하여 비아홀을 형성하는 단계,

상기 비아홀 패턴을 제거하는 단계,

상기 금속간 절연막 위에 감광막을 이용한 트렌치 패턴을 형성하는 단계,

상기 트렌치 패턴을 마스크로 이용하여 상기 금속간 절연막을 식각하여 트렌치를 형성하는 단계, 그리고
상기 트렌치 패턴을 제거하는 단계
를 더 포함하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 반도체 소자의 금속 배선 형성 방법에 관한 것이다.

일반적으로 반도체 소자의 금속 배선은 알루미늄, 알루미늄 합금 또는 구리 등의 금속 박막을 이용하여 반도체 소자의 전기적 접속 및 패드 접속을 통해 반도체 기판 내에 형성되어 있는 회로를 연결한다.

이러한 금속 배선의 형성은 듀얼 다마신 공정을 사용하여 형성할 수 있는데, 듀얼 다마신(dual damascene) 공정에서는 금속간 절연막 하부에 질화규소(SiN) 질화 규소 확산 방지막을 배치함으로써 금속간 절연막의 비아홀 형성을 위한 식각의 정지점을 찾고 이후에 금속간 절연막의 트렌치를 형성한 다음, 질화 규소 확산 방지막을 제거하는 과정을 거친다. 이러한 질화 규소 확산 방지막은 금속 배선이 다층 구조일 경우, 하부에 존재하는 구리 금속 배선이 드러나는 것을 방지함으로써 하부 구리 금속 배선이 상부에 존재하는 상부 실란막으로 확산되는 것을 방지하여 반도체 소자의 신뢰성을 향상시킬 수 있다.

여기서, 금속간 절연막은 주로 저유전율을 가지는 물질(low-k)로 이루어지며, 금속 배선과 금속 배선을 금속간 절연막의 접촉구로 연결하거나 금속 배선과 금속 배선 사이를 절연하고, 금속 배선과 금속 배선의 중첩으로 인하여 생기는 기생 커패시턴스를 줄이며, 크로스토크(cross talk) 잡음을 감소한다.

이러한 금속간 절연막은 USG(un-doped silicate glass), FSG(fluorine-doped silicate glass) 및 PSG(phosphorus silicate glass) 등의 물질로 이루어진다.

발명이 이루고자 하는 기술적 과제

한편, 질화 규소 확산 방지막 제거 단계에서는, 질화 규소 확산 방지막을 제거함에 따라 비아홀 및 트렌치 내에 폴리머(polymer)와 같은 부산물이 생길 수 있는데, 이러한 폴리머 부산물은 금속 배선에 보이드(void)를 유발시킴으로 반도체 소자의 신뢰성을 저하할 수 있다.

또한, 다층 구조 금속 배선의 경우, 질화 규소 확산 방지막을 제거함에 따라 하부 금속 배선이 노출되어 공기중의 산소와 결합하여 산화되는 것을 방지하기 위해 종래에는 비아홀 및 트렌치 내벽에 배리어 금속막을 일정 시간안에 신속히 진행해야만 하는 공정 시간 제한을 두고 있다.

따라서, 본 발명에서는 질화 규소 확산 방지막을 제거함에 따라 금속 배선이 산화되거나 보이드가 생기는 것을 방지하는 반도체 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 전도층을 포함하는 반도체 기판, 상기 반도체 기판 위에 형성되어 있으며 비아홀 및 트렌치를 가지는 금속간 절연막, 상기 비아홀 및 상기 트렌치를 채우는 금속 배선, 그리고 상기 금속 배선 위에 형성되어 있는 탄탈나이트라이드(TaN)로 이루어진 전도성 확산 방지막을 포함한다.

상기 전도성 확산 방지막은 100Å 내지 700Å의 두께를 가질 수 있다.

상기 트렌치는 상기 비아홀보다 폭이 클 수 있다.

전도층을 가지는 반도체 기판 위에 비아홀 및 트렌치를 가지는 금속간 절연막을 형성하는 단계, 상기 비아홀 및 상기 트렌치 내부에 금속 배선을 형성하는 단계, 상기 금속간 절연막 및 상기 금속 배선 위에 탄탈나이트라이드(TaN)로 이루어진 전도성막을 형성하는 단계, 그리고 상기 전도성막을 패터닝하여 상기 금속 배선 위에 전도성 확산 방지막을 형성하는 단계를 포함한다.

상기 전도성 확산 방지막은 100Å 내지 700Å의 두께로 형성할 수 있다.

상기 금속간 절연막은 PSG(phosphorous silicate glass), BPSG(boron phosphorous silicate glass), FSG(fluorine doped silicate glass) 및 USG(un-doped silicate glass)으로 이루어질 수 있다.

상기 비아홀 및 트렌치를 가지는 금속간 절연막 형성 단계는 상기 반도체 기판 위에 금속간 절연막을 형성하는 단계, 상기 금속간 절연막 위에 감광막을 이용한 비아홀 패턴을 형성하는 단계, 상기 비아홀 패턴을 마스크로 이용하여 상기 금속간 절연막을 식각하여 비아홀을 형성하는 단계, 상기 비아홀 패턴을 제거하는 단계, 상기 금속간 절연막 위에 감광막을 이용한 트렌치 패턴을 형성하는 단계, 상기 트렌치 패턴을 마스크로 이용하여 상기 금속간 절연막을 식각하여 트렌치를 형성하는 단계, 그리고 상기 트렌치 패턴을 제거하는 단계를 더 포함할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 본 발명의 한 실시예에 따른 반도체 소자 및 그 제조 방법에 대하여 도 1 내지 도 3을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 반도체 소자의 구조의 단면도이고, 도 2 내지 도 4는 본 발명의 한 실시예에 따른 반도체 소자의 제조 방법을 제조 단계별로 도시한 도면이다.

우선, 도 1을 참고로 하여 반도체 소자의 구조에 대하여 상세히 설명한다.

도 1에 도시한 바와 같이, 소자 분리막(50) 및 고농도 접합 영역(90)이 형성된 반도체 기판(100) 위에 게이트 절연막(60) 및 게이트 전극(70)이 차례로 형성되어 있고, 게이트 절연막(60) 및 게이트 전극(70) 측면에 스페이서(spacer)(80)가 형성되어 있다. 그리고 반도체 기판(100), 게이트 전극(70) 및 스페이서(80) 위에 제1 접촉구(113) 및 제2 접촉구(115)를 가지는 하부 금속간 절연막(inter-metal dielectric, IMD)(110)이 형성되어 있고, 제1 접촉구(113) 및 제2 접촉구(115) 내벽에 하부 배리어막(111, 117)이 형성되어 있고, 하부 배리어막(111, 117) 위에 하부 금속 배선(121, 127)이 형성되어 있고, 하부 금속 배선(121, 127) 및 하부 배리어막(111, 117) 위에 전도성 확산 방지막(205, 210)이 형성되어 있다. 그리고 하부 금속간 절연막(110)과 전도성 확산 방지막(205, 210) 위에 비아홀(133, 135) 및 트렌치(143, 145)를 가지는 상부 금속간 절연막(130)이 형성되어 있고, 비아홀(133, 135) 및 트렌치(143, 145) 내벽에 상부 배리어막(131, 137)이 형성되어 있고, 상부 배리어막(131, 137) 위에 상부 금속 배선(151, 157)이 형성되어 있다. 여기서, 하부 및 상부 금속 배선(121, 127, 151, 157)은 구리로 이루어지는 것이 바람직하다.

여기서 전도성 확산 방지막(205, 210)은 탄탈나이트라이드(TaN)로 만들어지고, 하부 금속 배선(121, 127)이 상부 금속 배선(151, 157)으로 확산되는 것을 방지한다. 그리고 하부 및 상부 배리어막(111, 117, 131, 137)은 하부 및 상부 금속 배선(121, 127, 151, 157)이 하부 및 상부 금속간 절연막(110, 145)으로 확산되는 것을 방지한다.

하부 및 상부 금속간 절연막(110, 130)은 저유전율을 가지는 PSG(phosphorous silicate glass), BPSG(boron phosphorous silicate glass), FSG(fluorine doped silicate glass) 및 USG(un-doped silicate glass) 등과 같은 절연물 질로 이루어질 수 있다.

다음으로, 도 2 및 도 5를 참고로 하여 반도체 소자의 제조 방법에 대하여 상세하게 설명한다.

도 2에 도시한 바와 같이, 소자 분리막(50)이 형성된 반도체 기판(100) 위에 게이트 절연막(60) 및 게이트 전극(70)을 차례로 형성하고, 게이트 절연막(60) 및 게이트 전극(70) 측면에 스페이서(80)를 형성한다. 그리고 반도체 기판(100), 게이트 전극(70) 및 스페이서(80)를 마스크로 하여 반도체 기판(100) 위에 불순물 이온을 고농도로 주입하여 고농도 접합 영역(90)을 형성하고, 반도체 기판(100) 상부 구조 전면에 하부 금속간 절연막(110)을 형성하고, 하부 금속간 절연막(110) 위에 감광막(300)을 형성하고, 감광막(300)을 마스크로 삼아 하부 금속간 절연막(110)을 식각하여 제1 접촉구(113) 및 제2 접촉구(115)를 형성한다.

그 다음, 도 3에 도시한 바와 같이, 감광막(300)을 제거하고 제1 및 제2 접촉구(113, 115)를 가지는 하부 금속간 절연막(110) 위에 하부 배리어 금속막(114)을 형성하고, 하부 배리어 금속막(114) 위에 하부 금속 박막(120)을 형성한다.

그런 다음, 도 4에 도시한 바와 같이, 하부 금속 박막(120)에 화학 기계적 연마(chemical mechanical polishing, CMP) 공정을 진행하여 하부 금속 배선(121, 127)을 형성한다. 이때, 하부 금속간 절연막(110) 상부에 존재하는 하부 배리어 금속막(114)이 화학 기계적 연마(CMP) 공정에 의해 제거되어 제1 및 제2 접촉구(113, 115) 내벽에 존재하는 하부 배리어막(111, 117)이 된다.

이어, 하부 금속간 절연막(110) 및 하부 금속 배선(121, 127) 위에 전도성이 우수한 탄탈나이트라이드(TaN)로 이루어진 전도성막(200)을 형성한다. 이때, 전도성막(200)은 100Å 내지 700Å의 두께로 형성하는 것이 바람직하다.

그 다음, 도 5에 도시한 바와 같이, 전도성막(200)을 식각하여 하부 금속 배선(121, 127) 및 하부 배리어막(111, 117) 위에 존재하는 전도성 확산 방지막(205, 210)을 형성한다.

이어, 반도체 기판(100) 상부 구조 전면에 상부 금속간 절연막(130)을 형성하고, 상부 금속간 절연막(130) 위에 감광막을 이용한 비아홀 패턴(도시하지 않음)을 형성하고 이를 마스크로 삼아 상부 금속간 절연막(130)을 패터닝하여 비아홀(133, 135)을 형성하고, 비아홀 패턴을 제거한 뒤, 상부 금속간 절연막(130) 위에 감광막을 이용한 트렌치 패턴(도시하지 않음)을 형성하고, 이를 마스크로 삼아 상부 금속간 절연막(130)을 패터닝하여 트렌치(143, 145)를 형성한다. 이 밖에도 트렌치 퍼스트(trench first) 및 셀프 어라인(self align)의 다마신(damascene) 공정을 이용하여 상부 금속간 절연막(130)을 패터닝하여 비아홀(133, 135) 및 트렌치(143, 145)를 형성할 수 있다.

여기서, 비아홀(133, 135)은 전도성 확산 방지막(205, 210)을 노출한다. 그리고 상부 금속간 절연막(130) 패터닝시, 전도성 확산 방지막(205, 210)은 식각 정지점이고, 하부 금속 배선(121, 127)이 상부 금속간 절연막(130)으로 확산되는 것을 방지할 수 있다.

한편, 앞서 설명한 바와 같이, 전도성 확산 방지막(205, 210)은 전도성이 우수한 탄탈나이트라이드(TaN)로 만들어지므로 종래에 질화규소(SiN)로 이루어진 질화 규소 확산 방지막과 같이 별도의 제거 공정을 진행하지 않아도 된다. 따라서, 본 발명에서는 종래에 질화 규소 확산 방지막을 제거함에 따라 발생하는 부산물이 비아홀(133, 135) 및 트렌치(143, 145) 내부에 존재하지 않으므로 반도체 소자의 전기적 특성 및 신뢰성이 향상될 수 있다.

또한, 전도성 확산 방지막(205, 210)을 제거하지 않음으로써 종래에 비아홀을 통해 노출된 금속 배선이 산화되는 것을 방지하기 위해 비아홀 및 트렌치 내벽에 배리어 금속막을 증착하는 공정을 일정 시간 안에 신속히 진행하지 않아도 된다.

그 다음, 상부 금속간 절연막(130) 및 노출된 전도성 확산 방지막(205, 210) 위에 상부 배리어 금속막(140)을 형성하고, 상부 배리어 금속막(140) 위에 상부 금속 박막(150)을 형성한다.

다음, 도 1에 도시한 바와 같이, 상부 금속 박막(150)에 화학 기계적 연마(CMP) 공정을 진행하여 상부 금속 배선(151, 157)을 형성한다. 이때, 상부 금속간 절연막(130) 상부에 존재하는 상부 배리어 금속막(140)이 화학 기계적 연마(CMP) 공정에 의해 제거되어 비아홀(133, 135) 및 트렌치(143, 145) 내벽에 존재하는 상부 배리어막(131, 137)이 된다.

발명의 효과

본 발명에 따르면 다층 구조 금속 배선 제조시, 비아홀을 통해 상부 금속 배선과 전기적으로 연결을 이루는 하부 금속 배선 위에 전도성이 우수한 탄탈나이트라이드(TaN)로 이루어진 전도성 확산 방지막을 남김에 따라 종래에 비아홀을 통해 노출된 질화 규소로 이루어진 확산 방지막을 제거함으로써 발생한 부산물이 발생하지 않으므로 반도체 소자의 전기적 특성 및 신뢰성이 향상될 수 있다.

또한, 전도성 확산 방지막을 제거하지 않음으로써 종래에 비아홀을 통해 노출된 금속 배선이 산화되는 것을 방지하기 위해 비아홀 및 트렌치 내벽에 배리어 금속막을 증착하는 공정을 일정 시간 안에 신속히 진행하지 않아도 된다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

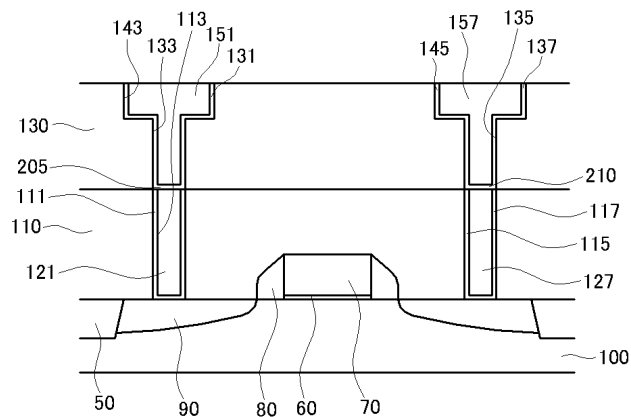
도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 반도체 소자의 구조를 도시한 단면도이다.

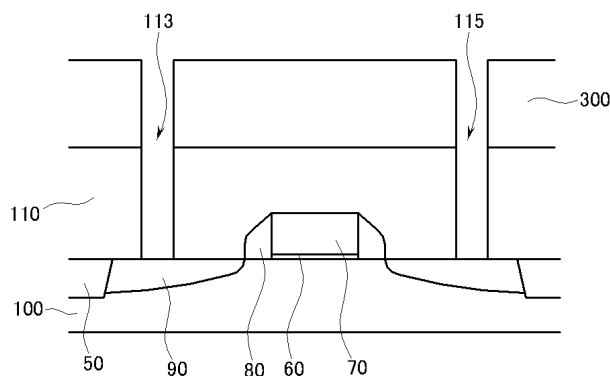
도 2내지 도 5는 본 발명의 한 실시예에 따른 반도체 소자의 제조 방법을 제조 단계별로 도시한 도면이다.

도면

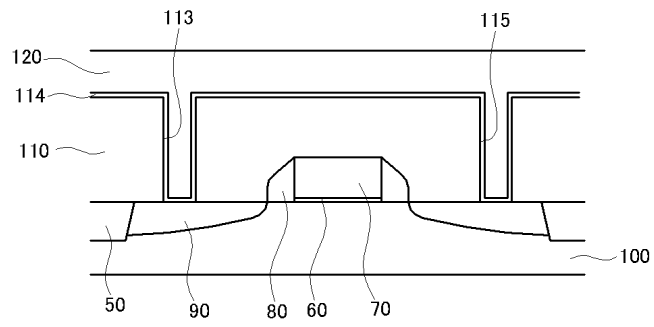
도면1



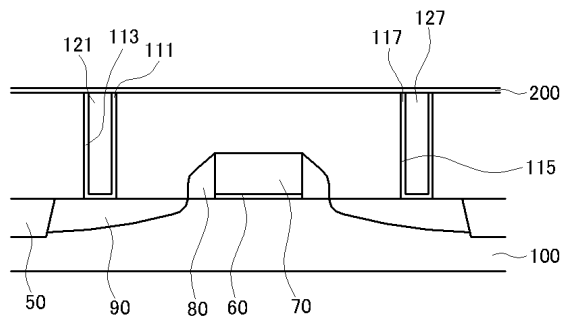
도면2



도면3



도면4



도면5

