

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 威廉 C. 默依爾

WILLIAM C. MOYER

2. 威廉 C. 布魯斯 二世

WILLIAM C. BRUCE, JR.

住居所地址：(中文/英文)

1. 美國德州滴泉市碼頭分支路 1005 號

1005 PIER BRANCH ROAD, DRIPPING SPRINGS, TX 78620,
U.S.A.

2. 美國德州奧斯汀市懷德梅爾草地 11602 號

11602 WINDERMERE MEADOWS, AUSTIN, TX 78759, U.S.A.

國 籍：(中文/英文)

1.2.均美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002 年 05 月 29 日；10/157,094
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002 年 05 月 29 日；10/157,094
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本申請案已於2002年5月29日提出美國專利申請，案號為10/157,094。

本發明一般係關於一種積體電路，更特定言之，係關於用以控制該種積體電路之一部分的方法與裝置。

【先前技術】

因積體電路日益龐大、複雜，改善用於控制積極體電路(integrated circuit; IC)之各部分的控制方法及結構即很重要。而且，用於減少IC設計時時脈間的方法之一係在單一積體電路中組合可重複使用模組。可重複使用模組之範圍從小型特定功能區塊如整數乘法器到先前之整個IC模組如微處理器。此外，可重複使用模組有很多形式，從可隨時修改之可綜合模式到不能修改之實體模式。若將不可更改修改之可重複使用模組組合入積體電路，當試圖在IC位準使用加入後之新功能同時保留使用、測試及控制個別可重複使用模組之所有功能的能力時，問題即會產生。因此，能夠整合控制及測試原設計用於不同IC中之各種可重複使用之IC部分或模組就變得日益重要。

圖1說明具有整合電路端子12之一示範性積體電路10。積體電路10包括複數個可重複使用模組，即可重複使用模組(1)14至可重複使用模組(N)16。本發明之替代性具體實施例可使用任意數目之可重複使用模組。可重複使用模組14與16分別包括未修改的狀態機20與22。IC整合邏輯38之一部

分提供該等可重複使用模組14、16的使用者控制。邏輯38包括控制產生邏輯24及複數個複製狀態機26與28。複製狀態機26與28複製該等可重複使用模組14與16中的該等未修改狀態機20與22的運作。本發明之替代性具體實施例可包括任意數目之未修改狀態機20、22及任意數目之複製狀態機26、28。此外，本發明之替代性具體實施例還可包括複數個未修改之狀態機20、22及一單個複製狀態機26，或可包括對應於一或多個未修改狀態機20、22的複數個複製狀態機26、28。電路18包括控制產生邏輯24及複數個複製狀態機26、28。該IC整合邏輯38與該等可重複使用模組14及16之間的通訊與控制係由控制匯流排34及36與包括資料匯流排37的資料匯流排33與35一起提供。在一項具體實施例中，測試匯流排31包括控制匯流排34及資料匯流排37。在所說明之具體實施例中，各可重複使用模組(1)至(N)具有一或多個相關控制信號(如控制匯流排34)，該等信號用於自邏輯38為該特定可重複使用模組提供控制資訊。控制產生邏輯24與複製狀態機26與28之間的通訊係由與狀態相關之資訊匯流排32及30提供。積體電路端子12視需要可用於使邏輯38可提供並接收積體電路10之外的資訊。

將僅為解說目的說明一特定具體實施例。本發明無意限於該特定具體實施例。作為範例，需要改善組合兩或多個可重複使用模組(如14、16)之積體電路10的控制方法及結構，其中各可重複使用模組包括一提供唯一功能之電氣及電子工程師協會(Institute of Electrical and Electronic Engineer

；IEEE)標準1149.1測試存取埠。該IEEE標準測試存取埠及邊界掃描結構(IEEE標準1149.1)係廣為人知的IEEE測試標準，提供至積體電路(integrated circuits；IC)中之掃描暫存器的存取。IEEE標準1149.1定義由四個輸入及一個三狀態輸出所組成的五接針專用測試匯流排。該等輸入係測試時脈(test clock；TCK)、測試模式選擇(test mode select；TMS)、測試資料輸入(test data input；TDI)及測試重置(test reset；TRST)。該輸出係測試資料輸出(test data output；TDO)。

圖2以方塊圖說明根據本發明之圖1的可重複使用模組(1)14之一部分的一項具體實施例。在本發明之一項具體實施例中，圖2所說明之邏輯能夠滿足IEEE標準1149.1。應注意，一或多個其他可重複使用模組(N) 16可使用該相同邏輯或其變形。在本發明之一項具體實施例中，該可重複使用模組(1)的輸入包括資料匯流排33之一部分，其包括訂製信號TDI_1；以及控制匯流排34之一部分，其包括整體信號TRST與TCK及訂製信號TMS_1。應注意，在本發明之一項具體實施例中，該等訂製信號TDI_1與TMS_1係僅耦合至可重複使用模組(1)。圖2所示之可重複使用模組(1)的該部分還包括一未修改狀態機20 (TAP控制器)，其對應於圖1中的未修改狀態機20。圖2所示之可重複使用模組(1)的該部分還包括一指令暫存器130及相關之指令解碼電路128，以及測試資料暫存器120，旁通暫存器126、邊界掃描暫存器124與除錯暫存器122。

該指令暫存器130由指令解碼器128解碼以產生輸出(時

脈及/或控制信號121)，該等輸出控制多工器(multiplexor；MUX)132自複數個測試資料暫存器120、除錯暫存器122、邊界掃描暫存器124及旁通暫存器126中選擇一資料暫存器。該測試存取埠(test access port；TAP)控制器20產生一組輸出(九個IEEE標準1149.1輸出)，包括時脈及/或控制123。藉由控制多工器134，TAP控制器20的該等輸出控制所有資料捕獲及暫存器移位運作，以及控制選擇一測試資料暫存器輸出或一指令暫存器輸出。藉由致動或停用輸出驅動器136，一TAP控制器20輸出還控制該訂製測試資料輸出(TDO_1)信號是否為關閉或驅動。

圖3顯示測試存取埠(test access port；TAP)控制器之IEEE標準1149.1所定義之一廣為人知的狀態圖。在一項具體實施例中，該狀態圖係由圖1顯示的各狀態機20、22、26、28實施。為說明簡便起見，進一步的說明將參考TAP控制器20，不過該說明也適用於TAP控制器22、26及28。TAP控制器20在該測試時脈(test clock；TCK)的各上升邊緣取樣該測試模式選擇(test mode select；TMS)輸入，以控制狀態之間的轉換。TMS的邏輯狀態係顯示於連接各狀態的轉換路徑旁。某些狀態轉換路徑係顯示為粗體(即加粗線)，將在下文詳細說明。但是，以下說明對於粗體狀態轉換與非粗體狀態轉換係一樣的。

為回應電源開啟重置信號、一低位準TRST或TMS信號的一合適輸入序列，TAP控制器20係被強制到Test-Logic-Reset狀態100。若TMS信號在五個連續TCK上升邊緣均保持高位

準，則 TAP 控制器 20 將始終轉換至 Test-Logic-Reset 狀態 100。達到 Test-Logic-Reset 狀態 100 的連續 TCK 上升邊緣數目取決於當前狀態，但不能超過五個連續上升邊緣。若需要的連續 TCK 上升邊緣少於五個，TAP 控制器 20 將在較少轉換中達到 Test-Logic-Reset 狀態，但是此後將保持在 Test-Logic-Reset 狀態 100。

TAP 控制器 20 將保持在 Test-Logic-Reset 狀態 100 直到一 TCK 上升邊緣以 TMS 低位準產生，此時將導致轉換至 Run-Test/Idle 狀態 101。若 TMS 保持低，TAP 控制器 20 將保持在 Run-Test/Idle 狀態 101，否則，TAP 控制器 20 將轉換至 Select-DR-Scan 狀態 102。視 TMS 是否為高或低，TAP 控制器 20 將從 Select-DR-Scan 狀態 102 分別轉換至 Capture-DR 狀態 103 或 Select-IR-Scan 狀態 109。

Select-DR-Scan 狀態 102 下所描述的六個狀態（即狀態 103、104、105、106、107 與 108）與 Select-IR-Scan 狀態 109 下描述的六個狀態（即狀態 110、111、112、113、114 與 115）具有相似的功能，區別僅在於，狀態 102 下的各狀態控制測試資料暫存器的運作而狀態 109 下的各狀態控制指令暫存器的運作。

Capture-DR 狀態 103 致動資料暫存器掃描運作。TAP 控制器 20 透過 Capture-DR 狀態 103 轉換以將平行資料載入指令暫存器解碼（圖 2 的 128）所選擇的一資料暫存器。若 TMS 為高，則跳過該資料暫存器移位運作，進入 Exit1-DR 狀態 105。若 Capture-DR 狀態 103 期間的 TMS 為低，則進入

Shift-DR狀態104，指令解碼128所選定的測試資料暫存器即從TDI移位至TDO。藉由Exit1-DR狀態105轉換至Pause-DR狀態106可暫停該資料暫存器移位運作，隨後藉由Exit2-DR狀態107回到Shift-DR狀態104又可恢復。在資料暫存器移位運作結束時，TAP控制器20始終透過Exit2-DR狀態107或Exit1-DR狀態105從Update-DR狀態108轉換，以將來自該測試資料更新暫存器中新的平行資料載入指令解碼128所選定的該測試資料暫存器，藉此完成測試資料暫存器掃描運作。視TMS是否為低或高，TAP控制器20可從Update-DR狀態108分別轉換至Run-Test/Idle狀態101或Select-DR-Scan狀態102。

若進入了Select-IR-Scan狀態109，則視TMS是否為低或高，TAP控制器20分別可轉換至Capture-IR狀態110，以致動一指令暫存器掃描運作或轉換至Test-Logic-Reset狀態100。若係轉換至指令暫存器掃描運作，Capture-IR 110、Shift-IR 111、Exit1-IR 112、Pause-IR 113、Exit2-IR 114及Update-IR 115狀態的運作均與測試資料暫存器掃描運作之類似狀態的運作類似。視TMS是否為低或高，自Update-IR狀態115的下一狀態轉換可轉換至Run-Test/Idle狀態101或Select-DR-Scan狀態102。

若TAP控制器20從Select-IR掃描狀態109轉換至Test-Logic-Reset狀態100，則TAP控制器20將產生一控制信號以致動該指令暫存器(圖2之130)並重置預定暫存器之使用者選定位元(如圖2之120、122及124)。

應明白，如圖2所示及IEEE標準1149.1所定義，下文所引術語「TAP」包括一TAP控制器(如20)、一指令暫存器(如130)、測試資料暫存器(如120、122、124及126)以及TDO多工器(132、134)。

IEEE標準1149.1係由電子測試界制定，其假設為一IC僅包括一單一TAP。但是，現在的IC可包括多個TAP，因為現在的IC係用若干可重複使用模組設計，其中每個模組均可包括一TAP。可重複使用模組係一完整電路功能，如數位元信號處理器、CPU、測試控制區塊或任何其他功能區塊，且可具有自己的TAP，用作子電路，以便從一外部1149.1測試匯流排(如圖1的測試匯流排31)存取可重複使用模組中的暫存器(如圖1之14)。

因此，包括多個可重複使用模組的IC可包括多個TAP。此種情況產生的問題為，為符合IEEE 1149.1標準，應僅可見一個單一IC-位準TAP，但亦需存取可重複使用模組TAP，以便存取可重複使用模組的內部暫存器。因此，必須使用某種IC-位準控制電路提供自外IEEE標準1149.1測試匯流排(如測試匯流排31)至該IC-位準TAP(如邏輯38之一部分)及至可重複使用模組(如14)中的各TAP的存取。

先前技術對此問題之建議解決方案為透過任何選定TAP控制器存取一單一暫存器，該選定TAP控制器的狀態機控制可選擇性地被一外部產生的信號覆蓋，該信號驅動該選定TAP控制器狀態機至一所需的狀態。該方法還提供一或多個額外的TAP指令，可經解碼用於選擇外部資料路徑。

自一單一IEEE標準1149.1 TAP介面的TAP順序存取允許與不同TAP相關之測試運作在時間上相互重疊。

先前技術所提供之該種解決方案中一非常嚴重的內在問題為，各可重複使用模組14、16中的IEEE標準1149.1 TAP控制器狀態機必須修改至包括一或多個額外的指令及一額外的控制輸入；而且必須修改其狀態圖，使其在Update-DR狀態(圖3之108)中可根據該額外輸入的值轉換至Run-Test/Idle狀態(圖3之101)或Select-DR掃描狀態(圖3之102)。此種額外控制輸入之效果係提供一選擇構件，用以選擇一新的主動TAP控制器同時強制未選定的TAP進入閒置狀態。雖然此種方法可用於新的裝置，但是，其不可用於無法修改、因此無法使用的實體設計。

【發明內容】

本發明解決了先前技術方法未解決的問題。本發明對解決方案附加了額外及非常重要的限制：不能修改可重複使用模組之TAP控制器狀態機。這是許多IC在現實世界中面臨的情況。在許多情況下，不可能修改重複使用晶片上的一或多個模組中的TAP控制器狀態機，或者修改成本太高。在一項具體實施例中，本發明允許利用IEEE標準1149.1外部測試匯流排選擇及控制個別TAP，同時無需修改可重複使用模組的TAP控制器狀態機。在一項具體實施例中，本發明提供一種方法，在IC中動態重新設定多個TAP的組態，同時不修改可重複使用模組的標準TAP控制器狀態機。最後，本發明的某些具體實施例無需額外的IC接針/端

子或外部端子資源。

【實施方式】

圖4以方塊圖說明根據本發明之圖1電路18之一部分的一項具體實施例。圖4說明一種方法，可將複製狀態機(如圖1之26)耦合至外部輸入，包括測試時脈(TCK) 60、測試模式選擇(TMS) 61、測試重置(TRST) 62及開關控制63。該開關控制信號63係用於允許改變該開關更新暫存器52的內容，該開關更新暫存器又控制開關電路50。控制產生邏輯24之所說明部分的輸出係控制信號34及36(包括模組1至N的TMS信號)，以及各可重複使用模組(包括模組1至N的TDI與TDO信號)的資料信號33及35。複製狀態機(Duplicate state machine; DSM) 26藉由狀態相關資訊32提供與可重複使用模組之其他同樣狀態機的狀態機同步。解碼及閘控電路59利用DSM 26的目前狀態與開關控制63產生輸出控制信號DSM_UpdateDR 70、DSM_ShiftDR 71、DSM_ClockDR 72、DSM_Select 73及DSM_Reset 74，用於控制積體電路10之可重複使用模組(如14、16)中的所有未修改狀態機(如20、22)的組態。

在本發明之一項具體實施例中，一TAP互連模組(TAP Interconnect Module; TIM) 9係透過IEEE標準1149.1測試匯流排耦合至圖1的各可重複使用模組(如14、16)，各TAP具有一專用連接。替代性具體實施例可使用測試匯流排31(見圖1)的其他測試匯流排協定。在一項具體實施例中，TIM 9由主階TAP控制器(複製狀態機26及解碼與閘控電路59)及

一連續移位暫存器56組成，該暫存器係耦合至一解碼器54，該解碼器為一開關更新暫存器52及開關電路50提供控制輸入。回應DSM-UpdateDR信號70，該開關更新暫存器52的內容自解碼器54更新並傳送至開關電路50，且用於與測試資料輸入信號(TDI)及測試模式選擇信號(TMS)一起分別控制可重複使用模組14、16的各TAP。如圖3所示，在各標準TAP狀態中，TIM 9中的TAP控制器符合IEEE標準1149.1接針/端子信號。該開關更新暫存器52係用於控制可重複使用模組14、16中之多個TAP的組態。

TIM 9的功能係當作IC-位準TAP控制器，並允許在多個可重複使用模組14、16中個別選擇TAP。TIM 9為各可重複使用模組TAP產生一共同重置與測試時脈信號，以及一組個別控制信號(TDI_1至TDI_N及TMS_1至TMS_N)。TIM 9接收唯一輸出TDO_1至TDO_N，其中N為所有可重複使用模組14、16的TAP總數。

TIM 9中的開關電路50將選定的TAP (1至N)之個別TDI及TDO信號耦合到一起，以形成軟體及硬體控制下之任何所需順序的與TAP的連續掃描鏈。產生個別控制信號如TDI_1至TDI_N而不是自IC TDI輸入接針/端子12簡單廣播它的必要性取決於用於實施TIM 9選擇信號的方法。在圖4中，TIM Select信號(開關控制63)係由一外部IC接針/端子12提供。本發明之替代性具體實施例可藉由IC 10上的內置測試電路(未顯示)從板上IC 10控制TIM 9。

圖4顯示的複製狀態機(DSM) 26符合圖3顯示的狀態機

圖，並致動TIM 9以便跟蹤可重複使用模組14、16中的未修改TAP狀態機(圖1的20、22)的狀態。TIM 9 TAP控制器還藉由控制信號34、36為可重複使用模組14、16的各TAP狀態機提供一重置信號，該信號由透過積體電路端子12的一外部TRST信號或由TIM 9 TAP控制器達到Test-Logic/Reset狀態100而判定(見圖3)。判定TIM_SELECT控制信號(開關控制63)後，將致動TIM 9 TAP控制器在合適狀態中產生DSM_ShiftDR信號71、DSM_ClockDR信號72、DSM_UpdateDR信號70以及DSM_Select信號73(該等信號之功能類似於IEEE標準1149.1定義的ShiftDR、ClockDR、UpdateDR及Select信號)。解碼及開關電路59為TIM移位暫存器56、解碼器54、開關更新暫存器52及開關電路50提供控制邏輯。

如圖4所示，IEEE標準1149.1測試匯流排信號TDI 64所提供的連續資料輸入係輸入至TIM移位暫存器56並解碼。當經判定外部提供的開關控制信號63選定TIM 9，且TIM TAP控制器達到Update-DR狀態(圖3之108)時，將判定DSM_UpdateDR 70信號，開關更新暫存器52由自解碼器54的一新值更新，該解碼器係用於控制圖4的開關電路50。

可重複使用模組14、16的所有TAP均藉由控制信號34與36接收相同TCK與DSM_Reset控制信號。藉由為可重複使用模組14、16的各TAP分別提供個別IEEE標準1149.1測試匯流排信號TMS與TDI，開關電路50可控制可重複使用模組14、16的選擇及掃描鏈順序。選擇可重複使用模組14、16的一或多個TAP及串接所需可重複使用模組14、16的個別指令

與資料暫存器均具有靈活性。可重複使用模組14、16中無需修改IEEE標準1149.1 TAP的實施方案。

在TCK下降邊緣過程中之欲停用的各TAP的TMS信號上，若由開關電路50強制一零(0)值，同時該TAP狀態機係處於Update-DR狀態108，從而強制該TAP在TCK的下一上升邊緣進入Run-Test/Idle狀態101，則可重複使用模組14、16中的所有停用TAP將「停止(parked)」在Run-Test/Idle狀態101(見圖3)。停用TAP控制器將保持在Run-Test/Idle狀態101，同時TMS信號保持強制於零(0)。

在本發明之一項具體實施例中，可重複使用模組14、16的所有致動TAP的狀態均需為同樣狀態。因此，必須有一種方法確保致動及重新致動模組的狀態同步。為致動或重新致動可重複使用模組14、16中的一TAP，在TCK 60的下降邊緣而TIM 9 TAP狀態機處於Update-DR狀態108時，該開關電路50可耦合該等可重複使用模組14、16的TMS輸入至該等訂製TMS信號34與36。在TCK 60的下一上升邊緣時，將對該等可重複使用模組14、16的TMS輸入取樣。所有致動TAP控制器的後續狀態將為Run-Test/Idle狀態101(若TMS為零(0))，或為Select-DR-Scan狀態102(若TMS為一(1))。

。為確保可重複使用模組14、16中新停用的TAP控制器進入Run-Test/Idle狀態101，在TCK 60的上升邊緣時其TMS輸入均被驅動至零(0)，同時TIM 9 TAP狀態機處於Update-DR狀態108。在下一個TCK上升邊緣將對該等TMS輸入取樣。新停用TAP控制器的後續狀態將為Run-Test/Idle狀態101，

因為，可重複使用模組14、16中的該等TAP控制器的TMS輸入均為零(0)。不論TMS 61的值為何，該等停用TAP控制器的TMS輸入都將保持驅動至零(0)，直到新的開關組態資訊被提供給開關電路50，使可重複使用模組14、16中的一停用TAP控制器重新致動。藉此，該等停用之TAP控制器將保持在Run-Test/Idle狀態101。

藉由在Update-DR狀態108實施所有開關活動，可確保可重複使用模組14、16之致動及重新致動TAP控制器的Select-DR狀態102的所有狀態機同步。若在Update-DR狀態108中強制TMS至低值，即零(0)，則在TCK的下一個上升邊緣之後，可重複使用模組14、16中之所有TAP控制器將處於Run-Test/Idle狀態101。或者，若在Update-DR狀態108中驅動TMS至高值，即一(1)，則在TCK的下一個上升邊緣，可重複使用模組14、16中之所有致動TAP控制器將轉換至Select-DR狀態102，同時，可重複使用模組14、16中之停用TAP控制器將轉換至或保持在Run-Test/Idle狀態101。

在本發明之一項具體實施例中，掃描鏈組態係由開關電路50藉由將該外部信號TDI 64耦合至該第一致動可重複使用模組14、16之該TAP控制器來控制。之後，該可重複使用模組14、16之TDO輸出係藉由開關電路50多工至下一個致動可重複使用模組14、16之TDI輸入。各致動可重複使用模組14、16將繼續該方法。最後一個致動可重複使用模組14、16的TDO輸出係耦合至多工器58的輸出，該多工器驅動測試資料輸出(TDO) 65。停用可重複使用模組14、16的

TDI輸入無關緊要，可由開關電路50驅動至一(1)或零(0)。

可重複使用模組14、16的選擇及掃描鏈順序係由開關電路50控制。可藉由將新的控制字元掃描至移位暫存器56來改變組態，該移位暫存器由解碼器54解碼。在Update-DR狀態108中，當判定輸出DSM_UpdateDR 70時，該解碼值係由TIM 9 TAP控制器傳送至該開關更新暫存器52。但是，為產生該運作順序，必須選定TIM 9模組，否則，不會在Update-DR狀態108中判定DSM UpdateDR信號70，而該開關更新暫存器52也不會改變。

在圖4的本發明之一項具體實施例中，TIM 9的選擇係由一外部選擇接針/端子控制，後者在圖4中顯示為外部提供之開關控制輸入63。根據本發明之特定具體實施例，可在Update-IR狀態115中取樣或鎖存該TIM 9選擇接針/端子12(見圖1)，或在隨後輸入新的組態資訊中可要求其保持判定。若隨後進入ShiftDR狀態104，則連續移位暫存器56接收當時解碼之新的值。在且僅在該外部TIM 9選擇接針/端子12判定後(或在某些具體實施例中，在先前Update-IR狀態115中按判定值被捕獲)，控制信號DSM_UpdateDR 70被判定，解碼器54的輸出被鎖存至開關更新暫存器52，因而按開關電路50的控制改變可重複使用模組14、16的TAP的選擇及順序。

圖5說明本發明之一項替代性實施例，其無需一外部IC接針/端子12來控制TIM 9的選擇。相反，一開關控制邏輯區塊80係加至IC 10以便於TIM 9選擇。此外，開關電路50的

測試資料輸入(TDI)來源自64修改至開關控制80的修改TDI輸出82。該開關控制邏輯80接收該外部TDI信號64，並利用複製狀態機26的一組控制信號86產生一修改TDI信號82。該開關控制邏輯區塊80還產生一額外的輸出信號TIM_SELECT 98，該信號在判定後可選擇TIM 9。在所有其他方面，圖5的電路可按上述圖4的方式運作。

圖6提供圖5說明之開關控制邏輯區塊80的一部分的細節。圖6的輸入信號為TDI 64，其透過接針/端子12(見圖1)耦合至該外部測試匯流排，且該複製狀態機26產生四個控制信號。該四個控制信號為：DSM_Reset 74、DSM_ClockIR 95、DSM_UpdateIR 96及DSM_SelectIR 97。該等四個控制信號係產生於複製狀態機26的合適狀態，不以選擇TIM 9為條件。當判定DSM_Reset 74後，DSM指令暫存器92被強制至一(1)，該值取消TIM 9選擇。當資料運作之連續掃描運作在進行中時，該外部信號TDI 64經過未經開關控制邏輯80修改之多工器94成為修改TDI信號82。當指令資料之連續掃描運作在進行中時，DSM指令移位暫存器90係藉由MUX 94插在TDI信號64與修改TDI信號82之間。DSM_SelectIR 97經判定後使MUX 94將DSM指令移位暫存器90的輸出驅動至修改的TDI信號82。因此，DSM SelectIR信號97造成了資料與指令運作之間的區別，該信號係產生為複製狀態機26的解碼輸出，並係控制邏輯86中的信號之一。DSM指令移位暫存器90的移位時脈及DSM指令暫存器92的更新係由複製狀態機輸出信號DSM_ClockIR 95與DSM_UpdateIR 96分別

控制，不以選擇TIM 9為條件。

當指令資料移位後，一DSM指令暫存器位元(DSM指令移位暫存器90)即被當作一額外移位暫存器位元加入該指令暫存器移位路徑。一指令訊框為所有致動可重複使用模組TAP指令暫存器位元寬之和。因此，當使用者選定一新的指令時，一額外的位元即加入該DSM指令移位暫存器90之該額外移位暫存器位元的指令訊框，該DSM指令移位暫存器90已預先擱置於可重複使用模組14、16之致動TAP的串接指令暫存器。

當一指令掃描在進行時，DSM_SelectIR信號97選擇多工器94的DSM指令移位暫存器90，該多工器將該1位元DSM指令移位暫存器90有效插入該指令掃描路徑。複製狀態機26產生的控制信號DSM_ClockIR 96控制DSM指令移位暫存器90的移位。在DSM指令移位暫存器90及可重複使用模組14、16的所有目前選定TAP的指令暫存器中，當該指令掃描運作完成指令位元的移位及分割後，該TIM_UpdateIR信號96即傳送該DSM指令移位暫存器90至DSM指令暫存器92，而且，TIM_SELECT信號98的值係改變至匹配DSM指令移位暫存器位元90的值。

當需要一TAP之新的組態時，TIM 9的DSM指令移位暫存器位元90全部填入零(0)，使得一旦達到UpdateIR狀態115即選定TIM 9，其他目前選定的TAP指令暫存器130(見圖2)均填入旁通指令，其實際為一非運作。當進入Update-IR狀態115後，DSM指令移位暫存器90係取樣並鎖存至DSM指令

暫存器 92，該值係當作 TIM_SELECT 98 提供。一旦判定 TIM_SELECT 98，將致動解碼及開控電路 59 以在合適的 DSM 狀態中產生 DSM_ShiftDR 71、DSM_ClockDR 72、DSM_Select 73 及 DSM_UpdateDR 70 信號。當進入後續 Shift-DR 狀態 104 後，該 TIM 移位暫存器 56 (見圖 5) 係耦合至 IC 10 的 TDO 接針/端子，新的組態資訊係移位至移位暫存器 56。在進入 Update-DR 狀態 108 後，即判定 DSM_UpdateDR 70，該解碼移位暫存器值自解碼器 54 傳送至開關更新暫存器 52，然後，該解碼器載入新的組態控制資料。

可以看出，圖 5 與 6 之本發明的具體實施例加入了一單一位元指令，該指令係預先擱置於所有致動可重複使用模組 14、16 的串接指令。該單一位元指令係用於決定一後續資料運作是否選擇或停用 TIM 9。若致動 TIM 9，則後續資料運作載入開關電路 50 之新的組態控制資訊。

圖 7 說明本發明之另一具體實施例，其解決了在一完全不同形式中的 TIM 9 選擇問題，該方法既不需要一接針/端子 12，也不需要運作 IC 10 之 TAP 的外部邏輯可見指令暫存器 (如圖 6 的 92) 擴展。相反，其使用開關控制邏輯 81 的內部自選電路 (見圖 8)，使得 TIM_SELECT 信號 98 係根據匹配一預定之 N 位元簽章判定。

圖 7 的開關控制邏輯 81 包括簽章產生邏輯 (如圖 8 之 140) 並接收複製狀態機 26 的狀態相關資訊，而且視需要可接收測試資料輸入 64。在一項具體實施例中，簽章係以狀態資訊為基礎，而在另一項具體實施例中，簽章係以測試資料

輸入為基礎。本發明之替代性具體實施例可將狀態資訊及測試資料輸入之組合當作簽章的基礎，或將任何所需的資訊當作簽章的基礎。

圖8說明圖7開關控制邏輯81之一項具體實施例。該等輸入控制信號為Signature_CLK 150、Signature_DATA 151、Signature_RESET 152及DSM_UpdateIR 149。該N位元預定簽章電路142為非揮發性儲存元件，可儲存一或多個預定簽章值。電路142可由暫存器儲存位元所組成，可為固線式邏輯位準，或可為其提供開關控制邏輯81以外的信號。當判定Signature_RESET信號152後，簽章移位暫存器140即初始化至一非匹配值，SR鎖存器148重置，並驅動開關控制輸出信號84，避免選擇TIM 9。

簽章暫存器時脈，即Signature_CLK 150為一開控時脈，其保持為「關」，直到發生預定事件為止，如進入圖3顯示的TAP控制器預定狀態之一。觸發後，簽章暫存器時脈，即Signature_CLK 150致動，以跟蹤測試資料時脈TCK 60(見圖7)。達到另一預定事件後，如進入圖3顯示的TAP控制器預定狀態之一，Signature_CLK 150再次開控關閉。為防止無意簽章匹配引起的簽章混淆必須嚴格控制Signature_RESET信號152及Signature_CLK信號150。

當資料的N位元移位至簽章移位暫存器140後，即使用N位元比較器144比較進入的簽章與儲存在預定簽章電路142中的預期簽章。僅當發生DSM_UpdateIR 149脈衝時才對該比較器輸出144取樣。之後，該比較器結果由146開控至SR

鎖存器 148，後者產生輸出 TIM_SELECT 98 以控制 TIM 9 的選擇。若進入的簽章與所預期的簽章匹配，即設定 SR 鎖存器 148，導致選擇 TIM 9；否則，SR 鎖存器保持清除，開關控制 84 不選擇 TIM 9。

可用於構建簽章的一示範方法係使用外部 TMS 信號 12 作為簽章資料以捕獲 DSM TAP 控制器狀態橫越歷史的子集。使用此種方法，使用者可瞭解產生匹配信號所需的狀態歷史，若需要 TIM 9 選擇，使用者有責任產生該順序。

為防止混淆，在 Capture-IR 狀態 110（見圖 3）中藉由判定 Signature_RESET 信號 152 而給簽章移位暫存器 140 預載入一非匹配值。然後，致動該閘控時脈信號即 Signature_CLK 150 以提供時脈，該時脈捕獲隨後各 TMS 值至該簽章移位暫存器 140，直到到達 Shift-IR 狀態 111 時 Signature_CLK 150 停用。

到達 Shift-IR 狀態 111 後，Signature_CLK 150 即閘控關閉，簽章移位暫存器 140 中捕獲的最後進入簽章與儲存於預定簽章電路 142 的預期簽章進行比較。在 Update-IR 狀態 115 期間，比較器輸出 144 係選通至 SR 鎖存器 148，若其匹配，則判定 TIM_SELECT 信號 98，若不匹配，則消除。

圖 9 說明圖 3 粗體顯示的預定狀態橫越順序所產生的示範簽章的結果。圖 8 的 Signature-DATA 信號 151 係選定當作 TMS 61，後者係根據 Signature_CLK 150 之上升邊緣取樣，而預定 7 位元簽章係 TMS 順序二進位 0100001，最右邊的「1」係根據 Signature_CLK 150 之第一上升邊緣取樣。TMS 簽章於

Capture-IR狀態110致動後，匹配圖3粗體顯示的一串後續狀態：Exit1-IR 112、Pause-IR 113、Pause-IR 113、Pause-IR 113、Pause-IR 113、Exit2-IR 114及Shift-IR 111。到達Shift-IR狀態111後，簽章時脈即閘控關閉，以停止移位，並比較兩個簽章。然後，在隨後橫越Update-IR狀態115時將比較結果載入至SR鎖存器148中。也可使用具有不同順序長度的其他狀態橫越簽章，以及使用其他狀態以致動及停用Signature_CLK 150，及重置簽章移位暫存器140與SR鎖存器148。在本發明之替代性具體實施例中也可使用決定簽章比較的其他方法，例如，根據DSM 24、26的一或多個狀態或根據DSM 24、26的一或多個特定狀態轉換選擇性致動及停用Signature_CLK 150。

還可使用其他簽章方法。例如，在Pause-IR狀態113，TDI 64接針/端子12的值通常無關緊要。因此，在Pause-IR狀態113，基於簽章的TIM 9選擇方法可根據N次TDI接針/端子12的取樣，然後查詢一預定的唯一N位元簽章。IC 10的使用者可瞭解匹配順序，將有責任產生事件的預定順序，以在需要存取TIM 9時建立匹配簽章。在該方法中，Signature_RESET信號152係由非Pause-IR狀態之一狀態113觸發，以初始化簽章移位暫存器140。Signature_CLK信號150僅在Pause-IR狀態113中致動。IC 10的使用者可在所需的時脈數目內將TAP控制器保持於Pause-IR狀態113，以提供TDI接針/端子12之值的預期順序，然後，該順序在Update-IR狀態115中判定TIM_SELECT信號98。

利用與一或多個TDI 64輸入值的捕獲順序相結合之一或多個狀態歷史之捕獲順序的簽章組合也可用於為存取致動TIM 9選擇。可以看出的，本發明之範圍不限於選擇TIM 9之捕獲簽章資訊的特定順序或方法。

上述說明書已參考特定具體實施例說明了本發明。然而，熟知本技術人士應明白，可對本發明作各種修改及變化，而不致背離如下申請專利範圍所設定的本發明之範疇。因此，說明書暨附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。應注意，本發明不限於任何特定測試標準(如IEEE標準1149.1)，並且事實上不以任何方式限制於測試領域。例如，本發明可用於沒有能力修改原始狀態機或修改能力有限的任何應用。例如，若需要原始狀態機的額外功能(在任何模式中，包括正常運作、測試等)，該額外功能可加至複製狀態機，而複製狀態機的控制信號輸出可從複製狀態機發送至原始狀態機的輸出或發送至使用該(等)控制信號的地方。當整合原始或已有電路的一或多個區塊至一單個積體電路時，該方法可能非常有用。

關於特定具體實施例的優勢、其他優點及問題解決方案已如上述。但是，優勢、優點、問題解決方案及產生或彰顯任何優勢、優點或解決方案的任何元件，均不應視為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。

【圖式簡單說明】

本發明係藉由範例說明但不限於附圖說明的具體實施

例，附圖中相同的參考編號指示相同的元件。

圖1以方塊圖說明根據本發明之一積體電路10的一項具體實施例。

圖2以方塊圖說明根據本發明之圖1的可重複使用模組(1)14之一部分的一項具體實施例。

圖3以狀態圖說明根據本發明之圖1未修改狀態機20之狀態圖的一項具體實施例。

圖4以方塊圖說明根據本發明之圖1電路18之一部分的一項具體實施例。

圖5以方塊圖說明根據本發明之圖1電路18之一部分的一項替代性具體實施例。

圖6以方塊圖說明根據本發明之圖5的開關控制邏輯80之一部分的一項具體實施例。

圖7以方塊圖說明根據本發明之圖1的電路18之一部分的另一項替代性具體實施例。

圖8以方塊圖說明根據本發明之圖7的開關控制邏輯81之一部分的一項具體實施例。

圖9以方塊圖說明根據本發明之圖8的簽章移位暫存器140的一項具體實施例。

熟知本技術人士可以發現，為了簡化及清楚起見，並沒有將圖式中的元件依照比例繪製。例如，為了有助於瞭解本發明的具體實施例，圖中部分元件的尺寸和其他元件比起來可能過度放大。

【圖式代表符號說明】

9	TAP 互連模組(TIM)
10	積體電路
12	積體電路端子
12	IC TDI 輸入接針/端子
14	可重複使用模組(1)
16	可重複使用模組(N)
18	電路
20	未修改狀態機
22	未修改狀態機
24	控制產生邏輯
26	複製狀態機
28	複製狀態機
30	狀態相關資訊
31	測試匯流排
32	狀態相關資訊
33	資料
34	控制匯流排
35	資料
36	控制匯流排
37	資料
38	IC 整合邏輯
50	開關電路
52	開關更新暫存器
54	解碼器

56	連續移位暫存器
58	輸出多工器
59	閘控電路
59	解碼及閘控電路
60	測試時脈(TCK)
61	測試模式選擇(TMS)
62	測試重置(TRST)
63	開關控制
64	測試匯流排信號 TDI
65	測試資料輸出(TDO)
70	DSM_UpdateDR 信號
71	DSM_ShiftDR 信號
72	DSM_ClockDR 信號
73	DSM_Select 信號
74	DSM_Reset 信號
80	開關控制邏輯
81	開關控制邏輯
82	修改過的 TDI 輸出
86	控制信號
90	DSM 指令移位暫存器
92	DSM 指令暫存器
94	多工器
95	DSM_ClockIR 信號
96	DSM_UpdateIR 信號
97	DSM_SelectIR 信號

98	TIM_SELECT 信號
100	Test-Logic/Reset 狀態
101	Run-Test/Idle 狀態
102	Select-DR-Scan 狀態
103	Capture-DR 狀態
104	狀態
105	狀態
106	狀態
107	狀態
108	狀態
109	Select-IR-Scan 狀態
110	狀態
111	狀態
112	狀態
113	狀態
114	狀態
115	Update-IR 狀態
120	測試資料暫存器
121	控制信號
122	除錯暫存器
123	控制
124	邊界掃描暫存器
126	旁通暫存器
128	指令解碼電路
130	TAP 指令暫存器

132	多工器
134	多工器
136	輸出驅動器
140	簽章移位暫存器
142	N 位元預定簽章電路
144	N 位元比較器
148	SR 鎖存器
149	DSM_UpdateIR 信號
149	DSM_UpdateIR 信號
150	Signature_CLK 信號
151	Signature_DATA 信號
152	Signature_RESET 信號
1...(N)	模組

伍、中文發明摘要：

在一具體實施例中，使用一或多個可重複使用模組(14、16)之一積體電路(10)可使用一複製狀態機(26、28)或一未修改之狀態機(20、22)所產生的簽章來選擇、控制或以其他方式影響該積體電路(10)之一資源，而影響該資源並非該未修改狀態機(20、22)之原始設計及狀態圖之部分。在一具體實施例中，提供一種用以動態重新設定一 IC (10)上可重複使用模組(14、16)之複數個測試電路的組態，而不修改該可重複使用模組(14、16)之該控制器狀態機(20、22)之方法與裝置。

陸、英文發明摘要：

In one embodiment, an integrated circuit (10) which uses one or more re-useable modules (14, 16) may use a signature generated by a duplicate state machine (26, 28) or an unmodified state machine (20, 22) to select, control, or otherwise affect a resource on the integrated circuit (10), where affecting the resource was not part of the original design and state diagram of the unmodified state machine (20, 22). In one embodiment, a method and apparatus is provided for dynamically reconfiguring a plurality of test circuits in re-useable modules (14, 16) on an IC (10) without modifying the controller state machine (20, 22) in the re-usable module (14, 16).

拾壹、圖式：

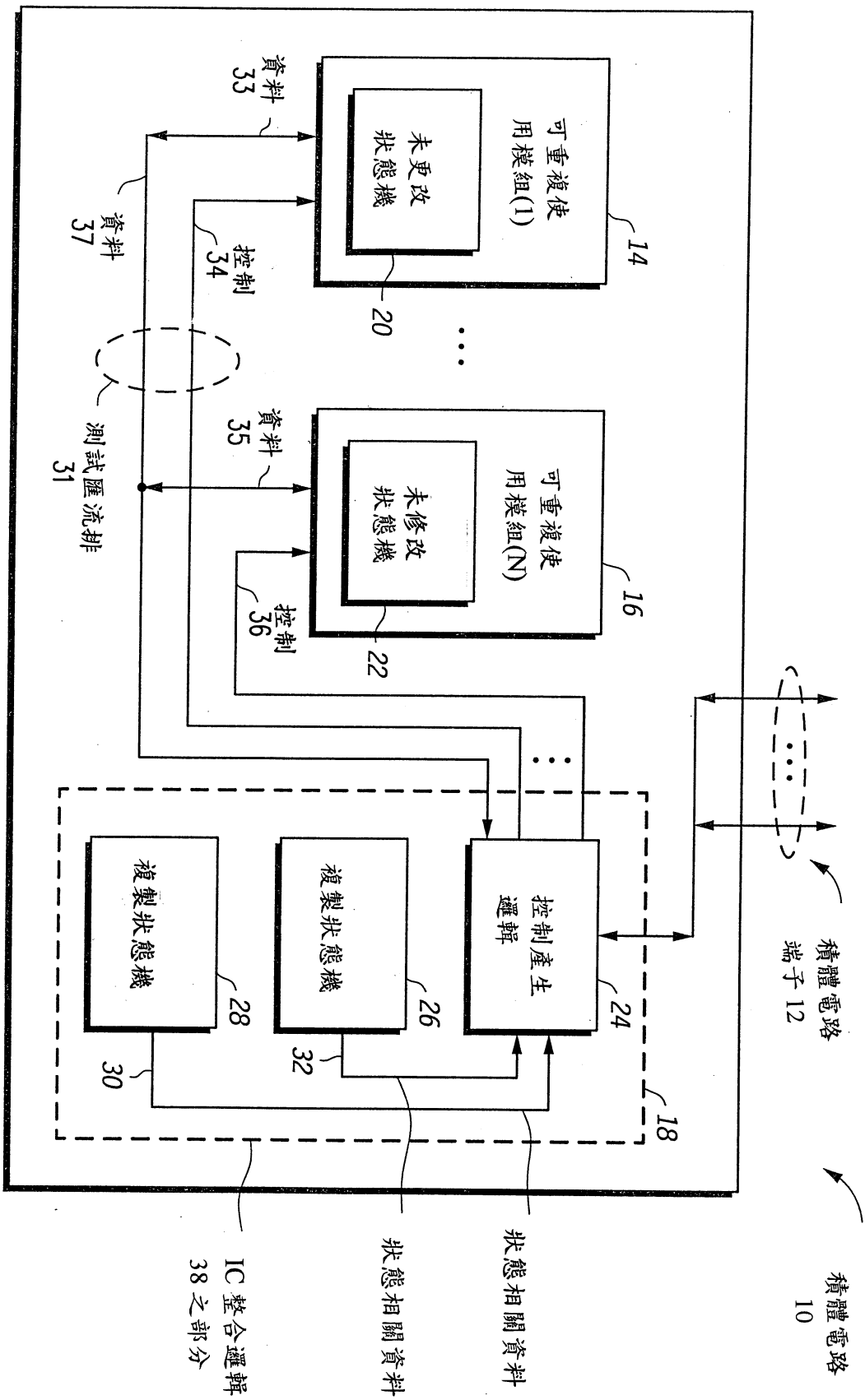


圖 1

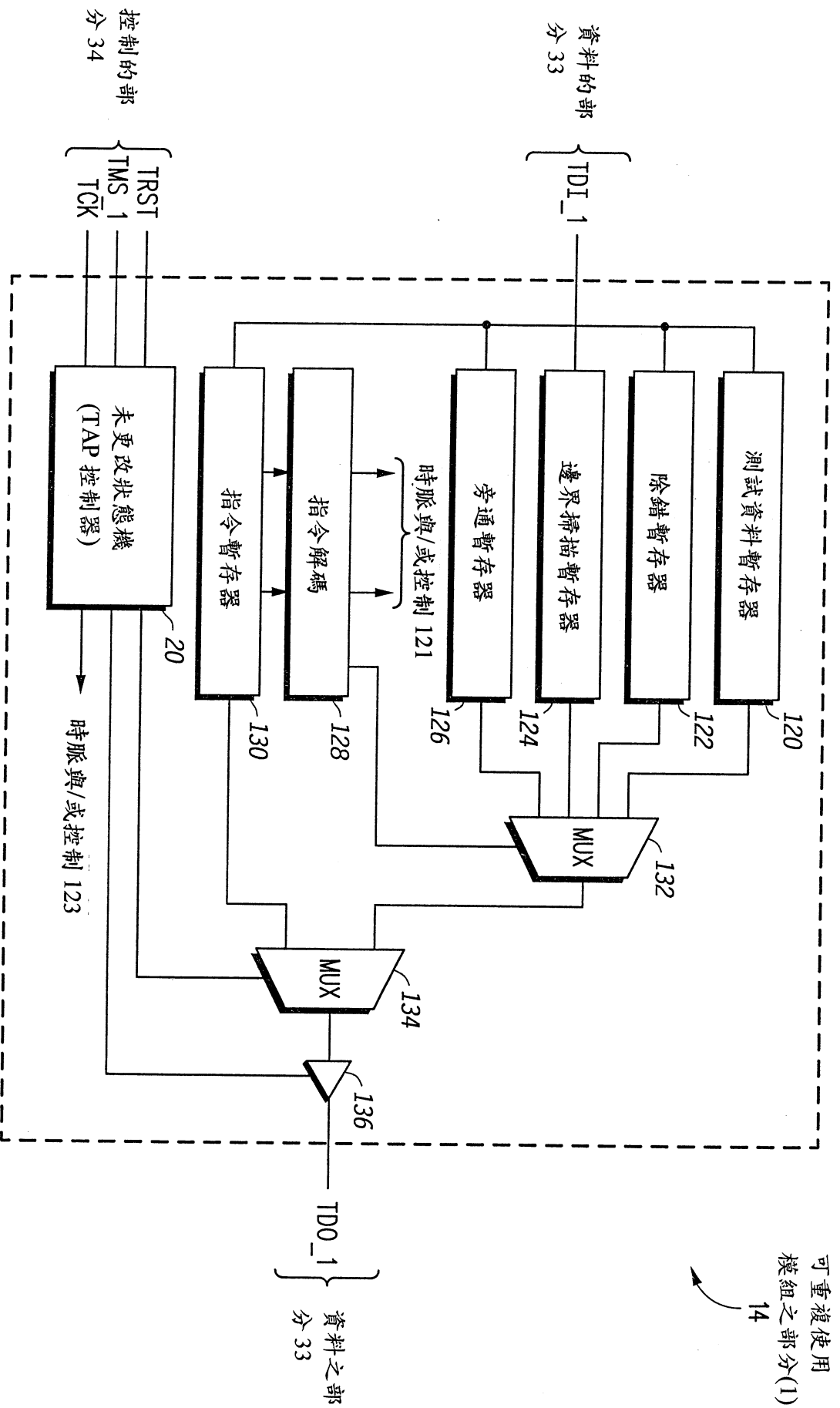


圖 2

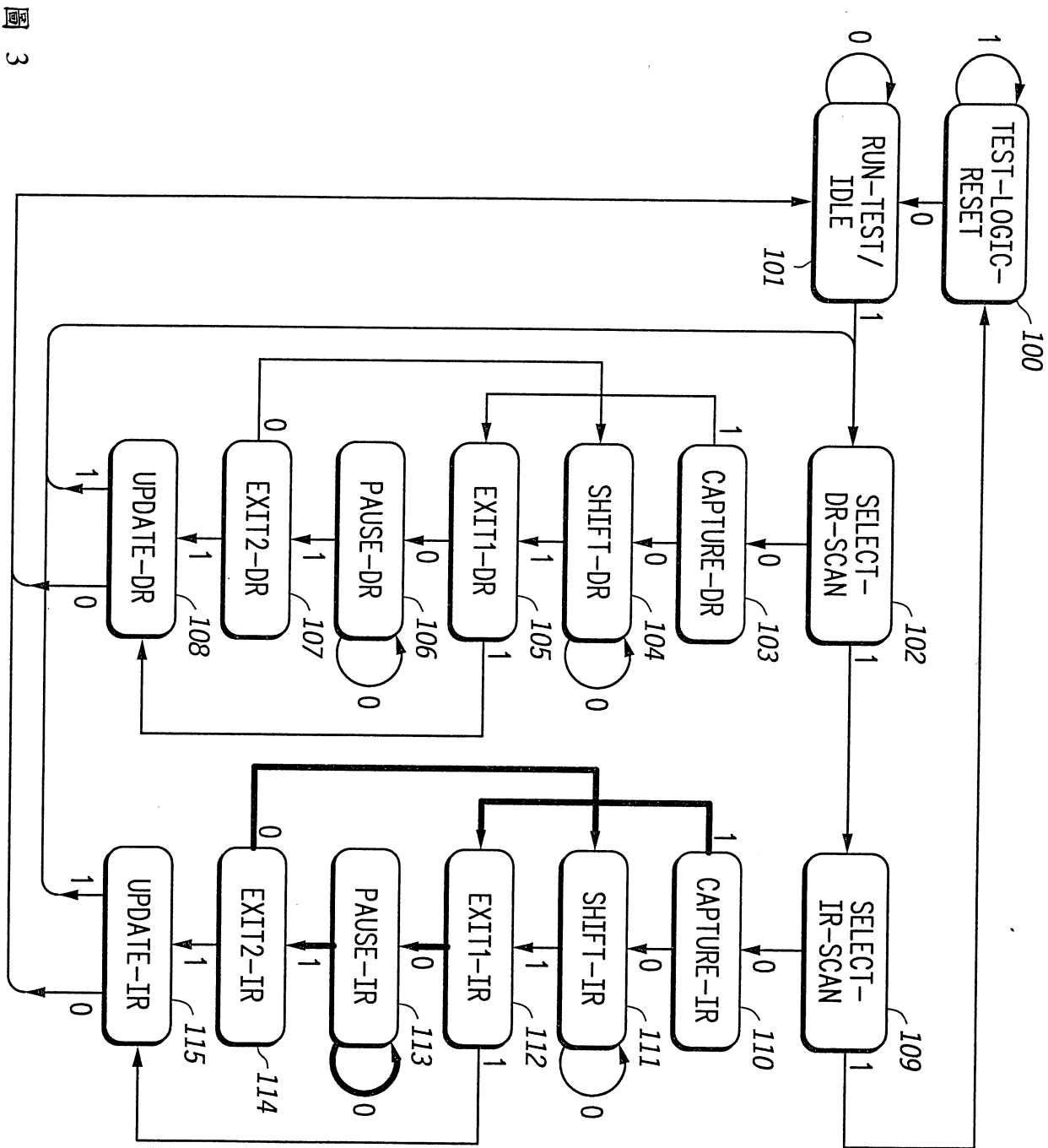
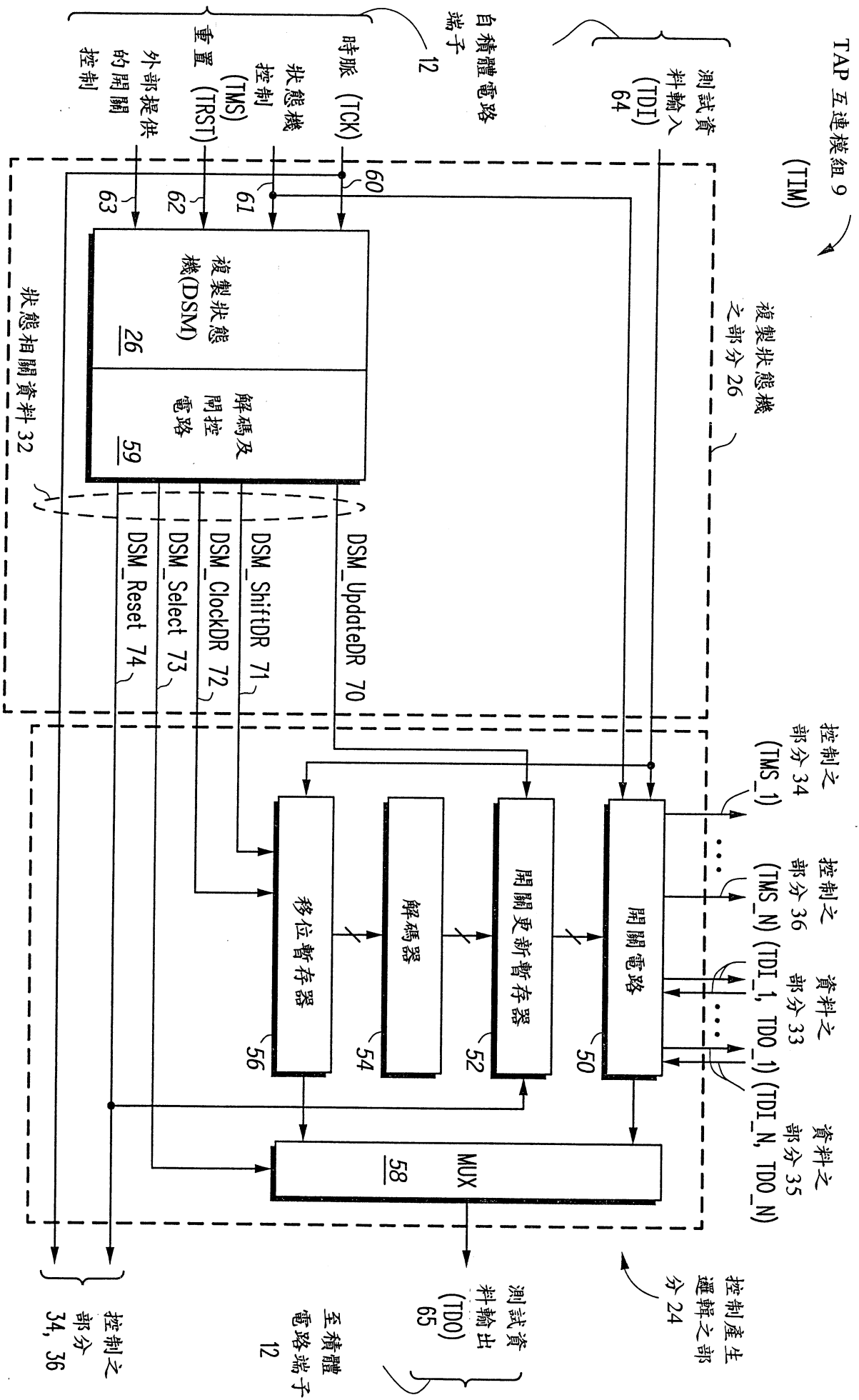


图 3



4圖

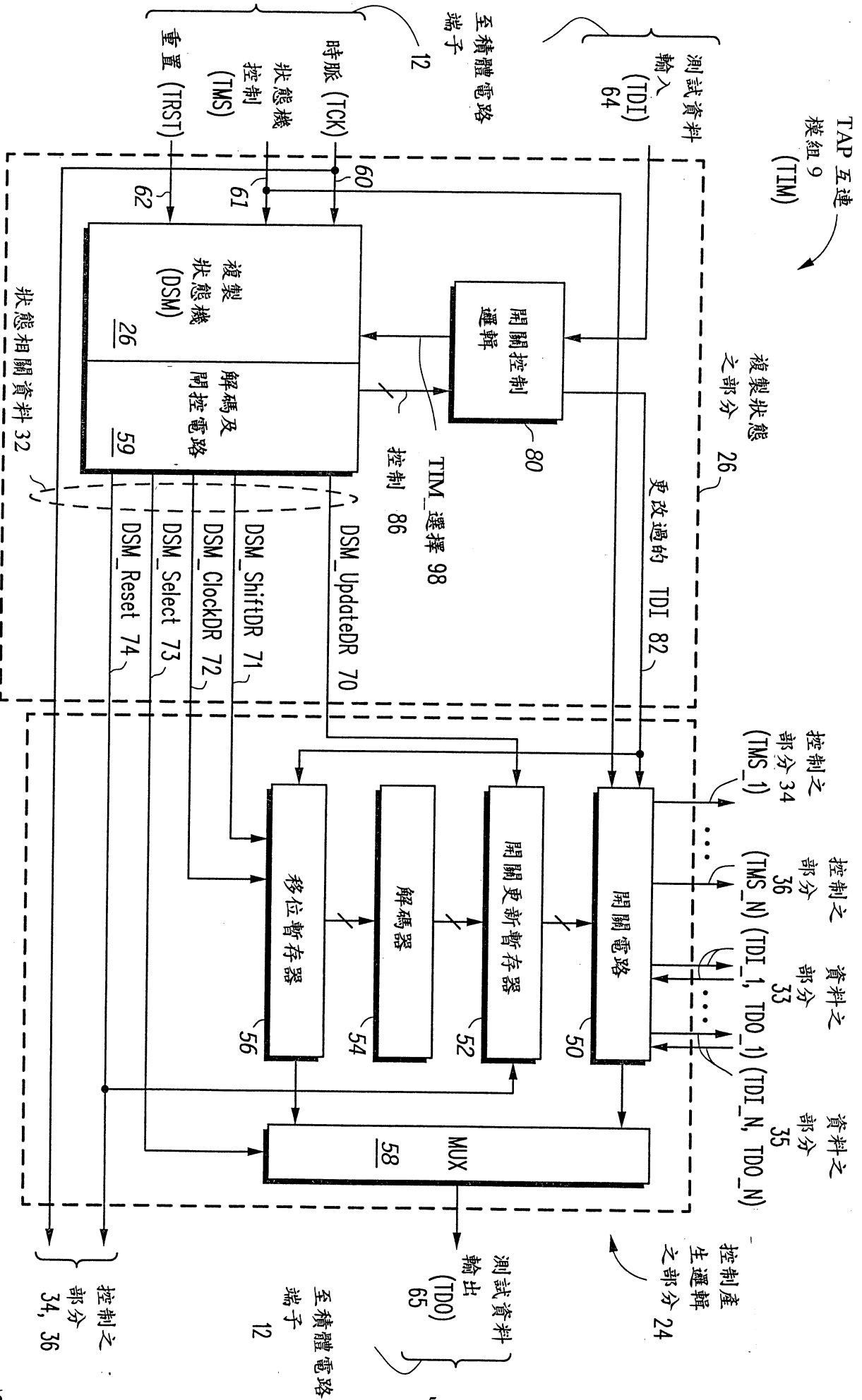


圖 5

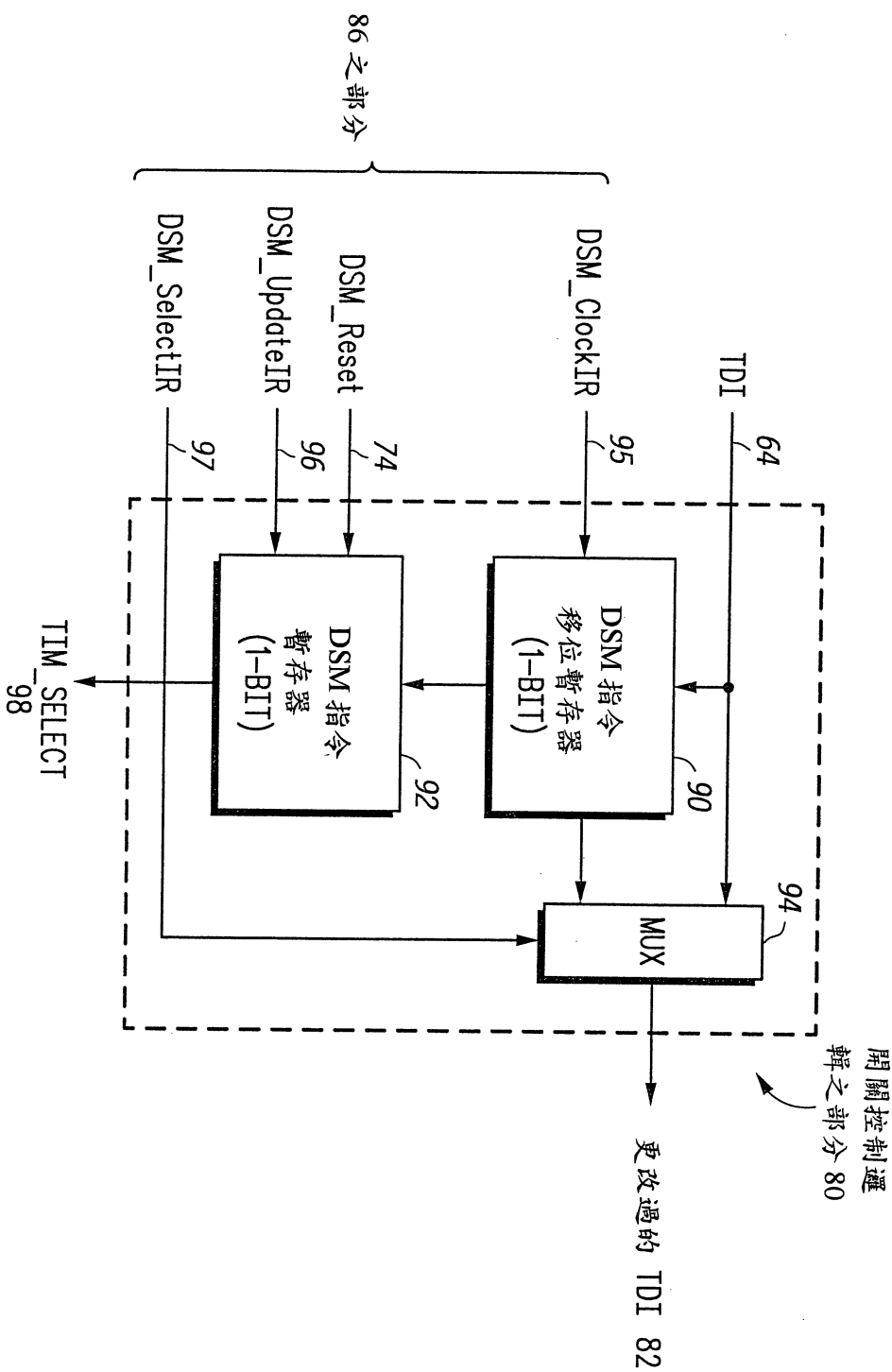


圖 6

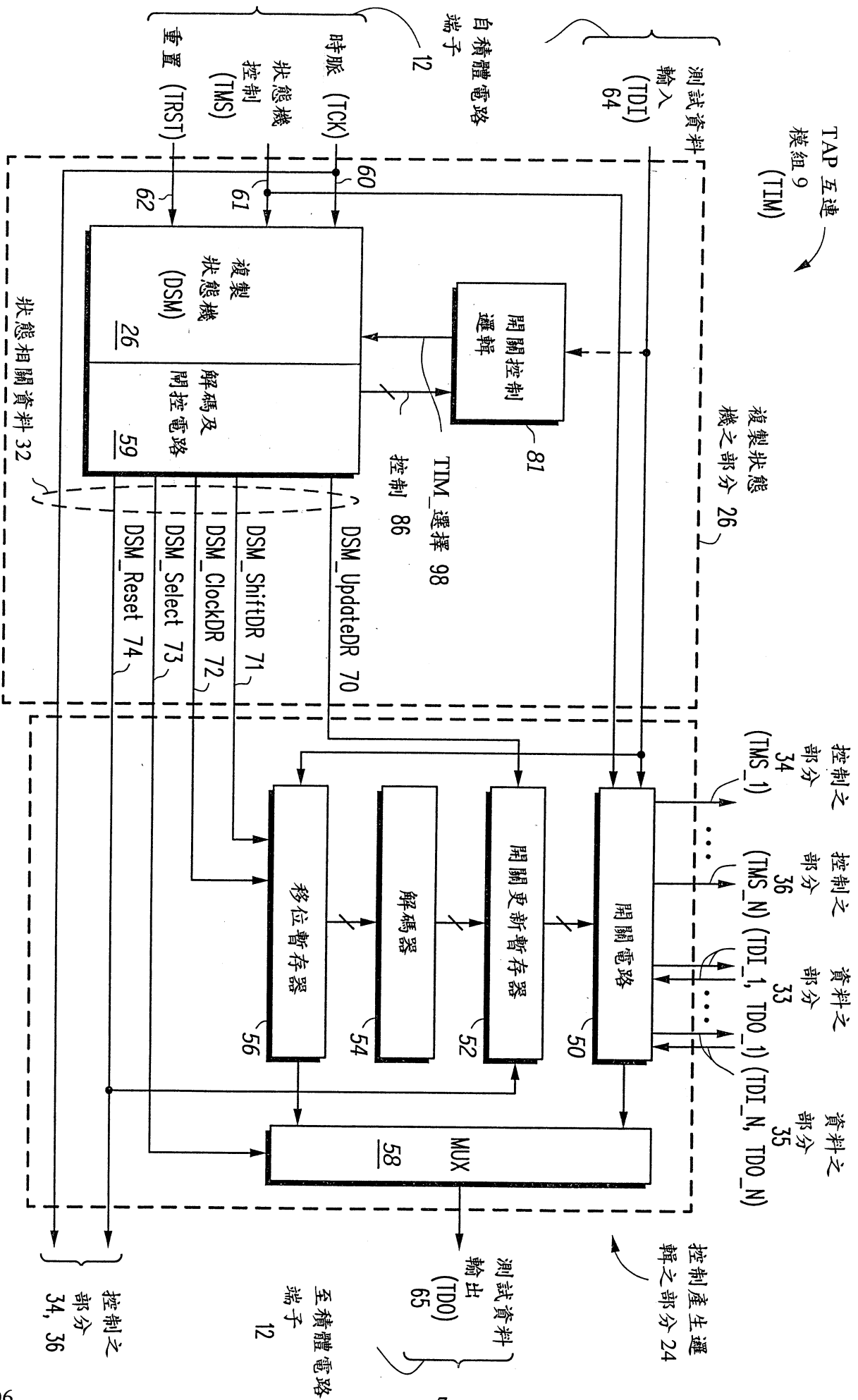


圖 7

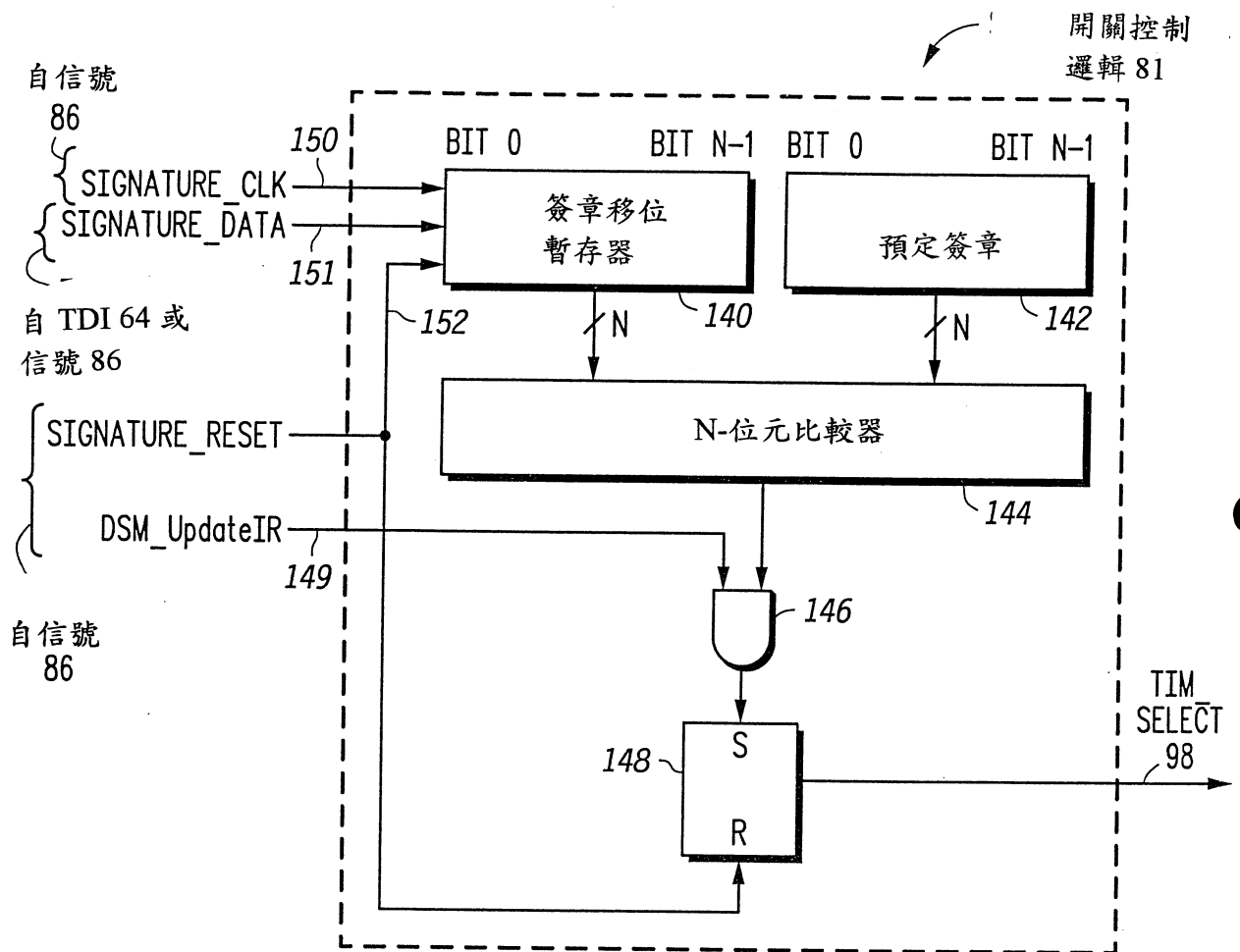


圖 8

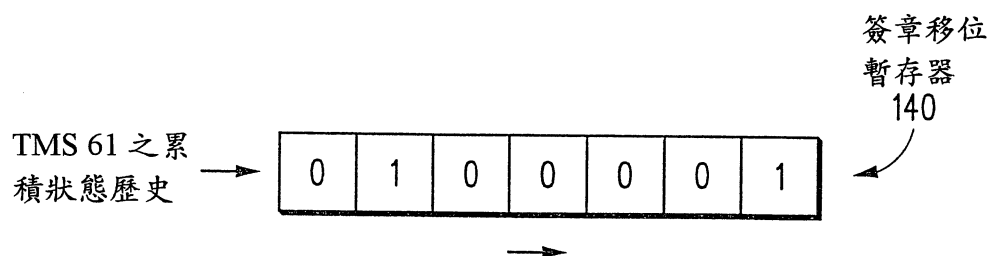


圖 9

柒、指定代表圖：

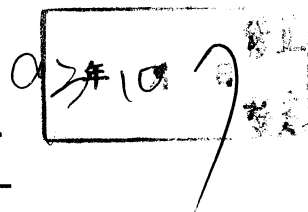
(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	積體電路	30, 32	狀態相關資訊
12	積體電路端子	31	測試匯流排
14	可重複使用模組(1)	33, 35, 37	資料
16	可重複使用模組(N)	34	控制匯流排
18	電路	36	控制匯流排
20, 22	未修改狀態機	38	IC 整合邏輯
24	控制產生邏輯		
26, 28	複製狀態機		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書



中文說明書替換頁(93 年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092114173

※ 申請日期：92.5.26

※IPC 分類：G06F 1/22 (2006.01)

壹、發明名稱：(中文/英文)

用於影響積體電路的一部份之方法與裝置

METHOD AND APPARATUS FOR AFFECTING A PORTION OF AN
INTEGRATED CIRCUIT

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西 6501 號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

拾、申請專利範圍：

1. 一種積體電路，其包括：

複數個積體電路端子；

複數個各具有一未修改狀態機的可重複使用模組；以及
控制邏輯，其耦合至該等未修改狀態機之每一個及複
數個積體電路端子，該控制邏輯具有一第一組態，其將
該等積體電路端子之一第一部分耦合至至少一個該等未
修改狀態機，該控制邏輯耦合用於根據一開關控制信號
選擇性接收一第二組態，該第二組態將該等積體電路端
子之一第二部分耦合至至少一個該等未修改狀態機。

2. 一種積體電路，包括：

複數個積體電路端子；

一第一可重複使用模組，其具有一第一未修改狀態機；

一第二可重複使用模組，其具有一第二未修改狀態機；

開關電路，其耦合至該等第一與第二未修改狀態機及
該等複數個積體電路端子；以及

一開關更新暫存器，其耦合用於為該開關電路提供組
態資訊，其中根據該組態資訊，該開關電路將該等複數
個積體電路端子之至少一部分耦合至該等第一及第二未
修改狀態機之至少一個。

3. 如申請專利範圍第2項之積體電路，其中該開關更新暫存 器係耦合用於根據一開關控制信號選擇性接收組態資 訊，其中該積體電路進一步包括：

開關控制電路，其中該開關信號係由開關控制電路提

供；以及

一複製狀態機，其耦合用於接收該開關控制信號、耦合用於為該開關控制電路提供複數個複製狀態機控制信號，且耦合用於根據該開關控制信號為該開關更新暫存器提供一更新控制。

4. 如申請專利範圍第3項之積體電路，其中該複製狀態機之至少一部分係為該等第一及第二未修改狀態機之至少一個的至少一部分之一複製。

5. 如申請專利範圍第3項之積體電路，其中該開關控制電路包括：

一預定簽章暫存器；

一簽章捕獲暫存器，其耦合至該複製狀態機，用以接收一簽章；

一比較器，其耦合至該預定簽章暫存器及該簽章捕獲暫存器，該比較器具有一輸出以提供一比較結果，其中該開關控制信號係以該比較結果為基礎。

6. 一種用以在具有複數個積體電路端子的一積體電路中設定該積體電路組態的方法，其包括：

提供具有一第一複數個輸入的一第一可重複使用模組未修改狀態機；

提供具有一第二複數個輸入的一第二可重複使用模組未修改狀態機，其中該等第一複數個輸入及該等第二複數個輸入形成複數個未修改狀態機輸入；

提供一第一組態，其將該等複數個積體電路端子之一

第一部分耦合至該等複數個未修改狀態機輸入的一第一部分；以及

提供一第二組態以替代該第一組態，同時不修改該等第一及第二可重複使用模組未修改狀態機，其中該第二組態將一第二複數個積體電路端子耦合至該等複數個未修改狀態機輸入之一第二部分。

7. 如申請專利範圍第6項之方法，其進一步包括：

決定一簽章；以及

比較該簽章與一預定簽章；

其中提供該第二組態以替代該第一組態係回應比較該簽章與該預定簽章。

8. 如申請專利範圍第7項之方法，其中決定該簽章包括：

捕獲對應於當作該簽章之該複製狀態機的一組預定資訊。

9. 一種用以在具有複數個積體電路端子的一積體電路中設定該積體電路組態的方法，其包括：

提供具有一第一複數個輸入的一第一可重複使用模組；

提供具有一第二複數個輸入的一第二可重複使用模組，其中該等第一複數個輸入及該等第二複數個輸入形成複數個可重複使用模組輸入；

提供一第一組態，其將該等複數個積體電路端子之一第一部分耦合至該等複數個可重複使用模組輸入的一第一部分；



決定一簽章；

比較該簽章與一預定簽章；以及

回應比較，選擇性提供一第二組態以替代該第一組態，其中該第二組態將一第二複數個積體電路端子耦合至該等複數個可重複使用模組輸入的一第二部分。

10. 一種積體電路，其包括：

組態電路，其耦合用於根據一控制信號選擇性更新該積體電路之至少一部分的一組態；以及

控制電路，其耦合至該組態電路，其包括：

一預定簽章暫存器；

一簽章捕獲暫存器，其耦合用於接收一簽章；以及

一比較器，其耦合至該預定簽章暫存器及該簽章捕獲暫存器，該比較器具有一輸出以提供一比較結果，其中該控制信號係以該比較結果為基礎。

11. 一種積體電路，其包括：

組態電路，其耦合用於根據一控制信號選擇性更新該積體電路之至少一部分的一組態；以及

控制電路，其具有一輸入用於接收輸入資料及一輸出根據該輸入資料為該組態電路提供修改過的資料，該控制電路包括：

一指令擴展暫存器，其耦合至該等複數個積體電路端子之至少一個以接收一擴展部分；以及

選擇電路，其耦合至該等複數個積體電路端子之該至少一個及該指令擴展暫存器，以選擇性提供該等所

接收的資料輸入及該擴展部分當作修改過的輸入資料，且其中該控制信號係以該擴展部分為基礎。

12. 一種用以建立一簽章之方法，其包括：

提供一狀態機；以及

橫越(traverse)該狀態機，其中在橫越該狀態機時，捕獲狀態機資訊以建立該簽章。

13. 如申請專利範圍第12項之方法，其中該捕獲的狀態機資訊包括狀態歷史資訊。

14. 一種組態一積體電路之方法，該方法包含：

提供一測試輸入端子；

在一第一可重複使用模組中提供一第一狀態機；

提供一複製第一狀態機，其具有與該第一狀態機相同之狀態，且複製該第一狀態機之狀態轉換；

使用該複製第一狀態機以漸增地追蹤該第一狀態機數個狀態轉換以產生一實際狀態轉換模型；

比較該實際狀態轉換模型與一預定狀態轉換模型；以及

若該實際狀態轉換模型符合該預定狀態轉換模型，重新組態該積體電路耦接以自該測試輸入端子以接收資訊之部分。

15. 如申請專利範圍第14項之方法，其中該積體電路耦接以自該測試輸入端子以接收資訊之部分包含一測試互連模組。

16. 如申請專利範圍第14項之方法，其中該積體電路耦接以自該測試輸入端子以接收資訊之部分包含一開關更新暫

存器。

17. 如申請專利範圍第14項之方法，其中修改一開關更新暫存器係修改該積體電路隨後耦接以自該測試輸入端子以接收資訊之部分。

18. 如申請專利範圍第14項之方法，其中該積體電路耦接以自該測試輸入端子以接收資訊之部分包含在該第一重複使用模組中之一掃描鏈。

19. 如申請專利範圍第14項之方法，其中比較該實際狀態轉換模型與該預定狀態轉換模型之步驟包含：

提供回應該JTAG Update-IR狀態之一比較結果。

20. 如申請專利範圍第14項之方法，其中重新組態該積體電路耦接以自該測試輸入端子以接收資訊之部分之步驟包含：

增加至少一位元以決定一隨後資料運作之重新組態是否失能。

21. 如申請專利範圍第14項之方法，其中重新組態該積體電路耦接以自該測試輸入端子以接收資訊之部分之步驟包含不增加新的JTAG指令。