

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 14.02.1973 (P. 160744)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.03.1974

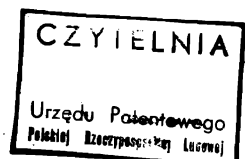
Opis patentowy opublikowano: 15.10.1976

79552

Opis patentowy
przedrukowano ze względu
na zauważone błędy

MKP H03k 3/57

Int. Cl.² H03K 3/57



Twórca wynalazku: Jacek Tylec

Uprawniony z patentu tymczasowego: Instytut Maszyn Matematycznych – Mera Oddział Śląski,
Katowice (Polska)

Układ połączenia monostabilnego przerzutników scalonych typu D i JK serii logicznej elementów scalonych TTL

Przedmiotem wynalazku jest sposób połączenia przerzutników scalonych typu D i JK z serii logicznej elementów scalonych TTL w układ monostabilny, którego przeznaczeniem jest wygenerowanie impulsu napięcia na wyjściu o czasie trwania wyznaczonym przez odpowiednie elementy układu po określonej zmianie sygnału na wejściu układu.

Znane dotychczas układy monostabilne o opisanym przeznaczeniu budowane są na pojedynczych bramkach logicznych serii elementów scalonych TTL typu NAND przykładowo firmy Texas Instrument SN 7400 lub odpowiednikach tego elementu produkowanych przez inne firmy.

Wadą tych układów jest niewielki zakres osiągalnych czasów trwania impulsu wyzwolonego jak również zbyt duży czas narastania zbocz tego impulsu. Dla układów o mniejszym stopniu skomplikowania kłopotliwe jest wymaganie, aby czas trwania impulsu wyzwalamącego nie był dłuższy od czasu trwania impulsu wyzwolonego. Poza tym układy te posiadają skomplikowany układ połączeń, dużą ilość zewnętrznych elementów dyskretnych jak diody, kondensatory czy oporniki. Układy te mają ponadto ograniczoną obciążalność niektórych wyjść bramkowych układów monostabilnych.

Istota wynalazku. Celem wynalazku jest zbudowanie układu monostabilnego na standartowych elementach serii TTL, reagującego na dowolne zbocze impulsu wyzwalamącego i mogącego współpracować z innymi elementami serii według standardu TTL. Układ powinien generować impuls wyjściowy o bardzo małych czasach narastania zbocz, oraz o czasie jego trwania niezależnym od czasu trwania impulsu wyzwalamącego na wejściu.

Cel ten został osiągnięty przez połączenie przerzutnika scalonego D lub JK z bramką logiczną typu NAND lub elementem jej równoważnym i układem czasowym, złożonym z oporności i pojemności. Wyjście pozycyjne i wyjście negacyjne przerzutnika są połączone z wejściem bramki logicznej, poprzez układ czasowy. Wyjście bramki logicznej jest sprzężone z jednym z wejść informacyjnych przerzutnika, ustawiających zero lub jedynkę logiczną na jego wyjściu. Bramka logiczna jest połączona w układzie w taki sposób, aby stanowiła element negacji.

Układ według wynalazku wyzwalamy może być zboczem dodatnim lub ujemnym impulsu wejściowego, przy czym impuls wyjściowy zależny jest przede wszystkim od wartości elementów układu czasowego, a niezależ-

ny od czasu trwania impulsu na wyjściu. Czasy narastania zboczy impulsu są bardzo małe, rzędu 20 nanosekund. Układ jest zdolny do pracy w połączeniu z innymi elementami serii TTL. Układ może pracować również jako zależny, przy wykorzystaniu jednego z wejść informacyjnych do podawania sygnału uzależniającego.

Układ według wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia podstawowy sposób połączenia przerzutnika typu D SN 7474 firmy Texas Instrument lub odpowiednik innej firmy serii TTL w układ monostabilny wyzwalany zboczem narastającym sygnału wejściowego, fig. 2 – podstawowy sposób połączenia przerzutnika typu JK SN 7473 firmy Texas Instrument lub odpowiednik innej firmy w układ monostabilny zaś fig. 3 – sposób połączenia układu monostabilnego przedstawionego na rysunku fig. 2 do pracy zależnej.

Przykład realizacji wynalazku. Układ przedstawiony na rysunku fig. 1 składa się z dwuwejściowej bramki NAND $\Lambda 00$ typu SN 7400, stanowiącej element negacji, przerzutnika T74 typu D SN 7474 z wejściami 13– $\bar{R}$ i 10– $\bar{S}$ ustawiającymi odpowiednio zero i jedynkę logiczną na wyjściu 9–Q, układu czasowego złożonego z kondensatora C i rezystora R. Rezystor R_1 polaryzuje wejście 13– $\bar{R}$ jedynką logiczną. Wyjście 3 bramki $\Lambda 00$ jest połączone z wejściem 10– $\bar{S}$ przerzutnika T74. Wyjście 9–Q przerzutnika połączone jest przez kondensator C ze zwartymi wejściami 1 i 2 bramki $\Lambda 00$ a wyjście 8– $\bar{Q}$ jest połączone przez rezystor R również ze zwartymi wejściami bramki $\Lambda 00$.

Sygnał wyzwalający WE jest podawany na wejście zegarowe 11–C przerzutnika T74. Na wejście danych 12–D przerzutnika T74 podawane jest zero logiczne (masa układu). Układ ten posiada jeden stan stabilny – jedynka logiczna na wyjściu 9–Q i zero logiczne na wyjściu 8– $\bar{Q}$ i w czasie gotowości do pracy pozostaje w tym stanie. Narastające zbocze impulsu WE na wejściu zegarowym 11–C przerzutnika T74 powoduje przepisanie stanu wejścia danych 12D (logiczne zero) na wyjście 9–Q.

Pojemność C, która w stanie stabilnym była naładowana do wartości napięcia zgodnej ze stanem wyjść 9–Q i 8– $\bar{Q}$ przerzutnika T74 musi się teraz przeładować do napięcia zgodnego z nowym stanem wyjść. W zakresie zmian napięcia na pojemność C od tej wartości początkowej do wartości napięcia przełączającego bramkę $\Lambda 00$ w stan zera logicznego, na wejście ustawiające jedynkę logiczną PRESET 10– $\bar{S}$ podana jest jedynka logiczna i na wyjściu 8– $\bar{Q}$ trwa generacja impulsu. Impuls ten zostaje zakończony w momencie przełączenia bramki $\Lambda 00$ w stan zera logicznego na jej wyjściu a zatem na wejściu ustawiającym PRESET 10– $\bar{S}$. Następuje teraz przestawienie przerzutnika T74 w stan jedynki logicznej na wyjściu 9–Q i zera logicznego na wyjściu 8– $\bar{Q}$ i zakończenie generacji impulsu. Stan ten jest już stabilny i nie ulegnie zmianie dopóty, dopóki nie zostanie podane na wejście 11–C, następne narastające zbocze sygnału. Czas trwania impulsu wyzwolonego jest funkcją wartości elementów obwodu czasowego R i C.

Układ przedstawiony na rysunku fig. 2 składa się z dwuwejściowej bramki NAND $\Lambda 00$ typu SN 7400, przerzutnika T73 typu JK SN 7473 z wejściem 2– $\bar{R}$ ustawiającym zero logiczne na jego wyjściu. Wyjście 12–Q przerzutnika jest połączone przez rezystor R ze zwartymi wejściami bramki $\Lambda 00$, a wyjście 13– $\bar{Q}$ jest połączone bezpośrednio z wejściem informacyjnym 14–J przerzutnika i poprzez kondensator C ze zwartymi wejściami bramki $\Lambda 00$. Wyjście bramki $\Lambda 00$ jest połączone z wejściem 2–R przerzutnika. Sygnał wyzwalający WE jest podawany na wejście zegarowe 1–C przerzutnika T73 którego wejście informacyjne 3–K jest połączone z masą układu. Układ ten posiada jeden stan stabilny – zero logiczne na wyjściu 12–Q i jedynka logiczna na wyjściu 13– $\bar{Q}$. Opadające zbocze sygnału WE na wejściu zegarowym 1C powoduje przepisanie stanu wyjścia 13– $\bar{Q}$ (jedynki logicznej) przez wejście danych 14–J na wyjście 12–Q przerzutnika T73. Układ przechodzi do stanu niestabilnego będącego negacją stanu stabilnego. Dalszy cykl pracy odbywa się tak, jak w układzie przedstawionym na rysunku fig. 1.

Układ przedstawiony na rysunku fig. 2 jest układem równoważnym z przedstawionym na rysunku fig. 1. Zasada pracy obu układów jest ta sama jednak w układzie na fig. 1 wykorzystano wejście 10– $\bar{S}$ ustawiające jedynkę PRESET a w układzie na rysunku fig. 2 wykorzystano wejście 2– $\bar{R}$ ustawiające zero CLEAR na wyjściu Q.

Układ przedstawiony na rysunku fig. 3 różni się od układu fig. 2 odłączeniem wejścia informacyjnego 14–J przerzutnika T73 od wyjścia 13– $\bar{Q}$ tego przerzutnika. Na wejście 14–J podawany jest sygnał uzależniający WEZ. Odłączanie sprzężenia wejścia 14–J z wyjściem 13–Q pozwoliło na uzyskanie wyzwalania zależnego. Zależnie od uzależniającego sygnału WEZ układ ten jest zdolny do normalnej pracy przy jedynce logicznej na uzależniającym wejściu 14–J oraz nie reaguje na impulsy wyzwalające podawane na wejście 1–C przy zerze logicznym na uzależniającym wejściu 14–J.

Zastrzeżenia patentowe

1. Układ połączenia monostabilnego przerzutników scalonych typu D i JK serii logicznej elementów scalonych TTL pracujący tak jak klasyczny multiwibrator monostabilny, składający się z bramki typu NAND SN 7400 lub typu jej równoważnego pod względem zasady pracy należącej do serii logicznej elementów scalonych

TTL oraz z dodatkowych elementów dyskretnych, znamienny tym, że w skład jego wchodzi przerzutnik scalony (T73) lub (T74) lub inny równoważny mu pod względem zasady pracy i układu wejść oraz wyjść, przy czym jego wyjścia (Q) za pomocą elementów dyskretnych (R i C) i bramki ($\Lambda 00$) połączonej tak by stanowiła element negacji są sprzężone z jednym z wejść ustawiającym zero lub jedynkę logiczną na jego wyjściu.

2. Układ według zastrz. 1, znamienny tym, że wyjście (Q) przerzutnika (T73) lub (T74) jest połączone przez pojemność (C) ze zwartymi wejściami bramki ($\Lambda 00$) stanowiącej element negacji, a negacja tego wyjścia ($\bar{Q}$) przez oporność (R) również ze zwartymi wejściami tej bramki ($\Lambda 00$), przy czym wyjście bramki ($\Lambda 00$) jest połączone z wejściem ustawiającym jedynkę logiczną PRESET (S) na wyjściu (Q) przerzutnika (T74).

3. Układ według zastrz. 1, znamienny tym, że wyjście (Q) przerzutnika (T73) lub (T74) jest połączone przez oporność (R) ze zwartymi wejściami bramki ($\Lambda 00$) stanowiącej element negacji, a negacja tego wyjścia ($\bar{Q}$) przez pojemność (C) również ze zwartymi wejściami tej bramki ($\Lambda 00$), przy czym wyjście bramki ($\Lambda 00$) jest połączone z wejściem ustawiającym zero logiczne CLEAR (R) na wyjściu (Q) przerzutnika (T73).

4. Układ według zastrz. 1 lub 3, znamienny tym, że posiada dodatkowe wejście (WEZ) uzależniające jego pracę generacyjną od wartości sygnału na tym wejściu.

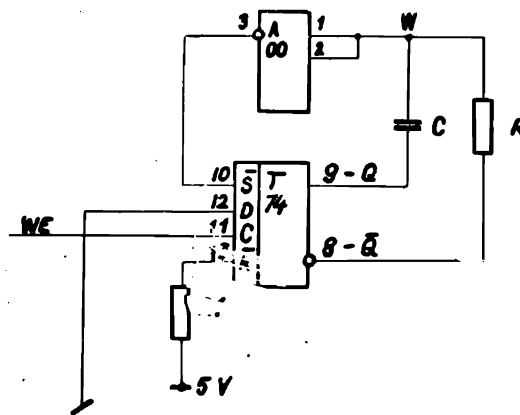


Fig. 1.

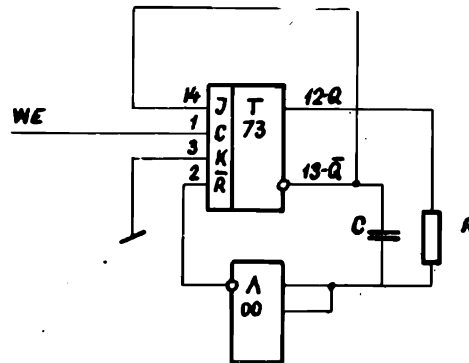


Fig. 2.

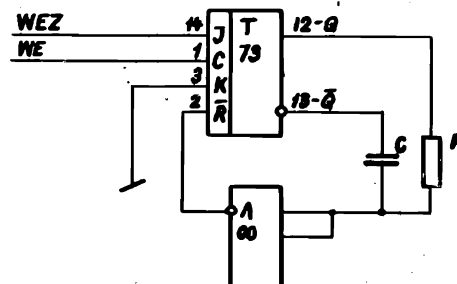


Fig. 3.