(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4060270号
(P4060270)
(45)発行日　平成20年3月12日(2008.3.12)　(24)登録日　平成19年12月28日(2007.12.28)

(51)Int.Cl.　F I
H04L 13/08 (2006.01)　H04L 13/08

請求項の数 15　(全 16 頁)

(21)出願番号	特願2003-529444 (P2003-529444)
(86)(22)出願日	平成14年9月19日 (2002.9.19)
(65)公表番号	特表2005-504464 (P2005-504464A)
(43)公表日	平成17年2月10日 (2005.2.10)
(86)国際出願番号	PCT/US2002/029808
(87)国際公開番号	WO2003/025900
(87)国際公開日	平成15年3月27日 (2003.3.27)
審査請求日	平成17年9月1日 (2005.9.1)
(31)優先権主張番号	60/323,238
(32)優先日	平成13年9月19日 (2001.9.19)
(33)優先権主張国	米国(US)

(73)特許権者　501263810
トムソン　ライセンシング
Ｔｈｏｍｓｏｎ　Ｌｉｃｅｎｓｉｎｇ
フランス国，　エフ－９２１００　ブローニュ　ビヤンクール，　ケ　アルフォンス　ル　ガロ，　４６番地
４６　Ｑｕａｉ　Ａ．　Ｌｅ　Ｇａｌｌｏ，　Ｆ－９２１００　Ｂｏｕｌｏｇｎｅ－Ｂｉｌｌａｎｃｏｕｒｔ，　Ｆｒａｎｃｅ
(74)代理人　100115864
弁理士　木越　力
(74)代理人　100118496
弁理士　青山　耕三

最終頁に続く

(54)【発明の名称】送信装置と受信装置の間においてビデオのライン・データを遅延させる装置および方法

(57)【特許請求の範囲】
【請求項１】
送信装置と受信装置の間においてビデオのライン・データを遅延させるための装置であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
前記装置は、
複数の記憶場所を有するシングル・ポート・ランダム・アクセス・メモリ（ＲＡＭ）と、
前記ＲＡＭに結合される第１の記憶デバイスと前記ＲＡＭに結合される第２の記憶デバイスを含む処理装置とから成り、
前記処理装置が、
前記ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、
前記ＲＡＭから前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイスに前記第２のデータ部分を記憶し、
前記送信装置からの前記第３のデータ部分を前記第２の記憶デバイスに記憶し、
前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分を前記ＲＡＭの記憶場所の１つに書き込み、

前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力するように構成されている、前記送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。

【請求項２】

前記処理装置は、更に

前記ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、

前記第１のデータ部分を前記受信装置に出力し、

前記第１の記憶デバイスに前記第２のデータ部分を記憶し、

前記第２の記憶デバイスに前記第３のデータ部分を記憶する処理を同時に実行し、

更に、前記処理装置は、

前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込み、

前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力する処理を同時に実行する、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。

【請求項３】

前記処理装置は、更に、

ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、

前記第１のデータ部分を前記受信装置に出力し、

前記第１の記憶デバイスに前記第２のデータ部分を記憶し、

前記第２の記憶デバイスに前記第３のデータ部分を記憶する処理を実行し、

更に、前記処理装置は、前記処理と交互に、

前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込み、

前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。

【請求項４】

前記処理装置は、更に、

クロック信号に対応するレートで、ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、

前記第１のデータ部分を前記受信装置に出力し、

前記第１の記憶デバイスに前記第２のデータ部分を記憶し、

前記第２の記憶デバイスに前記第３のデータ部分を記憶する処理を実行し、

更に、前記処理装置は、

前記クロックとほぼ同じレートで、前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込み、

前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項３に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。

【請求項５】

前記処理装置は、第１のアドレスを連続的に増加させる手段と、第２のアドレスを連続的に増加させる手段と、ＲＡＭに第１のアドレスと第２のアドレスを交互に供給する手段とを更に備えた、請求項４に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。

【請求項６】

前記処理装置は、前記アドレスを供給する手段を制御するように構成された有限状態機械を更に含む、請求項５に記載の送信装置と受信装置の間においてビデオのライン・デー

タを遅延させる装置。
【請求項７】
前記第１の記憶デバイスは、第１の幾つかのＤ型フリップ‐フロップを含み、
前記第２の記憶デバイスは、第２の幾つかのＤ型フリップ‐フロップを含み、
第１の幾つかのＤ型フリップ‐フロップの数と第２の幾つかのＤ型フリップ‐フロップの数が等しい、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項８】
前記ＲＡＭがダイナミックＲＡＭを含む、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項９】
送信装置と受信装置の間においてビデオのライン・データを遅延させるための方法であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
シングル・ポート・ランダム・アクセス・メモリの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、
前記第１のデータ部分を前記受信装置に出力するステップと、
前記第１の記憶デバイスに前記第２のデータ部分を記憶するステップと、
前記第２の記憶デバイスに前記第３のデータ部分を記憶するステップと、
前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込むステップと、
前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力するステップと、
から成る、前記送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１０】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、前記第１のデータ部分を出力するステップと、前記第２のデータ部分を記憶するステップと、前記第３のデータ部分を記憶するステップとが同時に実行され、且つ、
前記第３のデータ部分と前記第４のデータ部分の書き込みステップと前記第２のデータ部分を出力するステップとが同時に実行される、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１１】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、前記第１のデータ部分を出力するステップと、前記第２のデータ部分を記憶するステップと、および前記第３のデータ部分を記憶するステップとが、前記第３のデータ部分と前記第４のデータ部分の書き込みステップおよび前記第２のデータ部分を出力するステップと交互に実行される、請求項１０に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１２】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、前記第１のデータ部分を出力するステップと、前記第２のデータ部分を記憶するステップと、前記第３のデータ部分を記憶するステップとが、クロック信号に対応したレートで実行され、且つ前記第３のデータ部分と前記第４のデータ部分の書き込みステップと、前記第２のデータ部分を出力するステップとが前記クロックとほぼ同じレートで実行される、請求項１１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１３】
第１のアドレスを連続的に増加させるステップと、

第２のアドレスを連続的に増加させるステップと、
第１のアドレスと第２のアドレスをＲＡＭに交互に供給するステップと、
を含む、請求項１２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１４】
前記第３のデータ部分を記憶するステップが前記第３のデータ部分を幾つかのＤ型フリップ‐フロップに記憶するステップを含んでおり、且つ、
前記第２のデータ部分を記憶するステップが前記第２のデータ部分を前記Ｄ型フリップ‐フロップと同じ数のＤ型フリップ‐フロップに記憶するステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１５】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップが、ダイナミックＲＡＭから前記第１のデータ部分と前記第２のデータ部分を読み出すステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【発明の詳細な説明】
【技術分野】
【０００１】
（優先権主張）
本出願は、２００１年９月１９日に出願された、「シングル・ポート・メモリを使用したビデオ・ディレー・ライン」という名称の、米国特許仮（Ｐｒｏｖｉｓｉｏｎａｌ）出願第６０／３２３，２３８号を参照として本明細書に組み込み、その権利を主張する。
【０００２】
本発明は、ディジタル信号処理の分野に関する。
【背景技術】
【０００３】
従来のビデオ信号は、フレームの連続として構成されている。各々のフレームは、一連のラインから構成され、そして各ラインには数多くのピクセルが含まれている。ビデオ・ライン・ディレー（或いは「ビデオ・ディレー・ライン」）は、垂直に関するフォーマット変換や画像信号改善を行う場合に必要である。オーディオ・フィルタのような、いろいろなディジタル信号処理の応用例や種々のコンピュータを利用した応用例においても、ディジタル・データを一定のクロック・サイクルだけ遅延（ディレー）させなければならないという要求がある。典型的なライン・ディレーは、ファースト－イン－ファースト－アウト・キュー（ｑｕｅｕｅ、待ち行列）（「ＦＩＦＯ」：Ｆｉｒｓｔ‐Ｉｎ‐Ｆｉｒｓｔ‐Ｏｕｔ　ｑｕｅｕｅ、先入れ先出し待ち行列）を用いて構成され、ライン・データ（ｌｉｎｅ　ｄａｔａ、一列に並んだデータ）は、ＦＩＦＯの入力に供給され、要求される遅延時間とＦＩＦＯの長さに依存するクロック・レート（ｃｒｏｃｋ　ｒａｔｅ）によりＦＩＦＯの出力に送られる。
【０００４】
データの量が非常に多く、ランダム・アクセス・メモリ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ：ＲＡＭ）で実現する方が、他の素子（例えば、フリップ‐フロップ或いはラッチ）で実現するよりも実際的である場合、一般的には、ＦＩＦＯ中においてＲＡＭが用いられる。ＲＡＭへのデータの書き込みとＲＡＭからのデータ読み出しが互いに独立して行われるシステムの場合は、通常、デュアル・ポートＲＡＭが用いられる。デュアル・ポートＲＡＭは、読み出しポートと書き込みポートを独立に有している。とりわけ、デュアル・ポートは、ある１つのＲＡＭアドレスにデータを書き込みすると同時に、別のＲＡＭアドレスからデータを読み出しすることができ、遅延の構成を容易に行うことができる。しかしながら、デュアル・ポートＲＡＭの欠点は、大きな面積のシリコンを必要とすることである。デュアル・ポートＲＡＭは、同等のシングル・ポートＲＡＭよりも更に１００％以上の面積が必要である。その上、デュアル・ポートＲＡＭは、非常に高価である

。

本発明は、この問題を解決する手段を提供するものである。

【発明の開示】

【０００５】

(発明の概要)

送信装置と受信装置の間におけるビデオ・ライン・データを遅延させるための装置は、シングル・ポートのランダム・アクセス・メモリ（ＲＡＭ）と処理装置（ｐｒｏｃｅｓｓｉｎｇ　ａｒｒａｎｇｅｍｅｎｔ）から構成される。処理装置は、ＲＡＭのデータ記憶場所から（１つ前のビデオ・ラインに対応する）データの第１の部分の中の１つと前記データの第２部分の中の１つを読み出す手段と、読み出されたデータの第１部分の中の１つのデータを受信装置に出力する手段と、読み出されたデータの第２部分の中の１つのデータを第１の記憶デバイスに記憶する手段と、（現在のビデオ・ラインに対応する）データの第３部分の中の１つを第２の記憶デバイスに記憶する手段と、第２の記憶デバイスからのデータの第３部分の中の１つと送信装置からの（現在のビデオ・ラインに対応する）データの第４部分の中の１つをＲＡＭのデータ記憶場所に記憶する手段と、第１の記憶デバイスからのデータの第２の部分の中の１つのデータを受信装置に出力する手段と、から構成される。

特許請求の範囲と実施例との対応関係を実施例で使われている参照番号を用いて示すと以下の通りである。

（請求項１）

送信装置と受信装置の間においてビデオのライン・データを遅延させるための装置（１００）であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、

前記装置（１００）は、

複数の記憶場所を有するシングル・ポート・ランダム・アクセス・メモリ（１１０）と、

前記ＲＡＭ（１１０）に結合される第１の記憶デバイス（７００）と前記ＲＡＭ（１１０）に結合される第２の記憶デバイス（６５０）を含む処理装置（１８０）とから成り、

前記処理装置（１８０）が、

前記ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、

前記ＲＡＭ（１１０）から前記第１のデータ部分を前記受信装置に出力し、

前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、

前記送信装置からの前記第３のデータ部分を前記第２の記憶デバイス（６５０）に記憶し、

前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分を前記ＲＡＭ（１１０）の記憶場所の１つに書き込み、

前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力するように構成されている、送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。

（請求項２）

前記処理装置（１８０）は、更に

前記ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、

前記第１のデータ部分を前記受信装置に出力し、

前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、

前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶する、処理を同時に実行し、

更に、前記処理装置（１８０）は、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力する処理を同時に実行する、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項３）
前記処理装置（１８０）は、更に、
ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶する処理を実行し、
更に、前記処理装置（１８０）は、前記処理と交互に、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項４）
更に、前記処理装置（１８０）は、
クロック信号に対応するレートで、ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶する処理を実行し、
更に、処理装置（１８０）は、
前記クロックとほぼ同じレートで、前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項３に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項５）
更に、前記処理装置（１８０）は、第１のアドレスを連続的に増加させる手段（２００、３８０）と、第２のアドレスを連続的に増加させる手段（２００、５５０）と、ＲＡＭ（１１０）に第１のアドレスと第２のアドレスを交互に供給する手段（２００、６００）とを備えた、請求項４に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項６）
更に、前記処理装置（１８０）は、前記アドレスを供給する手段（２００、６００）を制御するように構成された有限状態機械（２００）を含む、請求項５に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項７）
前記第１の記憶デバイス（７００）は、第１の幾つかのＤ型フリップ‐フロップ（７００）を含み、
前記第２の記憶デバイス（６５０）は、第２の幾つかのＤ型フリップ‐フロップ（６５０）を含み、
第１の幾つかのＤ型フリップ‐フロップ（７００）の数と第２の幾つかのＤ型フリップ‐フロップ（６５０）の数が等しい、請求項１に記載の送信装置と受信装置の間において

ビデオのライン・データを遅延させる装置（１００）。
（請求項８）
ＲＡＭ（１１０）がダイナミックＲＡＭを含む、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項９）
送信装置と受信装置の間においてビデオのライン・データを遅延させるための方法（１２５０）であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
シングル・ポート・ランダム・アクセス・メモリ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、
前記第１のデータ部分を前記受信装置に出力するステップ（１３３０）と、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶するステップ（１３４０）と、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶するステップ（１３５０）と、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込むステップ（１３７０）と、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力するステップ（１３８０）と、
から成る、送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１０）
前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、前記第１のデータ部分を出力するステップ（１３３０）と、前記第２のデータ部分を記憶するステップ（１３４０）と、前記第３のデータ部分を記憶するステップ（１３５０）とが同時に実行され、且つ
前記第３のデータ部分と前記第４のデータ部分の書き込みステップ（１３７０）と前記第２のデータ部分を出力するステップ（１３８０）とが同時に実行される、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１１）
前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、前記第１のデータ部分を出力するステップ（１３３０）と、前記第２のデータ部分を記憶するステップ（１３４０）と、および前記第３のデータ部分を記憶するステップ（１３５０）とが、前記第３のデータ部分と前記第４のデータ部分の書き込みステップ（１３７０）および前記第２のデータ部分を出力するステップ（１３８０）と交互に実行される、請求項１０に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１２）
前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、前記第１のデータ部分を出力するステップ（１３３０）と、前記第２のデータ部分を記憶するステップ（１３４０）と、前記第３のデータ部分を記憶するステップ（１３５０）とが、クロック信号に対応したレートで実行され、且つ前記第３のデータ部分と前記第４のデータ部分の書き込みステップ（１３７０）と、前記第２のデータ部分を出力するステップ（１３８０）とが前記クロックとほぼ同じレートで実行される、請求項１１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１３）

第１のアドレスを連続的に増加させるステップ（１３５４）と、
第２のアドレスを連続的に増加させるステップ（１３８４）と、
第１のアドレスと第２のアドレスをＲＡＭ（１１０）に交互に供給するステップ（１２９０、１３００）と、
を含む、請求項１２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１４）
前記第３のデータ部分を記憶するステップ（１３５０）が前記第３のデータ部分を幾つかのＤ型フリップ‐フロップ（６５０）に記憶するステップを含んでおり、且つ
前記第２のデータ部分を記憶するステップ（１３４０）が前記第２のデータ部分を前記Ｄ型フリップ‐フロップ（６５０）と同じ数のＤ型フリップ‐フロップ（７００）に記憶するステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１５）
前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）が、ダイナミックＲＡＭから前記第１のデータ部分と前記第２のデータ部分を読み出すステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
【発明を実施するための最良の形態】
【０００６】
本発明の特徴と利点は、一例を示しながら行う以下の説明により明確なものになるであろう。
【０００７】
図１は、本発明における典型的なディジタル・ライン・ディレー１００のブロック・ダイアグラムである。ライン・ディレー１００は、Ｍワード、１ワード２Ｎビットのシングル・ポートＲＡＭ１１０を含んでいる。ここで、「バイト」という用語はＮビットを意味し、「ワード」という用語は２Ｎビットのデータを意味する。従来のビデオ装置では、１ラインのビデオ・データは、通常１，９２０ピクセルで構成されている。従って、これらビデオ装置では、Ｍは９６０、そしてＮは８とすることができ、ＲＡＭ１１０は９６０×１６となる。このような構成では、ピクセル当たり８ビットとすると、ＲＡＭ１１０は１ライン分のビデオ・データ（すなわち、９６０ワード×ワード当たり２ピクセル＝１，９２０ピクセル＝１ライン）を保持できることが理解できるであろう。しかしながら、ＭとＮは、別の適当な値を採ることも可能であり、そのようなＲＡＭ１１０は、個々のアプリケーションに適した記憶容量で構成される別の実施例も当然考えられる。ＲＡＭ１１０は、クロック入力１２０、１ワード或いは２Ｎビット幅（Ｎについては既に説明してある）のデータ入力１３０、Ｙビット幅のアドレス入力１４０（Ｍについては既に説明した通りであって、Ｙは、$Y \geqq \log_2 M$を満たす値であり、Ｙビットのアドレス入力ワードで示すことのできる範囲は、ＲＡＭ１１０の有するＭアドレスを指示するのに充分なものである）、読み出し／書き込み（「Ｒ／Ｗ」）制御入力１５０、および１ワード或いは２Ｎビット幅のデータ出力１６０を含んでいる。更に、ここに示した典型的な実施例において、ＲＡＭ１１０は、スタティックＲＡＭ（「ＳＲＡＭ」）である。しかしながら、ＲＡＭ１１０はダイナミックＲＡＭ（「ＤＲＡＭ」）或いは別の適当なタイプのシングル・ポートＲＡＭである別の実施例で構成できることは言うまでもない。
【０００８】
ライン・ディレー１００は、更に処理装置１８０を含んでいる。処理装置１８０は、有限状態機械（「Ｆｉｎｉｔｅ　Ｓｔａｔｅ　Ｍａｃｈｉｎｅ：ＦＳＭ」）２００を有する。ＦＳＭ２００は、後で詳しく説明するように、ライン・ディレー１００の動作を管理或いは制御するように構成されている。ＦＳＭ２００は、制御出力２１０、クロック入力２２０、リセット入力２３０、およびイネーブル（ｅｎａｂｌｅ）出力２４０を有する。
【０００９】

処理装置１８０は、更にアドレスをカウントする構成３００を含んでいる。カウンティング回路構成３００は、後で説明するように、ライン・データを交互に読み書きする場合、ＲＡＭ１１０のアドレスを指定するためのＲＡＭアドレスを示す値を供給する構成になっている。カウンティング回路構成３００は、イネーブル入力３９０、リセット入力４００、クロック入力４１０、およびＹビット幅（Ｙについては既に説明してある）の出力４２０を有するバイナリ・カウンタ３８０を含んでいる。また、カウンティング回路構成３００は、入力５１０と出力５２０を有するインバータ５００を含んでいる。更に、カウンティング回路構成３００は、イネーブル入力５６０、リセット入力５７０、クロック入力５８０、およびＹビット幅（Ｙについては既に説明してある）の出力５９０を有するバイナリ・カウンタ５５０を含んでいる。この他にもカウンティング回路構成３００は、Ｙビット幅のデータ入力６１０、Ｙビット幅のデータ入力６２０、Ｙビット幅のデータ出力６３０、および制御入力６４０を有するデータ・スイッチ或いはマルチプレクサ６００を含んでいる。マルチプレクサ６００は、制御入力６４０に論理値‘１’が入力されると、マルチプレクサの入力６１０に入力されたデータがその出力６３０に出力され、一方、制御入力６４０に論理値‘０’が入力されると、入力６２０に入力されたデータが出力６３０に出力される構成になっている。

【００１０】

処理装置１８０は、更にＮ（Ｎについては既に説明してある）個のグループ或いはバンク（ｂａｎｋ）のＤ型フリップ‐フロップ６５０を含んでおり、Ｎ個のそれぞれのＤ型フリップ‐フロップは、それぞれＤ入力６６０、イネーブル入力６７０、クロック入力６８０、およびＱ出力６９０を有する。また、処理装置１８０は、Ｎ個のグループ或いはバンクのＤ型フリップ‐フロップ７００を含んでおり、Ｎ個のそれぞれのＤ型フリップ‐フロップは、それぞれＤ入力７１０、イネーブル入力７２０、クロック入力７３０、およびＱ出力７４０を有する。イネーブル入力６７０とイネーブル入力７２０は全て論理値‘１’に結合されている。

【００１１】

処理装置１８０は、更に、Ｎビット幅のデータ入力７６０、Ｎビット幅のデータ入力７７０、Ｎビット幅のデータ出力７８０、および制御入力７９０を有するデータ・スイッチ或いはマルチプレクサ７５０を含んでいる。マルチプレクサ７５０は、制御入力７９０に論理値‘１’が入力されると、マルチプレクサの入力７６０に入力されるデータがその出力７８０に出力され、一方、制御入力７９０に論理値‘０’が入力されると、入力７７０に入力されるデータが出力７８０に出力される構成になっている。また、処理装置１８０は、Ｎ個のグループ或いはバンクのＤ型フリップ‐フロップ８００を含んでおり、Ｎ個のそれぞれのＤ型フリップ‐フロップは、それぞれＤ入力８１０、イネーブル入力８２０、クロック入力８３０、およびＱ出力８４０を有する。

【００１２】

処理装置１８０は、更に制御出力２１０に結合されている導線９００を含んでおり、これはＲＡＭ１１０のＲ／Ｗ制御入力１５０、カウンタ３８０のイネーブル入力３９０、インバータ５００の入力５１０、マルチプレクサ６００の制御入力６４０、およびマルチプレクサ７５０の制御入力７９０に結合されている。処理装置１８０は、更にインバータ５００の出力５２０に結合されている導線９２０を含んでおり、カウンタ５５０のイネーブル入力５６０に結合されている。処理装置１８０は、更に導線９３０を含んでおり、カウンタ３８０のリセット入力４００、カウンタ５５０のリセット入力５７０、ＦＳＭ２００のリセット入力２３０に結合されている。処理装置１８０は、垂直リセット入力９４０も含んでいる。導線９３０は、リセット入力４００、リセット入力５７０、およびリセット入力２３０と垂直リセット入力９４０とを結合する。

【００１３】

処理装置１８０は、またＹ（Ｙについては既に説明してある）本のグループ或いはバンクの導線９６０を有し、カウンタ３８０のＱ出力４２０のそれぞれがマルチプレクサ６００のそれぞれ対応する入力６１０に結合されている。処理装置１８０は、またＹ本のグル

ープ或いはバンクの導線９７０を有し、カウンタ５５０のＱ出力５９０のそれぞれがマルチプレクサ６００のそれぞれ対応する入力６２０に結合されている。処理装置１８０は、またＹ本のグループ或いはバンクの導線９８０を有し、マルチプレクサ６００の出力６３０のそれぞれがＲＡＭ１１０のそれぞれに対応するアドレス入力１４０に結合されている。

【００１４】

処理装置１８０は、更に、Ｎビット幅（Ｎについては既に説明してある）のデータ入力ポート９９０を有し、データ入力ポート９９０の各々とＲＡＭ１１０のデータ入力１３０の対応するビット（Ｎ－１）から０ビットまでとを結合するＮ本のグループ或いはバンクの導線１０００を有する。導線１０００は、またデータ入力ポート９９０の各ビットとＤ型フリップ‐フロップ６５０のＤ入力６６０の対応するビットとを結合する。処理装置１８０は、またＮ本のグループ或いはバンクの導線１０１０を有し、Ｄ型フリップ‐フロップ６５０のＱ出力６９０とＲＡＭ１１０のデータ入力１３０の対応するビット（２Ｎ－１）からＮまでとを結合する。

【００１５】

処理装置１８０は、更にＮ本のグループ或いはバンクの導線１０２０（Ｎについては既に説明してある）を有し、ＲＡＭ１１０のデータ出力１６０からの対応する出力ビット（２Ｎ－１）からＮまでとマルチプレクサ７５０の入力７６０のそれぞれに結合する。処理装置１８０は、またＮ本のグループ或いはバンクの導線１０３０を有し、ＲＡＭ１１０のデータ出力１６０からの対応する出力ビット（Ｎ－１）から０までとＤ型フリップ‐フロップ７００のＤ入力７１０とを結合する。処理装置１８０は、またＮ本のグループ或いはバンクの導線１０４０を有し、Ｄ型フリップ‐フロップ７００のＱ出力７４０とマルチプレクサ７５０の対応する入力７７０とを結合する。更に、処理装置１８０は、Ｎ本のグループ或いはバンクの導線１０５０を有し、マルチプレクサ７５０のＮビット幅の出力７８０とＤ型フリップ‐フロップ８００の対応するＤ入力８１０とを結合する。処理装置１８０は、また導線１０６０を有し、ＦＳＭ２００のイネーブル出力２４０とＤ型フリップ‐フロップ８００の全てのイネーブル入力８２０とを結合する。更に、処理装置１８０は、Ｎビット幅のライン・メモリ出力１０７０を有し、Ｄ型フリップ‐フロップ８００のＱ出力８４０とライン・メモリ出力１０７０とを結合するＮ本のグループ或いはバンクの導線１０８０を含んでいる。

【００１６】

図２は、図１の典型的なディジタル・ライン・ディレー１００のＦＳＭ２００の典型的な動作１２００の状態図である。典型的な実施例において、ＦＳＭ２００は、たった２つの状態、すなわち読み出し状態１２１０と書き込み状態１２２０を有する。動作を説明すると、典型的なＦＳＭ２００は、制御出力２１０にＣＯＮＴＲＯＬ信号を供給し、イネーブル出力２４０にＥＮＡＢＬＥ信号を供給する。読み出し状態１２１０においては、ＦＳＭはＣＯＮＴＲＯＬ信号を論理値‘１’にし、ＥＮＡＢＬＥ信号を論理値‘１’にする、或いは論理値‘１’のときはそのままの状態を保つ。書き込み状態１２２０においては、ＦＳＭはＣＯＮＴＲＯＬ信号を論理値‘０’にし、ＥＮＡＢＬＥ信号を論理値‘１’にする、或いは論理値‘１’のときはそのままの状態を保つ。更に、ＦＳＭ２００は、垂直リセット入力９４０に結合されている導線９３０を介して外部装置（図には示していない）から受ける従来のビデオ垂直リセット信号（「Ｖ_ＲＳＴ_ＤＲ」）の論理値‘１’の状態或いはパルスを検出すると、書き込み状態１２２０から再スタート或いはリセットする。典型的な実施例の利点の１つは、ＦＳＭ２００が２つの状態しか採らないことではあるが、幾つかの追加動作を有し、従って図２に示したよりも多くの状態と、図１で示したよりも多くの入力或いは出力を有する別の実施例も考えられることは当然である。

【００１７】

図３は、図１のディジタル・ライン・ディレー１００の典型的な動作１２５０のフロー図である。動作を説明すると、外部システム・クロック（図には示されていない）は、従来の同期クロック信号（「ＣＬＯＣＫ」）をライン・ディレー１００の種々の構成要素（

クロック入力１２０、クロック入力２２０、クロック入力４１０、クロック入力５８０、クロック入力６８０、クロック入力７３０、クロック入力８３０、などを介して‐図１参照）に、よく知られた方法で供給する。ＣＬＯＣＫ信号は、同期してライン・ディレー１００の種々の構成要素を駆動し、ライン・ディレー１００は、ＣＬＯＣＫ信号の各サイクル或いはパルスの間に、事実上同時に、動作の１反復を実行する。従って、フロー図１２５０は、単にＣＬＯＣＫサイクルからＣＬＯＣＫサイクルにおける動作の概念的な性質の典型例を示したものであり、１ＣＬＯＣＫサイクル間における動作の個々のシーケンス或いは順番に対して発明を制限する意味のないことを理解すべきである。

【００１８】

ステップ１２６０で、ライン・ディレー１００は、適当なときに電源が入れられ、よく知られた方法により、初期化動作が実行される。ステップ１２６０の動作の後、ライン・ディレー１００は、ステップ１２７０に進む。ステップ１２７０で、ライン・ディレー１００は、外部装置（図には示されていない）から処理のためのリセットの要求があるかどうかを決定する。典型的な実施例において、ライン・ディレー１００は、Ｖ＿ＲＳＴ＿ＤＲ信号、すなわち従来のビデオ垂直リセット信号によりこの決定を行う。この信号は、垂直リセット入力９４０を介して、外部装置（図には示されていない）から入力される。もし、リセット要求があるときは、ライン・ディレー１００は、ステップ１２８０に進み、要求がなければ、ステップ１２９０に進む。

【００１９】

ステップ１２８０では、ライン・ディレー１００は、リセット動作の適当な処理を実行する。ステップ１２８０の動作には、ＦＳＭ２００の書き込み状態１２２０（図２参照、既に説明してある）に向かうリセット処理を含んでいる。ステップ１２８０の動作では、また、ライン・ディレー１００が、よく知られた方法により、カウンタ３８０をリセット（すなわち、全てのＱ出力４２０を０にする）し、そしてまたカウンタ５５０をリセット（すなわち、全てのＱ出力５９０を０にする）する処理を含んでいる。ステップ１２８０の動作の後、ライン・ディレー１００は、ステップ１２７０に戻る。

【００２０】

ステップ１２９０では、ライン・ディレー１００は、外部システム・クロック（図には示されていない）からＣＬＯＣＫ信号の１パルス或いは変化（遷移）を受け取る。ステップ１２９０の動作の後、ライン・ディレー１００はステップ１３００に進む。ステップ１３００では、ライン・ディレー１００は、ＣＬＯＣＫ信号の現在のパルスが奇数番号のパルス（すなわち、最後のプロセッシング・リセットを受け取ってから第１番目、第３番目、或いは第５番目、・・・等のパルス）或いは偶数番号のパルス（すなわち、最後のプロセッシング・リセットを受け取ってから第２番目、第４番目、或いは第６番目、・・・等のパルス）であるかを決定する。典型的な実施例において、この決定はただ２つの状態（図２参照）しか有しないＦＳＭ２００の機能により行われる。ＦＳＭ２００が、リセット後の第１番目のクロック・パルスを受け取り、読み出し状態１２１０になると仮定し、第２番目のクロック・パルスを受け取り、書き込み状態１２２０になると仮定する。その後、奇数クロック・パルスに対して読み出し状態１２１０、偶数クロック・パルスに対して書き込み状態１２２０のように、交互に繰り返すことになる。ライン・ディレー１００が奇数パルスのＣＬＯＣＫ信号が供給されたものと判断したとき、ライン・ディレー１００はステップ１３２０‐１３５４に進む。そうでないときは、ライン・ディレー１００はステップ１３７０‐１３８４に進む。

【００２１】

ステップ１３２０で、ライン・ディレー１００は、ＲＡＭ１１０のアドレスＲＤ＿ＡＤＤＲから１ワード（すなわち、２バイト）のデータを読み出す。典型的な実施例において、この機能は、ＲＡＭ１１０が、そのアドレス入力１４０からＲＤ＿ＡＤＤＲの値を読み込んで実現するものであり、そのＲ／Ｗ制御入力１５０からＣＯＮＴＲＯＬ信号を受け取ってＲＡＭ１１０がデータを読み出し、読み出したワードのビット（２Ｎ－１）からＮをマルチプレクサ７５０の入力７６０に受け取り、更に、このワードのビット（Ｎ－１）か

ら０をＤ型フリップ‐フロップ７００のＤ入力７１０に受け取ることにより実行する。ステップ１３２０の動作の後、ライン・ディレー１００はステップ１３３０に進む。

【００２２】

ステップ１３３０で、ライン・ディレー１００は、ステップ１３２０で読み込んだワードのビット（２Ｎ－１）からＮ（すなわち「上位」バイト）を、マルチプレクサ７５０を介して、Ｄ型フリップ‐フロップ８００に供給する。マルチプレクサ７５０が上位バイトを通過させるのは、この動作の期間、ＦＳＭ２００が読み出し状態１２１０（上で説明したステップ１３００を参照）にあり、このとき制御入力７９０のＣＯＮＴＲＯＬ信号が論理値‘１’であることに注目されたい。Ｄ型フリップ‐フロップ８００は、上位バイトを記憶してから、Ｑ出力８４０を介してライン・メモリの出力１０７０としてデータを出力する。しかしながら、このＤ型フリップ‐フロップ８００によるバッファリングは単に典型的な例として示したものであり、本発明の重要な部分ではない。ライン・ディレー１００は、Ｄ型フリップ‐フロップ８００を省略して、ライン・メモリの出力１０７０に直接上位バイトを出力する別の実施例も考えられることは言うまでもない。ステップ１３３０の動作の後、ライン・ディレー１００はステップ１３４０に進む。

【００２３】

ステップ１３４０で、ライン・ディレー１００は、ステップ１３２０で読み込んだワードのビット（Ｎ－1）から０（すなわち「下位」バイト）をＤ型フリップ‐フロップ７００に記憶する。マルチプレクサ７５０を介して上位バイトを出力している間、Ｄ型フリップ‐フロップ７００は下位バイトを記憶或いは保持するための「読み出しバッファ」の役割を果していることに注目されたい。ステップ１３４０の動作の後、ライン・ディレー１００はステップ１３５０に進む。

【００２４】

ステップ１３５０で、ライン・ディレー１００は、外部装置（図には示していない）から供給され、入って来るライン・データの現在のバイト・データを記憶する。ライン・ディレー１００は、データ入力ポート９９０から入力されるデータをバイト単位で受け取り、Ｄ型フリップ‐フロップ６５０に記憶する。このバイト・データはＲＡＭ１１０のデータ入力１３０に供給されるワード・データの一部であり、Ｒ／Ｗ制御入力で受け取られるＣＯＮＴＲＯＬ信号が読み出し動作のコマンドである論理値‘１’（ＦＳＭ２００が読み出し状態１２１０）であるため、ステップ１３５０の間は、ＲＡＭ１１０はデータ入力１３０のワード・データを無視することに注目されたい。ステップ１３５０の動作の後、ライン・ディレー１００はステップ１３５４に進む。

【００２５】

ステップ１３５４で、ライン・ディレー１００は、読み出しアドレス（「ＲＤ＿ＡＤＤＲ」）をインクリメント（＋１加算する）する。ＲＤ＿ＡＤＤＲは、カウンタ３８０のＱ出力４２０が表している２進数である。典型的な実施例において、この機能はＦＳＭ２００の制御出力２１０から供給されるＣＯＮＴＲＯＬ信号の状態により実現する。ＦＳＭ２００が読み出し状態１２１０のとき、ＣＯＮＴＲＯＬ信号は論理値‘１’である。カウンタ３８０は、イネーブル入力３９０に論理値‘１’のＣＯＮＴＲＯＬ信号が入力されると、イネーブル状態になる。イネーブル状態のカウンタ３８０は、また現在のＣＬＯＣＫパルスを受け取ると、それに従ってＱ出力４２０をインクリメントする。更に、論理値‘１’のＣＯＮＴＲＯＬ信号に応答して、マルチプレクサ６００は、その出力６３０にＲＤ＿ＡＤＤＲの値を出力する。ステップ１３５４の動作の後、ライン・ディレー１００はステップ１１２７０に戻る。

【００２６】

ステップ１３７０で、ライン・ディレー１００は、１ワードをＲＡＭ１１０のＷＲ＿ＡＤＤＲの値のアドレスに書き込む。書き込まれる１ワードは、既に記憶されているビット（２Ｎ－１）からＮ個のバイト・データ（先に説明したステップ１３５０を参照）とデータの外部装置から入って来るライン・データのビット（Ｎ－１）から０の現在の新しいバイト・データとから成る。ライン・ディレー１００は、Ｄ型フリップ‐フロップ６５０の

Ｑ出力６９０から前に記憶したバイト・データを取り出す。この動作の期間中、ＦＳＭ２００が書き込み状態１２２０（先に説明したステップ１３００を参照）であり、ＲＡＭ１１０のＲ／Ｗ制御入力１５０に供給されているＣＯＮＴＲＯＬ信号が書き込み動作のコマンドである論理値‘０’であり、更にマルチプレクサ６００がアドレス入力１４０にＷＲ＿ＡＤＤＲの値を供給しているので、ＲＡＭ１１０は、ＷＲ＿ＡＤＤＲの値のアドレスに前記の１ワードを書き込む。ステップ１３７０の動作の後、ライン・ディレー１００はステップ１３８０に進む。

【００２７】

ステップ１３８０で、ライン・ディレー１００は、Ｄ型フリップ‐フロップ７００のＱ出力７４０から、ステップ１３２０で読み込んだワード・データのビット（Ｎ－１）から０（すなわち「下位」バイト）を、マルチプレクサ７５０を介して、Ｄ型フリップ‐フロップ８００に供給する。マルチプレクサ７５０がＱ出力７４０からの下位バイトを通過させるのは、ＦＳＭ２００が書き込み状態１２２０（先に説明したステップ１３００を参照）のときであり、この動作の間、制御入力７９０のＣＯＮＴＲＯＬ信号が論理値‘０’であるからであることに注目されたい。ステップ１３３０と同じように、Ｄ型フリップ‐フロップ８００は、下位バイトを記憶してから、Ｑ出力８４０を介してライン・メモリの出力１０７０にそのデータを出力する。繰り返しになるが、このＤ型フリップ‐フロップ８００によるバッファリングは単に典型的な一例として示したものであり、本発明の重要な部分ではない。ライン・ディレー１００は、Ｄ型フリップ‐フロップ８００を省略して、ライン・メモリの出力１０７０に直接下位バイトを出力する別の実施例も考えられることは言うまでもない。ステップ１３８０の動作の後、ライン・ディレー１００はステップ１３８４に進む。

【００２８】

ステップ１３８４で、ライン・ディレー１００は、書き込みアドレス（「ＷＲ＿ＡＤＤＲ」）をインクリメントする。ＷＲ＿ＡＤＤＲは、カウンタ５５０のＱ出力５９０が表している２進数である。典型的な実施例において、この機能はＦＳＭ２００の制御出力２１０により供給されるＣＯＮＴＲＯＬ信号の状態により実現される。ＦＳＭ２００が書き込み状態１２２０のとき、ＣＯＮＴＲＯＬ信号は論理値‘０’である。論理値‘０’のＣＯＮＴＲＯＬ信号がインバータ５００により反転（インバート：ｉｎｖｅｒｔ）され、その結果、論理値が‘１’になった信号がイネーブル入力５６０に受け取られると、カウンタ５５０は、イネーブル状態になる。イネーブル状態のカウンタ５５０は、また現在のＣＬＯＣＫパルスを受け取ると、それに従ってＱ出力５９０をインクリメントする。更に、論理値‘０’のＣＯＮＴＲＯＬ信号に応答して、マルチプレクサ６００は、その出力６３０にＷＲ＿ＡＤＤＲの値を出力する。ステップ１３８４の動作の後、ライン・ディレー１００はステップ１２７０に戻る。

【００２９】

図４は、図１のディジタル・ライン・ディレー１００の典型的な動作１４５０のタイミング図である。ＲＤ＿ＡＤＤＲは０から始まり、奇数ＣＬＯＣＫサイクルでインクリメントされ、その範囲は０からＭ（Ｍについては既に説明してある）であり、Ｍの次は０にリセットさる。従って、途絶えることなく連続的に繰り返される。ＷＲ＿ＡＤＤＲは０から始まり、偶数ＣＬＯＣＫサイクルでインクリメントされ、その範囲は０からＭであり、Ｍの次は０にリセットさる。従って、途絶えることなく連続的に繰り返される。ＲＡＭ＿ＡＤＤＲは０から始まり、奇数ＣＬＯＣＫサイクルでインクリメントされ、その範囲は０からＭであり、Ｍの次は０にリセットさる。従って、途絶えることなく連続的に繰り返される。ライン・ディレー１００は、ＣＯＮＴＲＯＬ信号が論理値‘１’（ＦＳＭ２００が読み出し状態１２１０）のとき、各ＣＬＯＣＫサイクルで「読み出しサイクル」（ステップ１３２０－１３５４、これらのステップについては既に説明してある）を実行し、ライン・ディレー１００は、ＣＯＮＴＲＯＬ信号が論理値‘０’（ＦＳＭ２００が書き込み状態１２２０）のとき、各ＣＬＯＣＫサイクルで「書き込みサイクル」（ステップ１３７０－１３８４、これらのステップについては既に説明してある）を実行する。このようにして

、典型的な実施例において、ライン・ディレー１００は、シングル・ポートＲＡＭ１１０を読み出しと書き込みの動作に時分割処理する。その上、ＦＳＭ２００は、ただ２つの状態によりライン・ディレー１００の動作を制御する。電源投入後のライン・ディレー１００によるＲＡＭ１１０からの最初の全データの読み出し或いは出力は（すなわち、電源投入後の最初の１からＭのＣＬＯＣＫサイクルの１セットの間、このときＲＤ＿ＡＤＤＲ或いはＷＲ＿ＡＤＤＲは０でない）、電源投入時にＲＡＭ１１０の中に偶然にも存在した不定のデータであることに注目されたい。それ以降、典型的なライン・ディレー１００は、最後の或いは直前のラインから記憶したデータをＲＡＭ１１０のＭアドレスの各々のアドレスから読み出し、その後、当該アドレスに新しい、或いは現在のラインからのデータを書き込むため、典型的なライン・ディレー１００は１ライン遅延（ディレー）したデータを供給する。

【図面の簡単な説明】

【００３０】

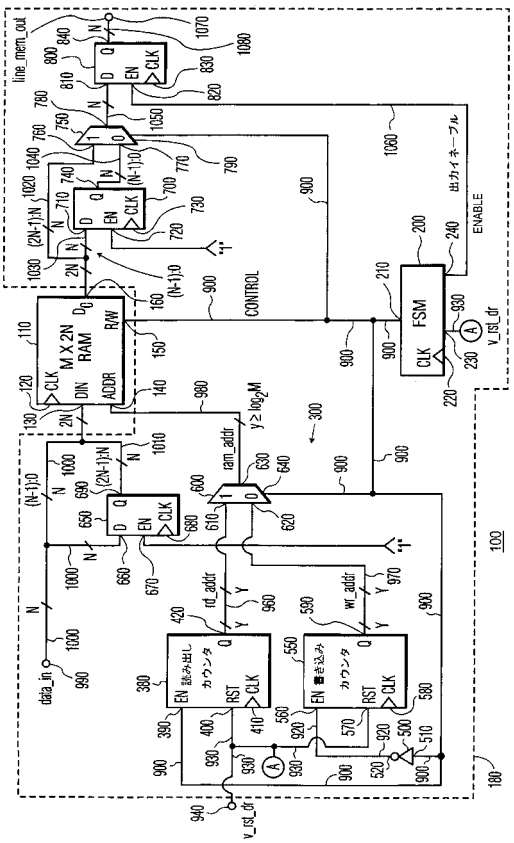
【図１】本発明における典型的なディジタル・ライン・ディレーのブロック図である。

【図２】図１の典型的なディジタル・ライン・ディレーで使われている有限状態機械（「ＦＳＭ」：ｆｉｎｉｔｅ　ｓｔａｔｅ　ｍａｃｈｉｎｅ）の典型的な動作の状態図である。

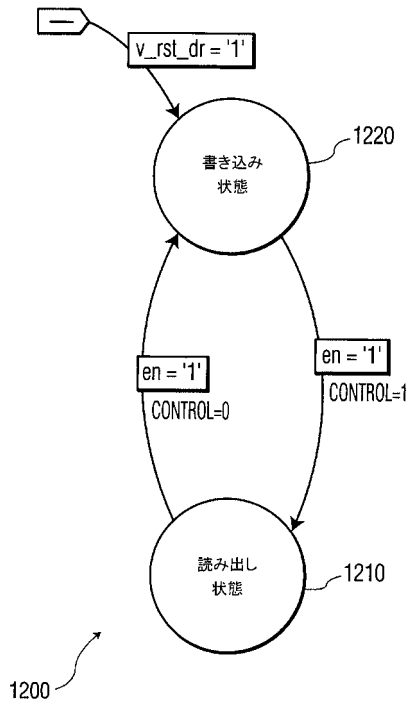
【図３】図１のディジタル・ライン・ディレーの典型的な動作手順のフロー図である。

【図４】図１のディジタル・ライン・ディレーの典型的な動作におけるタイミング図である。

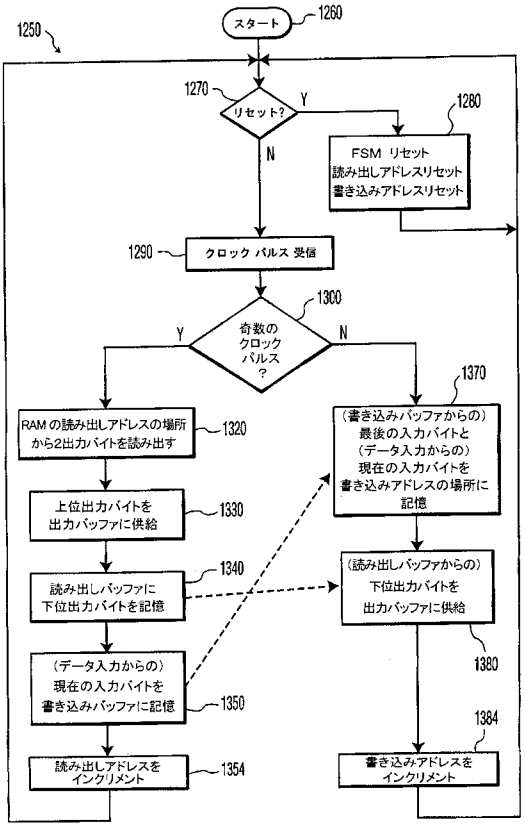
【図１】



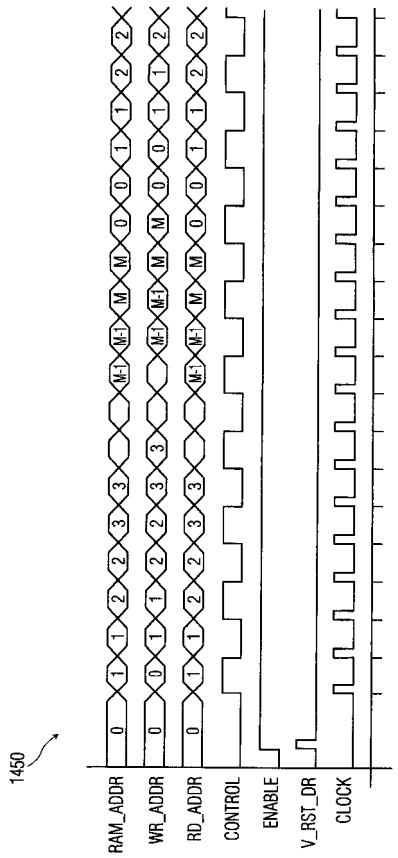
【図２】



【図３】


1250
スタート
1260
1270
リセット?
Y
N
1280
FSM リセット
読み出しアドレスリセット
書き込みアドレスリセット
1290
クロック パルス 受信
1300
奇数の
クロック
パルス
?
Y
N
1370
RAM の読み出しアドレスの場所
から2出力バイトを読み出す
1320
(書き込みバッファからの)
最後の入力バイトと
(データ入力からの)
現在の入力バイトを
書き込みアドレスの場所に
記憶
上位出力バイトを
出力バッファに供給
1330
読み出しバッファに
下位出力バイトを記憶
1340
(読み出しバッファからの)
下位出力バイトを
出力バッファに供給
1380
(データ入力からの)
現在の入力バイトを
書き込みバッファに記憶
1350
1384
読み出しアドレスを
インクリメント
1354
書き込みアドレスを
インクリメント

【図４】


1450
RAM_ADDR
WR_ADDR
RD_ADDR
CONTROL
ENABLE
V_RST_DR
CLOCK

フロントページの続き

(72)発明者　フイリマン，ポール　デイーン
アメリカ合衆国　インデイアナ州　インデイアナポリス　リバー・バーチ・レーン　７４１６
(72)発明者　ノツクス，マイケル　ドウエイン
アメリカ合衆国　インデイアナ州　フイツシヤーズ　バブソン・コート　８５２６
(72)発明者　シンプソン，デイビツド　レオン
アメリカ合衆国　インデイアナ州　フイツシヤーズ　プレーリビユー・ドライブ　７６９４

審査官　安藤　一道

(56)参考文献　米国特許第５６０８４２５（ＵＳ，Ａ）
米国特許第５７７４１７８（ＵＳ，Ａ）
米国特許第５４６１４２６（ＵＳ，Ａ）
米国特許第５４１０６４４（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L　13/08