

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6873865号
(P6873865)

(45) 発行日 令和3年5月19日(2021.5.19)

(24) 登録日 令和3年4月23日(2021.4.23)

(51) Int.Cl.	F I
HO 1 L 29/861 (2006.01)	HO 1 L 29/91 C
HO 1 L 29/868 (2006.01)	HO 1 L 29/78 652P
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 658J
HO 1 L 29/78 (2006.01)	HO 1 L 29/91 F
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 652T
請求項の数 14 (全 15 頁) 最終頁に続く	

(21) 出願番号	特願2017-155472 (P2017-155472)	(73) 特許権者	505056845
(22) 出願日	平成29年8月10日 (2017.8.10)		アーベーパー・シュバイツ・アーゲー
(65) 公開番号	特開2018-29178 (P2018-29178A)		ABB Schweiz AG
(43) 公開日	平成30年2月22日 (2018.2.22)		スイス、5400 バーデン、ブルッガー
審査請求日	令和2年1月27日 (2020.1.27)		シュトラッセ、66
(31) 優先権主張番号	16184202.6		Bruggerstrasse 66,
(32) 優先日	平成28年8月15日 (2016.8.15)		5400 Baden, Switzer
(33) 優先権主張国・地域又は機関	欧州特許庁 (EP)	(74) 代理人	110001195
			特許業務法人深見特許事務所
		(72) 発明者	シャランボス・パドポウロス
			スイス、ツェー・ハー5600 レンツ
			ブルク、フェルバーベーク、3
			最終頁に続く

(54) 【発明の名称】 パワー半導体デバイスおよびこのようなパワー半導体デバイスの製造方法

(57) 【特許請求の範囲】

【請求項1】

パワー半導体デバイスであって、前記パワー半導体デバイスは、ウェハを備え、
前記デバイスの終端領域において、前記ウェハの面の少なくとも一部にパッシベーション層構造が形成され、

前記パッシベーション層構造は、前記ウェハの前記面から、前記ウェハから離れる方向に、半絶縁層(13)と、窒化シリコン層と、非ドーブシリケートガラス層(16)と、有機誘電体層(17)とをこの順序で備え、

前記窒化シリコン層は、少なくとも0.5 μmの層厚みを有し、前記有機誘電体層(17)は、前記非ドーブシリケートガラス層(16)に付着し、前記非ドーブシリケートガラス層(16)は、前記窒化シリコン層に付着することを特徴とする、パワー半導体デバイス。

10

【請求項2】

前記窒化シリコン層は、少なくとも0.7 μmまたは少なくとも0.9 μmの層厚みを有する、請求項1に記載のパワー半導体デバイス。

【請求項3】

前記窒化シリコン層は、せいぜい2.0 μmの層厚みを有する、請求項1または2に記載のパワー半導体デバイス。

【請求項4】

前記非ドーブシリケートガラス層(16)は、少なくとも0.4 μmまたは少なくとも

20

0.5 μmの層厚みを有する、請求項1～3のいずれか1項に記載のパワー半導体デバイス。

【請求項5】

前記有機誘電体層(17)は、ポリイミド層、ポリベンゾオキサゾール層およびシリコン層のうちの少なくとも1つを含む、請求項1～4のいずれか1項に記載のパワー半導体デバイス。

【請求項6】

前記半絶縁層(13)は、半絶縁性多結晶シリコン層、アモルファスシリコン層、アモルファス窒化シリコンまたはダイヤモンド状炭素層である、請求項1～5のいずれか1項に記載のパワー半導体デバイス。

【請求項7】

前記ウェハは、シリコンまたはワイドバンドギャップ材料または炭化ケイ素でできている、請求項1～6のいずれか1項に記載のパワー半導体デバイス。

【請求項8】

パワー半導体デバイスの製造方法であって、前記パワー半導体デバイスは、請求項1～7のいずれか1項に記載のデバイスであり、前記方法は、

ウェハを設けるステップと、

前記デバイスの終端領域において、前記ウェハの面の少なくとも一部にパッシベーション層構造を形成するステップとを備え、前記パッシベーション層構造を形成するステップは、半絶縁層(13)を形成するステップと、前記半絶縁層(13)の上に窒化シリコン層を形成するステップと、前記窒化シリコン層の上に非ドーブシリケートガラス層(16)を形成するステップと、前記非ドーブシリケートガラス層(16)の上に有機誘電体層(17)を形成するステップとを含み、前記窒化シリコン層は、少なくとも0.5 μmの層厚みを有し、前記有機誘電体層(17)は、前記非ドーブシリケートガラス層(16)に付着し、前記非ドーブシリケートガラス層(16)は、前記窒化シリコン層に付着することを特徴とする、方法。

【請求項9】

前記窒化シリコン層を形成するステップは、600℃を上回る温度で第1の窒化シリコン層(14)を形成する第1のステップと、425℃を下回る温度で第2の窒化シリコン層(15)を形成する第2のステップとを含む、請求項8に記載の方法。

【請求項10】

低圧化学蒸着によって前記第1の窒化シリコン層(14)を形成する、請求項9に記載の方法。

【請求項11】

プラズマ強化化学蒸着によって前記第2の窒化シリコン層(15)を形成する、請求項9または10に記載の方法。

【請求項12】

少なくとも0.5 μmまたは少なくとも0.7 μmまたは少なくとも0.9 μmの層厚みを有する前記第2の窒化シリコン層を形成する、請求項9～11のいずれか1項に記載の方法。

【請求項13】

425℃を下回る温度でプラズマ強化化学蒸着によって前記非ドーブシリケートガラス層(16)を形成する、請求項8～12のいずれか1項に記載の方法。

【請求項14】

同一のマスキング層を使用して前記窒化シリコン層および前記非ドーブシリケートガラス層(16)を選択的にエッチングする、請求項8～12のいずれか1項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

説明

10

20

30

40

50

技術分野

本発明は、パワーエレクトロニクス分野に関し、より特定的には請求項 1 に係るパワー半導体デバイスおよび請求項 8 に係るこのようなパワー半導体デバイスの製造方法に関する。

【背景技術】

【0002】

背景技術

パワー半導体デバイスは、電界が主接点のエッジに集中することにより比較的低い絶縁破壊電圧 (V_{BR}) でデバイスの絶縁破壊が生じることを回避するために、効率的なエッジ終端を必要とする。pinダイオードまたは絶縁ゲートバイポーラトランジスタ (IGBT) などの一般的なパワー半導体デバイスは、通常、理想的な一次元ダイオード絶縁破壊電圧の 80 ~ 90 % の範囲内の絶縁破壊電圧を実現するために平面的なエッジ終端部を有する。公知の平面エッジ終端技術としては、接合終端拡張部 (junction termination extension: JTE)、横方向ドーピング変化 (variation of lateral doping: VLD) 層、およびフィールドプレート拡張部を有していたり有していなかったりするフローティングフィールドリング終端部 (floating field ring: FFR) が挙げられる。別のタイプのエッジ終端構造は、ベベル終端構造である。ベベリングによって、横型 p-n 接合部とウェハの表面との間に規定の角度が形成され、それによってエッジは高電界から解放される。

【0003】

特に、半導体デバイスの表面は、高電界の影響を非常に受けやすい。輪郭のはっきりした表面を得るため、および、ウェハの表面の自由結合部を終端するために、ウェハの表面上のエッジ終端構造の上にパッシベーション層積層体が形成される。当該パッシベーション層構造では半絶縁材料および絶縁材料が使用される。一般的な絶縁性パッシベーション層としては、シリコーンゴム層またはポリイミド (PI) 層などの有機パッシベーション層、および、 SiO_2 および追加の要素で構成される酸化シリコン (SiO_2) 層またはガラス層などの無機パッシベーション層が挙げられる。しかし、ナトリウム (Na) イオンおよびカリウム (K) イオンなどのいくつかのイオンは、酸化物層を移動することにより絶縁破壊電圧を不安定にすることが知られている。イオンの移動を防止して絶縁破壊電圧の不安定性を回避するために、拡散障壁として作用する窒化シリコン (Si_3N_4) または酸窒化 (SiO_xN_y) 層によって酸化物層を被覆することが知られている。非ドーブ酸化シリコンは脆性材料であることが証明されているので、材料を強化するためにリンが添加された。また、リンシリケートガラス (phosphosilicate glass: PSG) およびホウ素リンシリケートガラス (boron phosphosilicate glass: BPSG) では、リンは、イオンのトラップを形成するので、酸化シリコン層によるイオン汚染からの保護を向上させる。

【0004】

絶縁性パッシベーション層に加えて、パッシベーションとエッジ終端との組み合わせとして、半絶縁性多結晶シリコン (semi-insulating polycrystalline silicon: SIPOS) 層などの半絶縁層が使用されることもある。半絶縁層の導電性を調整することによって、表面における電位の連続的な減少を実現することができる。SIPOS 層の導電性は、その酸素含有量を調整することによって制御できる。

【0005】

パワー半導体モジュールでは、厳しい環境条件 (特に水分) からパワー半導体チップまたはウェハを保護して高電圧動作のための電気絶縁を提供するために、シリコーンゲルがしばしば使用される。シリコーンゲルは、半導体モジュールのハウジングとデバイスウェハとの間の間隙を全て埋める。

【0006】

製造プロセス直後のパワー半導体デバイスの性能に加えて、その意図した用途の環境条件下での頑強さおよび長期信頼性が最も重要である。高湿度環境における頑強さおよび長

10

20

30

40

50

期信頼性がますます重要視されるようになってきた。厳しい環境条件下での頑強さおよび長期信頼性を評価するための一般的なストレステストは、温度/湿度バイアス (temperature-humidity-bias : THB) テストならびに高加速温度および湿度ストレステスト (highly accelerated temperature and humidity stress test : HAST) である。テスト中の電圧が高いほど、パッシベーションおよび終端機能の劣化加速が高くなる。パッシベーション材料における高電界は、高温および高湿度と組み合わせると、腐食およびスパーク事象に起因して材料の劣化を引き起こす。これは、最終的には、デバイス終端部の電気的および機械的劣化につながる。たとえば、窒化シリコン層は、水分と反応して酸化する可能性がある。窒化シリコンの腐食中に窒素ガスが形成され、窒化シリコン層の上のいかなる層も持ち上げる可能性がある。また、当該腐食は、多孔質構造を有する低密度の窒化シリコン層を生じさせ、その結果、パッシベーション層としての性能を劣化させる。なぜなら、半導体デバイスが埋め込まれる絶縁材料 (例示的にはゲル) の方に電界をフィルタリングする機能を劣化させ、亀裂を生じさせる可能性があるからである。窒化シリコン層の下方でアルミニウムを使用する場合、劣化した窒化シリコン層を通してアルミニウムの方へ湿気が侵入する可能性がある。電界は、アルミニウムが腐食して酸化アルミニウムになることを生じさせ、当該酸化アルミニウムは、質量が増して終端およびパッシベーション構造全体に亀裂を生じさせる。当該腐食により、パッシベーションは適切に作用できなくなり、その結果、パワー半導体デバイスの破局的な絶縁破壊が起こるまで漏れ電流が増大していく。フィールドプレートまたはゲートランナのような終端領域におけるアルミニウム層が酸化アルミニウムになって上記のパッシベーションを破壊すると、さらなる劣化が引き起こされる。デバイスから水分を取り除くには、数時間にわたる乾燥のための高温が必要である。電圧階級が高くなると、電界も強くなり、それによって腐食が加速する。SiCデバイスでは、シリコンと比較して10倍高い大きさの電界がバルク中に見込まれる。これは、特にSiCパワー半導体デバイスでは困難な問題を課すことになる。

【0007】

先行技術文献US2014/0061733 A1には、半導体本体と半導体本体の表面上に形成されたパッシベーション層積層体とを備える半導体デバイスが記載されている。パッシベーション層積層体は、半導体本体の表面上のアモルファス半絶縁層と、アモルファス半絶縁層上の第1の窒化物層と、第1の窒化物層上の中間層と、中間層上の第2の窒化物層とを含む。中間層は、非ドーブシリケートガラス (undoped silicate glass : USG)、リンドーブシリケートガラス (phosphorous doped silicate glass : PSG)、ホウ素ドーブシリケートガラス (boron doped silicate glass : BSG)、またはホウ素およびリンドーブシリケートガラス (boron and phosphorous doped silicate glass : BPSG) などのシリケートガラスを含んでいてもよい。しかし、この先行技術文献に開示されている半導体デバイスでは、最上部の第2の窒化物層の方への湿気の流れを阻止するであろう手段は提供されていない。

【0008】

US2006/226479 A1には、半導体デバイスが示されており、当該半導体デバイスは、半導体ウェハから離れる方向に誘電体層、シリコンガラス層、窒化シリコンまたは酸化物層の順序で積層されたパッシベーション層積層体を有する。誘電体層の上に配置されたシリコンガラス層は、ダイポール効果を無効にするもしくは減少させ、または誘電体層の境界面における表面電荷を除去する。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】US2014/0061733 A1

【特許文献2】US2006/226479 A1

【発明の概要】

【課題を解決するための手段】

【0010】

発明の開示

本発明の目的は、高湿度において頑強でありかつ長期信頼性を有する、パッシベーション層構造を有するパワー半導体デバイスを提供することである。

【0011】

本発明の目的は、請求項1に係るパワー半導体デバイスによって達成される。

本発明の半導体デバイスでは、シリコンまたは炭化ケイ素のようなワイドバンドギャップ材料でできていてもよい半導体ウェハが設けられる。まず、半絶縁層がウェハ上に配置され、続いて、基板を化学的および機械的に保護する窒化シリコン層が配置される。窒化シリコン層は、非ドーパシリケートガラス層に付着し、それによって非ドーパシリケートガラス層によって被覆され、その上に有機誘電体層が付着する。

10

【0012】

本発明のパワー半導体デバイスにおいて、半絶縁層、窒化シリコン層および有機誘電体層は、効率的なパッシベーションを提供する。

【0013】

窒化シリコン層と有機誘電体層との間の非ドーパシリケートガラス層は、窒化シリコン層の方への湿気の流れのための障壁として作用する。PSGまたはBPSGなどの他の酸化シリコン層は湿気を効率的に阻止せず、非ドーパシリケートガラス層が湿気を阻止するのに特に効率的である。また、本発明のパッシベーション層積層体では、有機誘電体層と非ドーパシリケートガラス層との間に窒化シリコン層はない。言い換えれば、いずれの窒化シリコン層も上方の非ドーパシリケートガラス層の下方にあり、すなわち、ウェハから最も離れているこのような窒化シリコン層である最上窒化シリコン層は、非ドーパシリケートガラス層によって被覆されている。したがって、非ドーパシリケートガラス層は、上側に向かって窒化シリコン層を保護する。したがって、有機誘電体層からのいかなる湿気も窒化シリコン層と接触する前に非ドーパシリケートガラス層を通過しなければならず、窒化シリコン層の腐食および劣化による劣化を回避する。先行技術では、湿気を阻止するために有機層がしばしば使用される。しかし、発明者等は、湿気がデバイスの外側から生じるだけでなく、有機層にも蓄積され、そのため有機層自体から生じる可能性もあることを発見した。

20

【0014】

非ドーパシリケートガラス層は、湿気を効率的に阻止することができる。ドーパシリケートガラス層は、より多くの水分を吸収し、先行技術のデバイスについて上記した水分影響につながるであろう。先行技術のデバイスでは、ドーパシリケートガラス層におけるドーパントが水分を有する酸（たとえば、リン酸）を形成し得て、終端構造に対して積極的に作用する。さらに、非ドーパシリケートガラス層は水素を備え、非ドーパシリケートガラス層における水素によりイオンを捕獲する（すなわち、集合効果）。

30

【0015】

有機誘電体層は、非ドーパシリケートガラス層に存在するOH結合により非ドーパシリケートガラス層との優れた付着を確実にする。このようなOH結合は、窒化物層またはドーパ酸化シリコン層では利用できないため、先行技術のデバイスでは層同士の接合はそれほど確実ではない。

40

【0016】

少なくとも $0.5\ \mu\text{m}$ の窒化シリコン層は、効率的な電荷阻止を確実にする。ウェハと非ドーパシリケートガラス層との間に窒化シリコン層がなければ、非ドーパシリケートガラス層は正の電荷を取込み、それによってパッシベーション層の目的に矛盾することになるであろう。したがって、窒化シリコン層は、非ドーパシリケートガラス層の下方に導入される。

【0017】

例示的な実施形態において、窒化シリコン層は、少なくとも $0.7\ \mu\text{m}$ または少なくとも $0.9\ \mu\text{m}$ の層厚みを有する。この実施形態では、窒化シリコン層のパッシベーション機能は効率的であり、湿気と窒化シリコン層との接触の防止は、窒化シリコン層の厚みが

50

増すとともに特に重要になる。

【0018】

非ドーブシリケートガラス層の上に、窒化物腐食のようないずれの水分影響も回避するためのさらなる窒化物層は配置されていない。したがって、非ドーブシリケートガラス層とウェハとの間に窒化シリコン層が配置され、当該窒化シリコン層は、非ドーブシリケートガラス層によって湿気から保護される。

【0019】

本発明の主題のさらなる好ましい実施形態は、従属請求項に開示されている。

例示的な実施形態において、シリケートガラス層は、少なくとも0.4 μmまたは少なくとも0.5 μmの層厚みを有する。シリケートガラス層の阻止機能は、厚みが増すととも向上する。0.4 μmを上回る厚みで、シリケートガラス層は湿気を効率的に阻止することができる。

10

【0020】

例示的な実施形態において、有機誘電体層は、ポリイミド層、ポリベンゾオキサゾール層およびシリコン層のうちの少なくとも1つを含む。これらの有機誘電体層は、外側からの湿気を効率的に阻止ことができ、非ドーブシリケートガラス層は、これらの有機誘電体層のうちのいずれか1つに蓄積され得る湿気を阻止する。

【0021】

例示的な実施形態において、半絶縁層は、半絶縁性多結晶シリコン層、アモルファスシリコン層、アモルファス窒化シリコン層またはダイヤモンド状炭素層である。

20

【0022】

有機誘電体層は、非ドーブシリケートガラス層と直接接触している。有機誘電体層は、直下の非ドーブシリケートガラス層と優れた密着性を有する。非ドーブシリケートガラス層との間の密着性は、有機誘電体層と窒化シリコン層との間の直接的な接触と比較して優れている。

【0023】

本発明に係るパワー半導体デバイスは、請求項8に係る方法によって製造されてもよい。

【0024】

例示的な実施形態において、窒化シリコン層を形成するステップは、500 を上回る温度で第1の窒化シリコン層を形成する第1のステップと、500 を下回る温度（当該温度はウェハにおける最大温度である）で第2の窒化シリコン層を形成する第2のステップとを含む。500 を上回る温度で第1の窒化シリコン層を形成することにより高品質の窒化物層が得られ、500 を下回るウェハ温度、例示的には425 を下回るウェハ温度で第2の窒化物層を形成することは、高成長率で実行することができる。このようにして、窒化シリコン層の品質が最も重要であるウェハの近くに高品質部分を有する厚い窒化シリコン層を得ることができる。

30

【0025】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、第1の窒化シリコン層は、低圧化学蒸着またはスパッタリングによって形成される。

40

【0026】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、第2の窒化シリコン層は、プラズマ強化化学蒸着またはスパッタリングによって形成される。

【0027】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、第2の窒化シリコン層は、少なくとも0.5 μmまたは少なくとも0.7 μmまたは少なくとも0.9 μmの層厚みを有する。

【0028】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、非ドーブシリケートガラス層は、500 を下回る温度でプラズマ強化化学蒸着またはスパッタリ

50

ングによって形成される。

【0029】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、窒化シリコン層および非ドーブシリケートガラス層は、単一のマスク層を使用して選択的にエッチングされ、当該マスク層は、窒化シリコン層、例示的には第1および第2の窒化シリコン層、ならびに非ドーブシリケートガラス層のための同一のマスク層である。これにより、窒化シリコン層全体が非ドーブシリケートガラス層によって被覆されて、窒化シリコン層の方への湿気を最も効率的に阻止することが確実になる。

【0030】

添付の図面を参照して、本発明の詳細な実施形態について以下で説明する。

10

【図面の簡単な説明】

【0031】

【図1】本発明の実施形態に係る終端構造の部分断面図である。

【図2】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図3】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図4】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図5】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図6】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図7】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図8】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

20

【図9】図1のパワー半導体デバイスの製造方法のステップを示す部分断面図である。

【図10】本発明の別の実施形態に係るダイオードの部分断面図である。

【図11】本発明の別の実施形態に係る別のダイオードの部分断面図である。

【図12】本発明の別の実施形態に係るMOSデバイス(MOSFETまたはIGBT)の部分断面図である。

【発明を実施するための形態】

【0032】

図面で使用される参照符号およびそれらの意味は、符号の説明に要約されている。一般に、明細書全体を通して、同様の要素は同一の参照符号を有している。記載されている実施形態は、例示的であるよう意図されており、本発明の範囲を限定するものではない。

30

【0033】

好ましい実施形態の詳細な説明

図1には、本発明のパワー半導体デバイスの実施形態として終端構造が示されている。半導体ウェハWは、例示的には、SiCでできている。半導体ウェハWは、第1の主要側2と、第1の主要側の面に平行な、横方向に延在する第2の主要側3とを有する。半導体ウェハWは、活性領域ARと、活性領域ARを側方から取囲む終端領域TRとを有する。活性領域は、電界が活性に制御される領域であるのに対して、終端領域では、電界はデバイスのエッジに向かって減少する。

【0034】

図10は、本発明のパワー半導体デバイスの実施形態としてpinダイオード1を示す。半導体ウェハWは、第1の主要側2から第2の主要側3まで、pドーブアノード層4と、n⁻ドーブドリフト層5と、n⁻ドーブドリフト層5のドーピング濃度よりも高いドーピング濃度を有するn⁺ドーブカソード層6とをこの順序で備える。例示的には、カソード層のドーピング濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上である。アノード層4のドーピング濃度は、例示的には、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上である。ドリフト層5は、アノード層4と直接接触して、主要なpn接合を形成している。第1の主要側2には、アノード層4とのオーミック接触を形成するようにアノード電極7が形成されている。半導体ウェハWの第2の主要側3には、カソード層6とのオーミック接触を形成するようにカソード電極8が形成されている。パワー半導体デバイスの電圧階級によって、ドリフト層5の厚みは、例示的には、30~400 μmの範囲内でさまざまであってもよい。

40

50

【0035】

例示的には、ウェハWの第1の主要側の面に隣接する終端領域TR（図10および図11）には複数の p^+ ドープフローティングフィールドリングが配置されている。フローティングフィールドリングの各々は、リング状であり、活性領域ARおよびアノード層を側方から取囲んでいる。また、各フローティングフィールドリング100は、ドリフト層5と接触して、 pn 接合を形成している。例示的には、フローティングフィールドリング100は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、例示的には $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲内のピークドーピング濃度を有する。エッジ終端構造におけるフローティングフィールドリングの数は、ハイパワー半導体デバイスの電圧階級によって、および、フローティングフィールドリングの深さによってさまざまであってもよい。フローティングフィールドリングの総数は、200個までであってもよい。

10

【0036】

図11に示されるように、パワーデバイスは、例示的には、第1の主要側2の終端領域TRに、 n^+ 注入および/またはフィールドストッププレート層52を備えていてもよい。フィールドストップ層52は、電極70と接触されてもよい。電極70は、後述の二酸化シリコン層11およびPSG層12の主要部分の外縁を被覆してもよい。

【0037】

別の実施形態では、第1の主要側2に隣接する終端領域TRに、半導体ウェハWは、アノード層4に直接隣接した、すなわちアノード層4と直接接触した横方向ドーピング変化（VLD）領域10を有していてもよい（図1に図示）。VLD領域には p^- ドープゾーンがあり、当該ゾーンではデバイスエッジ（図1における右側）まで外に向かってドーピングが減少しており、当該ゾーンは p ドープアノード層と直接接触、すなわち直接隣接している。図1に示されるように、終端領域TRの外縁に向かって（図1における右側に向かって）、VLD領域はドーピング濃度が減少しており、深さが減少している。終端領域におけるVLD領域の代わりにまたは加えて、デバイスは、接合終端拡張部（JTE）、および、図10および図11に示されている、フィールドプレート拡張部を有していたり有していなかったりするフローティングフィールドリング終端部（FFR）100のような他の終端構造も備えていてもよい。

20

【0038】

終端領域TRには、半導体ウェハWの第1の主要側2の面上にパッシベーション層構造が配置されている。パッシベーション層積層体は、第1の主要側2から、半導体ウェハWから離れる方向に、半絶縁層13と、窒化シリコン層と、非ドーピングシリケートガラス層16と、有機誘電体層17とをこの順序で備える。半絶縁層13は、例示的には、半絶縁性多結晶シリコン（SIPoS）層またはアモルファスシリコン層またはアモルファス窒化シリコン層またはダイヤモンド状炭素層である。

30

【0039】

窒化シリコン層は、例示的には、第1の窒化シリコン層14と、第2の窒化物層15とを備えていてもよい。第1の窒化シリコン層14は、 500°C を超える温度でLPCVDまたはスパッタリングによって形成される高温窒化シリコン層である。堆積中のウェハ温度が高いために、第1の窒化シリコン層14は高い結晶品質を有する。第1の窒化シリコン層14の層厚みは、例示的には、 $50 \text{ nm} \sim 400 \text{ nm}$ の範囲内、例示的には 200 nm までである。第1の窒化シリコン層14上に配置された第2の窒化シリコン層15は、 500°C を下回るウェハ温度、例示的には 425°C を下回るウェハ温度で堆積される低温窒化シリコン層である。第2の窒化シリコン層15の層厚みは、例示的には、少なくとも $0.5 \mu\text{m}$ 、または少なくとも $0.7 \mu\text{m}$ 、または少なくとも $0.9 \mu\text{m}$ である。第2の窒化シリコン層15は、例示的な実施形態では、せいぜい $2 \mu\text{m}$ またはせいぜい $1.6 \mu\text{m}$ の厚みを有していてもよい。例示的には、第1の窒化シリコン層14の厚みは、第2の窒化シリコン層15の厚みとともに、少なくとも 550 nm である。

40

【0040】

50

非ドーブシリケートガラス（USG）層16が第2の窒化シリコン層15上に配置され、それに付着している。USG層16は、例示的には、少なくとも0.4 μm 、例示的には少なくとも1 μm の厚みを有する。pinダイオードについて図1および図11に示されているように、非ドーブシリケートガラス層16は、上側（ウェハWから離れる方を向く側）および側面側（第1の主要側2に垂直な側）から第2の窒化シリコン層15を被覆することによって保護している。これは、全ての側に対して非常に優れた保護を提供する。代替的に、非ドーブシリケートガラス層16は、上側からのみ第2の窒化シリコン層15を被覆するが、側面側は等距離のところまで終端されてもよく、その結果、第2の窒化シリコン層15の側面側は非ドーブシリケートガラス層16によって突出されない（図10）。このような構造は、製造が容易である。なぜなら、非ドーブシリケートガラス層16も第2の窒化シリコン層15も単一のマスクを使用して作製することができるからである。第2の窒化シリコン層15の側面側のみが被覆されないため、湿気からの保護に関する影響は受け入れられるものである。

10

【0041】

非ドーブシリケートガラス層16上に配置された有機誘電体層17は、例示的には、ポリイミド（PI）層またはポリベンゾオキサゾール層またはシリコン層またはそれらのいずれかの組み合わせである。有機誘電体層17の厚みは、例示的には、1 μm ~5 μm の範囲内である。

【0042】

活性領域ARと終端領域TRとの間の遷移領域および終端領域の外縁（すなわち、図1における右側）では、第1の主面上に二酸化シリコン層11が配置されてもよく、二酸化シリコン層11の上にリンシリケートガラス層（PSG）12が配置されてもよい。二酸化シリコン層11およびPSG層12の主要部分は、ウェハWに向かう開口を有し、当該開口において半絶縁層13は半導体ウェハWの第1の主要側2と直接接触している。二酸化シリコン層11は、直接（図10、図11）pアノード層4に接続されてもよく、または、終端領域におけるpドーブ層、例示的にはやはりアノード層4に接続されるVLD層10を介して（図1、図14）pアノード層4に接続されてもよい。

20

【0043】

図12および図13は、二酸化シリコン層11およびPSG層12がそれらの側面側に共通のエッジを形成する（すなわち、同一のマスクによって形成される）実施形態を示す。層11、12は、第1の主要側2の、第1の主要側2に平行な平面層として設計されてもよい。

30

【0044】

図12は、本発明のパワー半導体デバイスの別の実施形態としてMOSセルのための終端構造を示す。MOSセルは、（ドリフト層5よりも高くドーブされる）nドーブ層が第2の主要側に配置されるMOSFETに属していてもよく、または、例示的にはドリフト層とコレクタ層との間にnドーブバッファ層を有する状態で、pドーブコレクタ層が第2の主要側に配置されるIGBT（裏面構造は図面には図示せず）に属していてもよい。IGBTは、nドーブ領域がpドーブコレクタ層と交互になっている逆導通IGBTのような全ての種類の裏面構造を有し得る。図12に示されるデバイスは、平面ゲート電極を備え、当該平面ゲート電極において、導電性ゲート層18は絶縁層、例示的には二酸化シリコン層11によってウェハW内のドーブ層から絶縁されている。ゲート層18は、別の絶縁層、例示的にはPSG層によって、上側、すなわちウェハWから離れる方を向く側が絶縁されている。終端領域TRにおいて、ゲートランナの形態のゲート接触部19はゲート層18と接触し得る。ゲート接触部19は、アルミニウムでできていてもよい。ゲート接触部19は、第2の窒化シリコン層15および非ドーブシリケートガラス層16によって被覆されてもよい。これらの層15、16は、（デバイスがIGBTである場合にはエミッタ電極であり、またはデバイスがMOSFETである場合にはソース電極である）アノード電極7からもゲート接触部19を分離し得る。

40

【0045】

50

電極 7 は、アクティブ領域 A R において、n ドープソース層 5 0 および p ドープアノード層 4 と接触し、当該 n ドープソース層 5 0 および p ドープアノード層 4 は、I G B T / M O S F E T ではベース層またはカソード層と呼ばれてもよい。

【 0 0 4 6 】

また、平面ゲート電極の代わりに、ゲート電極はトレンチゲート電極として形成されてもよく、ゲート電極は、ウェハの凹部に配置されることにより、第 1 の主要側 2 に平行な、n ドープソース層 5 0 および p ドープアノード層 4 と同一の平面に配置される。

【 0 0 4 7 】

本発明の終端構造は、絶縁ゲートバイポーラトランジスタ (I G B T)、金属酸化物半導体電界効果トランジスタ (M O S F E T) またはダイオードなどの、このような終端構造を必要とする、すなわち終端領域において電界が減少する全ての種類の半導体タイプにおいて実現されてもよい。

【 0 0 4 8 】

次に、図 2 ~ 図 1 1 を参照して、本発明に係るパワー半導体デバイスの製造方法について説明する。これらの図面は、デバイスの第 1 の主要側の構造のみを示している。第 2 の主要側 3 では、ダイオードもしくは M O S F E T の場合には n ドープ層を形成するステップまたは I G B T の場合には p ドープ層を形成するステップのような任意の適切な製造ステップで任意の設計が実現されてもよい。

【 0 0 4 9 】

図 2 に示されるように、シリコンまたはワイドバンドギャップウェハ、例示的には炭化ケイ素ウェハであってもよいウェハが設けられる。半導体デバイスのタイプによって、ウェハの電氣的に活性な領域および活性領域を取囲む終端領域における層が作製されていてもよい。例示的には、図 2 に示されるように、第 1 の主要側 2 に隣接する終端領域 T R には、横方向ドーピング変化 (V L D) 領域 1 0 が、アノード層 4 に直接隣接するように、すなわちアノード層 4 と直接接触するように形成されてもよい。しかし、接合終端拡張部 (J T E)、図面に例示的に示されている横方向ドーピング変化 (V L D)、およびフィールドプレート拡張部を有していたり有していなかったりするフローティングフィールドリング終端部 (F F R) 1 0 0 (図 1 2 および図 1 3 に図示) のような当業者に公知の任意の終端構造が終端領域に作製されてもよい。

【 0 0 5 0 】

終端構造の上には、パッシベーション層構造が終端領域 T R におけるウェハの面の少なくとも一部に形成され、パッシベーション層構造を形成するステップは、半絶縁層 1 3 を形成するステップと、半絶縁層 1 3 の上に窒化シリコン層を形成するステップと、窒化シリコン層の上に非ドーブシリケートガラス層 1 6 を形成するステップと、非ドーブシリケートガラス層 1 6 の上に有機誘電体層 1 7 を形成するステップとを含む。窒化シリコン層は、少なくとも 0 . 5 μ m の層厚みを有する。有機誘電体層 1 7 は、非ドーブシリケートガラス層 1 6 に付着している。すなわち、有機誘電体層 1 7 と非ドーブシリケートガラス層 1 6 との間には他の層はない。

【 0 0 5 1 】

さらに、第 1 の主要側 2 の面上に二酸化シリコン層 1 1 が形成されてもよく (図 3)、二酸化シリコン層 1 1 の上にリンシリケートガラス層 (P S G) 1 2 が形成されてもよい (図 4)。パッシベーション層構造は、主要部分の開口において二酸化シリコン層 1 1 および P S G 層 1 2 を突出させてもよい。この開口において、半絶縁層 1 3 は、半導体ウェハ W の第 1 の主要側 2 と直接接触している (図 6)。

【 0 0 5 2 】

例示的には P S G ガラス層 1 2 の形成前または後に、アノード電極 7 として活性領域における第 1 の主要側 2 に電極が形成されてもよい (図 5)。カソード電極 8 として第 2 の主要側 3 に電極が形成されてもよい。任意の適切な製造ステップにおいて電極金属化層 7 , 8 が形成されてもよい。高 n ドープフィールドストップ層 5 2 の上には、p ドープ終端層 (たとえば、V L D 層 1 0 またはフィールドリング 1 0 0) よりも活性領域 A R から遠

10

20

30

40

50

く離れた、デバイスのエッジの方の終端領域TRにおける第1の主要側2に別の電極70が形成されてもよく、当該電極70は、第1の主要電極7と同一のステップにおいて、第1の主要電極7と同一の材料から形成されてもよい。電極70は、二酸化シリコン層11およびPSG層12の主要部分の外縁を被覆してもよい。

【0053】

例示的な実施形態では、窒化シリコン層を形成するステップは、500℃を上回る温度、例示的には600℃を上回る温度で第1の窒化シリコン層14を形成する第1のステップ(図7)と、500℃を下回る温度、例示的には425℃を下回る温度で第2の窒化シリコン層15を形成する第2のステップ(図8)とを含む。500℃を上回る温度で第1の窒化シリコン層14を形成することにより高品質の窒化物層が得られ、500℃を下回る温度で第2の窒化物層15を形成することは、高成長率で実行することができる。このようにして、窒化シリコン層の品質が最も重要であるウェハの近くに高品質部分を有する厚い窒化シリコン層を得ることができる。例示的には、第1および第2の窒化シリコン層14, 15の厚みは、合わせて少なくとも550nmである。

10

【0054】

その後、非ドーブシリケートガラス層16が窒化シリコン層の上に直接形成される。すなわち、層同士が互いに付着する(図9)。USG層16は、第2の窒化物層15の場合と同一のマスクを使用して形成されてもよく、その結果、同一の側方境界まで延在する層が得られ、または、USG層16は、上側(ウェハWとは反対側)および側面側(すなわち、第1の主要側2に垂直な側)まで第2の窒化物層を被覆するように作製されてもよい。

20

【0055】

非ドーブシリケートガラス層16の上に、有機誘電体層17が形成される(図9)。例示的には、有機誘電体層17は、上側および側面側まで非ドーブシリケートガラス層16を被覆する。

【0056】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、第1の窒化シリコン層14は、低压化学蒸着またはスパッタリングによって形成される。

【0057】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、第2の窒化シリコン層15は、プラズマ強化化学蒸着またはスパッタリングによって形成される。

30

【0058】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、第2の窒化シリコン層15は、少なくとも0.5μmまたは少なくとも0.7μmまたは少なくとも0.9μmの層厚みを有するように作製される。

【0059】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、非ドーブシリケートガラス層16は、500℃を下回るウェハ温度、例示的には425℃を下回るウェハ温度でプラズマ強化化学蒸着またはスパッタリングによって形成される。

【0060】

本発明に係るパワー半導体デバイスの製造方法の例示的な実施形態において、窒化シリコン層14, 15および非ドーブシリケートガラス層16は、同一の単一のマスクング層を使用して選択的にエッチングされる。これにより、窒化シリコン層全体が非ドーブシリケートガラス層16によって被覆されて、窒化シリコン層の方への湿気を最も効率的に阻止することが確実になる。

40

【0061】

上記の説明では、具体的な実施形態について説明した。しかし、上記の実施形態の代替例および変形例が可能である。

【0062】

上記の実施形態は、特定の導電型で説明した。上記の実施形態における半導体層の導電

50

型は切り換えられてもよく、その結果、特定の実施形態では、p型層として記載した全ての層がn型層になり、n型層として記載した全ての層がp型層になるであろう。たとえば、変形実施形態では、ソース層5がpドープ層であってもよく、ドリフト層5がpドープ層であってもよく、カソード層6がpドープ層であってもよい。

【0063】

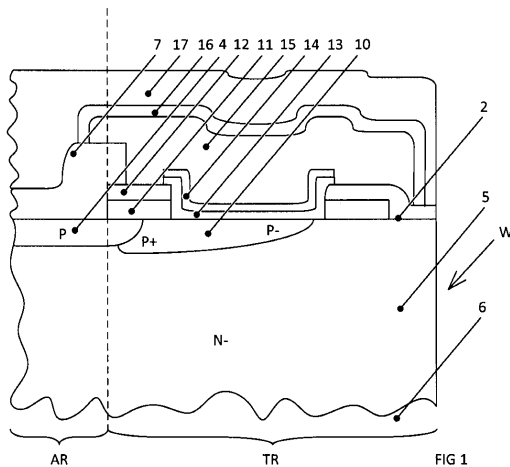
なお、「備える」という語は他の要素またはステップを除外するものではなく、不定冠詞「a」または「an」は複数形を除外するものではない。また、さまざまな実施形態に関連付けて記載されている要素は、組み合わせられてもよい。

【符号の説明】

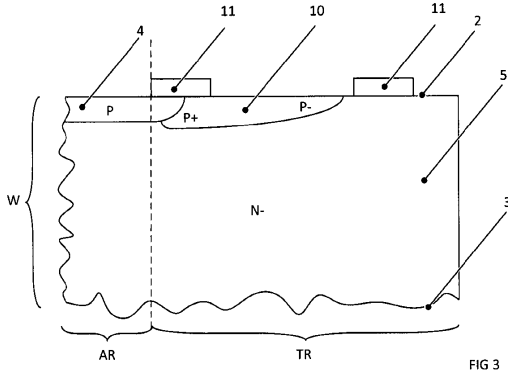
【0064】

1 pinダイオード；2 第1の主要側；3 第2の主要側；4 (pドープ)アノード層；5 (nドープ)ドリフト層；6 (n+ドープ)カソード層；7 アノード電極；8 カソード電極；10 横方向ドーピング変化(VLD)領域；100 フィールドリング；11 二酸化シリコン層；12 PSG層；13 半絶縁層；14 第1の窒化シリコン層；15 第2の窒化シリコン層；16 非ドープシリケートガラス層；17 有機誘電体層；18 ゲート層(ポリシリコン)；19 ゲート接触部；50 (n+ドープ)ソース層；52 フィールドストップ層；70 電極；AR 活性領域；TR 終端領域；W 半導体ウェハ。

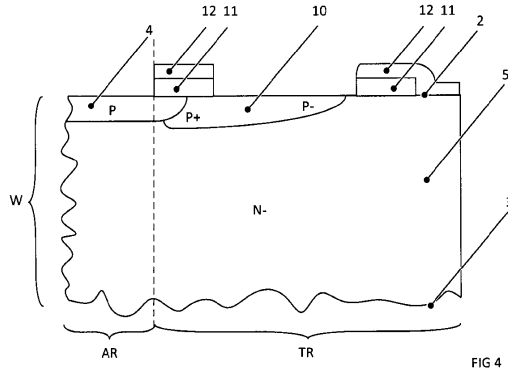
【図1】



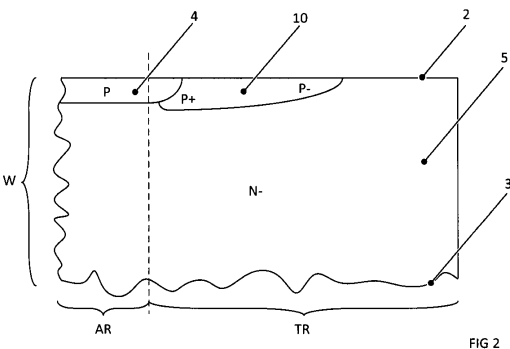
【図3】



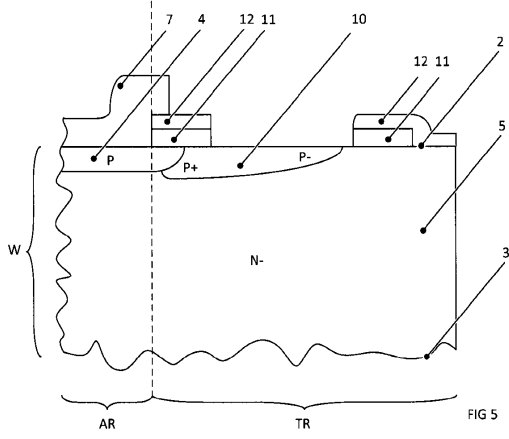
【図4】



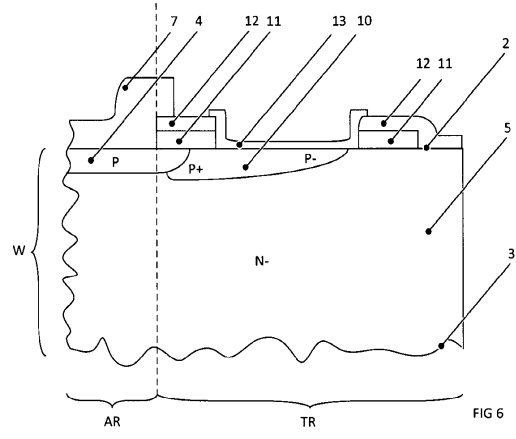
【図2】



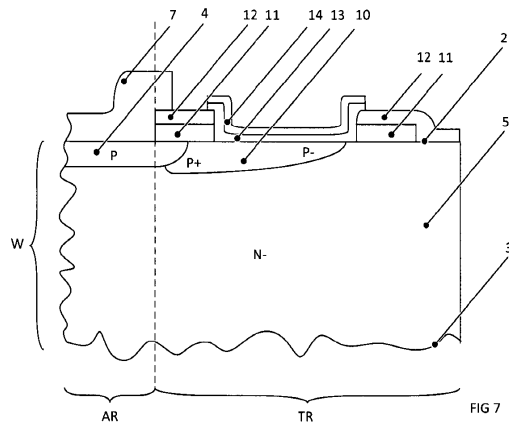
【 図 5 】



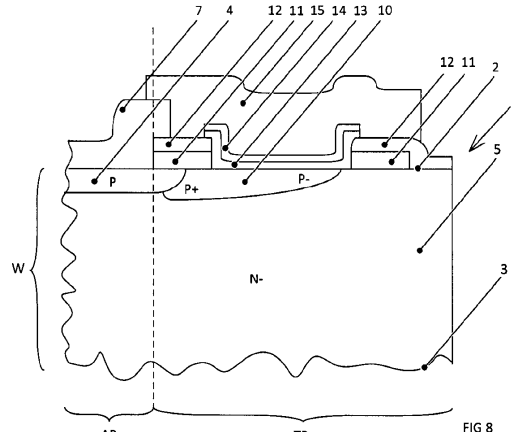
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/12 (2006.01) H 0 1 L 29/78 6 5 5 A
H 0 1 L 29/739 (2006.01) H 0 1 L 29/06 3 0 1 F
H 0 1 L 29/06 3 0 1 G

(72)発明者 ムナフ・ラヒモ
スイス、ツェー・ハー - 5 6 1 9 ウエツビル、パツハベーク、1 0

審査官 棚田 一也

(56)参考文献 特開昭60 - 0 4 2 8 5 9 (J P , A)
特表2006 - 5 0 3 4 3 8 (J P , A)
特開2012 - 1 4 6 8 3 2 (J P , A)
特開2011 - 0 4 9 3 9 3 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 6 8