

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6921180号
(P6921180)

(45) 発行日 令和3年8月18日(2021.8.18)

(24) 登録日 令和3年7月29日(2021.7.29)

(51) Int.Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C
HO 1 L 27/04 (2006.01)	HO 1 L 21/88 Q
HO 1 L 21/3205 (2006.01)	
HO 1 L 21/768 (2006.01)	
HO 1 L 23/532 (2006.01)	

請求項の数 14 (全 19 頁)

(21) 出願番号	特願2019-505480 (P2019-505480)	(73) 特許権者	507364838
(86) (22) 出願日	平成29年7月14日 (2017.7.14)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2019-525476 (P2019-525476A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	令和1年9月5日 (2019.9.5)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2017/042213		イブ 5775
(87) 国際公開番号	W02018/034756	(74) 代理人	100108453
(87) 国際公開日	平成30年2月22日 (2018.2.22)		弁理士 村山 靖彦
審査請求日	令和2年6月29日 (2020.6.29)	(74) 代理人	100163522
(31) 優先権主張番号	15/240,952		弁理士 黒田 晋平
(32) 優先日	平成28年8月18日 (2016.8.18)	(72) 発明者	シナン・ゴクテペリ
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国・カリフォルニア・921
			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 デュアル側面接触キャパシタを形成するための裏面シリサイド化の利用

(57) 【特許請求の範囲】

【請求項1】

キャパシタ誘電体層によって分離される、第1のプレートとしての半導体層と第2のプレートとしてのゲート層とを含むキャパシタと、

前記キャパシタの前記第1のプレートに結合された裏面金属被覆と、

前記キャパシタの前記第2のプレートに結合された前面金属被覆であって、前記裏面金属被覆から遠位にかつ正反対に配置される前面金属被覆と、

裏面シリサイド層であって、前記裏面シリサイド層を介して前記裏面金属被覆が前記キャパシタの前記第1のプレートに結合される裏面シリサイド層とを備える、集積回路構造

。

【請求項2】

前記裏面金属被覆が、裏面誘電体層内に配置された金属被覆層を備える、請求項1に記載の集積回路構造。

【請求項3】

前記前面金属被覆が前面誘電体層内部にあり、前記キャパシタの前記ゲート層に近接する、請求項1に記載の集積回路構造。

【請求項4】

前面シリサイド層をさらに備え、前記前面シリサイド層を介して前記前面金属被覆が前記キャパシタの前記第2のプレートに結合される、請求項1に記載の集積回路構造。

【請求項5】

前記キャパシタ誘電体層が高K誘電体を含み、前記半導体層がシリコンオンインシュレータ(SOI)層を備える、請求項1に記載の集積回路構造。

【請求項6】

集積回路構造を構築する方法であって、

絶縁層によって支持され、犠牲基板上に配設される容量性デバイスを製作するステップであって、前記絶縁層上の半導体層内に拡散領域を形成し、前記拡散領域上にデバイス誘電体層を堆積させ、および前記拡散領域上にゲート層を堆積させて前記容量性デバイスを形成する、容量性デバイスを製作するステップと、

前記容量性デバイスの前記ゲート層上に前面接触層を堆積させるステップと、

前記容量性デバイス上であり、前記前面接触層に結合される前面誘電体層内の前面金属被覆を製作するステップと、

前記容量性デバイス上の前記前面誘電体層にハンドル基板を接合するステップと、

前記犠牲基板を除去するステップと、

前記容量性デバイスの前記半導体層上に裏面接触層を堆積させるステップと、

前記絶縁層を支持する裏面誘電体層内に裏面金属被覆を製作するステップであって、前記裏面金属被覆が前記裏面接触層に結合され、前記前面金属被覆から遠位にかつ正反対に配置される、裏面金属被覆を製作するステップとを含む方法。

10

【請求項7】

前記裏面金属被覆を作製するステップが、

前記裏面接触層の所定の部分を露出させるために前記容量性デバイスの前記半導体層に従って前記絶縁層をパターニングするステップと、

前記裏面金属被覆を形成するために、前記パターニングされた絶縁層内部でかつ前記裏面接触層の前記露出された所定の部分の上に裏面金属被覆材料を堆積させるステップと、

前記絶縁層および前記裏面金属被覆の上に前記裏面誘電体層を堆積させるステップとを含む、請求項6に記載の方法。

20

【請求項8】

前記裏面金属被覆材料を堆積させるステップが、

複数の裏面金属被覆プラグを形成するために、前記裏面接触層の前記露出された所定の部分の上に第1の裏面金属被覆材料を堆積させるステップと、

前記複数の裏面金属被覆プラグ上に第2の裏面金属被覆材料を堆積させるステップとを含む、請求項7に記載の方法。

30

【請求項9】

前記前面金属被覆を作製するステップが、

前記前面接触層の所定の部分を露出させるために前記容量性デバイスの前記ゲート層に従って前記前面誘電体層をパターニングするステップと、

複数の前面金属被覆プラグを形成するために、前記パターニングされた前面誘電体層内部でかつ前記前面接触層の前記露出された所定の部分の上に第1の前面金属被覆材料を堆積させるステップと、

前記前面金属被覆を形成するために前記複数の前面金属被覆プラグ上に第2の前面金属被覆材料を堆積させるステップとを含む、請求項6に記載の方法。

40

【請求項10】

前記ハンドル基板を接合するステップが、

前記前面誘電体層上にトラップリッチ層を堆積させるステップと、

前記ハンドル基板を前記トラップリッチ層に接合するステップとをさらに含む、請求項6に記載の方法。

【請求項11】

請求項1に記載の集積回路構造であって、集積無線周波数(RF)回路構造である集積回路構造と、

前記キャパシタに結合されたスイッチトランジスタと、

前記スイッチトランジスタの出力に結合されたアンテナとを備える、無線周波数(RF)

50

) フロントエンドモジュール。

【請求項 1 2】

前記前面金属被覆が、前記ゲート層上の前面接触層の所定の部分に結合された複数の前面金属被覆プラグと、前記複数の前面金属被覆プラグに結合された前面金属被覆層とを備える、請求項 1 1 に記載の R F フロントエンドモジュール。

【請求項 1 3】

前記裏面金属被覆が、前記半導体層上の裏面接触層の所定の部分に結合された複数の裏面金属被覆プラグと、前記複数の裏面金属被覆プラグに結合された裏面金属被覆層とを備える、請求項 1 1 に記載の R F フロントエンドモジュール。

【請求項 1 4】

前記キャパシタ誘電体層が高 K 誘電体を含み、前記半導体層がシリコンオンインシュレータ (S O I) 層を備える、請求項 1 1 に記載の R F フロントエンドモジュール。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

本開示は、一般に、集積回路 (I C) に関する。より詳細には、本開示は、デュアル側面接触キャパシタを形成するための裏面シリサイド化のための方法および装置に関する。

【背景技術】

【 0 0 0 2】

高性能ダイプレクサを含むモバイル無線周波 (R F) チップ構成 (たとえば、モバイル R F トランシーバ) は、コストおよび電力消費量の問題に起因してディープサブマイクロプロセスノードに移行している。そのようなモバイル R F トランシーバの設計は、このディープサブマイクロプロセスノードにおいて複雑になる。これらのモバイル R F トランシーバの設計は、キャリアアグリゲーションなどの通信拡張機能をサポートするための追加の回路機能によってさらに複雑さが増している。モバイル R F トランシーバに関する設計上のさらなる問題には、不適合、ノイズ、および性能面のその他の問題を含むアナログ / R F 性能面の問題が含まれる。このようなモバイル R F トランシーバの設計には、たとえば共振を抑制するため、および / またはフィルタ処理、バイパス、および結合を実行するために追加の受動デバイスを使用することが含まれる。

【 0 0 0 3】

受動オンガラスデバイスは、モバイル無線周波数 (R F) チップ構成の製作において通常使用される表面実装技術または多層セラミックチップのような、他の技術より優れた種々の利点を有する高性能インダクタ構成要素およびキャパシタ構成要素を含む。モバイル R F トランシーバの設計については、コストおよび電力消費量の問題に起因するディープサブマイクロプロセスノードへの移行によって複雑さが増している。間隔の問題もまた、R F チップ構成の設計統合の間に性能のボトルネックを生じる場合がある大きいキャパシタなど、モバイル R F トランシーバ設計のディープサブマイクロプロセスノードに影響を及ぼす。たとえば、金属酸化物半導体 (M O S) キャパシタは、増加したキャパシタンス密度を実現するために R F アプリケーションにおいて使用される場合がある。残念ながら、進化した相補型 M O S (C M O S) 処理において使用される M O S キャパシタは、指定されたキャパシタンス密度を達成するために大きい面積を占有する場合がある。

【発明の概要】

【課題を解決するための手段】

【 0 0 0 4】

集積回路構造は、第 1 のプレートとしての半導体層と第 2 のプレートとしてのゲート層とを有するキャパシタを含み得る。キャパシタ誘電体層は、第 1 のプレートと第 2 のプレートとを分離し得る。裏面金属被覆は、キャパシタの第 1 のプレートに結合されてもよく、前面金属被覆は、キャパシタの第 2 のプレートに結合されてもよい。前面金属被覆は、裏面金属被覆から遠位に配置され得る。

【 0 0 0 5】

10

20

30

40

50

集積回路構造を構築する方法は、絶縁層によって支持され、犠牲基板上に配設されるデバイスを製作するステップを含み得る。方法は、デバイスのゲート層上に前面接触層を堆積するステップをさらに含み得る。前面誘電体層内の前面金属被覆はデバイス上に製作され、前面接触層に結合され得る。ハンドル基板は、デバイス上の前面誘電体層に接合され得る。方法は、犠牲基板を除去するステップをさらに含み得る。裏面接触層は、デバイスの半導体層上に堆積され得る。裏面金属被覆は、絶縁層を支持する裏面誘電体層内で製作され得る。裏面金属被覆は裏面接触層に結合されてもよく、前面金属被覆から遠位に配置されてもよい。

【0006】

集積回路構造は、電荷を蓄積するための手段を含み得る。電荷を蓄積するための手段は、絶縁層および裏面誘電体層によって支持され得る。裏面金属被覆は、裏面誘電体層内に配置されてもよく、電荷蓄積手段に結合されてもよい。前面金属被覆は、電荷蓄積手段上の前面誘電体層内に配置され得る。前面金属被覆は、電荷蓄積手段に結合され得る。前面金属被覆は、裏面金属被覆から遠位に配置され得る。

10

【0007】

無線周波数(RF)フロントエンドモジュールは、第1のプレートとしての半導体層と第2のプレートとしてのゲート層とを含むキャパシタを有する集積無線周波数(RF)回路構造を含み得る。第1のプレートおよび第2のプレートは、キャパシタ誘電体層によって分離され得る。裏面金属被覆は、キャパシタの第1のプレートに結合されてもよく、前面金属被覆は、キャパシタの第2のプレートに結合されてもよい。前面金属被覆は、裏面金属被覆から遠位に配置され得る。スイッチトランジスタは、キャパシタに結合され得る。アンテナは、スイッチトランジスタの出力に結合され得る。

20

【0008】

上記では、後続の発明を実施するための形態がより良く理解できるように、本開示の特徴および技術的利点について、かなり大まかに概説してきた。本開示の追加の特徴および利点について以下において説明する。本開示が、本開示と同じ目的を果たすための他の構造を変更または設計するための基礎として容易に利用できることを、当業者には諒解されたい。そのような同等な構成が、添付の特許請求の範囲に記載されるような本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の構成と動作方法の両方に関して本開示の特徴になると考えられる新規の特徴が、さらなる目的および利点とともに、以下の説明を添付の図と併せて検討することからより十分に理解されるであろう。しかしながら、図の各々が、例示および説明のために提供されるにすぎず、本開示の範囲を定めるものではないことは明確に理解されたい。

30

【0009】

本開示をより完全に理解できるように、ここで、添付の図面と併せて以下の説明を参照する。

【図面の簡単な説明】**【0010】**

【図1A】本開示の一態様による、ダイプレクサを使用する無線周波数(RF)フロントエンド(RFFE)モジュールの概略図である。

40

【図1B】本開示の態様による、チップセット用のダイプレクサを使用してキャリアアグリゲーションを実現する無線周波数(RF)フロントエンド(RFFE)モジュールの概略図である。

【図2A】本開示の一態様によるダイプレクサ構成の図である。

【図2B】本開示の一態様による無線周波数(RF)フロントエンドモジュールの図である。

【図3A】本開示の一態様による、層転写プロセスの間の集積無線周波数(RF)回路構造の断面図である。

【図3B】本開示の一態様による、層転写プロセスの間の集積無線周波数(RF)回路構造の断面図である。

50

【図3C】本開示の一態様による、層転写プロセスの間の集積無線周波数(RF)回路構造の断面図である。

【図3D】本開示の一態様による、層転写プロセスの間の集積無線周波数(RF)回路構造の断面図である。

【図3E】本開示の一態様による、層転写プロセスの間の集積無線周波数(RF)回路構造の断面図である。

【図4】本開示の態様による、層転写プロセスを使用して製作されたデュアル側面接触キャパシタを含む集積回路構造の断面図である。

【図5】本開示の態様による、デュアル側面接触キャパシタを含む集積回路構造を構築する方法を示すプロセスフロー図である。

【図6】本開示の一構成が有利に利用される場合がある例示的なワイヤレス通信システムを示すブロック図である。

【図7】1つの構成による、半導体構成要素の回路設計、レイアウト設計、および論理設計のために使用される設計用ワークステーションを示すブロック図である。

【発明を実施するための形態】

【0011】

添付の図面に関して以下に記載される発明を実施するための形態は、様々な構成の説明として意図され、本明細書で説明される概念が実践され得る唯一の構成を表すことは意図されない。発明を実施するための形態は、様々な概念を完全に理解できるようにすることを目的とした具体的な詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実践されてもよいことは、当業者には明らかであろう。場合によっては、そのような概念を曖昧にするのを回避するために、よく知られている構造および構成要素がブロック図の形態で示される。本明細書において説明されるときに、「および/または」という用語の使用は、「包含的論理和」を表すことが意図されており、「または」という用語の使用は、「排他的論理和」を表すことが意図されている。

【0012】

モバイル無線周波(RF)チップ構成(たとえば、モバイルRFトランシーバ)は、コストおよび電力消費量の問題に起因してディープサブミクロンプロセスノードに移行している。モバイルRFトランシーバの設計については、キャリアアグリゲーションなどの通信拡張機能をサポートするための追加の回路機能によってさらに複雑さが増している。モバイルRFトランシーバに関するさらなる設計課題には、不整合、ノイズ、および他の性能上の問題を含むアナログ/RF性能の問題が含まれる。このようなモバイルRFトランシーバの設計には、受動デバイスを使用して、たとえば、共振を抑制すること、および/またはフィルタ処理、バイパス、および結合を実行することが含まれる。

【0013】

現代の半導体チップ製品を首尾よく製作するには、採用される材料とプロセスとの間の相互作用が必要である。具体的には、配線工程(BEO)プロセスにおける半導体製作中の受動デバイスの形成は、プロセスフローにおいてますます困難になっている部分である。これは、小さなフィーチャサイズを維持するという観点において特に当てはまる。受動オンガラス(POG)技術でも、小さなフィーチャサイズを維持することに関する同じ問題があり、その技術では、モバイルRFトランシーバ設計をサポートするために、インダクタおよびキャパシタのような高性能構成要素が、同じく損失が非常に少ない場合がある絶縁性の高い基板上に構築される。

【0014】

これらのモバイルRFトランシーバの設計には、シリコンオンインシュレータ技術の使用が含まれる。シリコンオンインシュレータ(SOI)技術は、寄生デバイスキャパシタンスを低減して性能を改善するために、従来のシリコン基板を層状シリコンオンインシュレータ基板と置き換える。シリコン接合は電氣的絶縁体、典型的には埋込み酸化物(BOX)層の上にあるので、SOIベースのデバイスは、従来のシリコン製デバイスとは異なる。しかしながら、低減された厚さのBOX層は、シリコン層およびBOX層を支持する

10

20

30

40

50

基板上のデバイスに近接することによって生じる寄生キャパシタンスを十分に低減しない場合がある。加えて、SOIベースのデバイス内部のボディのシニングは、SOIベースのキャパシタにおける主要な制限因子となっているボディ抵抗をもたらす。

【0015】

キャパシタは、電荷を蓄積するために集積回路内で使用される受動素子である。キャパシタは、プレート間の絶縁材料と導電性があるプレートまたは構造を使用して作られることが多い。所与のキャパシタ用の蓄積の量、すなわち、キャパシタンスは、それらのプレートおよび絶縁体を作るために使用される材料、プレートのエリア、およびプレート間の間隔を条件とする。絶縁材料は誘電材料であることが多い。金属酸化物半導体(MOS)キャパシタは、平行プレートキャパシタの一例であり、絶縁体はゲート酸化物であり、プレートはデバイスのボディおよびゲートから作られる。

10

【0016】

MOSキャパシタは、増加したキャパシタンス密度を実現するためにRFアプリケーションにおいて使用される場合がある。残念ながら、進化した相補型MOS(CMOS)処理において使用されるMOSキャパシタは、大きい面積を占有する場合がある。その上、SOIデバイス内のボディのシニングは、MOSキャパシタ性能における制限要因となっているかなりのボディ抵抗を生じる。その結果、1つの大きい面積のキャパシタの代わりに、多くの小さい面積のキャパシタが、所望のキャパシタンス密度を実現するために使用される。このために、チップ空間の非効率的な使用、増加したチップの複雑さ、およびより低いチップ性能がもたらされる。

20

【0017】

本開示の様々な態様は、集積RF回路構造内にデュアル側面接触キャパシタを形成するための、裏面シリサイド化のための技法を提供する。集積RF回路構造の半導体製作のためのプロセスフローには、基板工程(FEOL)プロセス、中間工程(MOL)プロセス、および配線工程(BEOL)プロセスが含まれてもよい。基板工程プロセスは、トランジスタ、キャパシタ、ダイオードなどのデバイスを形成するプロセスステップのセットを含んでもよい。FEOLプロセスには、イオン注入、アニール、酸化、化学気相堆積(CVD)または原子層堆積(ALD)、エッチング、化学機械研磨(CMP)、エピタキシーが含まれる。中間工程プロセスには、トランジスタの接続がBEOL相互接続することを可能にするプロセスステップのセットが含まれてもよい。これらのステップには、シリ

30

サイド化および接点形成、ならびに応力導入が含まれる。配線工程プロセスは、個々のトランジスタを結んで回路を形成する相互接続を形成するプロセスステップのセットを含んでもよい。今回、銅およびアルミニウムが相互接続を実現しているが、技術のさらなる進展につれて、他の導電材料が使用されてもよい。

40

【0018】

「層」という用語は、膜を含み、別段述べられていない限り、垂直厚または水平厚を示すものと解釈されるべきではないことが理解されよう。本明細書において説明するように、「基板」という用語は、ダイシングされたウエハの基板を指す場合があるか、または、ダイシングされていないウエハの基板を指す場合がある。同様に、チップおよびダイという用語は、入れ換えられると信じるのが難しい限り、互換的に使用することができる。

【0019】

本開示の態様は、デュアル側面接触キャパシタ(たとえば、MOSキャパシタ)を形成するための層転写後の金属被覆を説明する。転写後の金属被覆プロセスは、キャパシタの第1のプレートに結合された裏面金属被覆を形成し得る。加えて、裏面金属被覆から遠位の前面金属被覆は、キャパシタの第2のプレートに結合され得る。この配置では、デュアル側面接触キャパシタは、所望のキャパシタンス密度を達成するために従来のキャパシタ再分割を実行する必要なしに、単一のキャパシタを使用することによって所望のキャパシタンス密度を実現し得る。

【0020】

50

ワイヤレス通信産業を活発にする1つの目標は、増加した帯域幅を消費者に提供することである。現代の通信においてキャリアアグリゲーションを使用することで、この目標を達成するための1つの可能な解決策が提供される。キャリアアグリゲーションは、特定の地理的エリア内で2つの周波数帯域（たとえば、700MHzおよび2GHz）に対する認可を有する無線通信事業者が、単一の通信ストリームに対して両周波数を同時に使用することによって帯域幅を最大化することを可能にする。増加した量のデータがエンドユーザに供給されるが、キャリアアグリゲーションの実施は、データ送信のために使用される周波数による高調波周波数において生じるノイズによって複雑になる。たとえば、700MHzの送信は2.1GHzにおいて高調波を生じる場合があり、この高調波は、2GHzの周波数においてブロードキャストされるデータと干渉する。

10

【0021】

ワイヤレス通信に対して、受動デバイスが、キャリアアグリゲーションシステム内で信号を処理するために使用される。キャリアアグリゲーションシステムでは、信号はハイバンド周波数とローバンド周波数の両方によって伝達される。チップセットでは、受動デバイス（たとえば、ダイプレクサ）は通常、アンテナとチューナー（または無線周波数（RF）スイッチ）との間に挿入され、高い性能を確保する。通常、ダイプレクサ構成はインダクタとキャパシタとを含む。ダイプレクサは、クオリティ（Q）ファクタの高いインダクタおよびキャパシタを使用することによって、高性能を達成できる。各構成要素の形状および方向を調整することによって実現することができる各構成要素間の電磁結合の低減によって、高性能ダイプレクサを実現することもできる。

20

【0022】

図1Aは、本開示の一態様による、ダイプレクサ200を使用する無線周波数（RF）フロントエンド（RFFE）モジュール100の概略図である。RFフロントエンドモジュール100は、電力増幅器102と、デュプレクサ/フィルタ104と、無線周波数（RF）スイッチモジュール106とを含む。電力増幅器102は、信号を送信のための特定の電力レベルに増幅する。デュプレクサ/フィルタ104は、周波数、挿入損失、拒絶、または他の同様のパラメータを含む様々な異なるパラメータに応じて入出力信号をフィルタ処理する。さらに、RFスイッチモジュール106は、RFフロントエンドモジュール100の残りの部分に渡す入力信号の特定の部分を選択してもよい。

【0023】

RFフロントエンドモジュール100はまた、チューナー回路112（たとえば、第1のチューナー回路112Aおよび第2のチューナー回路112B）と、ダイプレクサ200と、キャパシタ116と、インダクタ118と、接地端子115と、アンテナ114とを含む。チューナー回路112（たとえば、第1のチューナー回路112Aおよび第2のチューナー回路112B）は、チューナー、ポータブルデータ入力端末（PDET）、およびハウスキーピングアナログデジタル変換器（HKADC）などの構成要素を含む。チューナー回路112は、アンテナ114のインピーダンス同調（たとえば、電圧定在波比（VSWR）最適化）を実行してもよい。RFフロントエンドモジュール100は、ワイヤレストランシーバ（WTR）120に結合された受動コンバイナ108も含む。受動コンバイナ108は、第1のチューナー回路112Aおよび第2のチューナー回路112Bからの検出された電力を組み合わせる。ワイヤレストランシーバ120は、受動コンバイナ108からの情報を処理し、この情報をモデム130（たとえば、移動局モデム（MSM））に提供する。モデム130は、デジタル信号をアプリケーションプロセッサ（AP）140に与える。

30

40

【0024】

図1Aに示すように、ダイプレクサ200は、チューナー回路112のチューナー構成要素とキャパシタ116、インダクタ118、およびアンテナ114との間に位置する。ダイプレクサ200は、アンテナ114とチューナー回路112との間に配置され、RFフロントエンドモジュール100から、ワイヤレストランシーバ120と、モデム130と、アプリケーションプロセッサ140とを含むチップセットへ高システム性能を提供す

50

ることができる。ダイプレクサ200は、ハイバンド周波数とローバンド周波数の両方に対して周波数ドメイン多重化も実行する。ダイプレクサ200が入力信号に対してダイプレクサ200の周波数多重化機能を実行した後、ダイプレクサ200の出力が、キャパシタ116とインダクタ118とを含む任意のLC(インダクタ/キャパシタ)ネットワークに送られる。LCネットワークは、必要に応じて、アンテナ114の追加のインピーダンス整合構成要素を構成してもよい。その場合、特定の周波数を有する信号がアンテナ114によって送信または受信される。単一のキャパシタおよびインダクタが示されているが、複数の構成要素も企図される。

【0025】

図1Bは、本開示の一態様による、キャリアアグリゲーションを実現するためのチップセット160用の、第1のダイプレクサ200-1を含むワイヤレスローカルエリアネットワーク(WLAN)(たとえば、WiFi)モジュール170および第2のダイプレクサ200-2を含むRFフロントエンドモジュール150の概略図である。WiFiモジュール170は、アンテナ192をワイヤレスローカルエリアネットワークモジュール(たとえば、WLANモジュール172)に通信可能に結合する第1のダイプレクサ200-1を含む。RFフロントエンドモジュール150は、アンテナ194をデュプレクサ180を介してワイヤレストランシーバ(WTR)120に通信可能に結合する第2のダイプレクサ200-2を含む。ワイヤレストランシーバ120およびWiFiモジュール170のWLANモジュール172は、電力管理集積回路(PMIC)156を介して電源152によって電力を供給されるモデム(MSM、たとえばベースバンドモデム)130に結合される。チップセット160は、信号完全性を実現するためにキャパシタ162および164ならびにインダクタ166も含む。PMIC156、モデム130、ワイヤレストランシーバ120、およびWLANモジュール172の各々は、キャパシタ(たとえば、158、132、122、および174)を含み、クロック154に従って動作する。チップセット160における様々なインダクタ構成要素およびキャパシタ構成要素の形状および配置によって、各構成要素間の電磁結合が低減し得る。

【0026】

図2Aは、本開示の一態様によるダイプレクサ200の図である。ダイプレクサ200は、ハイバンド(HB)入力ポート212と、ローバンド(LB)入力ポート214と、アンテナ216とを含む。ダイプレクサ200のハイバンドパスはハイバンドアンテナスイッチ210-1を含む。ダイプレクサ200のローバンドパスはローバンドアンテナスイッチ210-2を含む。RFフロントエンドモジュールを含むワイヤレスデバイスは、アンテナスイッチ210およびダイプレクサ200を使用してワイヤレスデバイスのRF入力およびRF出力用の広範囲のバンドを使用可能にし得る。さらに、アンテナ216は多入力多出力(MIMO)アンテナであってもよい。多入力多出力アンテナは、キャリアアグリゲーションなどの機能をサポートするためにワイヤレスデバイスのRFフロントエンドに広く使用される。

【0027】

図2Bは、本開示の一態様によるRFフロントエンドモジュール250の図である。RFフロントエンドモジュール250は、図2Aに示されている広範囲の帯域を使用可能にするためにアンテナスイッチ(ASW)210とダイプレクサ200(またはトリプレクサ)とを含む。さらに、RFフロントエンドモジュール250は、基板202によって支持されるフィルタ230と、RFスイッチ220と、電力増幅器218とを含む。フィルタ230は、RFフロントエンドモジュール250における高次高調波を防止するためにダイプレクサ、トリプレクサ、ローパスフィルタ、バランフィルタ、および/またはノッチフィルタを形成するように基板202に沿って配置されたインダクタ(L)とキャパシタ(C)とを有する様々なLCフィルタを含んでもよい。ダイプレクサ200は、システムボード201(たとえば、プリント回路板(PCB)またはパッケージ基板)上の表面実装型デバイス(SMD)として実装されてもよい。代替的に、ダイプレクサ200は、基板202上に実装されてもよい。

10

20

30

40

50

【0028】

この配置では、RFフロントエンドモジュール250は、MOSキャパシタなどのキャパシタを含むシリコンオンインシュレータ(SOI)技術を使用して実装される。残念ながら、進化した相補型MOS(CMOS)処理におけるMOSキャパシタの使用では、指定されたキャパシタンス密度を実現するために大きい面積の消費がもたらされる。その上、SOIデバイス内のボディのシニングによって、ボディ抵抗はMOSキャパシタ性能における制限要因であり、ボディはMOSキャパシタプレートの中の1つとして動作する。その結果、1つの大きい面積のキャパシタの代わりに、多くの小さい面積のキャパシタが、所望のキャパシタンス密度を実現するために使用される。このために、チップ空間の非効率的な使用、増加したチップの複雑さ、およびより低いチップ性能がもたらされる。その結果、本開示の態様は、図3A~図3Eおよび図4に示すように、デュアル側面接触キャパシタ(たとえば、MOSキャパシタ)を形成するための層転写プロセスを含む。

10

【0029】

図3A~図3Eは、本開示の態様による、層転写プロセスの間の集積無線周波数(RF)回路構造300の断面図を示す。図3Aに示すように、RFシリコンオンインシュレータ(SOI)デバイスは、犠牲基板301(たとえば、バルクウエハ)によって支持される埋込み酸化層(BOX)層320上にデバイス310を含む。RF SOIデバイスはまた、第1の誘電体層306内部でデバイス310に結合される相互接続350を含む。図3Bに示すように、ハンドル基板302が、RF SOIデバイスの第1の誘電体層306に接合される。加えて、犠牲基板301が除去される。層転写プロセスを使用して犠牲基板301を除去することで、誘電体の厚さが増加することによって、高性能で低寄生のRFデバイスが可能になる。すなわち、RF SOIデバイスの寄生キャパシタンスは、デバイス310とハンドル基板302との間の距離を決定する誘電体厚さに比例する。

20

【0030】

図3Cに示すように、RF SOIデバイスは、ハンドル基板302が固定されて犠牲基板301が除去された時点で反転される。図3Dに示すように、層転写後の金属被覆プロセスは、たとえば、通常の相補型金属酸化半導体(CMOS)プロセスを使用して実行される。図3Eに示すように、集積RF回路構造300は、パッシベーション層を堆積させることと、ボンドパッドを開くことと、再配線層(redistribution layer)を堆積させることと、集積RF回路構造300をシステムボード(たとえば、プリント回路板(PCB))に接合することを可能にするために導電バンプ/ピラーを形成することによって達成される。

30

【0031】

本開示の様々な態様は、集積無線周波数(RF)回路構造のデバイスの裏面へのアクセスをもたらすための層転写および転写後の金属被覆のための技法を提供する。対照的に、基板工程(FEOL)プロセスの間に形成されたデバイスへのアクセスは、従来では、デバイスのゲートおよびソース/ドレイン領域と配線工程(BEOL)相互接続層(たとえば、M1、M2など)との間に接点を設ける中間工程(MEOL)処理の間に設けられる。本開示の態様は、クオリティ(Q)ファクタの高いRFアプリケーションのためのデュアル側面接触キャパシタ(たとえば、MOSキャパシタ)を形成するための層転写後の金属被覆プロセスを伴う。

40

【0032】

図4は、本開示の態様による、層転写プロセスを使用して製作されたデュアル側面接触キャパシタを含む集積RF回路構造400の断面図である。代表的に、集積RF回路構造400は、第1のプレートとしての半導体層412(たとえば、シリコンオンインシュレータ(SOI)層)と第2のプレートとしてのゲート層408(たとえば、ポリ層)とを有する受動デバイス410(たとえば、MOSキャパシタ)を含む。この配置では、第1のプレート(たとえば、半導体層412)および第2のプレート(たとえば、ゲート層408)は、受動デバイス410を形成するためにキャパシタ誘電体層426(たとえば、高K誘電体)によって分離される。半導体層412、ゲート層408、およびキャパシタ

50

誘電体層 4 2 6 はすべて、絶縁層 4 2 0 上に形成され得る。S O I 実装形態では、絶縁層 4 2 0 は埋込み酸化物 (B O X) 層であり、S O I 層は、B O X 層 (たとえば、絶縁層 4 2 0) によって支持されるシャロートレンチ分離 (S T I) 領域 4 2 2 を含み得る。

【 0 0 3 3 】

本明細書で説明するように、M O L / B E O L 層は、前面層と呼ばれる。対照的に、絶縁層 4 2 0 を支持する層は、本明細書では裏面層と呼ばれることがある。この用語に従って、集積 R F 回路構造 4 0 0 はまた、前面金属被覆層によって一緒に結合される、前面金属被覆プラグ 4 1 8 (たとえば、前面タングステンプラグ) を含む前面金属被覆 4 0 6 を含む。前面金属被覆 4 0 6 は、前面接触層 4 3 0 (たとえば、前面シリサイド層) を介してゲート層 4 0 8 に結合され得る。この配置では、前面金属被覆プラグ 4 1 8 は、前面接触層 4 3 0 に結合される。

10

【 0 0 3 4 】

図 4 に示すように、裏面金属被覆 4 1 4 は、裏面接触層 4 3 2 (たとえば、裏面シリサイド層) を介して半導体層 4 1 2 に結合される。裏面シリサイドは、高い抵抗率に起因する問題を低減する。この配置では、裏面金属被覆 4 1 4 は、裏面金属被覆層 (たとえば、タングステン) によって一緒に結合された裏面金属被覆プラグ 4 2 4 (たとえば、裏面タングステンプラグ) を含む。前面金属被覆 4 0 6 および裏面金属被覆 4 1 4 は、互いに遠位に正反対に配置され得る。前面接触層は前面シリサイド化を介してゲート層 4 0 8 上に、裏面接触層は裏面シリサイド化を介して半導体層 4 1 2 上に、それぞれ堆積され得る。この配置では、裏面金属被覆プラグ 4 2 4 は裏面接触層 4 3 2 に結合され、裏面金属被覆材料によって一緒に接合される。

20

【 0 0 3 5 】

本開示の関連態様では、前面金属被覆 4 0 6 は、前面誘電体層 4 0 4 内に配置されてもよく、受動デバイス 4 1 0 のゲート層 4 0 8 に近接する。加えて、裏面金属被覆 4 1 4 は、裏面誘電体層 4 1 6 内に配置された層転写後の金属被覆層であり得る。この配置では、裏面誘電体層 4 1 6 は絶縁層 4 2 0 に隣接し、場合によっては絶縁層 4 2 0 を支持する。加えて、ハンドル基板 4 0 2 は、前面誘電体層 4 0 4 に結合され得る。随意的のトラップリッチ層が、前面誘電体層 4 0 4 とハンドル基板 4 0 2 との間に設けられてもよい。ハンドル基板 4 0 2 は、シリコンなどの半導体材料から構成され得る。本開示の一態様では、ハンドル基板は、スイッチトランジスタなど、少なくとも 1 つの他の能動 / 受動デバイスを含む。

30

【 0 0 3 6 】

図 4 に示すように、本開示の態様は、受動デバイス 4 1 0 として示される、デュアル側面接触キャパシタ (たとえば、M O S キャパシタ) を形成するための層転写後の金属被覆を説明する。転写後の金属被覆プロセスは、デュアル側面接触キャパシタの第 1 のプレート (たとえば、半導体層 4 1 2) に結合された裏面金属被覆を形成し得る。加えて、裏面金属被覆 4 1 4 から遠位の前面金属被覆 4 0 6 は、デュアル側面接触キャパシタの第 2 のプレート (たとえば、ゲート層 4 0 8) に結合され得る。この配置では、デュアル側面接触キャパシタは、所望のキャパシタンス密度を達成するために従来のキャパシタ再分割を実行する必要なしに、単一のキャパシタを使用することによって所望のキャパシタンス密度を実現し得る。

40

【 0 0 3 7 】

図 5 は、本開示の一態様による集積無線周波数 (R F) 回路構造を構築する方法 5 0 0 を示すプロセスフロー図である。ブロック 5 0 2 において、受動デバイス (たとえば、M O S キャパシタ) は、犠牲基板上に配設された絶縁層の第 1 の表面上に製作される。たとえば、図 3 A に示すように、デバイス 3 1 0 は、埋込み酸化物 (B O X) 層上に製作される。図 4 に示す配置では、受動デバイス 4 1 0 (たとえば、M O S キャパシタ) は、絶縁層 4 2 0 の第 1 の表面上に配置される。本開示の一態様では、所定のサイズの拡散領域が、第 1 の M O S キャパシタプレートを設けるために半導体層 4 1 2 内部に形成される。半導体層 4 1 2 内部の拡散領域のサイズは、所望のキャパシタンス密度に従って決定される

50

。次いで、キャパシタ誘電体層 4 2 6 が、半導体層 4 1 2 上に堆積される。次に、ゲート層 4 0 8 (たとえば、ポリシリコン層または金属ゲート層) が、M O S キャパシタ (たとえば、受動デバイス 4 1 0) の形成を完了するためにキャパシタ誘電体層 4 2 6 上に堆積される。

【 0 0 3 8 】

ブロック 5 0 4 において、前面シリサイド化プロセスが、デバイスのゲート層の表面上にシリサイドから構成される前面接触層を堆積させるために実行される。たとえば、図 4 に示すように、前面接触層 4 3 0 が、ゲート層 4 0 8 上に堆積される。ブロック 5 0 6 において、前面金属被覆が、デバイス上の前面誘電体層内に製作される。たとえば、図 4 に示すように、前面金属被覆 4 0 6 が前面誘電体層 4 0 4 内に製作され、受動デバイス 4 1 0 に結合される。前面金属被覆 4 0 6 は、前面接触層 4 3 0 を介して受動デバイス 4 1 0 に結合され得る。前面金属被覆 4 0 6 は、前面接触層 4 3 0 に結合された前面金属被覆プラグ 4 1 8 (たとえば、前面タングステンプラグ) を含んでもよく、パターニングされた前面誘電体層内に前面金属被覆材料を堆積させることによって一緒に接合される。前面金属被覆 4 0 6 を製作する間、前面誘電体層 4 0 4 がパターニングされ、前面接触層 4 3 0 の所定の部分を露出させるためにエッチングされる。露出されると、第 1 の前面金属被覆材料が、前面接触層 4 3 0 の露出された所定の部分の上に堆積される。次に、第 2 の前面金属被覆材料が、前面金属被覆プラグ 4 1 8 上に堆積される。

10

【 0 0 3 9 】

再び図 5 を参照すると、ブロック 5 0 8 において、ハンドル基板が、前面誘電体層に接合される。たとえば、図 4 に示すように、ハンドル基板 4 0 2 が、前面誘電体層 4 0 4 に接合される。ブロック 5 1 0 において、犠牲基板が除去される。図 3 B に示すように、層転写プロセスは、犠牲基板 3 0 1 の除去を含む。ブロック 5 1 2 において、裏面シリサイド化が、デバイスの半導体層の第 1 の面上にシリサイドを含む裏面接触層を堆積させるために実行される。たとえば、図 4 に示すように、裏面接触層 4 3 2 が、半導体層 4 1 2 上に堆積される。

20

【 0 0 4 0 】

ブロック 5 1 4 において、裏面金属被覆が、絶縁層上に製作される。図 4 に示すように、受動デバイス 4 1 0 が絶縁層 4 2 0 の第 1 の表面上に製作され、裏面金属被覆 4 1 4 が、ハンドル基板 4 0 2 から遠位にある絶縁層 4 2 0 の対向する面上に製作される。加えて、裏面金属被覆 4 1 4 は、裏面接触層 4 3 2 を介して半導体層 4 1 2 に結合され得る。裏面金属被覆 4 1 4 を製作する間、絶縁層 4 2 0 がパターニングされ、裏面接触層 4 3 2 の所定の部分を露出させるためにエッチングされる。露出されると、第 1 の裏面金属被覆材料が、裏面金属被覆プラグ 4 2 4 (たとえば、裏面タングステンプラグ) を形成するために裏面接触層 4 3 2 の露出された所定の部分の上に堆積される。次に、第 2 の裏面金属被覆材料が、裏面金属被覆プラグ 4 2 4 上に堆積される。裏面金属被覆 4 1 4 は、前面金属被覆 4 0 6 に対して遠位にかつ正反対に配置され得る。

30

【 0 0 4 1 】

本開示のさらなる態様によれば、デュアル側面接触キャパシタを含む集積 R F 回路構造が説明される。集積 R F 回路構造は、電荷を蓄積するための手段を含む。集積 R F 回路構造はまた、絶縁層と裏面誘電体層とを含む。電荷蓄積手段は、図 4 に示す半導体層 4 1 2 およびゲート層 4 0 8 であり得る。別の態様では、前述の手段は、前述の手段によって列挙された機能を実行するように構成される任意のモジュールまたは任意の装置であってもよい。

40

【 0 0 4 2 】

キャパシタは、電荷を蓄積するために集積回路内で使用される受動素子である。キャパシタは、プレート間の絶縁材料と導電性があるプレートまたは構造を使用して作られることが多い。所与のキャパシタ用の蓄積の量、すなわち、キャパシタンスは、それらのプレートおよび絶縁体を作るために使用される材料、プレートのエリア、およびプレート間の間隔を条件とする。絶縁材料は誘電材料であることが多い。金属酸化物半導体 (M O S)

50

キャパシタは、平行プレートキャパシタの一例であり、絶縁体はゲート酸化物であり、プレートはデバイスのボディおよびゲートから作られる。

【0043】

MOSキャパシタは、増加したキャパシタンス密度を実現するためにRFアプリケーションにおいて使用される場合がある。残念ながら、進化した相補型MOS(CMOS)処理において使用されるMOSキャパシタは、大きい面積を占有する場合がある。その上、SOIデバイス内のボディのシニングは、MOSキャパシタ性能における制限要因となっているかなりのボディ抵抗を生じる。その結果、1つの大きい面積のキャパシタの代わりに、多くの小さい面積のキャパシタが、所望のキャパシタンス密度を実現するために使用される。このために、チップ空間の非効率的な使用、増加したチップの複雑さ、およびより低いチップ性能がもたらされる。

10

【0044】

本開示の態様は、デュアル側面接触キャパシタ(たとえば、MOSキャパシタ)を形成するための層転写後の金属被覆を使用して説明する。転写後の金属被覆プロセスは、キャパシタの第1のプレートに結合された裏面金属被覆を形成し得る。加えて、裏面金属被覆から遠位の前面金属被覆は、キャパシタの第2のプレートに結合され得る。この配置では、デュアル側面接触キャパシタは、所望のキャパシタンス密度を達成するために従来のキャパシタ再分割を実行する必要なしに、単一のキャパシタを使用することによって所望のキャパシタンス密度を実現し得る。

【0045】

20

この配置では、前面金属被覆はキャパシタの第2のプレートに結合され、キャパシタの第1のプレートに結合された裏面金属被覆から遠位に配置される。本開示の態様では、第1のプレートはシリコンオンインシュレータ(SOI)層から構成され、第2のプレートはゲート層から構成される。裏面金属被覆は、裏面接触層を介してキャパシタの第1のプレートに結合される。前面金属被覆は、前面接触層を介して第2のプレートに結合される。この配置では、キャパシタは、従来のキャパシタ再分割を実行する必要なしに、単一のキャパシタを使用することによって所望のキャパシタンス密度を実現し、それにより、追加のチップ空間、減少したチップの複雑さ、および向上したチップの効率および性能がもたらされる。

【0046】

30

図6は、本開示の一態様が有利に利用される場合がある、例示的なワイヤレス通信システム600を示すブロック図である。説明のために、図6は、3つのリモートユニット620、630、および650、ならびに2つの基地局640を示す。ワイヤレス通信システムがこれよりも多くのリモートユニットおよび基地局を有してもよいことが認識されよう。リモートユニット620、630および650は、開示されたデュアル側面接触キャパシタを含むICデバイス625A、625Cおよび625Bを含む。基地局、スイッチングデバイス、ネットワーク機器などの他のデバイスも、開示されたデュアル側面接触キャパシタを含んでもよいことが認識されよう。図6は、基地局640からリモートユニット620、630、および650への順方向リンク信号680、ならびに、リモートユニット620、630、および650から基地局640への逆方向リンク信号690を示す。

40

【0047】

図6では、リモートユニット620はモバイル電話として示され、リモートユニット630はポータブルコンピュータとして示され、リモートユニット650はワイヤレスローカルループシステム内の固定ロケーションリモートユニットとして示される。たとえば、リモートユニットは、モバイル電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末(PDA)などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読取り機器などの固定ロケーションデータユニット、またはデータもしくはコンピュータ命令を記憶するかもしくは取り出す他の通信デバ

50

イス、あるいはそれらの組合せであってもよい。図6は本開示の態様によるリモートユニットを示すが、本開示はこれらの例示的に示されるユニットに限定されない。本開示の態様は、開示されたデュアル側面接触キャパシタを含む、多くのデバイスにおいて適切に採用され得る。

【0048】

図7は、上で開示されたデュアル側面接触キャパシタなどの半導体構成要素の回路設計、レイアウト設計、および論理設計のために使用される、設計用ワークステーションを示すブロック図である。設計用ワークステーション700は、オペレーティングシステムソフトウェアと、サポートファイルと、CadenceまたはOrCADなどの設計ソフトウェアが入っているハードディスク701を含む。設計用ワークステーション700はまた、回路710、またはデュアル側面接触キャパシタなどの半導体構成要素712の設計を容易にするためにディスプレイ702を含む。回路設計710または半導体構成要素712を有形に記憶するために記憶媒体704が設けられる。回路設計710または半導体構成要素712は、GDSIIやGERBERなどのファイルフォーマットで記憶媒体704上に格納されてもよい。記憶媒体704は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであってもよい。さらに、設計用ワークステーション700は、記憶媒体704から入力を受け取るか、または記憶媒体704に出力を書き込むためのドライブ装置703を含む。

【0049】

記憶媒体704上に記録されたデータは、論理回路構成、フォトリソグラフィマスクのためのパターンデータ、または電子ビームリソグラフィなどのシリアル書込みツールのためのマスクパターンデータを指定してもよい。データはさらに、論理シミュレーションに関連したタイミング図やネット回路などの論理検証データを含んでもよい。記憶媒体704上にデータを用意すると、半導体ウエハを設計するためのプロセスの数が減少することによって、回路設計710または半導体構成要素712の設計が容易になる。

【0050】

ファームウェアおよび/またはソフトウェアの実装形態の場合、この方法は、本明細書で説明した機能を実行するモジュール(たとえば、プロシージャ、関数など)を用いて実装されてもよい。本明細書で説明する方法を実施する際に、命令を有形に具現する機械可読媒体が使用されてもよい。たとえば、ソフトウェアコードは、メモリに記憶され、プロセッサユニットによって実行されてもよい。メモリは、プロセッサユニット内に実装されてもよくあるいはプロセッサユニットの外部に実装されてもよい。本明細書において使用される「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

【0051】

各機能は、ファームウェアおよび/またはソフトウェアにおいて実装される場合、コンピュータ可読媒体上の1つまたは複数の命令またはコードとして記憶されてもよい。例には、データ構造を用いて符号化されたコンピュータ可読媒体、およびコンピュータプログラムを用いて符号化されたコンピュータ可読媒体が含まれる。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスできる入手可能な媒体であってもよい。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するために使用することができるとともに、コンピュータによってアクセスすることができる他の媒体を含むことができ、本明細書において使用されるディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)、およびブルーレイディスク(disc)を含み、ディスク(disk)は通常

10

20

30

40

50

、データを磁気的に再生し、ディスク（disc）はデータをレーザーを用いて光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲に含まれるべきである。

【0052】

コンピュータ可読媒体上のストレージに加えて、命令および/またはデータは、通信装置に含まれる伝送媒体上の信号として備えられてもよい。たとえば、通信装置は、命令およびデータを示す信号を有するトランシーバを含んでもよい。命令およびデータは、1つまたは複数のプロセッサに、請求項に概説される機能を実施させるように構成される。

【0053】

本開示およびその利点について詳細に説明したが、添付の特許請求の範囲によって定義される本開示の技術から逸脱することなく、明細書において様々な変更、置換、および改変を施すことができることを理解されたい。たとえば、「上」および「下」などの関係語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転される場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指すことがある。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、ならびに組成物、手段、方法、およびステップの特定の構成に限定されることを意図していない。本開示から当業者が容易に諒解するように、本明細書で説明する対応する構成と実質的に同じ機能を実行するかまたは実質的にそれと同じ結果を達成する、現存するかまたは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用されてもよい。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むことを意図する。

【符号の説明】

【0054】

- 100 無線周波数（RF）フロントエンド（RF FE）モジュール
- 102 電力増幅器
- 104 デュプレクサ/フィルタ
- 106 RFスイッチモジュール
- 108 受動コンパイナ
- 112 チューナー回路
- 112 A 第1のチューナー回路
- 112 B 第2のチューナー回路
- 114 アンテナ
- 115 接地端子
- 116 キャパシタ
- 118 インダクタ
- 120 ワイヤレストランシーバ（WTR）
- 122 キャパシタ
- 130 モデム
- 132 キャパシタ
- 140 アプリケーションプロセッサ
- 150 RFフロントエンドモジュール
- 152 電源
- 154 クロック
- 156 電力管理集積回路（PMIC）
- 158 キャパシタ
- 160 チップセット
- 162 キャパシタ
- 164 キャパシタ
- 166 インダクタ
- 170 Wi-Fiモジュール

10

20

30

40

50

172	WLANモジュール	
174	キャパシタ	
180	デュプレクサ	
192	アンテナ	
194	アンテナ	
200	ダイプレクサ	
200 - 1	第1のダイプレクサ	
200 - 2	第2のダイプレクサ	
201	システムボード	
202	基板	10
210	アンテナスイッチ (ASW)	
210 - 1	ハイバンドアンテナスイッチ	
210 - 2	ローバンドアンテナスイッチ	
212	ハイバンド (HB) 入力ポート	
214	ローバンド (LB) 入力ポート	
216	アンテナ	
218	電力増幅器	
220	RFスイッチ	
230	フィルタ	
250	RFフロントエンドモジュール	20
300	RF回路構造	
301	犠牲基板	
302	ハンドル基板	
306	第1の誘電体層	
310	デバイス	
320	埋込み酸化物 (BOX) 層	
350	相互接続	
400	RF回路構造	
402	ハンドル基板	
404	前面誘電体層	30
406	前面金属被覆	
408	ゲート層	
410	受動デバイス	
412	半導体層	
414	裏面金属被覆	
416	裏面誘電体層	
418	前面金属被覆プラグ	
420	絶縁層	
422	シャロートレンチ分離 (STI) 領域	
424	裏面金属被覆プラグ	40
426	キャパシタ誘電体層	
430	前面接触層	
432	裏面接触層	
600	ワイヤレス通信システム	
620	リモートユニット	
625 A	ICデバイス	
625 B	ICデバイス	
625 C	ICデバイス	
630	リモートユニット	
640	基地局	50

- 6 5 0 リモートユニット
- 6 8 0 順方向リンク信号
- 6 9 0 逆方向リンク信号
- 7 0 0 設計用ワークステーション
- 7 0 1 ハードディスク
- 7 0 2 ディスプレイ
- 7 0 3 ドライブ装置
- 7 0 4 記憶媒体
- 7 1 0 回路設計
- 7 1 2 半導体構成要素

【図 1 A】

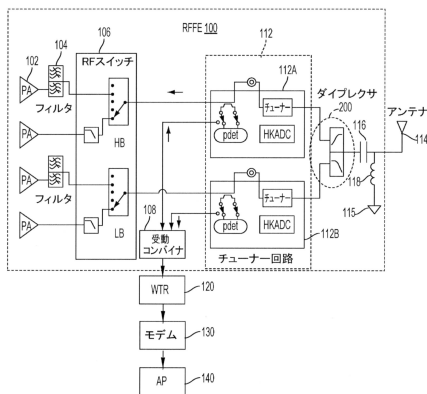


FIG. 1A

【図 1 B】

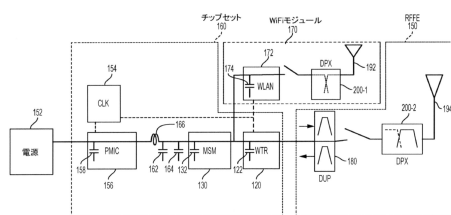


FIG. 1B

【図 2 A】

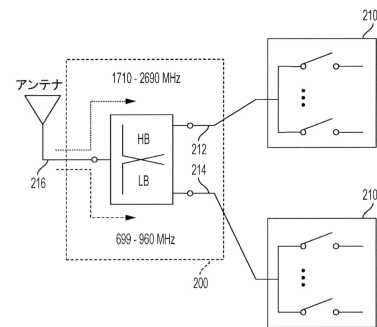


FIG. 2A

【図 2 B】

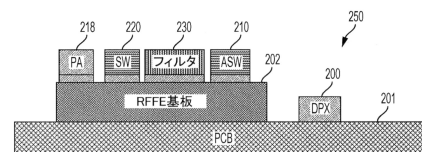


FIG. 2B

【図3A】

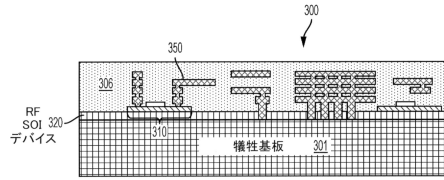


FIG. 3A

【図3D】

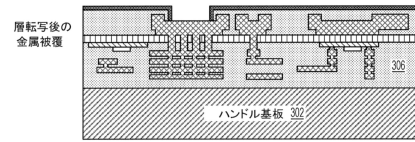


FIG. 3D

【図3B】

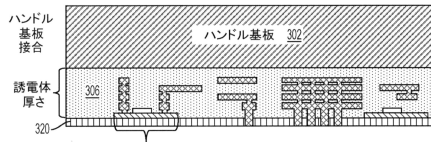


FIG. 3B

【図3E】

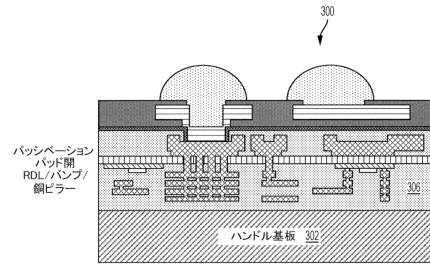


FIG. 3E

【図3C】

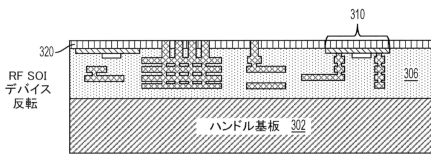


FIG. 3C

【図4】

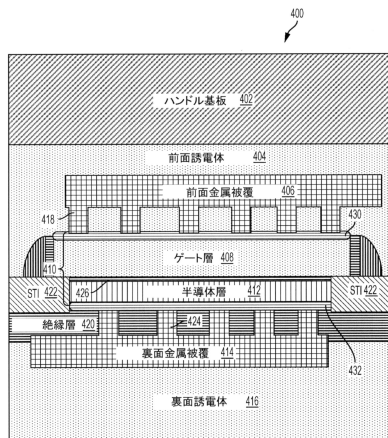


FIG. 4

【図5】

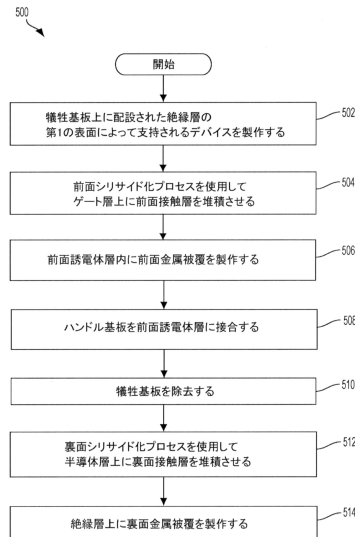


FIG. 5

【 図 6 】

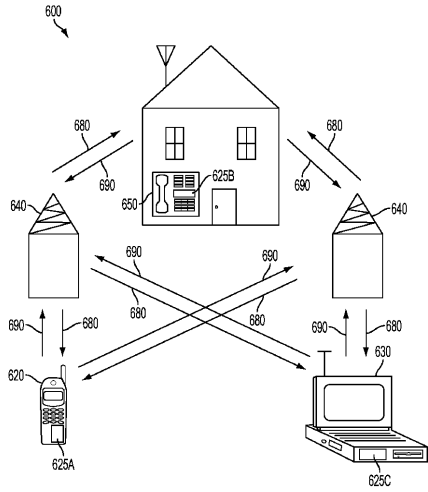


FIG. 6

【 図 7 】

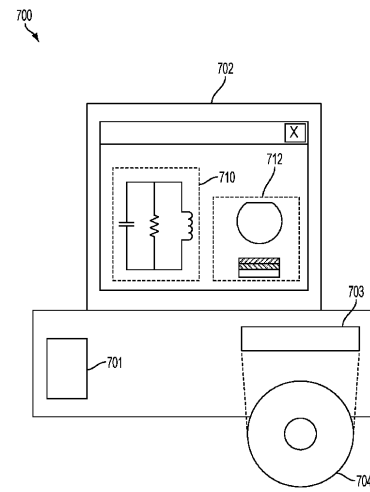


FIG. 7

フロントページの続き

- (72)発明者 ブラメン・ヴァッシレフ・コレフ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775
- (72)発明者 マイケル・アンドリュウ・ステューバー
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775
- (72)発明者 リチャード・ハモンド
イギリス・ST7・4JZ・スタッフォードシャー・ストーク・オン・トレント・サンズ・ロード・55
- (72)発明者 シチュン・グ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775
- (72)発明者 スティーヴ・ファネリ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

審査官 市川 武宜

- (56)参考文献 米国特許出願公開第2016/0043108(US, A1)
特開2013-038349(JP, A)
特開平08-107186(JP, A)
特開2011-193191(JP, A)
特開平08-222701(JP, A)
特表2005-519475(JP, A)
特開2016-066792(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/3205
H01L 21/768
H01L 23/532
H01L 27/04