

公告本

申請日期	87 3 23
案 號	861187>9
類 別	Heic >1 8247

A4
C4

434843

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	通道熱電子規劃記憶體裝置及形成方法
	英 文	CHANNEL HOT ELECTRON PROGRAMMED MEMORY DEVICE HAVING IMPROVED RELIABILITY AND OPERABILITY
二、發明 創作人	姓 名	卡席特 Cetin (nmi) Kaya
	國 籍	美國
	住、居所	美國德州達拉斯城艾德大廈9900號 9900 Adelta Blvd., Apt. #1114, Dallas, TX 75243, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 (William E. Hiller)

裝

訂

線

434843

(由本局填寫)

承辦人代碼：

大類：

I P C分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期：西曆1996年12月13日 案號：60/032,847, ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明之技術領域

本發明與半導體裝置，且更特別的與記憶體裝置諸如 EPROM 及快閃 EPROM 有關，以及甚至更特別的，與改良可靠度及操作性之通道熱電子(CHE)規劃記憶體裝置有關。

發明背景

CHE 規劃電氣可抹除可程式化唯讀記憶體 EPROM 及快閃 EPROM 可產生 50 微安至 100 微安間的胞元電流。以現階段最高技藝的裝置，通常在低電阻性基底上的 P-型外延結晶層，此基底電流沉入低電阻層而未產生顯著的電壓降。但是，對使用非外延結晶層基底的唯讀記憶體 EPROM 及快閃 EPROM，或建造在四週被深 N-井圍繞的一絕緣 P-井，諸如在三井的處理，在程式化期間產生的基底電流可在電阻性 FAMOS P-井區域跨越建立大的壓降。

如果電壓降超過二極體約 0.7 伏特的接通電壓，源極接面將為順向偏壓。此電阻性 P-井飽合的問題可在浮動閘極崩潰噴射金屬氧化物半導體(FAMOS)降低 BVCEO 電壓值發覺。不幸的，降低 BVCEO 電壓值減少裝置的最大汲極電位。對定電流程式化負載線，此將減少閘極電流並降低 EPROM 及快閃 EPROM 的可程式度。

圖 1 及 2 顯示低 BVCEO 電壓值不良的影響。特別在圖一中描述在一個三井結構上建立的快閃 EPROM 胞元之兩個 BVCEO 的特性曲線圖，包括在一個在深 N-井中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (2)

絕緣 P-井。在線 10 的第一個案例中，絕緣 P-井的絕緣良好且深 N-井的電位為接地。電阻 R 等於 15 歐姆。在線 12 的第二個案例中，絕緣 P-井模擬電阻值為 15K 歐姆。線 10 顯示在 BVCEO 特性的改變造成降低了的程式化電壓及一般性能衰減的記憶體。

當基底電流在電阻性 FAMOS P-井上跨越建立一個電壓降所造成另一個問題為，一旦源極接面順向偏壓，它將噴灑電子到基底上。一部分電子將被在位元線應力模式鄰近胞元的汲極接面所蒐集。在此狀況下，電子進入靠近汲極的高電場區域形成熱電洞對。因為靠近汲極之閘極電場的極性，有將這些熱電動對注入閘極氧化物的趨勢且造成浮動閘極電荷的損失。

圖 2 中的表顯示提昇在位元線應力上實質電位所造成的影響。在圖 2 的表中，閘極電壓 V_g ，等於 0 伏特；汲極電壓 V_d ，等於 6 伏特；以及源極電壓 V_s ，等於 0 伏特。在此例中，位元線應力發生為時約一秒鐘。參數 V_b 代表跨越於電阻性 FAMOS P-井區域上的電壓。如圖 2 的表所示，當 V_b 超過 0.7 伏特時，臨界電壓 V_t 為 0.01、0.05 且當 V_b 為 0.7 伏特或更低時則為 0.5。因此，當降低的 V_t 顯示降低了造成源極接面二極體崩潰的可程式度。基本上，當基底電位上昇，由浮動閘極電荷的損失也相對的上昇。此現象顯示原因及影響間約為指數的關係。同時，由於熱電洞的注入，預期上述位元線應力機構造成快閃記憶體裝置微量的退化

五、發明說明 (3)

為避免上述狀況，在程式化期間基底的電壓降將停留在約為 0.7 伏特低於二極體的接通電壓。達到這個結果的一個方法為減少 FAMOS P-井的平面電阻。不幸的在三井技術中，此方法增加處理的複雜度。因此，希望建立單一絕緣 P-井以符合 CMOS 負電壓切換的需求且在 FAMOS 裝置上使用相同的絕緣井。在此狀況下，絕緣 P-井的高平面電阻不符合 FAMOS 裝置的需求。對大的陣列，在程式化期間建立的基底偏壓將源極接面順向偏壓且造成上述有關裝置的可靠度。

此問題其它已知的解決方法視處理而定，可使用低平面電阻 FAMOS P-井或一非常高的能量植入。但是兩種解決方法均增加處理及裝置設計的複雜度。

發明概述

由上述所指出的限制中，對CHE程式化記憶體裝置的可靠度及操作度有改良的必要，以期能夠實質上免除或減少絕緣P-井接面順向偏壓的問題及將電子放射至P-基底的問題，而不會有影響現存方法及裝置不需要之處理及裝置設計上的複雜度。

依據本發明之一個觀點，假定一種CHE規劃記憶體裝置具有改良的可靠度及操作度，以將深N-井相對於絕緣P-井稍微順向偏壓以避免在絕緣P-井接面順向偏壓及將電子放射至P-基底。

在本發明之一具體實施例中，順向偏壓是一範圍在-0.3 伏特至-0.5伏特的電壓施加至深N-井上，或一約為-10微

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

安培的負定電流抽運至具有絕緣P-井接地之深N-井上。將絕緣P-井/深N-井二極體稍微的順偏，任何在程式化期間產生的基底電流可將此二極體更為的順偏。此造成將電洞抽運至P-基底上。在此狀況下，絕緣P-井電位上昇不超過0.2-0.3伏特。此實質上免除了順向偏壓絕緣P-井接面及噴灑電子至P-基底的問題。

本發明一技術上的優點為在程式化期間將基底電流轉向流入低電阻性P-基底以實際化在三井設計中電阻性絕緣P-井的應用。本發明經由免除分離式低平面電阻、FAMOS P-井的需求，簡化在三井上建立一快閃EPROM陣列的處理，因而減少了製造成本。本發明不需要額外的井且僅需對電路作小的變更。更甚者，本發明可使用於所有建構在三井上之EPROM。

圖例簡述

為了更完整的瞭解本發明及其優點，現參考下列說明配合相關附圖，圖中相同的參考編號表示相同的特性且其中：

圖1顯示一諸如在三井處理中，在深N-井上使用非外延結晶的快閃EPROM，其BVCEO為汲極電流的函數圖；

圖2提供一表概述提昇在位元線應力實質電位不利的影響；

圖3顯示一諸如與圖1及2相關的，在深N-井上使用非外延結晶的快閃EPROM，其BVCEO為汲極電流的函數圖，但是應用本發明之教義；

圖4描述本發明之一實施例；以及

五、發明說明(5)

圖 5 顯示本發明之另一實施例。

發明之詳細說明

本發明之較佳實施例描述於圖中，使用相同的編號代表各圖中相同且對應的部分。

圖 3 敘述一 BVCEO 線 14 顯示應用 $R_B=15$ 歐姆及深 N-井定電流為 -5 微安培，產生一大約為 -0.4 伏特深 N-井電位概念的結果。如圖 1 所繪之 BVCEO 圖案例，將一稍微為負的電壓加至深 N-井上，在 BVCEO 曲線上未發生偏移。依此，在位元線應力發生後 V_t 電壓未見減少。此結果為本發明未發生可程式度的退化或閘極電流的減少。

圖 4 顯示本發明之一實施例包括本身在接地點 34 接地的 P-基底 32 上形成記憶體胞元 30。可使用各種的製造處理方法形成記憶體胞元 30 的元件。深 N-井 36 包圍絕緣 P-井 38。以約為 -0.4 伏特稍微的負電壓 V_{DN} 在接點 40 施加至深 N-井 36 以取代將深 N-井 36 接地。將絕緣 P-井 38 在接點 42 接地至接地電位。在絕緣 P-井 38 中， N^* 區域 44 形成記憶體胞元的源極區域及 N^* 區域 46 形成相關連的汲極區域。將閘極介電質區域 48 安置在介於源極 N^* 區域 44 及汲極 N^* 區域 46 間的絕緣 P-井 38 之上。

圖 5 敘述本發明之另一實施例其參考編號通常參考圖 4 的元件。但是圖 5 顯示深 N-井電流源 50，取代深 N-井電壓源 40，連接至深 N-井 36。電流源 50 抽運一約為 -10 微安培的負電流至深 N-井 36。如前述，將絕緣 P-井 38 接地。將深 N-井 36 及絕緣 P-井 38 間之接面稍微的順向

五、發明說明(6)

偏壓，任何電流 I_{SUB} 在 P-基底 32 之內。所造成的結果為絕緣 P-井 38 的電位不會超過 0.2-0.3 伏特之間。此本質上免除了習知技術裝置閘極電流減少及可程式度的問題。

雖然本發明在此已參考說明實施例來詳細敘述，應瞭解此描述僅係舉例說明且不意圖解釋為限定的意義。因此，更進一步瞭解，對本發明實施例及其它實施例許多細節的改變，對熟悉此技術的人士在參考本敘述後將會很明顯並作出變更。因此所有如此的修訂及其它的實施例均屬本發明後附專利申請企圖之精神及實際範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

通道熱電子規劃記憶體裝置及形成方法)

一通道熱電子(CHE)規劃記憶體裝置(30)，避免在一絕緣的 P-井(38)與一深的 N-井接面順向偏壓並防止因電子幅射可能造成電壓建立跨越於絕緣 P-井(38)區域，經由施加一順向偏壓電流(50)或電壓源(40)連接至深的 N-井(36)區域以稍微將深的 N-井區域順向偏壓。此維持絕緣 P-井(38)區域的壓降低於二極體的接通電壓。

英文發明摘要(發明之名稱：

CHANNEL HOT ELECTRON PROGRAMMED)
MEMORY DEVICE HAVING IMPROVED
RELIABILITY AND OPERABILITY

A CHE programmed memory device (30) avoids forward biasing at an isolated P-well (38) junction with a deep N-well (36) and prevents emitting electrons that may cause voltage buildup across the isolated P-well region (38) by applying a forward bias current (50) or voltage source (40) connected to the deep N-well region (36) for slightly forward biasing the deep N-well region. This maintains the voltage drop of isolated P-well region (38) below the diode turn-on voltage.

88年11月30日修正/更正/補充

六、申請專利範圍

1. 一種具改良可靠度及操作度的通道熱電子規劃記憶體裝置，包括：
 - 一 P-基底；
 - 在該 P-基底內之深 N-井；
 - 在該深 N-井區域內之一絕緣 P-井；
 - 在該絕緣 P-井區域內之一源極區域；
 - 在該絕緣 P-井區域內之一汲極區域；
 - 在該源極區域及汲極區域間的閘極區域；以及
 - 一順向偏壓電路連接至該深 N-井以將該深 N-井區域相關於該絕緣 P-井區域順向偏壓，以維持在該絕緣 P-井區域的電壓降低於該絕緣 P-井區域及該深 N-井區域間接面的二極體接通電壓。
2. 如申請專利範圍第1項所述之裝置，其中順向偏壓電路包括一電流偏壓電路以抽運一偏壓電流至該N-井中。
3. 如申請專利範圍第1項所述之裝置，其中順向偏壓電路包括一電壓偏壓電路供應一偏壓電流至該N-井中。
4. 如申請專利範圍第1項所述之裝置，其中該記憶體裝置包括一電氣可抹除、可程式唯讀記憶體。
5. 如申請專利範圍第1項所述之裝置，其中該記憶體裝置包括一快閃電氣可抹除、可程式唯讀記憶體。
6. 如申請專利範圍第1項所述之裝置，其中該順向偏壓電路包括一電壓偏壓電路供施加一電壓足以限制絕緣P-井的電位不大於約0.3伏特。
7. 如申請專利範圍第1項所述之裝置，其中該順向偏壓電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

- 路包括一電流源偏壓電路供施加一電流足以限制絕緣 P-井的電位不大於約 0.3 伏特。
8. 一種改良通道熱電子規劃記憶體裝置操作的方法包括一 P-基底，在該 P-基底內之深 N-井，在該深 N-井區域內之一絕緣 P-井，在該絕緣 P-井區域內之一源極區域，在該絕緣 P-井區域內之一汲極區域，在該源極區域及汲極區域間的閘極區域，此方法包括下列步驟：
- 將該深 N-井區域相關於該絕緣 P-井區域順向偏壓，以維持在該絕緣 P-井區域的電壓降低於二極體的接通電壓。
9. 如申請專利範圍第 8 項所述之方法，其中該順向偏壓步驟更包括將偏壓電流饋入該 N-井中。
10. 如申請專利範圍第 8 項所述之方法，其中該順向偏壓步驟更包括供應一偏壓電流至該深 N-井中。
11. 如申請專利範圍第 8 項所述之方法，其中該順向偏壓步驟更包括施加一電壓足夠限制該絕緣 P-井電位不大於約 0.2 伏特的步驟。
12. 如申請專利範圍第 8 項所述之方法，其中該順向偏壓步驟系統，更包括施加一電流足夠限制該絕緣 P-井電位不大於約 0.2 伏特的步驟。
13. 一種形成具改良可靠度及操作度之通道熱電子規劃記憶體裝置之方法，包括下列步驟：
- 形成一 P-基底；
- 在該 P-基底內形成一深 N-井；

裝

訂

線

六、申請專利範圍

在該深 N-井區域內形成一絕緣 P-井；
 在該絕緣 P-井區域內形成一源極區域；
 在該絕緣 P-井區域內形成一汲極區域；
 在該源極區域及汲極區域間形成一閘極區域；以及
 形成一順向偏壓電路連接至該深 N-井以將該深 N-井
 區域相關於該絕緣 P-井區域順向偏壓，以維持在該絕
 緣 P-井區域的電壓降低於該絕緣 P-井區域的二極體接
 通電壓。

14. 如申請專利範圍第13項所述之方法，其中該順向偏壓電路形成步驟更包括形成一電流偏壓電路以將偏壓電流饋入該N-井的步驟。
15. 如申請專利範圍第13項所述之方法，其中該順向偏壓電路形成步驟更包括形成一電壓偏壓電路以供應一偏壓電流至該深N-井的步驟。
16. 如申請專利範圍第13項所述之方法，其中該記憶體裝置包括一電氣可抹除、可程式唯讀記憶體。
17. 如申請專利範圍第13項所述之方法，其中該記憶體裝置包括一快閃電氣可抹除、可程式唯讀記憶體。
18. 如申請專利範圍第13項所述之方法，其中形成該順向偏壓電路之步驟更包括形成一電壓偏壓電路供施加一電壓足以限制絕緣P-井之電位不大於約0.2伏特的步驟。
19. 如申請專利範圍第13項所述之方法，其中形成該順向偏壓電路之步驟更包括形成一電流源偏壓電路供施加

六、申請專利範圍

一電流足以限制絕緣P-井之電位不大於約0.2伏特的步驟。

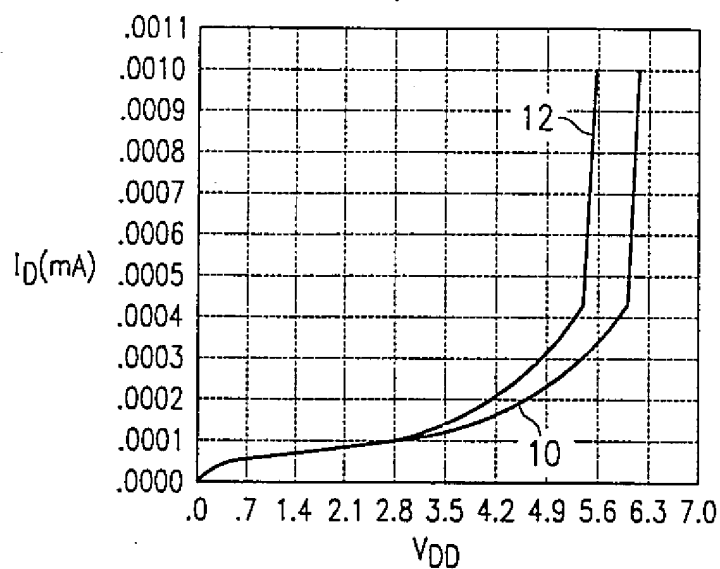
(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

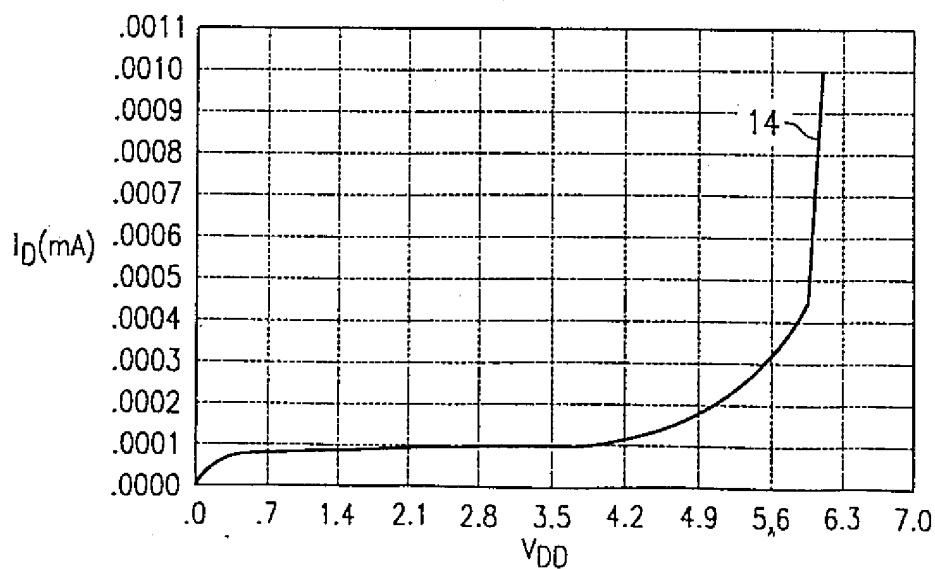
圖 1

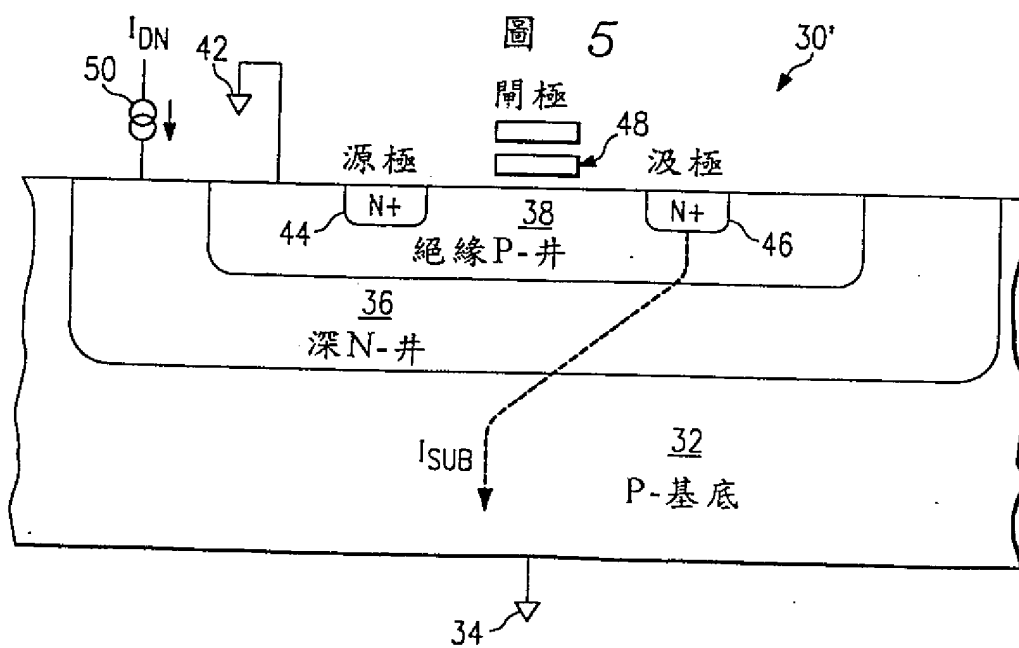
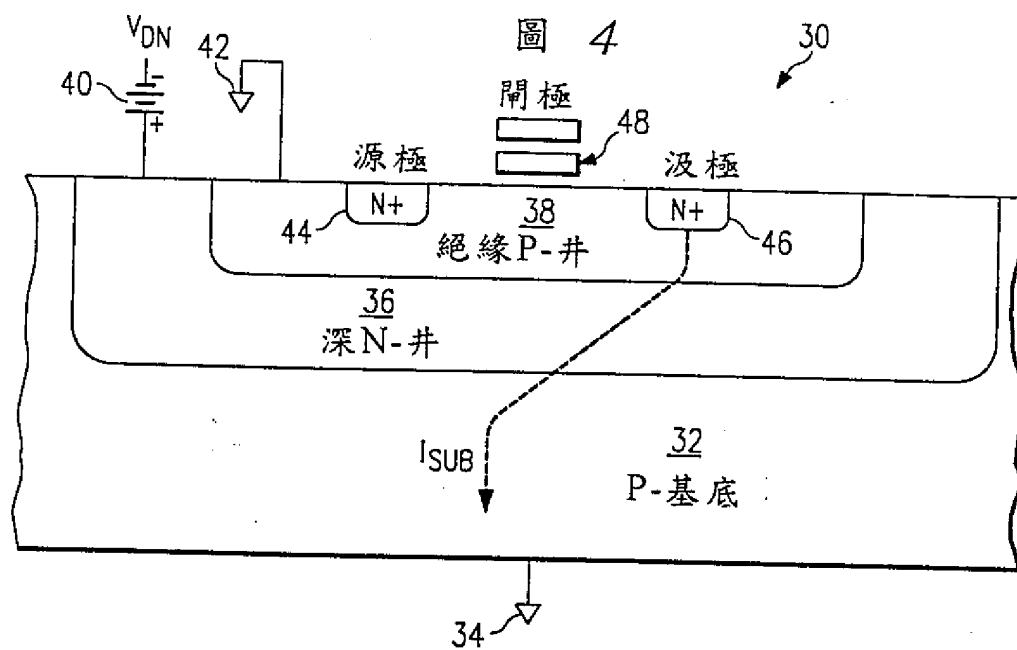


V_b	V_t 起始	V_t 應力後	DELAT V_t
0.0	6.50	6.40	0.10
0.6	6.50	6.45	0.05
0.7	6.50	6.00	0.05
0.8	6.45	3.60	2.85

圖 2

圖 3





88年11月30日修正/更正/補充

六、申請專利範圍

1. 一種具改良可靠度及操作度的通道熱電子規劃記憶體裝置，包括：
 - 一 P-基底；
 - 在該 P-基底內之深 N-井；
 - 在該深 N-井區域內之一絕緣 P-井；
 - 在該絕緣 P-井區域內之一源極區域；
 - 在該絕緣 P-井區域內之一汲極區域；
 - 在該源極區域及汲極區域間的閘極區域；以及
 - 一順向偏壓電路連接至該深 N-井以將該深 N-井區域相關於該絕緣 P-井區域順向偏壓，以維持在該絕緣 P-井區域的電壓降低於該絕緣 P-井區域及該深 N-井區域間接面的二極體接通電壓。
2. 如申請專利範圍第1項所述之裝置，其中順向偏壓電路包括一電流偏壓電路以抽運一偏壓電流至該N-井中。
3. 如申請專利範圍第1項所述之裝置，其中順向偏壓電路包括一電壓偏壓電路供應一偏壓電流至該N-井中。
4. 如申請專利範圍第1項所述之裝置，其中該記憶體裝置包括一電氣可抹除、可程式唯讀記憶體。
5. 如申請專利範圍第1項所述之裝置，其中該記憶體裝置包括一快閃電氣可抹除、可程式唯讀記憶體。
6. 如申請專利範圍第1項所述之裝置，其中該順向偏壓電路包括一電壓偏壓電路供施加一電壓足以限制絕緣P-井的電位不大於約0.3伏特。
7. 如申請專利範圍第1項所述之裝置，其中該順向偏壓電

(請先閱讀背面之注意事項再填寫本頁)

訂

線