

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年9月11日(11.09.2015)



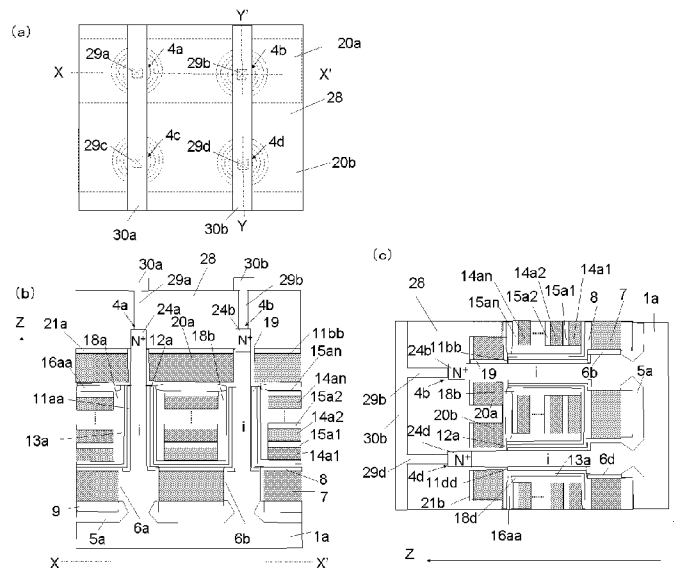
(10) 国際公開番号

WO 2015/132887 A1

- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 21/336 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)
- (21) 国際出願番号: PCT/JP2014/055499
- (22) 国際出願日: 2014年3月4日(04.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者: および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];
〒1020073 東京都千代田区九段北1-15-2
九段坂パークビル4F S emicon Co
nsulting株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: COLUMNAR SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 柱状半導体メモリ装置及びその製造方法



(57) Abstract: Provided is a columnar semiconductor memory device, which has high density, high reliability, and low cost. Tunnel insulating layers (11aa, 11bb, 11dd), a data charge accumulation insulating layer (12a), an interlayer insulating layer (13a), and gas layers (18a, 18b, 18d) are formed so as to surround the outer circumferences of Si columns (4a, 4b, 4c, 4d). Word lines (14a1, 14a2, 14an) are formed in the direction perpendicular to an upper surface of an i layer substrate (1a) so as to surround the outer circumferences of the gas layers (18a, 18b, 18d), said word lines being separated from each other by means of interlayer insulating layers (15a1, 15a2, 15an).

(57) 要約:

[続葉有]

WO 2015/132887 A1



高密度であり、高信頼性且つ低価格な柱状半導体メモリ装置を実現する。Si柱（4a、4b、4c、4d）の外周を囲むように、トンネル絶縁層（11aa、11bb、11dd）、データ電荷蓄積絶縁層（12a）、層間絶縁層（13a）、気体層（18a、18b、18d）が形成されている。気体層（18a、18b、18d）の外周を囲むように、i層基板1aの上表面に垂直な方向に、層間絶縁層（15a1、15a2、15an）によって互いに分離されたワード線（14a1、14a2、14an）が形成されている。

明 細 書

発明の名称：柱状半導体メモリ装置及びその製造方法

技術分野

[0001] 本発明は、柱状半導体に形成したメモリ装置である柱状半導体メモリ装置、及び、その製造方法に関する。

背景技術

[0002] 近年、フラッシュメモリで代表されるメモリ装置を用いた電子装置は、多くの分野で用いられており、市場規模と応用分野をさらに拡大させている。そしてこれに伴い、メモリ装置の高集積化と低価格化が求められている。

[0003] NAND型フラッシュメモリ（例えば、非特許文献1を参照）は高集積化、低価格化において優位である。また、半導体シリコン柱（以下、半導体シリコン柱を「Si柱」と称する。）に複数のメモリセル・トランジスタを積み上げた縦構造NAND型フラッシュメモリは、更に高集積化が可能になる（例えば、特許文献1を参照）。

[0004] 図8に、従来例の縦構造NAND型フラッシュメモリの断面構造を示す（特許文献1を参照）。真性型半導体シリコン基板100（以下、真性型半導体シリコン基板を「i層基板」と称する。）上にSi柱101a、101bが形成され、このSi柱101a、101bの外周を囲むように、トンネル絶縁層であるSiO₂層102a、102bが形成されている。このSiO₂層102a、102bの外周を囲むように、電氣的に浮遊しているフローティング電極103a、103bが形成されている。Si柱101a、101bの下部にあるソース側選択ゲート電極104a、104bと、上部にあるドレイン側選択ゲート電極105a、105bとが形成されている。フローティング電極103a、103bの外周を囲むように層間SiO₂層107a、107bが形成され、この層間SiO₂層107a、107bの外周を囲むようにワード線電極108a、108bが形成されている。Si柱101a、101bの底部に繋がるi層基板100表層にコモンソースN⁺層109（

以下、ドナー不純物を多く含む半導体層を「N⁺層」と称する。)が形成され、Si柱101a、101bの頂部にドレインN⁺層110a、110bが形成されている。さらに全体を覆うようにCVD (Chemical Vapor Deposition) によるSiO₂層111が形成されている。ドレインN⁺層110a、110b上に形成されたコンタクトホール112a、112bを介してビット線配線金属層113a、113bが形成されている。i層基板100上のSi柱101a、101bの内部にP⁻層114a、114b (以下、アクセプタ不純物が少量含まれている半導体層を「P⁻層」と称する。)が形成されている。Si柱101a、101bのソース側選択ゲート電極104a、104b上に、P⁻層114a、114bの外周を囲むように形成されたSiO₂層102a、102b、フローティング電極103a、103b、層間SiO₂層107a、107b、ワード線電極108a、108bからなるメモリセル・トランジスタQc1上に、このメモリセル・トランジスタQc1と同じ構造を有し、且つ互いに電氣的に分離されたメモリセル・トランジスタQc2、Qc3が形成されている。さらに、メモリセル・トランジスタQc1、Qc2、Qc3の上下に、ソース側選択ゲート電極104a、104bを有するソース側選択トランジスタQs1と、ドレイン側選択ゲート電極105a、105bを有するドレイン側選択トランジスタQs2とが形成されている。これにより、高密度な縦構造NAND型フラッシュメモリ素子が形成される。

[0005] 図8に示す縦構造NAND型フラッシュメモリ素子では、Si柱101a、101bの外周部を囲むように、欠陥が少なく、信頼性の高いトンネル絶縁層であるSiO₂層102a、102b、層間SiO₂層107a、107b、ソース側選択ゲート電極104a、104b、ドレイン側選択ゲート電極105a、105b、フローティング電極103a、103b、ワード線電極108a、108bが容易に形成されることが課題である。

[0006] また、ワード線電極材料層と絶縁層とを縦方向に繰り返し積層した後、この積層されたワード線電極材料層と絶縁層とを貫通した貫通孔を形成し、そ

の後、その貫通孔の側面表層に層間絶縁層、データ電荷を蓄積する Si_3N_4 層（窒化シリコン層）、トンネル SiO_2 層を形成し、さらに、貫通孔内にチャネルとなるポリ Si 層（以下、多結晶 Si 層を「ポリ Si 層」と称する。）を埋め込む縦構造NAND型フラッシュメモリ（例えば、特許文献2を参照。）においても、欠陥が少なく、信頼性の高い層間絶縁層、 Si_3N_4 層、トンネル SiO_2 層、ワード線電極を容易に形成できることが要求されている。

先行技術文献

特許文献

[0007] 特許文献1：特開平4－79369号公報

特許文献2：米国特許出願公開第2007／0252201号明細書

特許文献3：特開平2－188966号公報

特許文献4：米国特許第8189371号明細書

非特許文献

[0008] 非特許文献1：C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: “Study of planarized sputter-deposited SiO_2 ”, J.Vac.Sci. Technol. 15(3), p.p.1105-1112, May/June (1978)

非特許文献2：A.D.G.Stewart, and M.W.Thomson: “Microtopography of Surface Eroded by Ion-Bombardment, Journal of Material Science 4”, p.p.56-69 (1969)

発明の概要

発明が解決しようとする課題

[0009] 図8に示す縦構造NAND型フラッシュメモリでは、 Si 柱101a、101bの外周部を囲むように、欠陥が少なく、信頼性の高い SiO_2 層102a、102b、層間 SiO_2 層107a、107b、ソース側選択ゲート電極104a、104b、ドレイン側選択ゲート電極105a、105b、フローティング電極103a、103b、ワード線電極108a、108bを容

易に形成することが要求されている。

課題を解決するための手段

- [0010] 本発明の第1の観点に係る柱状半導体メモリ装置は、
半導体基板と、
前記半導体基板上において、前記半導体基板の表面に垂直な方向に延びる
第1の半導体柱と、
前記第1の半導体柱の外周を囲むトンネル絶縁層と、
前記トンネル絶縁層の外周を囲むデータ電荷蓄積絶縁層と、
前記データ電荷蓄積絶縁層の外周を囲む第1の層間絶縁層と、
前記第1の層間絶縁層の外周を囲む空間と、
前記空間の外周を囲む第1の導体層と、
前記第1の導体層と前記空間の外周を囲む第2の層間絶縁層とを一組とする
積層材料層が、前記半導体基板の上表面に垂直な方向に単層又は複数層形
成されており、
前記第1の導体層に印加される電圧によって、前記トンネル絶縁層を介し
た前記第1の半導体柱と前記データ電荷蓄積絶縁層との間でのデータ電荷の
移動によるデータ書き込み及び消去、又は前記データ電荷蓄積絶縁層による
データ電荷の保持が行なわれる、
ことを特徴とする。
- [0011] 前記第1の半導体柱の外周、且つ、前記積層材料層の上方に形成され、前
記第1の層間絶縁層の側面に接する第2の導体層をさらに有する、
ことが好ましい。
- [0012] 前記積層材料層が複数層形成されており、
前記積層材料層の下方に形成され、前記第1の半導体柱の外周を囲む第1
のゲート絶縁層と、
前記第1のゲート絶縁層の外周を囲む第3の導体層と、
前記第3の導体層の下方、且つ、前記第1の半導体柱の底部に形成され、
ドナー又はアクセプタ不純物を含む第1の不純物領域と、

前記積層材料層の上方に形成され、前記第 1 の半導体柱の外周を囲む第 2 のゲート絶縁層と、

前記第 2 のゲート絶縁層の外周を囲む第 4 の導体層と、

前記第 1 の半導体柱の頂部に形成され、前記第 1 の不純物領域と同じ導電型を有する第 2 の不純物領域とを有し、

前記積層材料層の前記第 1 の導体層が、ワード線配線金属層に接続され、

前記第 3 の導体層が、ソース側選択ゲート配線金属層に接続され、

前記第 1 の不純物領域が、コモンソース配線金属層に接続され、

前記第 4 の導体層が、ドレイン側選択ゲート配線金属層に接続され、

前記第 2 の不純物領域が、ビット線配線金属層に接続されることで、

前記第 1 の半導体柱に N A N D 型フラッシュメモリ素子が形成されている

、

ことが好ましい。

[0013] 平面視において、前記第 1 の半導体柱の外周縁が、前記空間の外周縁よりも内側にある、

ことが好ましい。

[0014] 前記第 1 の半導体柱が形成されたメモリ素子領域の外周に形成された第 1 の外周部半導体領域と、

前記第 1 の外周部半導体領域に含まれる第 2 の外周部半導体領域に形成され、頂部の高さが、前記第 1 の半導体柱の頂部の高さとはほぼ一致しており、且つ、底面の高さが、前記第 4 の導体層の底面の高さとはほぼ一致している第 2 の半導体柱と、

前記第 2 の半導体柱の外周を囲む第 3 のゲート絶縁層と、

前記第 3 のゲート絶縁層の外周を囲むように形成され、前記第 4 の導体層と上下端の高さがほぼ一致している第 5 の導体層と、

前記第 5 の導体層の上方、且つ、前記第 2 の半導体柱の頂部に形成され、ドナー又はアクセプタ不純物を含む第 3 の不純物領域と、

前記第 5 の導体層の下方、且つ、前記第 2 の半導体柱の底部に形成され、

前記第3の不純物領域と同じ導電型を有する第4の不純物領域と、を備え、

前記第3の不純物領域及び前記第4の不純物領域の一方がソースである場合に、他方がドレインであり、前記第3の不純物領域と、前記第4の不純物領域とによって挟まれた前記第2の半導体柱をチャネルとし、前記第5の導体層をゲートとするSGT (Surrounding Gate MOS Transistor) が形成されている、

ことが好ましい。

[0015] 前記半導体基板上において、前記第1の半導体柱の外周を囲むように形成されるとともに、前記第1の外周部半導体領域の側面、及び上面まで延在した第3の層間絶縁層をさらに備え、

前記積層材料層は、前記第3の層間絶縁層上に形成され、

前記積層材料層の上表面の高さは、前記第1の外周部半導体領域上に存在する前記第3の層間絶縁層の上表面の高さとほぼ一致しており、

前記第1外周部半導体領域の側面上端に上表面を有する前記積層材料層の前記第1の導体層の上表面に接続されたコンタクトホールをさらに備え、

前記コンタクトホールを介して、前記第1の導体層と前記ワード線配線金属層とが接続されている、

ことが好ましい。

[0016] 本発明の第2の観点に係る柱状半導体装置の製造方法は、

半導体基板上に、平面視円形のマスク絶縁層を形成するマスク絶縁層形成工程と、

前記マスク絶縁層をマスクとして用い、前記半導体基板をエッチングすることで、前記半導体基板上に、半導体柱を形成するとともに、前記半導体柱の側面をその内側に後退させることにより、第1の半導体柱を形成する第1半導体柱形成工程と、

前記第1の半導体柱の外周を囲むようにトンネル絶縁層を形成するトンネル絶縁層形成工程と、

前記トンネル絶縁層の外周を囲むようにデータ電荷蓄積絶縁層を形成する

データ電荷蓄積絶縁層形成工程と、

前記データ電荷蓄積絶縁層の外周を囲むように第 1 の層間絶縁層を形成する第 1 層間絶縁層形成工程と、

前記マスク絶縁層の上表面に垂直な方向から材料原子を入射することで、前記第 1 の半導体柱の外周、且つ、前記半導体基板の上方に第 1 の導体層を形成する第 1 導体層形成工程と、

前記マスク絶縁層の上表面に垂直な方向から、前記第 1 の導体層上に材料原子を入射することで、第 2 の層間絶縁層を形成する第 2 層間絶縁層形成工程と、

前記第 1 の導体層形成工程と前記第 2 層間絶縁層形成工程とに並行して、前記第 1 の層間絶縁層の側面と、前記第 1 の導体層及び前記第 2 の層間絶縁層の側面との間に、空間を形成する空間形成工程と、

前記第 1 の導体層と前記第 2 の層間絶縁層とを一組として形成される積層材料層を、前記半導体基板の上表面に垂直な方向に単層又は複数層形成する積層材料層形成工程と、を備え、

前記第 1 の導体層に印加される電圧により、前記トンネル絶縁層を介した前記第 1 の半導体柱と前記データ電荷蓄積絶縁層との間でのデータ電荷の移動によるデータ書き込み及び消去、又は前記データ電荷蓄積絶縁層によるデータ電荷の保持が行なわれる、

ことを特徴とする。

[0017] 前記マスク絶縁層の上表面に垂直な方向から材料原子を入射することで、前記第 1 の半導体柱の外周、且つ、前記積層材料層の上方に第 2 の導体層を形成する第 2 導体層形成工程と、

熱処理によって、前記第 2 の導体層を、前記半導体基板の上表面に平行な方向に膨張させることで、前記第 2 の導体層と前記第 1 の層間絶縁層とを接続する第 2 導体層・第 1 層間絶縁層接続工程を有する、

ことが好ましい。

[0018] 前記積層材料層形成工程の後から、前記第 2 導体層・第 1 層間絶縁層接続

工程の間において、水素を含む雰囲気の下、熱処理を行う、
ことが好ましい。

[0019] 前記積層材料層形成工程の後から、前記第2導体層・第1層間絶縁層接続工程の間において、酸素を含む雰囲気の下、熱処理を行うことで、前記第2の導体層の側面表層に酸化絶縁層を形成する、
ことが好ましい。

[0020] 前記第1の半導体柱上に、前記マスク絶縁層として、円錐台形状を有する円錐台状マスク絶縁層を形成する円錐台状マスク絶縁層形成工程と、
前記半導体基板の上表面に垂直な方向から材料原子を入射するとともに、前記円錐台状マスク絶縁層側面における前記材料原子の堆積速度が、前記材料原子の剥離速度よりも小さい条件で前記材料原子を堆積させることで、前記積層材料層を前記半導体基板の上方に形成し、前記円錐台状マスク絶縁層上に、前記積層材料層と共通する材料層からなる円錐形状の円錐状積層材料層を形成する円錐状積層材料層形成工程と、を備える、
ことが好ましい。

[0021] 前記積層材料層の下方において、第1の半導体柱の外周を囲むように第1のゲート絶縁層を形成する第1ゲート絶縁層形成工程と、
前記第1のゲート絶縁層の外周を囲むように第3の導体層を形成する第3導体層形成工程と、
前記第3の導体層の下方、且つ、前記第1の半導体柱の底部に、ドナー又はアクセプタ不純物を含む第1の不純物領域を形成する第1不純物形成工程と、
前記積層材料層の上方において、前記第1の半導体柱の外周を囲むように第2のゲート絶縁層を形成する第2ゲート絶縁層形成工程と、
前記第2のゲート絶縁層の外周を囲むように第4の導体層を形成する第4導体層形成工程と、
前記第4の導体層の上方に、前記第1の不純物領域と同じ導電型を有する第2の不純物領域を形成する第2不純物形成工程とを有し、

前記積層材料層の前記第 1 の導体層を、ワード線配線金属層に接続し、
前記第 3 の導体層を、ソース側選択ゲート配線金属層に接続し、
前記第 1 の不純物領域を、コモンソース配線金属層に接続し、
前記第 4 の導体層を、ドレイン側選択ゲート配線金属層に接続し、
前記第 2 の不純物領域を、ビット線配線金属層に接続することで、
前記第 1 の半導体柱に N A N D 型フラッシュメモリ素子を形成する、
ことが好ましい。

[0022] 前記第 1 の半導体柱が形成されたメモリ素子領域の外周に、第 1 の外周部半導体領域を形成する第 1 外周部半導体領域形成工程と、

前記第 1 の外周部半導体領域に含まれる第 2 の外周部半導体領域に形成され、頂部の高さが、前記第 1 の半導体柱の頂部の高さとはほぼ一致しており、
且つ、底面の高さが、前記第 4 の導体層の底面の高さとはほぼ一致している第 2 の半導体柱を形成する第 2 半導体柱形成工程と、

前記第 2 の半導体柱の外周を囲むように、第 3 のゲート絶縁層を形成する第 3 ゲート絶縁層形成工程と、

前記第 3 のゲート絶縁層の外周を囲むように、前記半導体基板の垂直方向において、前記第 4 の導体層の上下端の高さと、上下端の高さがほぼ一致している第 5 の導体層を形成する第 5 導体層形成工程と、

前記第 5 の導体層の上方、且つ、前記第 2 の半導体柱の頂部に、ドナー又はアクセプタ不純物を含む第 3 の不純物領域を形成する第 3 不純物領域形成工程と、

前記第 5 の導体層の下方、且つ、前記第 2 の半導体柱の底部に、前記第 3 の不純物領域と同じ導電型を有する第 4 の不純物領域を形成する第 4 不純物領域形成工程と、を備え、

前記第 3 の不純物領域及び前記第 4 の不純物領域の一方がソースである場合に、他方がドレインであり、前記第 3 の不純物領域と、前記第 4 の不純物領域とによって挟まれた前記第 2 の半導体柱をチャンネルとし、前記第 5 の導体層をゲートとする S G T (Surrounding Gate MOS Transistor) が形成され

ている、

ことが好ましい。

[0023] 前記半導体基板上において、前記第1の半導体柱の外周を囲むように、前記第1の外周部半導体領域の側面、及び上面まで延在した第3の層間絶縁層を形成する第3の層間絶縁層形成工程をさらに備え、

前記積層材料層を、前記第3の層間絶縁層上に形成し、

前記積層材料層の上面の高さが、前記第1の外周部半導体領域上に存在する前記第3の層間絶縁層の上面の高さとほぼ一致するようにし、

前記第2の外周部半導体領域の側面上端に上表面を有する前記積層材料層の前記第1の導体層の上表面に接続されたコンタクトホールを形成し、

前記コンタクトホールを介して、前記第1の導体層と前記ワード線配線金属層とを接続する、

ことが好ましい。

発明の効果

[0024] 本発明によれば、高い信頼性を有する高密度、低価格の柱状半導体メモリ装置を提供することができる。

図面の簡単な説明

[0025] [図1]本発明の第1実施形態に係る縦構造NAND型フラッシュメモリ装置の回路図である。

[図2A]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2B]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2C]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2D]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2E]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2F]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2G]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2H]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2I]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2J]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2K]第1実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図3]本発明の第2実施形態に係る縦構造NAND型フラッシュメモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図4A]本発明の第3実施形態に係る縦構造NAND型フラッシュメモリ装置

と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図4B]第3実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図5A]本発明の第4実施形態に係る基板上に形成した断面形状が台形柱へバイアスパッタ法を用いて材料原子を堆積させた場合の、堆積形状を説明するものである。

[図5B]第4実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図5C]第4実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図6]本発明の第5実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図7A]本発明の第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）である。

[図7B]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）である。

[図7C]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）である。

[図7D]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）である。

[図7E]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図（a）と断面構造図（b）である。

[図7F]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図(a)と断面構造図(b)である。

[図7G]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図(a)と断面構造図(b)である。

[図7H]第6実施形態に係る縦構造NAND型フラッシュメモリ装置と、その製造方法を説明するための平面図(a)と断面構造図(b)である。

[図8]従来例の縦構造NAND型フラッシュメモリ装置の断面構造図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る縦構造(柱状構造)NAND型フラッシュメモリ装置、及び、その製造方法について、図面を参照しながら説明する。

[0027] (第1実施形態)

以下、図1、図2A～図2Lを参照しながら、本発明の第1実施形態に係る縦構造NAND型フラッシュメモリ装置の製造方法について説明する。

[0028] 図1に、第1実施形態に係るNAND型フラッシュメモリ回路を示す。直列に接続された n 個のメモリセル・トランジスタ $WT11$ 、 $WT12$ 、 $WT1n$ の各ゲート電極が、 n 個のワード線 $W1$ 、 $W2$ 、 Wn に接続されている。 n 個のメモリセル・トランジスタ $WT11$ 、 $WT12$ 、 $WT1n$ の両側にソース側選択トランジスタ $STS1$ と、ドレイン側選択トランジスタ $STD1$ が接続されている。ソース側選択トランジスタ $STS1$ のゲート電極はソース側選択線 SGS に接続され、ドレイン側選択トランジスタ $STD1$ のゲート電極はドレイン側選択線 SGD に接続されている。ソース側選択トランジスタ $STS1$ のソースは共通ソース線 CSL に接続され、ドレイン側選択トランジスタ $STD1$ のドレインはビット線 $BL1$ に接続されている。直列に接続された n 個のメモリセル・トランジスタ $WT11$ 、 $WT12$ 、 $WT1n$ に並行して、直列に接続された n 個のメモリセル・トランジスタ $WT21$ 、 $WT22$ 、 $WT2n$ が形成されている。 n 個のメモリセル・トランジスタ $WT21$ 、 $WT22$ 、 $WT2n$ の各ゲート電極は、ワード線 $W1$ 、 $W2$ 、 Wn に接続されている。メモリセル・トランジスタ $WT21$ 、 $WT22$ 、 W

T2nの上下にソース側選択トランジスタSTS2と、ドレイン側選択トランジスタSTD2とが接続されている。ソース側選択トランジスタSTS1のゲート電極はソース側選択線SGSに接続され、ドレイン側選択トランジスタSDT2のゲート電極はドレイン側選択線SGDに接続されている。ソース側選択トランジスタSTS2のソースはコモンソース線CSLに接続され、ドレイン側選択トランジスタSTD2のドレインはビット線BL2に接続されている。このような回路からなる構造が、ブロックメモリ素子領域において繰り返し形成されている。

[0029] 以下、図2A～図2Lを参照しながら、第1実施形態に係る柱状半導体メモリ装置の製造方法について説明する。図2A～図2Lにおいて、(a)は平面図であり、(b)は(a)におけるX-X'線に沿う断面図であり、(c)はY-Y'線に沿う断面図である。

[0030] 図2Aに示すように、i層基板1上に、Si₃N₄膜(図示せず)を形成し、このSi₃N₄膜上にレジスト膜(図示せず)を塗布し、リソグラフィ法を用いて平面視円形のレジスト層3a、3b、3c、3dを形成する。次に、レジスト層3a、3b、3c、3dをマスクとして用い、例えばRIE(Reactive Ion Etching)法によって、Si₃N₄膜をエッチングすることで、Si₃N₄層2a、2b、2c、2dを形成する。

[0031] 次に、図2Bに示すように、レジスト層3a、3b、3c、3dと、Si₃N₄層2a、2b、2c、2dとをマスクとして用い、例えばRIE法を用いてi層基板1をエッチングすることで、Si柱4a、4b、4c、4dを形成する。その後、レジスト層3a、3b、3c、3dを除去する。

[0032] 次に、図2Cに示すように、Si柱4a、4b、4c、4dの外周にあるi層基板1aの表層に、例えばヒ素(As)イオンを注入することによってN⁺層5を形成し、Si柱4a、4b、4c、4dの外周にあるi層基板1a上に、SiO₂層9を形成する。さらに、Si柱4a、4b、4c、4dの側面表層に、例えば熱酸化法によりSiO₂層6a、6b、6c、6d(SiO₂層6cは図示せず。)を形成する。その後、Si柱4a、4b、4c、4d

の外周にある SiO_2 層9上に、ドーパドSi層（以下、アクセプタ又はドナー不純物を含むポリSi層を「ドーパドSi層」と称する。）を形成し、続いて、このドーパドSi層7上に Si_3N_4 層8を形成する。

[0033] 次に、図2Dに示すように、Si柱4a、4b、4c、4dの側面表層に、 Si_3N_4 層2a、2b、2c、2d、8をマスクとして用い、熱酸化法によって、 SiO_2 層10a、10b、10c、10d（ SiO_2 層10cは図示せず。）を厚く形成する。その後、 SiO_2 層10a、10b、10c、10dを除去する。 Si_3N_4 層2a、2b、2c、2d、8は、熱酸化法では酸化されないので、 SiO_2 層10a、10b、10c、10dを除去すると、Si柱4a、4b、4c、4dの断面の直径は、 Si_3N_4 層2a、2b、2c、2dの断面の直径よりも小さくなる。

[0034] 次に、図2Eに示すように、Si柱4a、4b、4c、4dの側面表層に、例えば熱酸化法によって、トンネル絶縁層となる SiO_2 層11a、11b、11c、11d（ SiO_2 層11cは図示せず。）を形成し、その後、全体を覆うように、データ電荷蓄積絶縁層となる Si_3N_4 層12と、層間絶縁層となる SiO_2 層13とを形成する。

[0035] 次に、図2Fに示すように、例えばバイアスパッタ法を用いて、ドナー又はアクセプタ不純物を含むSi材料と、 SiO_2 材料とを、i層基板1aの表面に垂直な方向から入射することで、Si柱4a、4b、4c、4dの外周に、ドーパドSi層14a1、14a2、14anと、 SiO_2 層15a1、15a2、15anとを形成する。ここでは、Si柱4a、4b、4c、4d上に、ドーパドSi層14b1、14b2、14bn、14c1、14c2、14cn、14d1、14d2、14dn、14e1、14e2、14en（ドーパドSi層14d1、14d2、14dnは図示せず。）と、 SiO_2 層15b1、15b2、15bn、15c1、15c2、15cn、15d1、15d2、15dn、15e1、15e2、15en（ SiO_2 層15d1、15d2、15dnは図示せず。）とを積層させる。その後、同様に例えばバイアスパッタ法を用いて、Si柱4a、4b、4c、4dの

外周において、TiN（窒化チタン）層16aと、SiO₂層17aとを形成すると同時に、Si柱4a、4b、4c、4d上に、TiN層16b、16c、16d、16e（TiN層16dは図示せず。）と、SiO₂層17b、17c、17d、17e（SiO₂層17dは図示せず。）とを積層させる。以上のように、ドナー又はアクセプタ不純物を含むSi材料と、SiO₂材料とを、i層基板1aの表面に垂直な方向から入射させるので、Si₃N₄層2a、2b、2c、2dがマスクとなることで、Si柱4a、4b、4c、4dの側面に形成されたSiO₂層13の側面と、ドーパドSi層14a1、14a2、14an及びSiO₂層15a1、15a2、15anの側面との間に気体層（空間、例えば空気を含む空気層）18a、18b、18c、18d（気体層18cは図示せず。）が形成される。

[0036] 次に、図2Gに示すように、例えば550℃で熱処理を行うことで、SiO₂層17aをキャップとして用い、TiN層16aを塑性変形させることで図の横方向に伸長させ、SiO₂層13と接触するTiN層16aaを形成する。これにより、気体層（空間）18a、18b、18c、18dの頂部の隙間がTiN層16aaにより密閉される。また、Si柱4a、4b、4c、4d上のTiN層16b、16c、16d、16eについても、SiO₂層17b、17c、17d、17eをキャップとして用い、TiN層16b、16c、16d、16eを塑性変形させることで図の横方向に伸長させ、TiN層16bb、16cc、16dd、16ee（TiN層16ddは図示せず）が形成される。

[0037] 次に、図2Hに示すように、Si柱4a、4b、4c、4d上のドーパドSi層14b1、14b2、14bn、14c1、14c2、14cn、14d1、14d2、14dn、14e1、14e2、14enと、SiO₂層15b1、15b2、15bn、15c1、15c2、15cn、15d1、15d2、15dn、15e1、15e2、15enと、TiN層16bb、16cc、16dd、16eeと、SiO₂層17b、17c、17d、17eとを除去する。続いて、TiN層16aaの上面よりも上方に存在し

、且つ、 Si 柱4 a、4 b、4 c、4 dを覆っている SiO_2 層11 a、11 b、11 c、11 dと、 Si_3N_4 層12と、 SiO_2 層13とを除去し、 SiO_2 層11 a a、11 b b、11 c c、11 d d (SiO_2 層11 c cは図示せず)と、 Si_3N_4 層12 aと、 SiO_2 層13 aと、を形成する。その後、 Si_3N_4 層2 a、2 b、2 c、2 dを除去する。

[0038] 次に、図2 Iに示すように、 TiN 層16 a aと、露出している Si 柱4 a、4 b、4 c、4 dの頂部とを覆うように、酸化ハフニウム層（以下、酸化ハフニウム層を「 HfO_2 層」と称する。）19で被覆する。続いて、例えばバイアススパッタ法を用いてドーパド Si 層20と、 SiO_2 層21とを形成する。そして、 Si 柱4 a、4 b、4 c、4 dの頂部に形成されたドーパド Si 層20と SiO_2 層21とは除去する（除去工程は図示せず。）。さらに、 Si 柱4 a、4 b、4 c、4 dの頂部の HfO_2 層19を除去する。その後、例えば、ヒ素（As）イオン注入法によって、 Si 柱4 a、4 b、4 c、4 dの頂部に N^+ 層24 a、24 b、24 c、24 d (N^+ 層24 cは図示せず。)を形成する。

[0039] 次に、図2 Jに示すように、リソグラフィ法によって、 Si 柱4 a、4 b、4 c、4 dを覆うとともに、図2 J (a)に示すように、横方向に繋がるレジスト層26 a、26 bを形成する。ここで、レジスト層26 aは、 Si 柱4 a、4 bを覆うとともに、図2 J (a)に示すように横方向に繋がり、レジスト層26 bは、 Si 柱4 c、4 dを覆うとともに、図2 J (a)に示すように横方向に繋がっている。その後、レジスト層26 a、26 bをマスクとして用い、 SiO_2 層21、ドーパド Si 層20をその上面からRIEエッチングする。これにより、レジスト層26 aの下方に、 SiO_2 層21 a、ドーパド Si 層20 aが形成される。これと同時に、レジスト層26 bの下方に、 SiO_2 層21 b、ドーパド Si 層20 bが形成される。その後、レジスト層26 a、26 bを除去する。

[0040] 次に、図2 Kに示すように、CVD法により、 SiO_2 層28を全体に亘って堆積し、 Si 柱4 a、4 b、4 c、4 d上に、それぞれコンタクトホール

29 a、29 b、29 c、29 dを形成する。その後、コンタクトホール29 a、29 b、29 c、29 dを介して、N⁺層24 a、24 b、24 c、24 dと接続した金属配線層30 a、30 bを、図2 K (a) の上下方向に延びるように形成する。金属配線層30 aはSi柱4 a、4 c上のN⁺層24 a、24 c (N⁺層24 cは図示せず。) に接続されており、金属配線層30 bはSi柱4 b、4 d上のN⁺層24 b、24 dに接続されている。以上により、縦構造NAND型フラッシュメモリが形成される。

[0041] 図2 Kにおいて、N⁺層5 aはコモンソース、ドーパドSi層7はソース側選択線、ドーパドSi層14 a 1、14 a 2、14 a nはワード線、ドーパドSi層20 aはドレイン側選択線、N⁺層24 a、24 b、24 c、24 dはドレイン、金属配線層30 a、30 bはビット線としてそれぞれ機能する。また、SiO₂層11 a a、11 b b、11 c c、11 d dはトンネル絶縁層、Si₃N₄層12 aはデータ電荷蓄積絶縁層、SiO₂層13 aは層間絶縁層としてそれぞれ機能する。なお、TiN層16 a aには、データ書込み動作及びデータ読み出し動作時において、Si柱4 a、4 b、4 c、4 dのチャネルがオン状態になる電圧が印加されることが望ましい。

[0042] 第1実施形態によれば、以下の効果が奏される。

1. 図2 Kに示す構造で形成された縦構造NAND型フラッシュメモリでは、Si柱4 a、4 b、4 c、4 dを囲むように形成されたトンネル絶縁層として機能するSiO₂層11 a a、11 b b、11 c c、11 d dと、データ電荷蓄積絶縁層として機能するSi₃N₄層12 aと、層間絶縁層として機能するSiO₂層13 aとからなる積層絶縁層と、ワード線として機能するドーパドSi層14 a 1、14 a 2、14 a n、及び、層間絶縁層として機能するSiO₂層15 a 1、15 a 2、15 a nとが、気体層18 a、18 b、18 c、18 dによって互いに離間して形成されている。これにより、SiO₂層11 a a、11 b b、11 c c、11 d d、Si₃N₄層12 a、SiO₂層13 a aに対して、ドーパドSi層14 a 1、14 a 2、14 a n、及びSiO₂層15 a 1、15 a 2、15 a nからの応力の伝達が遮断される。この

結果、 SiO_2 層11a a、11b b、11c c、11d d、 Si_3N_4 層12 a、 SiO_2 層13 aにおける欠陥発生を低減することが可能となり、メモリ特性の信頼性が高められる。

2. 図2Fに示すように、 Si 柱4 a、4 b、4 c、4 dを囲むように、トンネル酸化層として機能する SiO_2 層11 a、11 b、11 c、11 dと、データ電荷蓄積絶縁層として機能する Si_3N_4 層12と、層間絶縁層として機能する SiO_2 層13とを形成した後、バイアスパッタ法を用いて、ドナー又はアクセプタ不純物を含む Si 材料と、 SiO_2 材料とを、 i 層基板1 aの表面に垂直な方向から入射することで、 Si 柱4 a、4 b、4 c、4 dの外周において、ドーパド Si 層14 a 1、14 a 2、14 a nと、 SiO_2 層15 a 1、15 a 2、15 a nとを形成している。この場合、 Si_3N_4 層2 a、2 b、2 c、2 dがマスクとなることで、 i 層基板1 aの表面に垂直な方向から入射された、ドナー又はアクセプタ不純物を含む Si 材料原子及び SiO_2 材料原子は、 Si 柱4 a、4 b、4 c、4 d側面の SiO_2 層13の表面に入射することがない。これにより、トンネル酸化層として機能する SiO_2 層11 a、11 b、11 c、11 dと、データ電荷蓄積絶縁層として機能する Si_3N_4 層12と、層間絶縁層として機能する SiO_2 層13は、 Si 材料原子と SiO_2 材料原子の入射による損傷を受けることがない。この結果、 SiO_2 層11 a、11 b、11 c、11 d、 Si_3N_4 層12、 SiO_2 層13における欠陥発生を低減することが可能となり、メモリ特性の信頼性が高められる。

3. 気体層18 a、18 b、18 c、18 dがトラップ準位のない絶縁層であるため、トラップ準位を介在して、ワード線として機能するドーパド Si 層14 a 1、14 a 2、14 a nから、データ電荷蓄積絶縁層として機能する Si_3N_4 層12 aへの電荷注入によって生じるデータ保持特性の劣化が発生することがない。

4. 気体層18 a、18 b、18 c、18 dの上部は、図2Gにおいて熱処理により形成された TiN 層16 a aによって密閉され、且つ、 Si 柱4 a

、4 b、4 c、4 dがTiN層16 a aによって支持される。これにより、以後に行われる洗浄処理工程、リソグラフィ工程等において、処理液が気体層18 a、18 b、18 c、18 dに進入したまま除去されないことによる汚染不良が防止される。さらにこれにより、Si柱4 a、4 b、4 c、4 dの傾き、又は曲がりの発生を防止できる。なお、TiN層16 aに代えて、ポリSi層と、例えばニッケル(Ni)とからなる積層体を用いてもよい。熱処理によって、Ni原子がポリSi層内に拡散することでニッケルシリサイド(NiSi)層が形成される。このNiSi層は、熱処理によって、元のポリSi層よりも体積が膨張する。この場合、NiSi上に、キャップ層となるSiO₂層17 aが存在するため、主に図の横方向に膨張する。これにより、TiN層16 a aと同様に、気体層18 a、18 b、18 c、18 dの上部が密閉される。

[0043] (第2実施形態)

以下、図3を参照しながら、本発明の第2実施形態に係る縦構造NAND型フラッシュメモリ装置の製造方法について説明する。なお、図3を参照して説明する工程以外は、第1実施形態と同様である。

[0044] 図3に示すように、図2 Fと同様にして、例えばバイアススパッタ法を用いて、ドナー又はアクセプタ不純物を含むSi材料原子と、SiO₂材料原子とを、i層基板1 aの上表面に垂直な方向から入射することで、Si柱4 a、4 b、4 c、4 dの外周に、ドーパドSi層14 a 1、14 a 2、14 a nと、SiO₂層15 a 1、15 a 2、15 a nとを形成する。その後、例えば水素(H₂)を含む雰囲気の下、450℃の熱処理を行う。ここでの熱処理は、水素ガスが気体層18 a、18 b、18 c、18 dの上部から底部まで充満した状態で行われる。以下、図2 G～図2 Kに示す工程を行う。

[0045] 第2実施形態によれば、気体層18 a、18 b、18 c、18 dの上部から底部までH₂ガスが充満した状態で熱処理が行われるため、水素イオンが層間絶縁層であるSiO₂層13内に容易に拡散し、SiO₂層13内の未結合手(ダングリング・ボンド)が不活性化される。これによって、SiO₂層1

3の絶縁性が向上するとともにメモリ特性の信頼性が高められる。なお、TiN層16aに代えて、ポリSi層と、例えばニッケル(Ni)等からなる積層体を用いると、さらに高温で水素環境での熱処理を行うことができるので、メモリ特性の信頼性がさらに向上する。また、TiN層16aを形成する前に水素環境での熱処理を行えば、さらに高温で水素環境での熱処理が行えるので、一層メモリ特性の信頼性が向上する。

[0046] (第3実施形態)

以下、図4A、図4Bを参照しながら、本発明の第3実施形態に係る縦構造NAND型フラッシュメモリ素子の製造方法について説明する。なお、図4A、図4Bを参照して説明する工程以外は、第1実施形態と同様である。

[0047] 図4Aに示すように、例えばバイアスパッタ法を用いて、ドナー又はアクセプタ不純物を含むSi材料原子と、SiO₂材料原子とを、i層基板1aの表面に垂直な方向から入射することで、Si柱4a、4b、4c、4dの外周に、ドーパドSi層14a1、14a2、14anと、SiO₂層15a1、15a2、15anとを形成し、Si柱4a、4b、4c、4d上に、ドーパドSi層14b1、14b2、14bn、14c1、14c2、14cn、14d1、14d2、14dn、14e1、14e2、14enと、SiO₂層15b1、15b2、15bn、15c1、15c2、15cn、15d1、15d2、15dn、15e1、15e2、15enとを積層する。その後、例えば、900℃の酸素を含む雰囲気の下、ドーパドSi層14a1、14a2、14anの側面表層に、SiO₂層35aを形成すると同時に、ドーパドSi層14b1、14b2、14bn、14c1、14c2、14cn、14d1、14d2、14dn、14e1、14e2、14enの側面表層にSiO₂層35bを形成する。

[0048] 次に、図4Bに示すように、バイアスパッタ法を用いて、TiN層16aと、SiO₂層17aとを、Si柱4a、4b、4c、4dの外周に形成すると同時に、Si柱4a、4b、4c、4d上に、TiN層16b、16c、16d、16e(TiN層16dは図示せず。)と、SiO₂層17b、1

7 c、17 d、17 eとを積層させる。以下、図2 G～図2 Kに示す工程を行う。これにより、縦構造NAND型フラッシュメモリ素子が形成される。

[0049] 第3実施形態によれば、ワード線として機能するドーパドSi層14 a 1、14 a 2、14 a nの側面表層に層間絶縁層として機能するSiO₂層35 aが形成されるため、ワード線であるドーパドSi層14 a 1、14 a 2、14 a nと、データ電荷蓄積絶縁層であるSi₃N₄層12 aとの間の絶縁性が向上するとともに、メモリ特性の信頼性が高められる。

[0050] (第4実施形態)

以下、図5 A～図5 Cを参照しながら、本発明の第4実施形態に係る縦構造NAND型フラッシュメモリ装置の製造方法について説明する。第4実施形態では、バイアスパッタ法で堆積する材料層の形状についても説明する。

[0051] バイアスパッタ法を用いて、イオン原子を基板36の表面に垂直な方向から入射した場合において、基板36上に形成した円錐台状柱37上及びその周辺の基板36上に堆積する材料層の時間変化を、図5 Aに示す（例えば、非特許文献1、2を参照）。

[0052] 図5 A (b) に示す基板36と側面のなす傾斜角度が α (°) の円錐台状柱37に、基板36の表面に垂直な方向からイオン原子を入射させた場合において、円錐台状柱37の側面の傾斜角度 α に対する、円錐台状柱37の側面における入射イオン原子材料層の堆積速度（デポジションレート）と剥離速度（リムーバルレート）との関係について、図5 Aを用いて説明する。堆積速度は、バイアスパッタ装置における陽極（アノード）と陰極（カソード）間の印加電圧に依存し、傾斜角度 α には依存しない。また、印加電圧が高いほど堆積速度は大きい。一方、剥離速度は、図5 A (a) に示すように、傾斜角度 α の増加に伴い大きくなり、傾斜角度 $\alpha = \theta_p$ で最大となってその後減少する。ここで θ_p は70°以上80°以下である。このように剥離速度が傾斜角度 α の増加に伴い大きくなるのは、傾斜角度 α の増加に伴い、既に堆積した材料層へのイオン原子の進入経路の距離が長くなり、この長くな

った進入経路において、入射したイオン原子と堆積材料層の原子との衝突機会が増え、より多くの堆積材料層の原子が放出されることによる。一方、傾斜角度 α が θ_p を超えると、既に堆積した材料層に対するイオン原子の進入が困難となり、より多くのイオン原子が堆積材料層の表面で反射され、入射したイオン原子と堆積材料層の原子との衝突機会が減り、剥離速度が減少するようになる。図5A(a)に示すように、堆積速度 $A-A'$ の場合、傾斜角度 α に依存せず、堆積速度は剥離速度よりも大きくなる。また、堆積速度 $B-B'$ の場合、堆積速度と剥離速度とが互いに等しくなる傾斜角度 θ_a よりも小さい傾斜角度 α ($\alpha < \theta_a$) では堆積速度が剥離速度よりも大きくなり、傾斜角度 θ_a よりも大きい傾斜角度 α ($\alpha > \theta_a$) では剥離速度が堆積速度よりも大きくなる。また、堆積速度 $C-C'$ の場合、ほとんどの傾斜角度 α で、剥離速度が堆積速度よりも大きくなる。ここで、図5A(c)に示すように、堆積速度が剥離速度よりも大きくなる条件では、円錐台状柱37と、その外周に位置する基板36上に堆積された堆積材料層38a1、38a2、38a3は、時間 t_0 (堆積開始前)、 t_1 、 t_2 、 t_3 の経過と共に、基板36上と、円錐台状柱37の側面及び上面において繋がって形成される。一方、図5A(d)に示すように、堆積速度が剥離速度よりも小さくなる条件では、円錐台状柱37の側面での剥離速度が大きいことにより、基板36上に堆積する堆積材料層39a1、39a2、39a3と、円錐台状柱37上に堆積する堆積材料層39b1、39b2、39b3とが、互いに分離して形成される。このように、円錐台状柱37の側面の傾斜角度 α 及び堆積速度の設定を種種変更することにより、円錐台状柱37上及びその側面への堆積材料層の形状を変えることができる。

[0053] 以下、図5B、図5Cを参照しながら、第4実施形態に係る縦構造NAND型フラッシュメモリ素子の製造方法について説明する。ここで、図5B、図5Cを用いて説明する工程以外は、第1実施形態の工程と同様である。

[0054] 図5Bに示すように、図2Eに示すSi柱4a、4b、4c、4d上に形成した Si_3N_4 層2a、2b、2c、2dに代えて、円錐台状であり、且つ

、側面の傾斜角度が β である Si_3N_4 層2A、2B、2C、2Dを形成する。続いて、Si柱4a、4b、4c、4dの側面表層に、トンネル絶縁層となる SiO_2 層11a、11b、11c、11d（ SiO_2 層11cは図示せず。）を形成する。さらに全体を覆うように、データ電荷蓄積絶縁層となる Si_3N_4 層12と、層間絶縁層となる SiO_2 層13とを形成する。

[0055] 次に、図5Cに示すように、例えばバイアスパッタ法を用いて、ドナー又はアクセプタ不純物を含んだSi材料原子及び SiO_2 材料原子を、図5A（d）に示すように、円錐台状 Si_3N_4 層2A、2B、2C、2Dの傾斜角度 β に対して、堆積速度が剥離速度よりも小さくなる条件を用い、i層基板1aの表面に垂直な方向から入射させる。これにより、Si柱4a、4b、4c、4dの外周に、ドーパドSi層14a1、14a2、14anと、 SiO_2 層15a1、15a2、15anとを形成し、さらにその上方にTiN層16a、 SiO_2 層17aを形成する。これと同時に、Si柱4a、4b、4c、4d上に、円錐台形状を有し、それぞれが積層構造のドーパドSi層、 SiO_2 層からなる円錐台状積層材料層41a、41b、41c、41dが形成される。円錐台状積層材料層41a、41b、41c、41dが円錐台形状となった後では、入射したSi材料と、 SiO_2 材料とは、この円錐台状積層材料層41a、41b、41c、41d上に堆積されないため、円錐台状積層材料層41a、41b、41c、41dの高さ L_b は、Si柱4a、4b、4c、4dの外周に形成された、ドーパドSi層14a1、14a2、14anの厚さと、 SiO_2 層15a1、15a2、15anの厚さとを合計した厚さ L_a よりも短くなる。以下、図2G～図2Kに示す工程を行う。

[0056] 第1実施形態では、Si柱4a、4b、4c、4d上に、ドーパドSi層14a1、14a2、14anと、 SiO_2 層15a1、15a2、15anと、TiN層16a、 SiO_2 層17aとを合計した厚さ L_a と同じ厚さを有する、ドーパドSi層14b1、14b2、14bn、14c1、14c2、14cn、14d1、14d2、14dn、14e1、14e2、14enと、 SiO_2 層15b1、15b2、15bn、15c1、15c2、15

c n、15 d 1、15 d 2、15 d n、15 e 1、15 e 2、15 e nと、TiN層16 b b、16 c c、16 d d、16 e eと、SiO₂層17 b、17 c、17 d、17 eとが形成される。この場合、この後の洗浄工程等によって、ドーパドSi層14 b 1、14 b 2、14 b n、14 c 1、14 c 2、14 c n、14 d 1、14 d 2、14 d n、14 e 1、14 e 2、14 e nと、SiO₂層15 b 1、15 b 2、15 b n、15 c 1、15 c 2、15 c n、15 d 1、15 d 2、15 d n、15 e 1、15 e 2、15 e nと、TiN層16 b b、16 c c、16 d d、16 e eと、SiO₂層17 b、17 c、17 d、17 eとが倒れたり、曲がったりする不良が発生し易くなる。これに対して、第4実施形態によれば、円錐台状積層材料層41 a、41 b、41 c、41 dの高さL bは、Si柱4 a、4 b、4 c、4 dの外周に形成された、ドーパドSi層14 a 1、14 a 2、14 a nと、SiO₂層15 a 1、15 a 2、15 a nとを合計した厚さL aよりも短くなるので、その後の洗浄工程等における円錐台状積層材料層41 a、41 b、41 c、41 dの倒れや曲がりなどの不良の発生を防止することができる。

[0057] (第5実施形態)

以下、図6を参照しながら、本発明の第5実施形態に係る縦構造NAND型フラッシュメモリ素子の製造方法を説明する。図6に示す工程以外は、第1実施形態と同様である。

[0058] 図6に示すように、側面がi層基板1 aの表面に対して垂直なSi柱4 a、4 b、4 c、4 dに代えて、円錐台形状を有する円錐台状Si柱4 a a、4 b b、4 c c、4 d dを形成する。円錐台状Si柱4 a a、4 b b、4 c c、4 d dは、底部の直径が頂部の直径よりも大きい。次に、円錐台状Si柱4 a a、4 b b、4 c c、4 d dの側面表層に、例えば熱酸化法によってトンネル絶縁層となるSiO₂層11 a、11 b、11 c、11 d (SiO₂層11 cは図示せず。)を形成する。さらに全体を覆うように、データ電荷蓄積絶縁層として機能するSi₃N₄層12と、層間絶縁層として機能するSiO₂層13とを形成する。ここでは、円錐台状Si柱4 a a、4 b b、4 c

c、4 d dの底部周囲に形成したS i O₂層1 3の底部外周円の直径L cが、S i₃N₄層2 a、2 b、2 c、2 dの側面周囲に形成したS i O₂層1 3の側面外周円の直径L dよりも小さくなるようにする。

[0059] 第5実施形態では、バイアススパッタ法を用いて、ドナー又はアクセプタ不純物を含むS i材料原子と、S i O₂材料原子とを、i層基板1 aの上表面に垂直な方向から入射することで、円錐台状S i柱4 a a、4 b b、4 c c、4 d dの外周に形成する、ドーパドS i層1 4 a 1、1 4 a 2、1 4 a nと、S i O₂層1 5 a 1、1 5 a 2、1 5 a n、T i N層1 6 aと、S i O₂層1 7 aの側面と、円錐台状S i柱4 a a、4 b b、4 c c、4 d dの側面との間に、第1実施形態の気体層（空間）1 8 a、1 8 b、1 8 c、1 8 dと同様に気体層（空間）が形成される。これにより、第5実施形態によれば、第1実施形態と同様の効果が得られる。なお、S i柱4 a a、4 b b、4 c c、4 d dの形状は、以上のように円錐台形状でなくとも、S i柱4 a a、4 b b、4 c c、4 d dの外周に形成したS i O₂層1 3の側面外周円の中で最大の直径が、S i₃N₄層2 a、2 b、2 c、2 dの外周に形成したS i O₂層1 3の側面外周円の直径よりも小さくなるような樽型S i柱であっても、第1実施形態と同様の効果が得られる。なお、図6では、平面視において、S i柱4 a a、4 b b、4 c c、4 d dの外周縁が、気体層1 8 a、1 8 b、1 8 c、1 8 dの外周縁よりも内側にある。

[0060] （第6実施形態）

以下、図7 A～図7 Hを参照しながら、本発明の第6実施形態に係る縦構造NAND型フラッシュメモリ装置の製造方法について説明する。ここで、（a）は平面図であり、（b）は（a）におけるX-X'線に沿う断面構造図である。なお、S i柱4 a、4 bは図2 B～図2 KにおけるS i柱4 a、4 bに対応する。

[0061] 図7 Aに示すように、S i柱4 a、4 bが形成されたメモリ素子領域4 2の外周に、i層基板1 aに対して傾斜角度 θ_k で傾斜した外周部i層4 3 a、4 3 b（外周部i層4 3 a、4 3 bはメモリ素子領域4 2の外周で繋がって

いる。)を形成する。その後、図2C～図2Hに示す工程を行うことで、N⁺層5a、SiO₂層9、6a、6b、ドーパドSi層7、SiO₂層11aa、11bb、Si₃N₄層12a、SiO₂層13a、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15an、TiN層16aaを形成する。そして、Si柱4a、4b上にSi₃N₄層2a、2bを残存させる。SiO₂層9、ドーパドSi層7、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15an、TiN層16aは、例えばバイアスパッタ法を用いることで、材料原子をi層基板1aの上表面に垂直な方向から入射して形成する。それぞれのバイアスパッタ法による堆積は、図5A(c)を参照して説明したように、外周部i層43a、43bの傾斜角度θ_kにおいて、堆積速度が剥離速度よりも大きくなる条件で行う。また、SiO₂層11aa、11bb、Si₃N₄層12a、SiO₂層13aはALD法を用いて形成する。これによって、SiO₂層9、ドーパドSi層7、Si₃N₄層12a、SiO₂層13a、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15anは、Si柱4a、4bの外周の気体層(空間)18a、18bの外周において、外周部i層43a、43b上に繋がって形成される。TiN層16aaは、例えばバイアスパッタ法を用いることで、TiN材料原子をi層基板1aの上表面に垂直な方向から入射して堆積した後に、例えば550℃の熱処理による横方向に伸張する塑性変形を生じさせて形成する。TiN層16aaは、SiO₂層13aに接触し、且つ、外周部i層43a、43bに繋がって形成される。

[0062] 次に、図7Bに示すように、リソグラフィ法とRIEエッチング法とを用いて、Si柱4a、4bを含み、且つSi柱4a、4b間と外周部i層43b上に繋がるドーパドSi層7、Si₃N₄層12a、SiO₂層13a、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15an、TiN層16aaを形成する。

[0063] 次に、図7Cに示すように、CVD法によりSiO₂を堆積し、その後にC

MP法によって平坦化することで、その表面の高さが、外周部i層43b上のTiN層16aaの上表面よりも高い位置にあるSiO₂層45を形成する。

[0064] 次に、図7Dに示すように、CMP法を用いて、SiO₂層45、ドーパドSi層7、Si₃N₄層12a、SiO₂層13a、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15an、TiN層16aaを、その上表面の高さが外周部i層43a、43b上のSiO₂層9の上表面の高さにほぼ一致するようにエッチングすることで、表面を平坦化する。

[0065] 次に、図7Eに示すように、外周部i層43b上において上表面が露出しているドーパドSi層7、Si₃N₄層12a、SiO₂層13a、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15an、TiN層16aa上に、絶縁層であるSi₃N₄層46を形成する。続いて、リソグラフィ法とRIE法とを用いてSiO₂層9をエッチングすることで、SiO₂層47a、47bを形成する。続いて、SiO₂層47a、47bをマスクとして用い、外周部i層43aを、例えばRIE法を用いてエッチングすることで、底面の高さがTiN層16aaの上表面の高さとほぼ一致するように、Si柱48a、48bを形成する。その後、例えばエッチバック法を用いて、メモリ素子領域42上のSiO₂層45、9を、その上表面の高さがTiN層16aaの上表面の高さとほぼ一致するようにエッチングする。

[0066] 次に、図7Fに示すように、Si柱48aの底部に、リソグラフィ法、アクセプタ不純物イオン注入法、及び熱拡散法を用いることで、P⁺層51aを形成する。これと同様にSi柱48bの底部に、リソグラフィ法、アクセプタ不純物イオン注入法、熱拡散法を用いて、N⁺層52aを形成する。続いて、Si柱4a、4b、48a、48bの外周全体に、SiO₂層50を形成する。その後、Si柱4a、4b、48a、48bを覆うように、ALD法を用いてHfO₂層53とTiN層54とを全体に堆積する。

[0067] 次に、図7Gに示すように、リソグラフィ法とR I E法とを用いて、T i N層54をエッチングすることで、S i柱48a、48bを囲み、且つS i柱48a、48bに繋がるT i N層54aを形成する。これと同時に、S i柱4a、4bを囲み、且つS i柱4a、4bに繋がるT i N層54bを形成する。続いて、S i柱4a、4b、48a、48bの頂部にあるH f O₂層53、T i N層54a、54bを除去する。その後、リソグラフィ法、イオン注入法を用いて、S i柱48aの頂部にP⁺層51bを形成し、S i柱48b、4a、4bの頂部にN⁺層52b、55a、55bを形成する。

[0068] 次に、図7Hに示すように、C V D法を用いてS i O₂を堆積し、その後にC M P法を用いて、表面が平滑に研磨されたS i O₂層56を、その表面の高さが外周部i層43bよりも上方になるように形成する。続いて、S i柱48a上にコンタクトホール57a、S i柱48b上にコンタクトホール57b、T i N層53a上にコンタクトホール57c、外周部i層43aの表層に形成されたP⁺層51aとN⁺層52aの境界線上にコンタクトホール57dをそれぞれ形成する。続いて、コンタクトホール57aを介してP⁺層51bと接続した電源配線金属層V d dと、コンタクトホール57bを介してN⁺層52bと接続したグランド配線金属層V s sと、コンタクトホール57cを介してT i N層53aと接続した入力配線金属層V i nと、コンタクトホール57dを介してP⁺領域51a、N⁺層52aと接続した出力配線金属層V o u tとをそれぞれ形成する。続いて、全体を覆うように、C V D法とC M P法とを用いることで、表面が平滑なS i O₂層58を形成する。続いて、T i N層53b上にコンタクトホール59aを、S i柱4a上にコンタクトホール59bを、外周部i層43bの上部まで持ち上げられたドーパドS i層14a1上にコンタクトホール59dを、外周部i層43bの上部まで持ち上げられたドーパドS i層14a2上にコンタクトホール59eを、外周部i層43bの上部まで持ち上げられたドーパドS i層14an上にコンタクトホール59fを形成する。その後、コンタクトホール59aを介してT i N層53bと接続したドレイン側選択ゲート配線金属層S G Dと、コンタ

クトホール59bを介してN⁺層55aと接続したビット線配線金属層BLaと、コンタクトホール59cを介してN⁺層55bと接続したビット線配線金属層BLbと、コンタクトホール59dを介してドープドSi層14a1と接続したワード線配線金属層WL1と、コンタクトホール59eを介してドープドSi層14a2と接続したワード線配線金属層WL2と、コンタクトホール59fを介してドープドSi層14anと接続したワード線配線金属層WLnとが形成される。これと同様にして、N⁺層5aはコモンソース配線層に、ドープドSi層7はソース側選択ゲート配線層に接続される（コモンソース配線層、ソース側選択ゲート配線層は図示せず）。

[0069] 図7Hに示すように、外周部i層43a上において、P⁺層51aがソースとして機能し、P⁺層51bがドレインとして機能し、P⁺層51a、51b間のSi柱48aがチャネルとして機能し、TiN層54aがゲートとして機能するPチャネルSGT（Surrounding Gate MOS Transistor）と、N⁺層52aがソースとして機能し、N⁺層52bがドレインとして機能し、N⁺層52a、52b間のSi柱48bがチャネルとして機能し、TiN層54aがゲートとして機能するNチャネルSGTとが形成される（SGTに関しては、例えば、特許文献3を参照）。Si柱48a、48bに形成されたNチャネルSGT、PチャネルSGTからCMOSインバータ回路が形成され、メモリ素子領域42におけるSi柱4a、4bには、図1に示すような、n段のメモリセル・トランジスタが直列に接続された縦構造NAND型フラッシュメモリ素子が形成される。

[0070] 第6実施形態によれば、以下の効果が奏される。

1. Si柱48aに形成されたPチャネルSGTと、Si柱48bに形成されたNチャネルSGTと、Si柱4aとSi柱4bとの頂部に形成された縦構造NAND型フラッシュメモリ素子のドレイン側選択トランジスタとが、互いに同じ高さに形成される。これにより、PチャネルSGTと、NチャネルSGTと、ドレイン側選択トランジスタのゲート絶縁層であるHfO₂層53とを同時に形成することができる。これと同様に、PチャネルSGTと、

NチャネルSGTと、ドレイン側選択トランジスタのゲート導体層であるTiN層54とを同時に形成することができる。これと同様に、NチャネルSGTのN⁺層52bと、縦構造NAND型フラッシュメモリ素子のN⁺層55a、55bとを同時に形成することができる。このように、外周部i層43a上に存在するPチャネルSGTとNチャネルSGTとからなる周辺回路の形成に必要な工程と、縦構造NAND型フラッシュメモリ素子のドレイン側選択トランジスタの形成に必要な工程との多くが共通化できる。これにより、製造するNAND型フラッシュメモリ装置の低コスト化が実現される。

2. 縦構造NAND型フラッシュメモリ素子においてワード線導体層として機能するドーパドSi層14a1、14a2、14anと、各ドーパドSi層14a1、14a2、14anとを絶縁するためのSiO₂層15a1、15a2、15anとは、バイアスパッタ法を用いて、i層基板1aの表面に垂直な方向から材料原子を入射させることにより形成した。この材料層の堆積について、Si柱4a、4bにおいては、Si₃N₄層2a、2bをマスクとして用い、外周部i層43a、43bの側面角度θ_kに対して、バイアスパッタの堆積速度が剥離速度よりも大きくなる条件で形成した。これにより、Si柱4a、4bの外周に気体層（空間）18a、18bを形成することができるとともに、ドーパドSi層14a1、14a2、14an、SiO₂層15a1、15a2、15anは外周部i層43bの側面に繋がって形成される。この結果、ワード線配線金属層WL1、WL2、WL_nを、底面が同じ高さであるコンタクトホール59d、59e、59fを介して形成することができる。このため、ワード線配線金属層WL1、WL2、WL_nを形成するための工程が簡略化され、NAND型フラッシュメモリ装置の製造の低コスト化が図れる。

[0071] なお、第1実施形態では、ドーパドSi層14a1とSiO₂層15a1を一つの組とすると、少なくとも3つの組のドーパドSi層14a1、14a2、14anと、SiO₂層15a1、15a2、15anとを、縦構造NANDフラッシュメモリに適用した場合について説明したが、一組のドーパド

S i 層 1 4 a 1 と S i O₂ 層 1 5 a 1 とからなる、例えば N O R 型など他の E E P R O M (Electrically Erasable Programmable Read Only Memory) 装置にも適用することができる。このことは、本発明に係る他の実施形態においても同様に適用可能である。

[0072] 第 1 実施形態では、バイアススパッタ法を用いて、ドナー又はアクセプタ不純物を含む S i 材料原子と、S i O₂ 材料原子とを、i 層基板 1 a の上表面に垂直な方向から入射することで、S i 柱 4 a、4 b、4 c、4 d の外周に、ドーパド S i 層 1 4 a 1、1 4 a 2、1 4 a n と、S i O₂ 層 1 5 a 1、1 5 a 2、1 5 a n とを形成したが、ドナー又はアクセプタ不純物を含む S i 材料と、S i O₂ 材料とを、i 層基板 1 a の上表面に垂直な方向から入射することで、ドーパド S i 層 1 4 a 1、1 4 a 2、1 4 a n と、S i O₂ 層 1 5 a 1、1 5 a 2、1 5 a n とを形成することが可能な方法であれば、他の方法を用いても良い。このことは、本発明に係る他の実施形態においても同様に適用される。

[0073] なお、第 1 実施形態における、ドーパド S i 層 1 4 a 1、1 4 a 2、1 4 a n は、アモルファス S i、又はポリ S i であってもよい。このことは、本発明に係る他の実施形態においても同様に適用される。

[0074] 第 1 実施形態における、ドーパド S i 層 1 4 a 1、1 4 a 2、1 4 a n は、導電性を有する材料層であってもよい。このことは、本発明に係る他の実施形態においても同様に適用される。

[0075] 第 1 実施形態における、トンネル絶縁層として機能する S i O₂ 層 1 1 a、1 1 b、1 1 c、1 1 d、データ電荷蓄積層として機能する S i₃N₄ 層 1 2 a、層間絶縁層として機能する S i O₂ 層 1 3 a は、それぞれの層の機能を実現できる材料層であれば、他の材料層を用いてもよい。このことは、本発明に係る他の実施形態においても同様に適用される。

[0076] 第 1 実施形態では、T i N 層 1 6 a、又はポリ S i 層とニッケル (N i) との積層体を用いて、熱処理により生じる塑性変形または体積膨張により、T i N 層 1 6 a 又は N i S i 層が図の横方向に膨張することで、気体層 (空

間) 18a、18b、18c、18dの上部が密閉される。このようなTiN層、又はNiSi層と同様に、気体層18a、18b、18c、18dの上部が密閉される材料層であれば、他の材料層を用いてもよい。このことは、本発明に係る他の実施形態においても同様に適用される。

[0077] 第1実施形態においては、ソース側選択ゲート配線金属層（導体層）、及びドレイン側選択ゲート配線金属層（導体層）として、ドーパドSi層7、20aを例として説明した。しかしこれに限られず、導体層であれば、他の材料層を用いてもよい。このことは、本発明に係る他の実施形態においても同様に適用される。

[0078] 第1実施形態では、NAND型フラッシュメモリ素子をSi柱4a、4b、4c、4dに形成した。しかしこれに限られず、NAND型フラッシュメモリ素子は他の半導体柱に形成することもできる。このことは、本発明に係る他の実施形態においても同様に適用される。

[0079] 第1実施形態では、真円状のレジスト層3a、3b、3c、3dをマスクとして用い、 Si_3N_4 膜を、例えばRIE（Reactive Ion Etching）法を用いてエッチングすることで、 Si_3N_4 層2a、2b、2c、2dを形成した。しかしこれに限られず、レジスト層3a、3b、3c、3d、 Si_3N_4 層2a、2b、2c、2dの平面視での形状は例えば楕円状であってもよい。このことは、本発明に係る他の実施形態においても同様に適用される。

[0080] 第1実施形態では、レジスト層3a、3b、3c、3dと、 Si_3N_4 層2a、2b、2c、2dとの両層をマスクとして用い、例えばRIE法を用いてi層基板1をエッチングすることで、Si柱4a、4b、4c、4dを形成した。しかしこれに限られず、レジスト層3a、3b、3c、3dと、 Si_3N_4 層2a、2b、2c、2dとの両層をエッチングマスクとして用いず、いずれか一方をエッチングマスクとして用いることで、i層基板1のエッチングを行うこともできる。また、レジスト層3a、3b、3c、3dと、 Si_3N_4 層2a、2b、2c、2dが有する機能を実現可能なものであれば、他の材料層を用いてもよい。このことは、本発明に係る他の実施形態にお

いても同様に適用される。

[0081] 第1実施形態では、ワード線となるドーパドS i 層14 a 1、14 a 2、14 a n、そしてソース側選択線となるドーパドS i 層7は、S i 柱4 a、4 b、4 c、4 dの外周部に繋がり形成された構造を用いて説明した。このような構造だけでなく、装置動作の仕様に従って、ドレイン側選択線となるドーパドS i 層20 a、20 bと同様に、S i 柱4 a、4 bの外周部と、S i 柱4 c、4 dの外周部とに繋がったドーパドS i 層に分離した構造であっても本発明の技術思想の範囲内である。このことは、本発明に係る他の実施形態においても同様に適用される。

[0082] 第1実施形態では、S i 柱4 a、4 b、4 c、4 dにおいて、底部にコモンスソースのN⁺層5 aがあり、頂部にドレインのN⁺層24 a、24 b、24 c、24 dがある構造を用いて説明したが、1つのNAND型フラッシュメモリ素子を2つのS i 柱で形成する縦型NAND型フラッシュメモリ素子（例えば、特許文献4を参照）にも本発明の技術思想を適用することができる。この場合、コモンスソースN⁺層5 a、ドレインN⁺層24 a、24 b、24 c、24 dは、S i 柱4 a、4 b、4 c、4 dの頂部に形成され、NAND型フラッシュメモリ素子のチャネルは、コモンスソースN⁺層に繋がるS i 柱のチャネルと、これに繋がる一方のドレインN⁺層に繋がるS i 柱のチャネルと、から構成される。このことは、本発明に係る他の実施形態においても同様に適用される。

[0083] 第2実施形態における水素熱処理について、第1実施形態を例にして説明した。このことは、本発明に係る他の実施形態においても同様に適用される。

[0084] 第4実施形態で説明した内容は、本発明に係る他の実施形態においても適用される。

[0085] 第4実施形態では、S i₃N₄層2 a、2 b、2 c、2 dに代えて円錐台状S i₃N₄層2 A、2 B、2 C、2 Dを形成し、この円錐台状S i₃N₄層2 A、2 B、2 C、2 D上に、円錐台状積層材料層41 a、41 b、41 c、4

1 dを形成した。円錐台状積層材料層4 1 a、4 1 b、4 1 c、4 1 dは、このように円錐台状でなくても、先細りの形状であればよい。このことは、本発明に係る他の実施形態においても同様に適用可能である。

[0086] 第6実施形態では、S i柱4 8 a、4 8 bの底面の高さがT i N層1 6 a aの上表面の高さにほぼ一致するようにした。しかしこれに限られず、S i柱4 8 a、4 8 bにS G Tが形成される限り、S i柱4 8 a、4 8 bの底面の高さは、T i N層1 6 a a表面の高さ近傍であればよい。

[0087] 第6実施形態では、単層のT i N層5 4を用いた。しかしこれに限られず、単層のT i N層5 4に代えて、例えばポリS i層と2層構造、または他の材料層を用いることも可能である。

[0088] 第6実施形態では、コンタクトホール5 9 d、5 9 e、5 9 fを、N A N D型フラッシュメモリ素子が形成されたS i柱4 a、4 bの中心線X-X'線の近傍に形成した。しかしこれに限られず、ドープドS i層1 4 a 1、1 4 a 2、1 4 a nは、メモリ素子領域4 2の全域に繋がって形成されているので、図7 Hに示すように、必ずしもX-X'線の近傍に集合させて形成する必要はない。

[0089] 第6実施形態では、外周部i層4 8上のS i柱4 8 a、4 8 bにNチャネル、PチャネルS G TからなるC M O Sインバータ回路が形成された例を用いて説明したが、他のS G Tを用いた回路を形成した場合にも、本発明の技術思想が適用されることは言うまでもない。

[0090]

産業上の利用可能性

[0091] 本発明によれば、高密度、低価格の柱状半導体メモリ装置と、これらを用いた高性能、新機能電子装置が提供される。

符号の説明

[0092] W T 1 1、W T 1 2、W T 1 n、W T 2 1、W T 2 2、W T 2 n メモリセル・トランジスタ

W 1、W 2、W n ワード線

STS 1、STS 2 ソース側選択トランジスタ

STD 1、STD 2 ドレイン側選択トランジスタ

CSL コモンソース線

BL 1、BL 2 ビット線

1、1 a i 層基板

2 a、2 b、8、12、2 A、2 B、2 C、2 D、46 Si₃N₄層

3 a、3 b、3 c、3 d、26 a、26 b レジスト層

4 a、4 b、4 c、4 d、48 a、48 b Si 柱

5、5 a、24 a、24 b、24 d、52 b、55 a、55 b N⁺層

51 a、51 b P⁺層

6 a、6 b、6 c、6 d、9、10 a、10 b、10 c、10 d、11 a、11 b、11 c、11 d、13、15 a 1、15 a 2、15 b 1、15 b 2、15 b n、15 c 1、15 c 2、15 c n、15 e 1、15 e 2、15 e n、17 a、17 b、17 c、17 e、21、21 a、35 a、35 b、45、47 a、47 b、50、56、58 SiO₂層

7、14 a 1、14 a 2、14 a n、14 b 1、14 b 2、14 b n、14 c 1、14 c 2、14 c n、14 e 1、14 e 2、14 e n、20、20 a、20 b ドープドSi層

16 a、16 b、16 c、16 e、16 a a、16 b b、16 c c、16 e e、54 TiN層

18 a、18 b、18 d 気体層（空間）

29 a、29 b、29 c、29 d、57 a、57 b、57 c、57 d、59 a、59 b、59 c、59 d、59 e、59 f コンタクトホール

30 a、30 b 金属配線層

36 基板

37 円錐台状柱

38 a 1、38 a 2、38 a 3、39 a 1、39 a 2、39 a 3、39 b 1、39 b 2、39 b 3 堆積材料層

t 0、t 1、t 2、t 3 時間

4 1 a、4 1 b、4 1 c、4 1 d 円錐台状積層材料層

4 2 メモリ素子領域

4 3 a、4 3 b 外周部 i 層

V d d 電源線配線金属層

V s s グランド配線金属層

V i n 入力配線金属層

V o u t 出力配線金属層

B L a、B L b ビット線配線金属層

A G D ドレイン側選択線配線金属層

S G D ドレイン側選択ゲート配線金属層

W L 1、W L 2、W L n ワード線配線金属層

請求の範囲

[請求項1]

半導体基板と、
前記半導体基板上において、前記半導体基板の表面に垂直な方向に延びる第1の半導体柱と、
前記第1の半導体柱の外周を囲むトンネル絶縁層と、
前記トンネル絶縁層の外周を囲むデータ電荷蓄積絶縁層と、
前記データ電荷蓄積絶縁層の外周を囲む第1の層間絶縁層と、
前記第1の層間絶縁層の外周を囲む空間と、
前記空間の外周を囲む第1の導体層と、
前記第1の導体層と前記空間の外周を囲む第2の層間絶縁層とを一組とする積層材料層が、前記半導体基板の上表面に垂直な方向に単層又は複数層形成されており、
前記第1の導体層に印加される電圧によって、前記トンネル絶縁層を介した前記第1の半導体柱と前記データ電荷蓄積絶縁層との間でのデータ電荷の移動によるデータ書き込み及び消去、又は前記データ電荷蓄積絶縁層によるデータ電荷の保持が行なわれる、
ことを特徴とする柱状半導体メモリ装置。

[請求項2]

前記第1の半導体柱の外周、且つ、前記積層材料層の上方に形成され、前記第1の層間絶縁層の側面に接する第2の導体層をさらに有する、
ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項3]

前記積層材料層が複数層形成されており、
前記積層材料層の下方に形成され、前記第1の半導体柱の外周を囲む第1のゲート絶縁層と、
前記第1のゲート絶縁層の外周を囲む第3の導体層と、
前記第3の導体層の下方、且つ、前記第1の半導体柱の底部に形成され、ドナー又はアクセプタ不純物を含む第1の不純物領域と、
前記積層材料層の上方に形成され、前記第1の半導体柱の外周を囲む

む第2のゲート絶縁層と、

前記第2のゲート絶縁層の外周を囲む第4の導体層と、

前記第1の半導体柱の頂部に形成され、前記第1の不純物領域と同じ導電型を有する第2の不純物領域とを有し、

前記積層材料層の前記第1の導体層が、ワード線配線金属層に接続され、

前記第3の導体層が、ソース側選択ゲート配線金属層に接続され、

前記第1の不純物領域が、コモンソース配線金属層に接続され、

前記第4の導体層が、ドレイン側選択ゲート配線金属層に接続され

、

前記第2の不純物領域が、ビット線配線金属層に接続されることで

、

前記第1の半導体柱にNAND型フラッシュメモリ素子が形成されている、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項4]

平面視において、前記第1の半導体柱の外周縁が、前記空間の外周縁よりも内側にある、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項5]

前記第1の半導体柱が形成されたメモリ素子領域の外周に形成された第1の外周部半導体領域と、

前記第1の外周部半導体領域に含まれる第2の外周部半導体領域に形成され、頂部の高さが、前記第1の半導体柱の頂部の高さとはほぼ一致しており、且つ、底面の高さが、前記第4の導体層の底面の高さとはほぼ一致している第2の半導体柱と、

前記第2の半導体柱の外周を囲む第3のゲート絶縁層と、

前記第3のゲート絶縁層の外周を囲むように形成され、前記第4の導体層と上下端の高さがほぼ一致している第5の導体層と、

前記第5の導体層の上方、且つ、前記第2の半導体柱の頂部に形成

され、ドナー又はアクセプタ不純物を含む第3の不純物領域と、

前記第5の導体層の下方、且つ、前記第2の半導体柱の底部に形成され、前記第3の不純物領域と同じ導電型を有する第4の不純物領域と、を備え、

前記第3の不純物領域及び前記第4の不純物領域の一方がソースである場合に、他方がドレインであり、前記第3の不純物領域と、前記第4の不純物領域とによって挟まれた前記第2の半導体柱をチャンネルとし、前記第5の導体層をゲートとするSGT (Surrounding Gate MOS Transistor) が形成されている、

ことを特徴とする請求項3に記載の柱状半導体メモリ装置。

[請求項6]

前記半導体基板上において、前記第1の半導体柱の外周を囲むように形成されるとともに、前記第1の外周部半導体領域の側面、及び上面まで延在した第3の層間絶縁層をさらに備え、

前記積層材料層は、前記第3の層間絶縁層上に形成され、

前記積層材料層の上表面の高さは、前記第1の外周部半導体領域上に存在する前記第3の層間絶縁層の上表面の高さとほぼ一致しており、

前記第1外周部半導体領域の側面上端に上表面を有する前記積層材料層の前記第1の導体層の上表面に接続されたコンタクトホールをさらに備え、

前記コンタクトホールを介して、前記第1の導体層と前記ワード線配線金属層とが接続されている、

ことを特徴とする請求項3に記載の柱状半導体メモリ装置。

[請求項7]

半導体基板上に、平面視円形のマスク絶縁層を形成するマスク絶縁層形成工程と、

前記マスク絶縁層をマスクとして用い、前記半導体基板をエッチングすることで、前記半導体基板上に、半導体柱を形成するとともに、前記半導体柱の側面をその内側に後退させることにより、第1の半導

体柱を形成する第1半導体柱形成工程と、

前記第1の半導体柱の外周を囲むようにトンネル絶縁層を形成するトンネル絶縁層形成工程と、

前記トンネル絶縁層の外周を囲むようにデータ電荷蓄積絶縁層を形成するデータ電荷蓄積絶縁層形成工程と、

前記データ電荷蓄積絶縁層の外周を囲むように第1の層間絶縁層を形成する第1層間絶縁層形成工程と、

前記マスク絶縁層の上表面に垂直な方向から材料原子を入射することで、前記第1の半導体柱の外周、且つ、前記半導体基板の上方に第1の導体層を形成する第1導体層形成工程と、

前記マスク絶縁層の上表面に垂直な方向から、前記第1の導体層上に材料原子を入射することで、第2の層間絶縁層を形成する第2層間絶縁層形成工程と、

前記第1の導体層形成工程と前記第2層間絶縁層形成工程とに並行して、前記第1の層間絶縁層の側面と、前記第1の導体層及び前記第2の層間絶縁層の側面との間に、空間を形成する空間形成工程と、

前記第1の導体層と前記第2の層間絶縁層とを一組として形成される積層材料層を、前記半導体基板の上表面に垂直な方向に単層又は複数層形成する積層材料層形成工程と、を備え、

前記第1の導体層に印加される電圧により、前記トンネル絶縁層を介した前記第1の半導体柱と前記データ電荷蓄積絶縁層との間でのデータ電荷の移動によるデータ書き込み及び消去、又は前記データ電荷蓄積絶縁層によるデータ電荷の保持が行なわれる、

ことを特徴とする柱状半導体メモリ装置の製造方法。

[請求項8]

前記マスク絶縁層の上表面に垂直な方向から材料原子を入射することで、前記第1の半導体柱の外周、且つ、前記積層材料層の上方に第2の導体層を形成する第2導体層形成工程と、

熱処理によって、前記第2の導体層を、前記半導体基板の上表面に

平行な方向に膨張させることで、前記第2の導体層と前記第1の層間絶縁層とを接続する第2導体層・第1層間絶縁層接続工程を有する、
ことを特徴とする請求項7に記載の柱状半導体メモリ装置の製造方法。

[請求項9] 前記積層材料層形成工程の後から、前記第2導体層・第1層間絶縁層接続工程の間において、水素を含む雰囲気の下、熱処理を行う、
ことを特徴とする請求項7に記載の柱状半導体メモリ装置の製造方法。

[請求項10] 前記積層材料層形成工程の後から、前記第2導体層・第1層間絶縁層接続工程の間において、酸素を含む雰囲気の下、熱処理を行うことで、前記第2の導体層の側面表層に酸化絶縁層を形成する、
ことを特徴とする請求項7に記載の柱状半導体メモリ装置の製造方法。

[請求項11] 前記第1の半導体柱上に、前記マスク絶縁層として、円錐台形状を有する円錐台状マスク絶縁層を形成する円錐台状マスク絶縁層形成工程と、

前記半導体基板の上表面に垂直な方向から材料原子を入射するとともに、前記円錐台状マスク絶縁層側面における前記材料原子の堆積速度が、前記材料原子の剥離速度よりも小さい条件で前記材料原子を堆積させることで、前記積層材料層を前記半導体基板の上方に形成し、前記円錐台状マスク絶縁層上に、前記積層材料層と共通する材料層からなる円錐形状の円錐状積層材料層を形成する円錐状積層材料層形成工程と、を備える、

ことを特徴とする請求項7に記載の柱状半導体メモリ装置の製造方法。

[請求項12] 前記積層材料層の下方において、第1の半導体柱の外周を囲むように第1のゲート絶縁層を形成する第1ゲート絶縁層形成工程と、

前記第1のゲート絶縁層の外周を囲むように第3の導体層を形成す

る第3導体層形成工程と、

前記第3の導体層の下方、且つ、前記第1の半導体柱の底部に、ドナー又はアクセプタ不純物を含む第1の不純物領域を形成する第1不純物形成工程と、

前記積層材料層の上方において、前記第1の半導体柱の外周を囲むように第2のゲート絶縁層を形成する第2ゲート絶縁層形成工程と、

前記第2のゲート絶縁層の外周を囲むように第4の導体層を形成する第4導体層形成工程と、

前記第4の導体層の上方に、前記第1の不純物領域と同じ導電型を有する第2の不純物領域を形成する第2不純物形成工程とを有し、

前記積層材料層の前記第1の導体層を、ワード線配線金属層に接続し、

前記第3の導体層を、ソース側選択ゲート配線金属層に接続し、

前記第1の不純物領域を、コモンソース配線金属層に接続し、

前記第4の導体層を、ドレイン側選択ゲート配線金属層に接続し、

前記第2の不純物領域を、ビット線配線金属層に接続することで、

前記第1の半導体柱にNAND型フラッシュメモリ素子を形成する

、

ことを特徴とする請求項7に記載の柱状半導体メモリ装置の製造方法。

[請求項13]

前記第1の半導体柱が形成されたメモリ素子領域の外周に、第1の外周部半導体領域を形成する第1外周部半導体領域形成工程と、

前記第1の外周部半導体領域に含まれる第2の外周部半導体領域に形成され、頂部の高さが、前記第1の半導体柱の頂部の高さとはほぼ一致しており、且つ、底面の高さが、前記第4の導体層の底面の高さとはほぼ一致している第2の半導体柱を形成する第2半導体柱形成工程と

、

前記第2の半導体柱の外周を囲むように、第3のゲート絶縁層を形

成する第3ゲート絶縁層形成工程と、

前記第3のゲート絶縁層の外周を囲むように、前記半導体基板の垂直方向において、前記第4の導体層の上下端の高さと、上下端の高さがほぼ一致している第5の導体層を形成する第5導体層形成工程と、

前記第5の導体層の上方、且つ、前記第2の半導体柱の頂部に、ドナー又はアクセプタ不純物を含む第3の不純物領域を形成する第3不純物領域形成工程と、

前記第5の導体層の下方、且つ、前記第2の半導体柱の底部に、前記第3の不純物領域と同じ導電型を有する第4の不純物領域を形成する第4不純物領域形成工程と、を備え、

前記第3の不純物領域及び前記第4の不純物領域の一方がソースである場合に、他方がドレインであり、前記第3の不純物領域と、前記第4の不純物領域とによって挟まれた前記第2の半導体柱をチャンネルとし、前記第5の導体層をゲートとするSGT (Surrounding Gate MOS Transistor) が形成されている、

ことを特徴とする請求項11に記載の柱状半導体メモリ装置の製造方法。

[請求項14]

前記半導体基板上において、前記第1の半導体柱の外周を囲むように、前記第1の外周部半導体領域の側面、及び上面まで延在した第3の層間絶縁層を形成する第3の層間絶縁層形成工程をさらに備え、

前記積層材料層を、前記第3の層間絶縁層上に形成し、

前記積層材料層の上面の高さが、前記第1の外周部半導体領域上に存在する前記第3の層間絶縁層の上面の高さとほぼ一致するようにし、

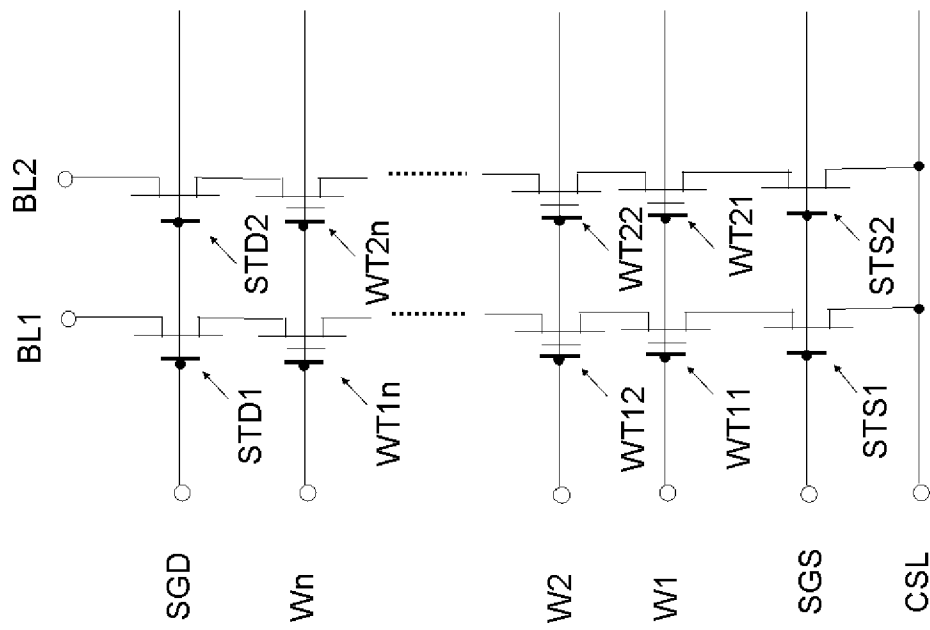
前記第2の外周部半導体領域の側面上端に上表面を有する前記積層材料層の前記第1の導体層の上表面に接続されたコンタクトホールを形成し、

前記コンタクトホールを介して、前記第1の導体層と前記ワード線

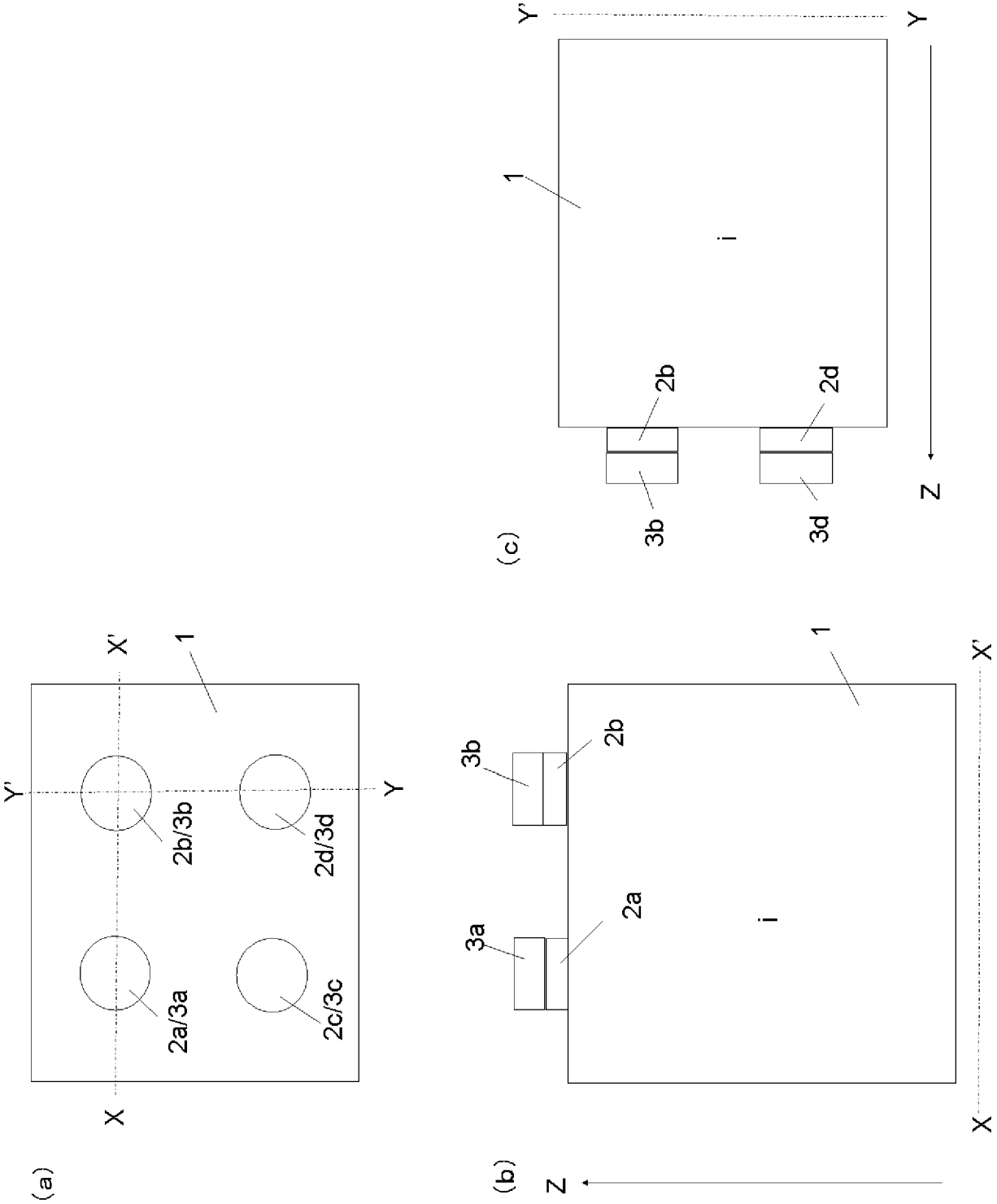
配線金属層とを接続する、

ことを特徴とする請求項 1 1 に記載の柱状半導体メモリ装置の製造方法。

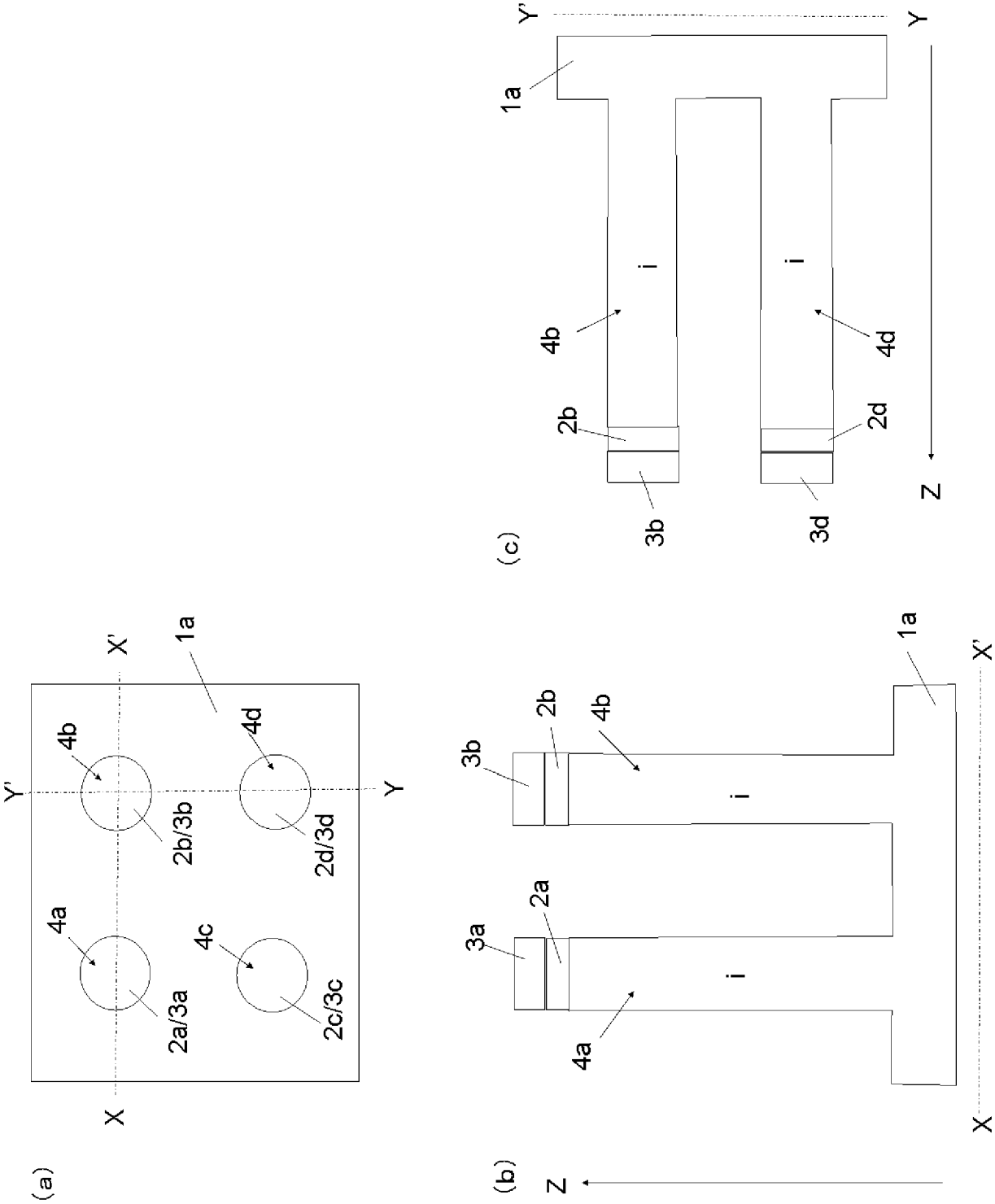
[図1]



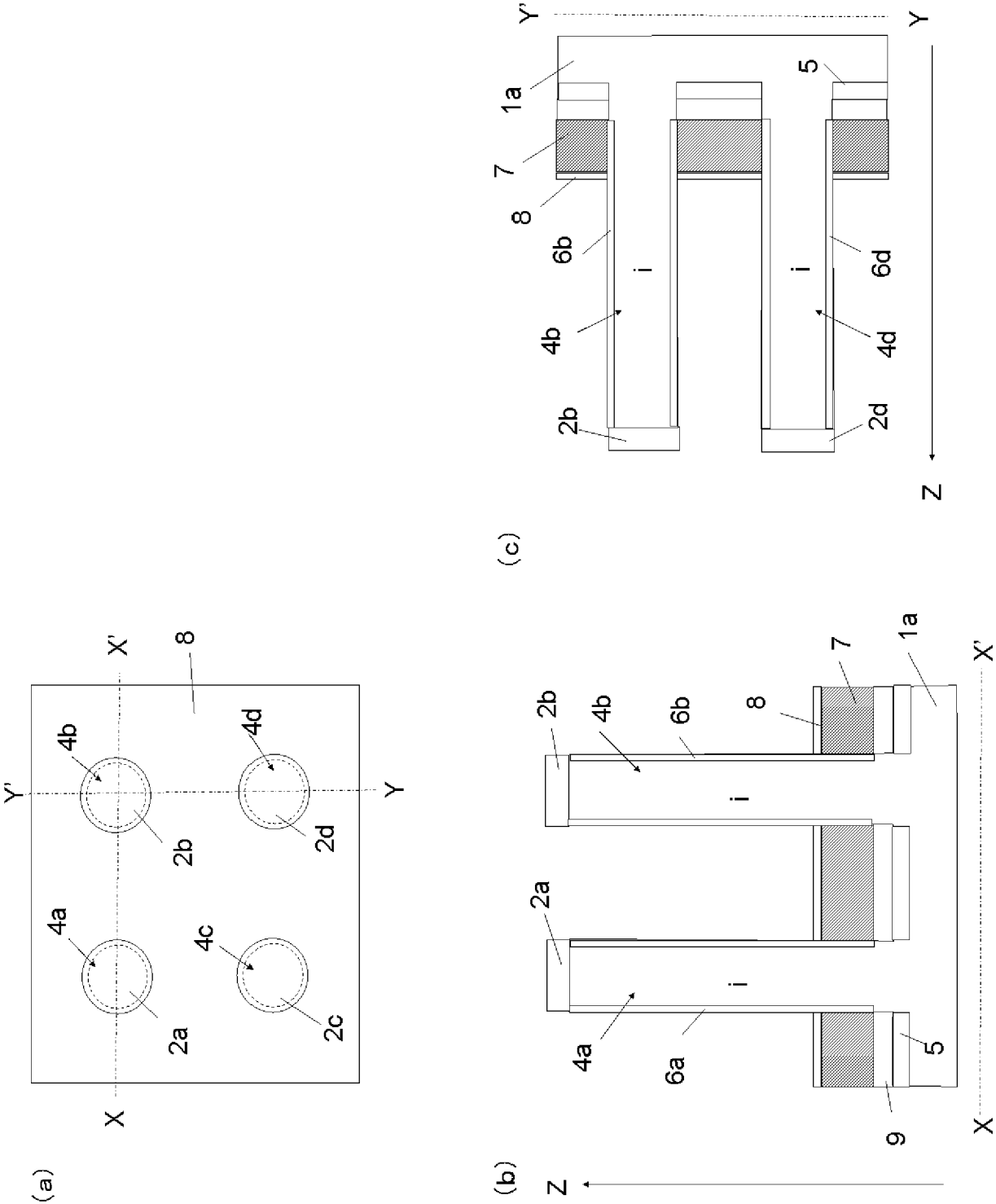
[図2A]



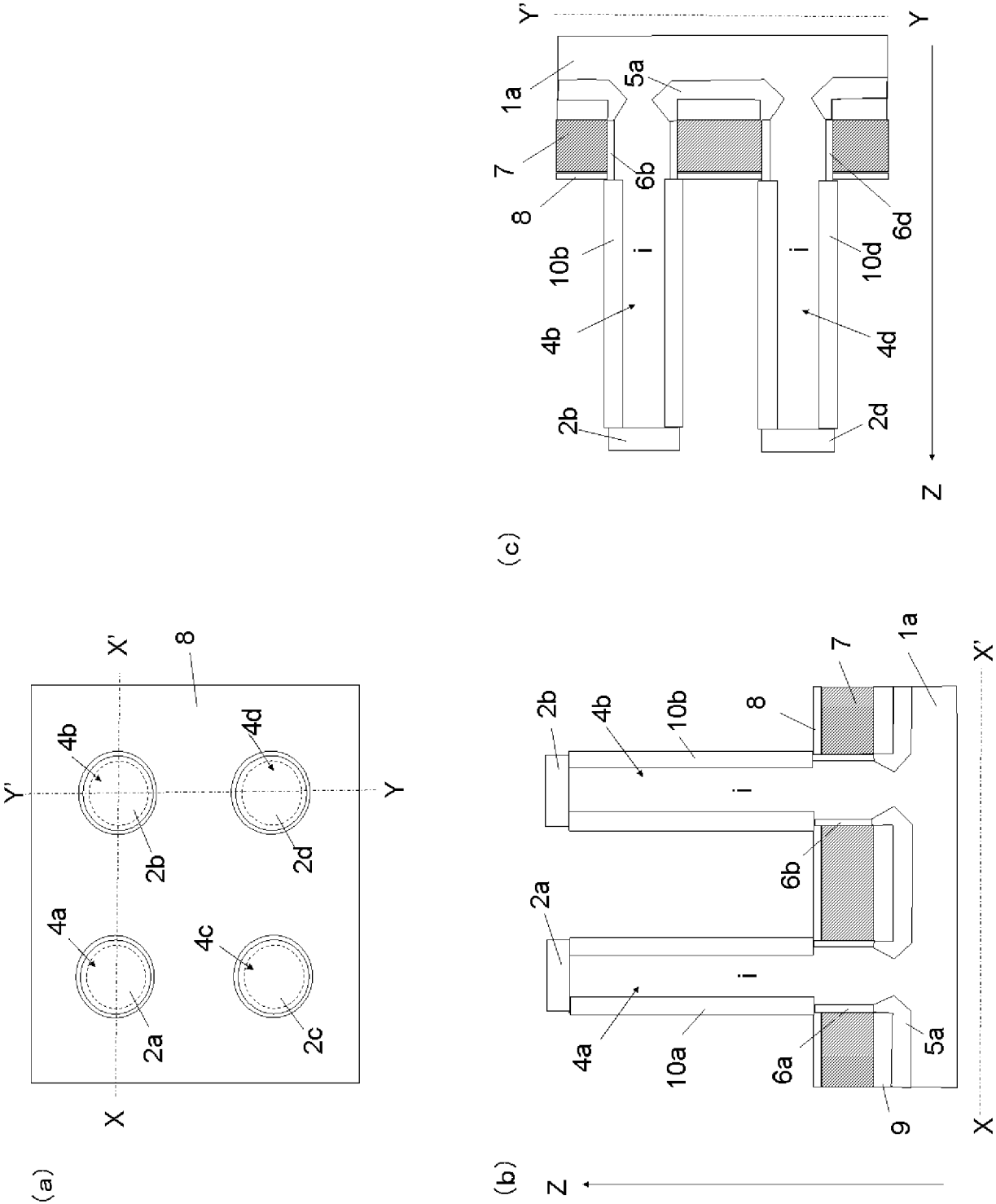
[図2B]



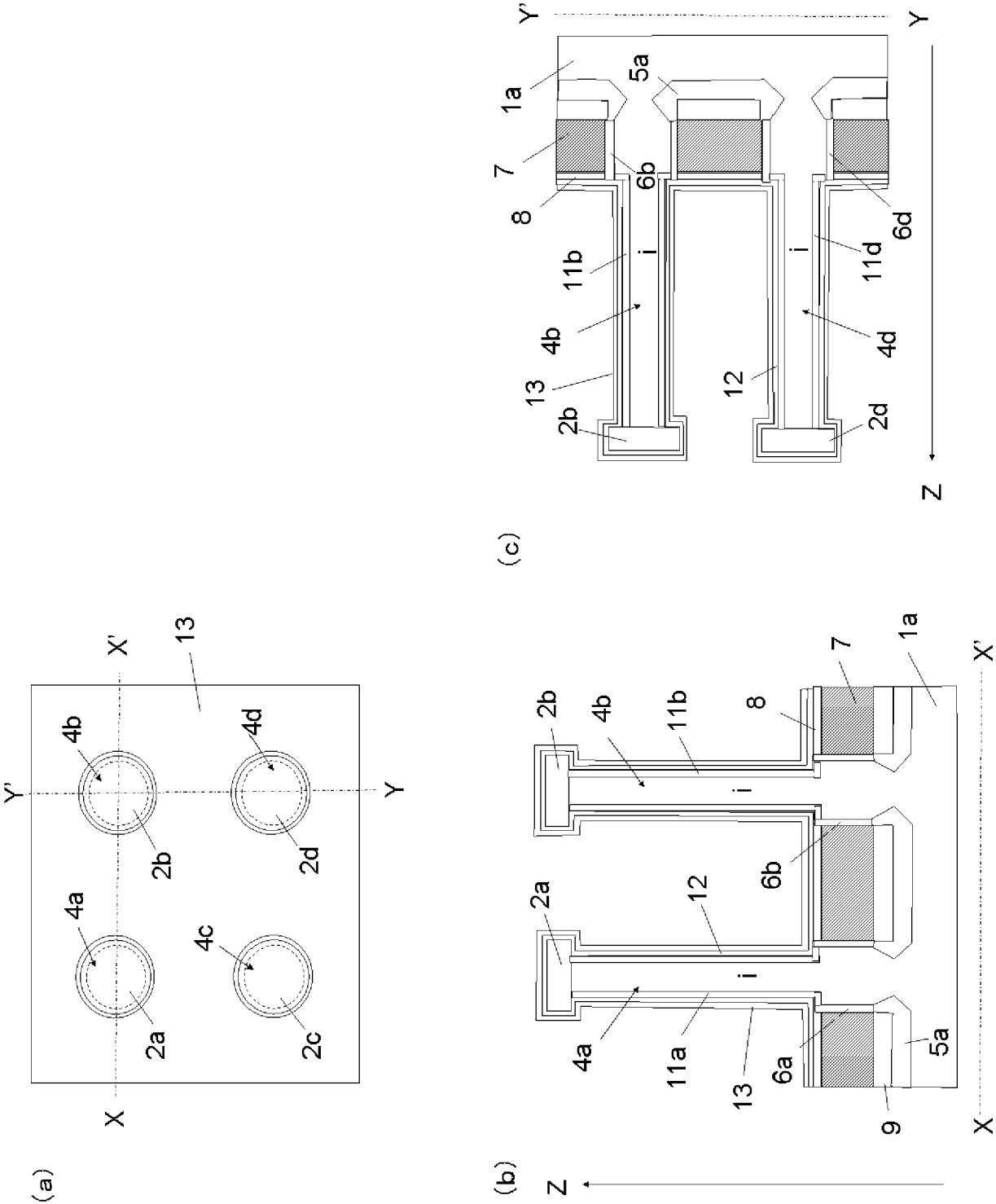
[図2C]



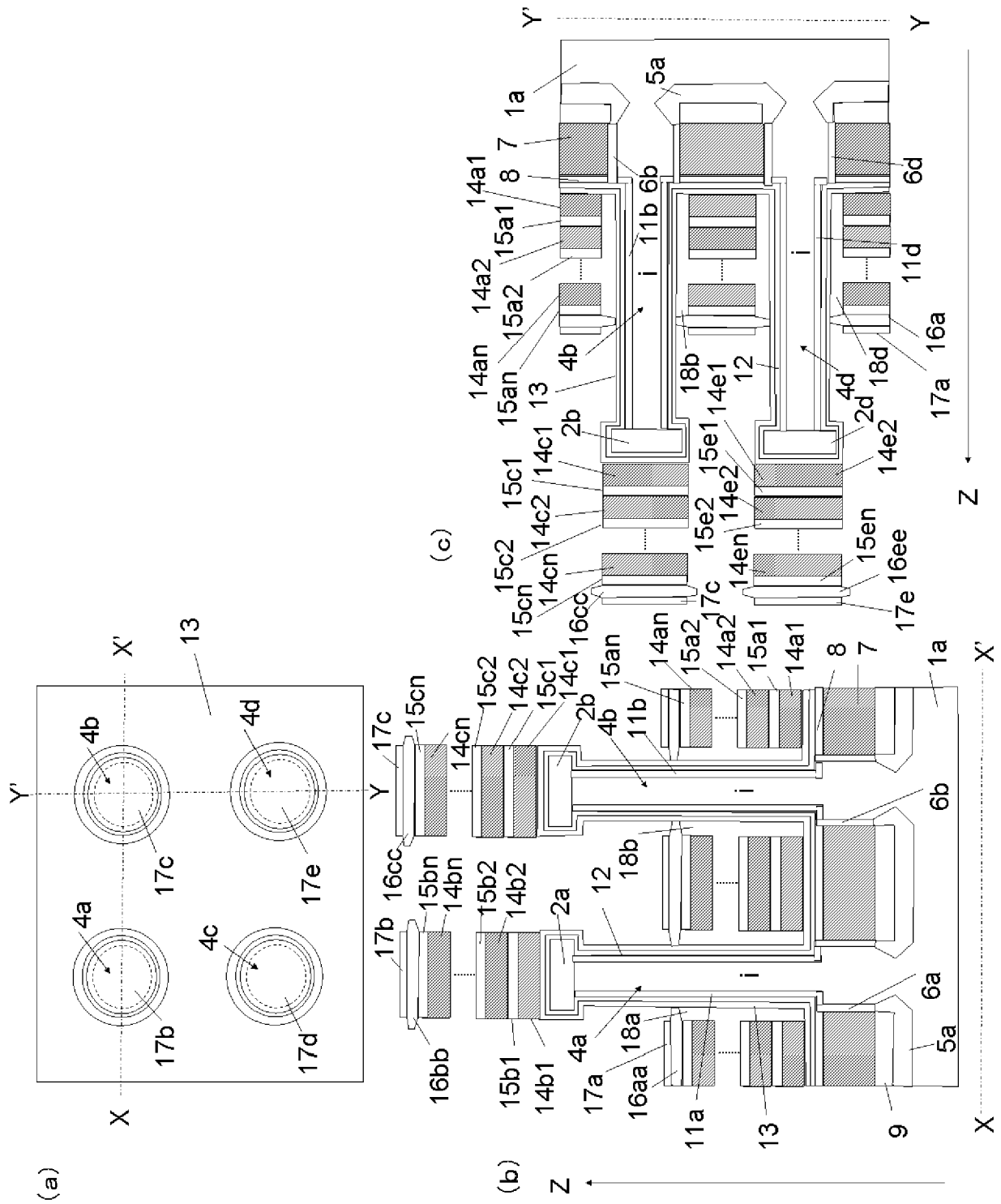
[図2D]



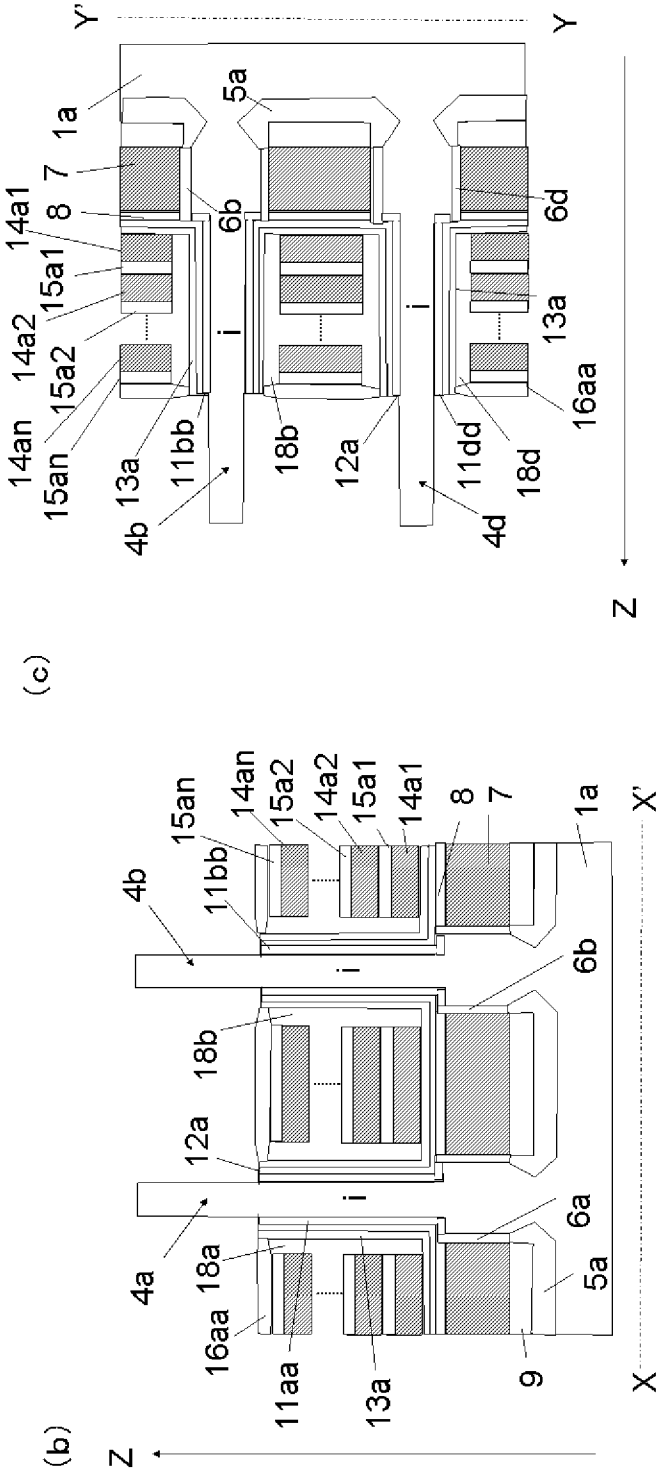
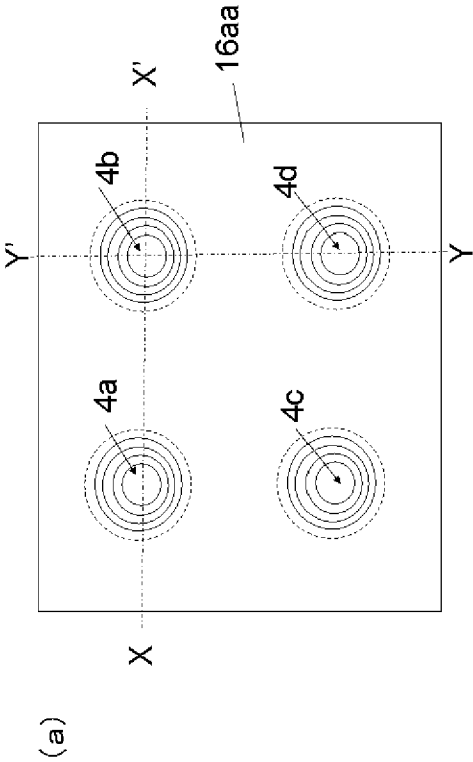
[図2E]



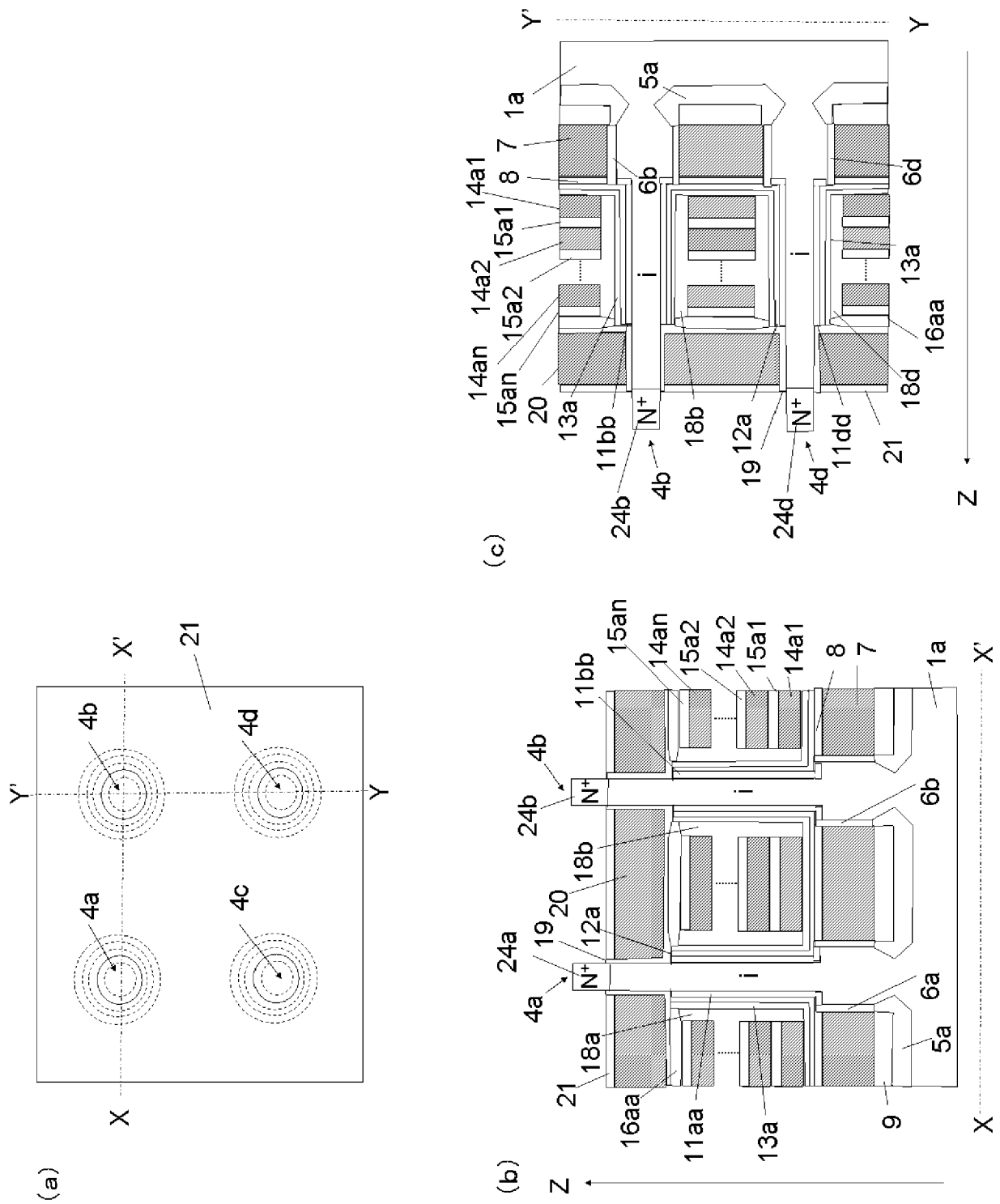
[図2G]



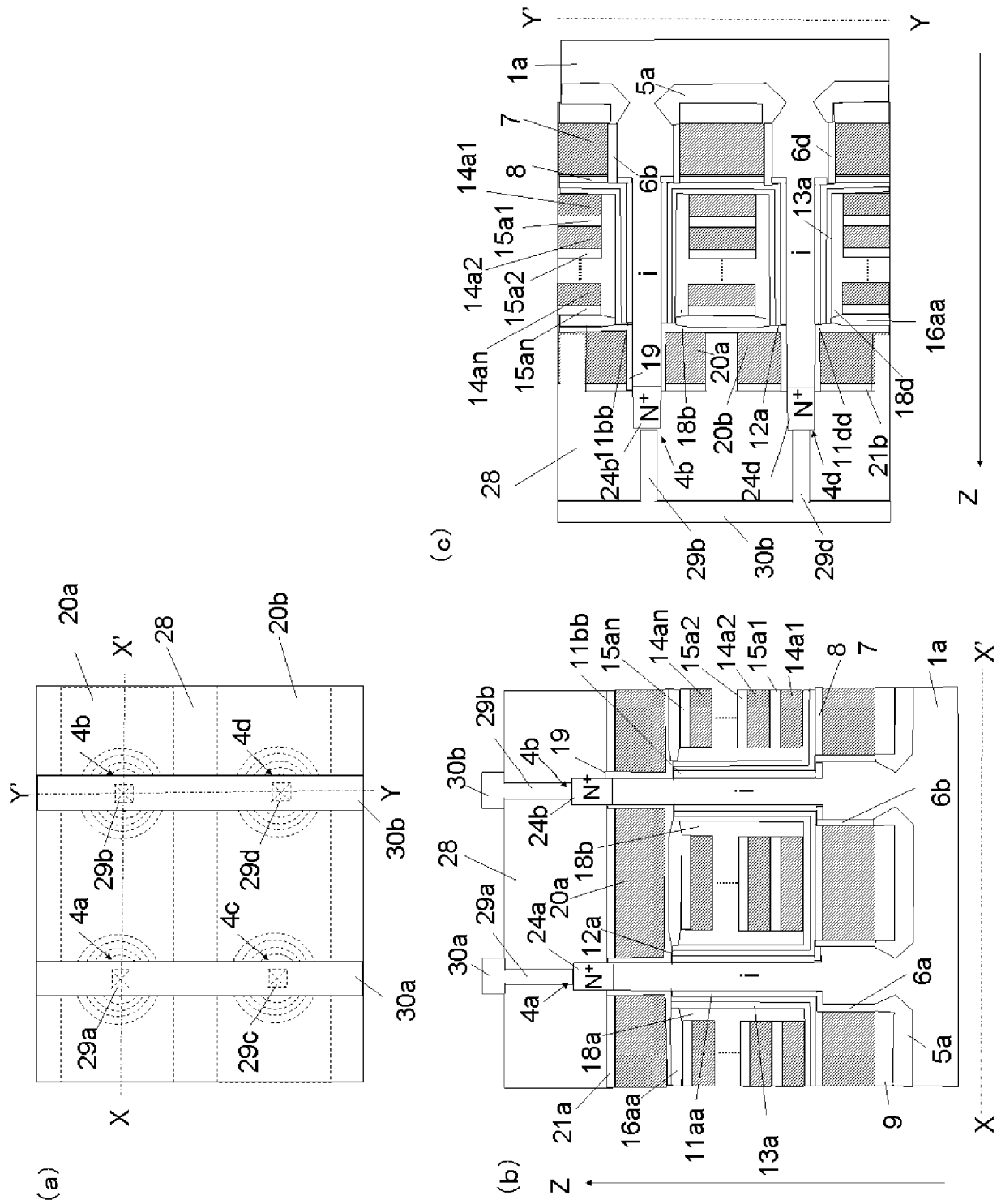
[図2H]



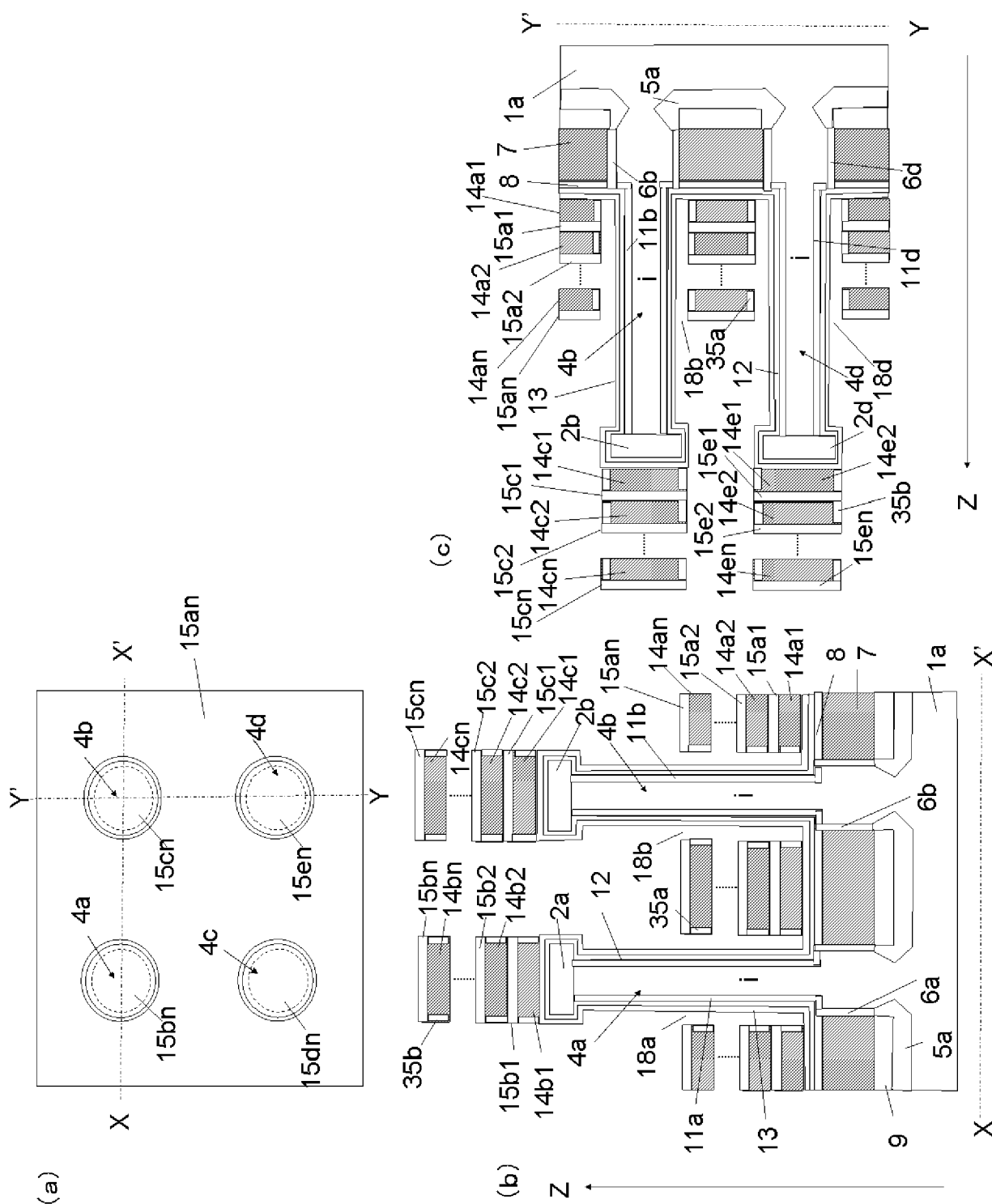
[図2I]



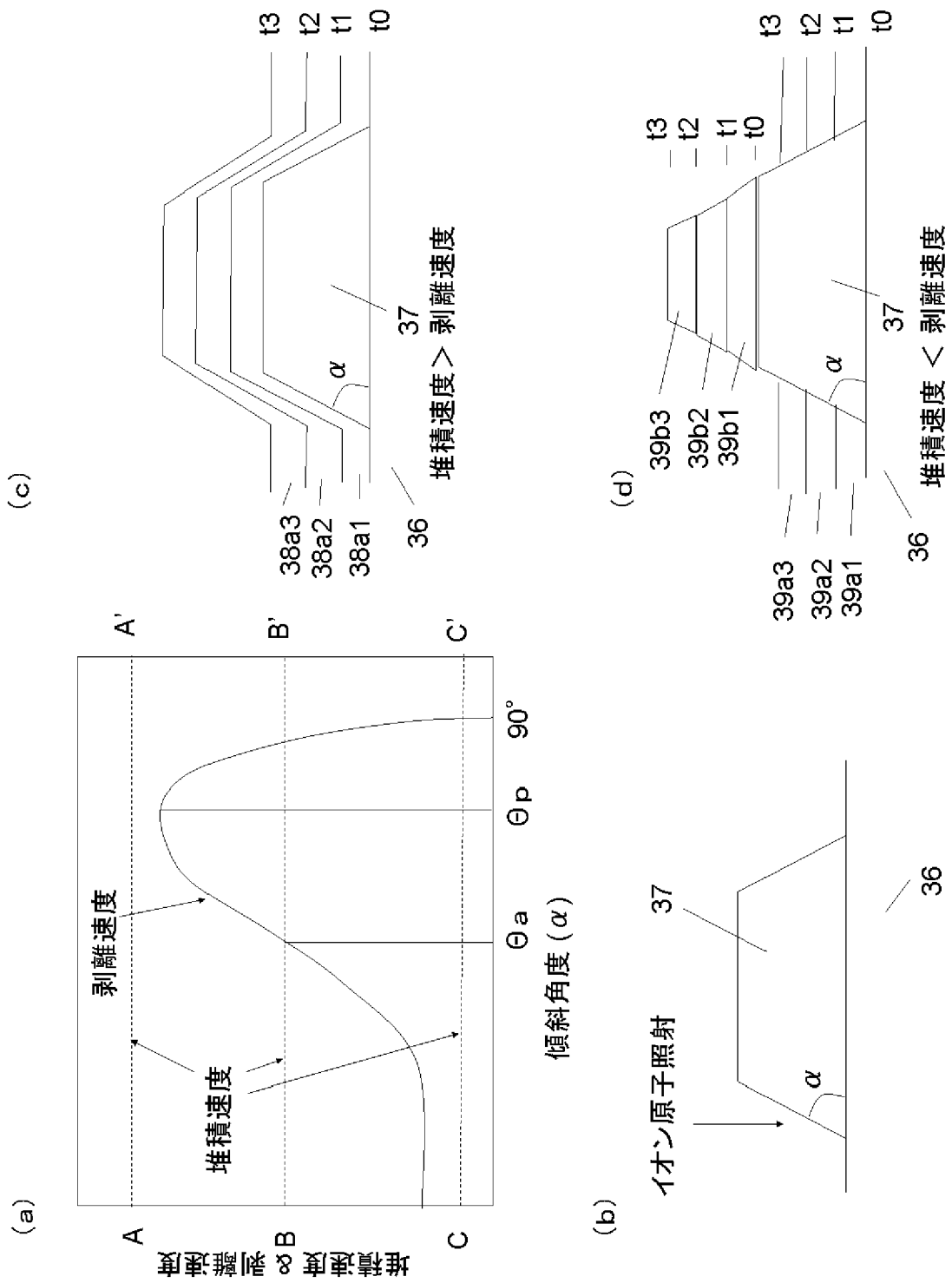
[図2K]



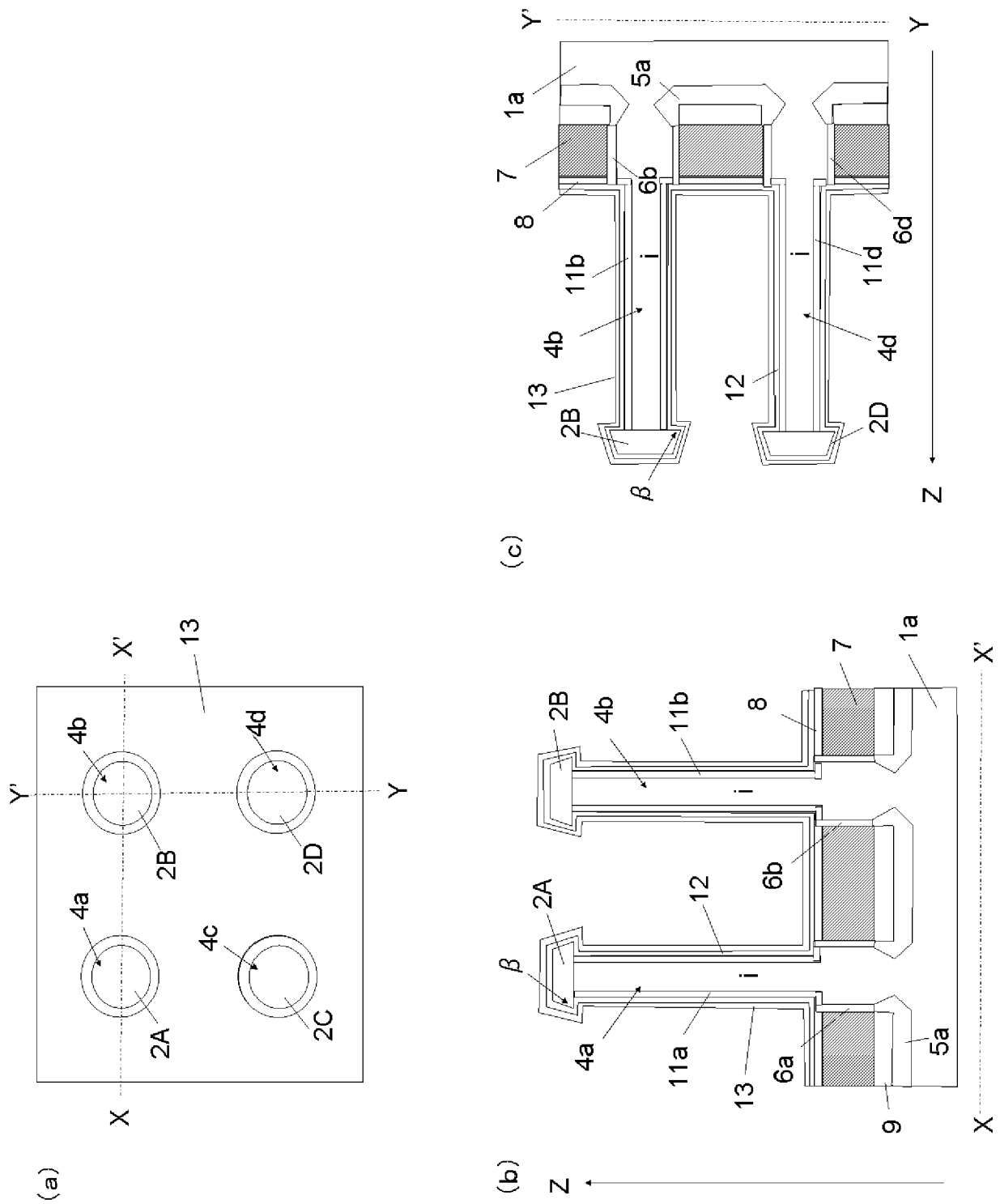
[図4A]



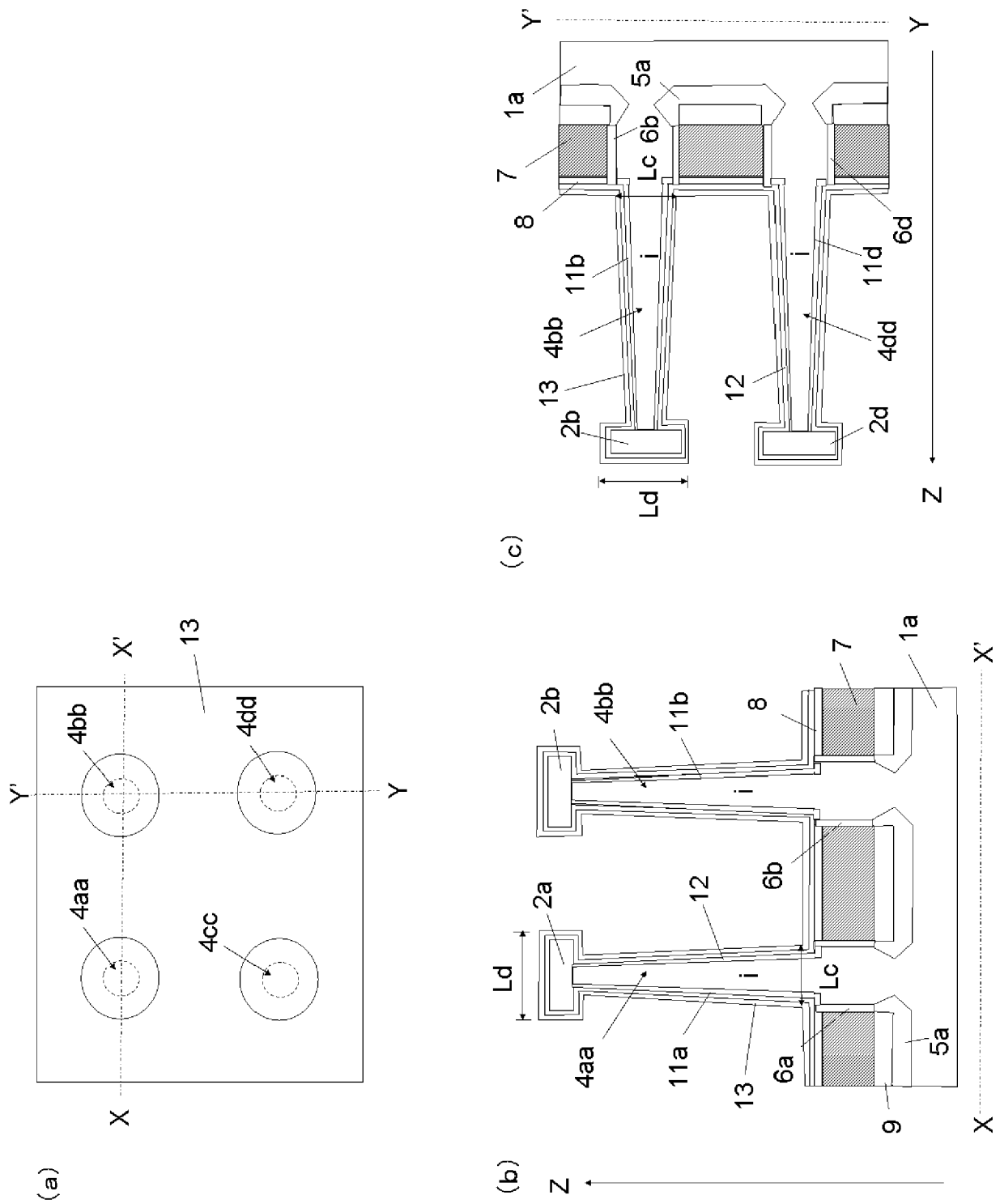
[図5A]



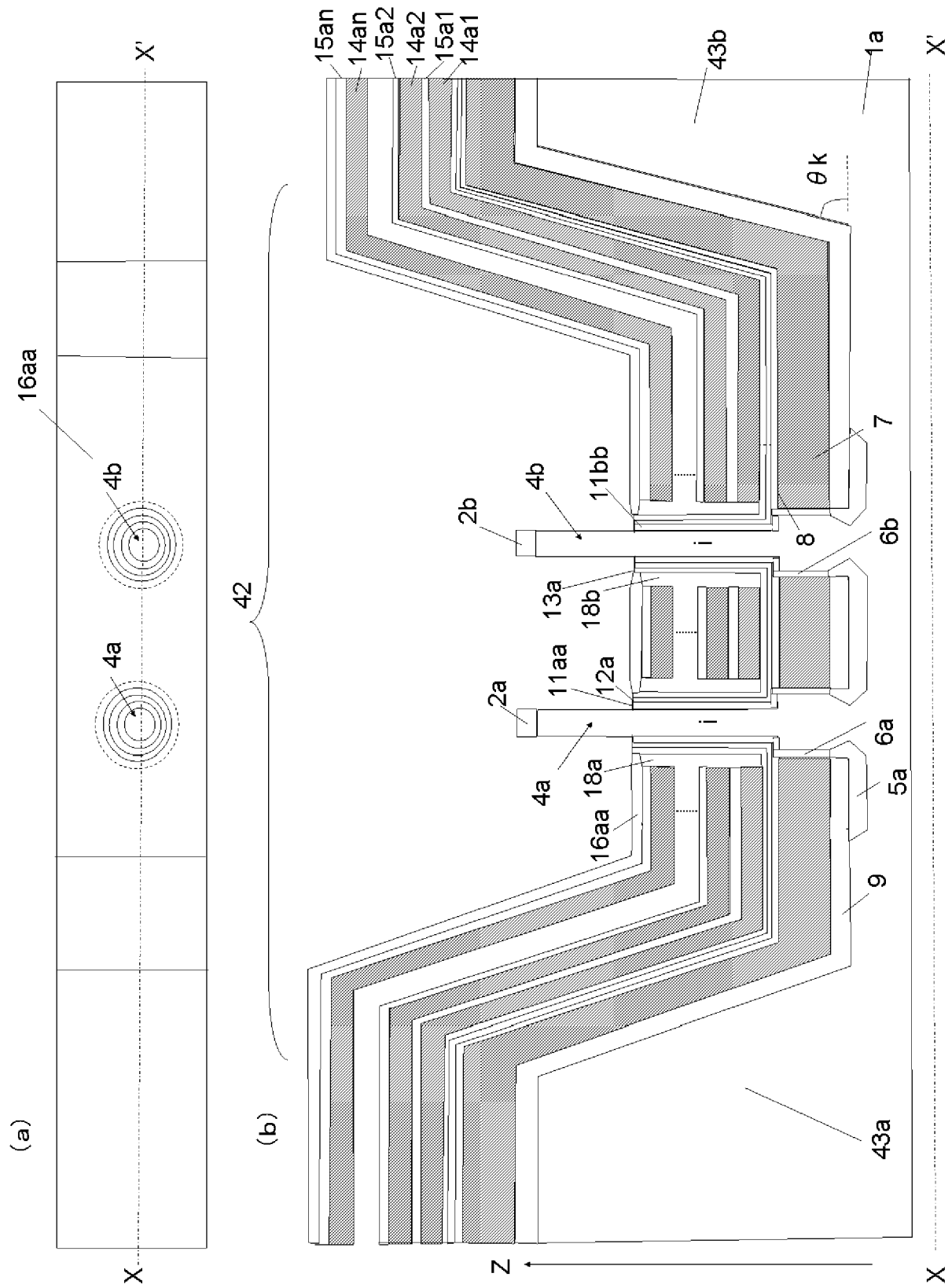
[図5B]



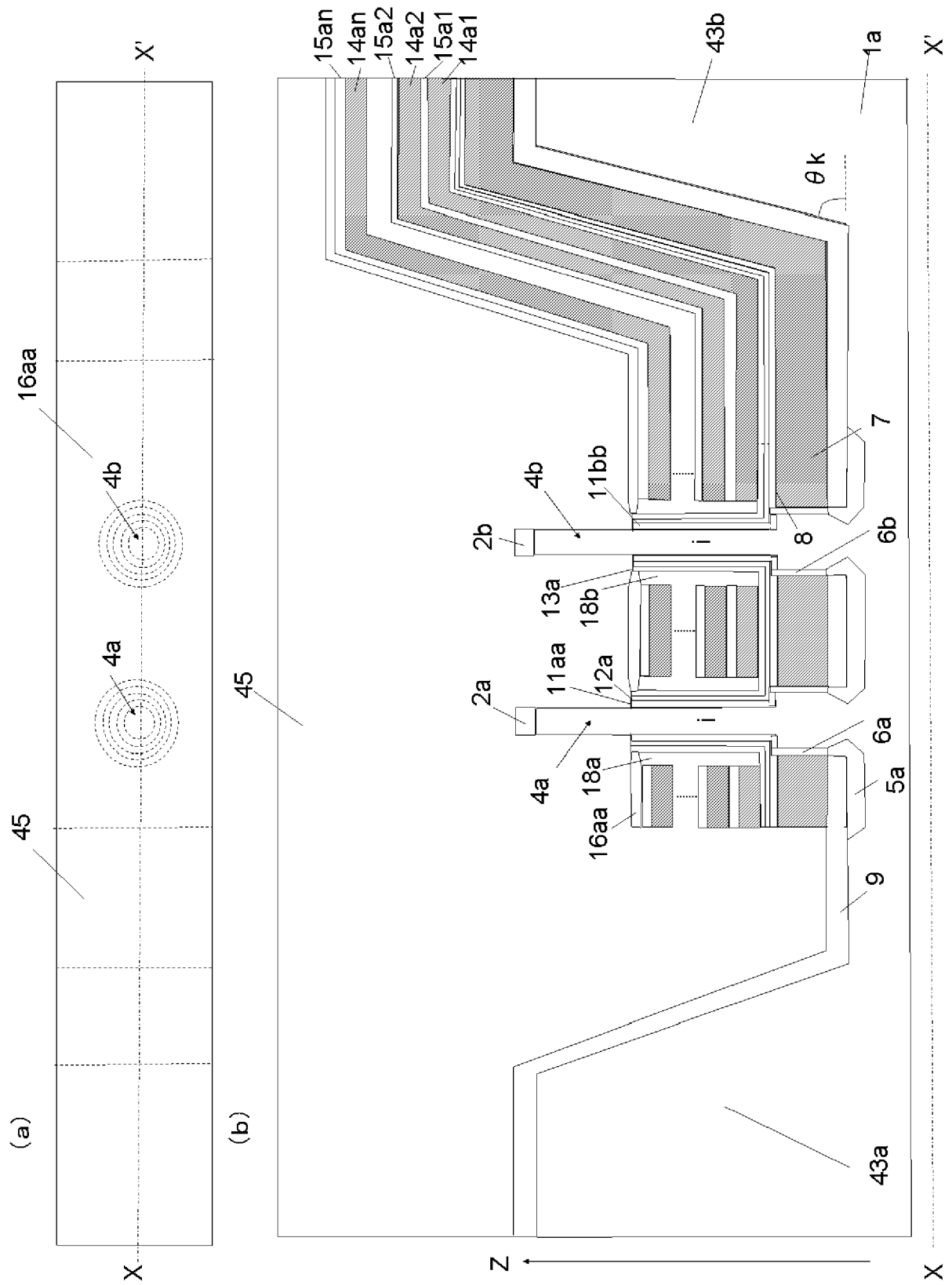
[図6]



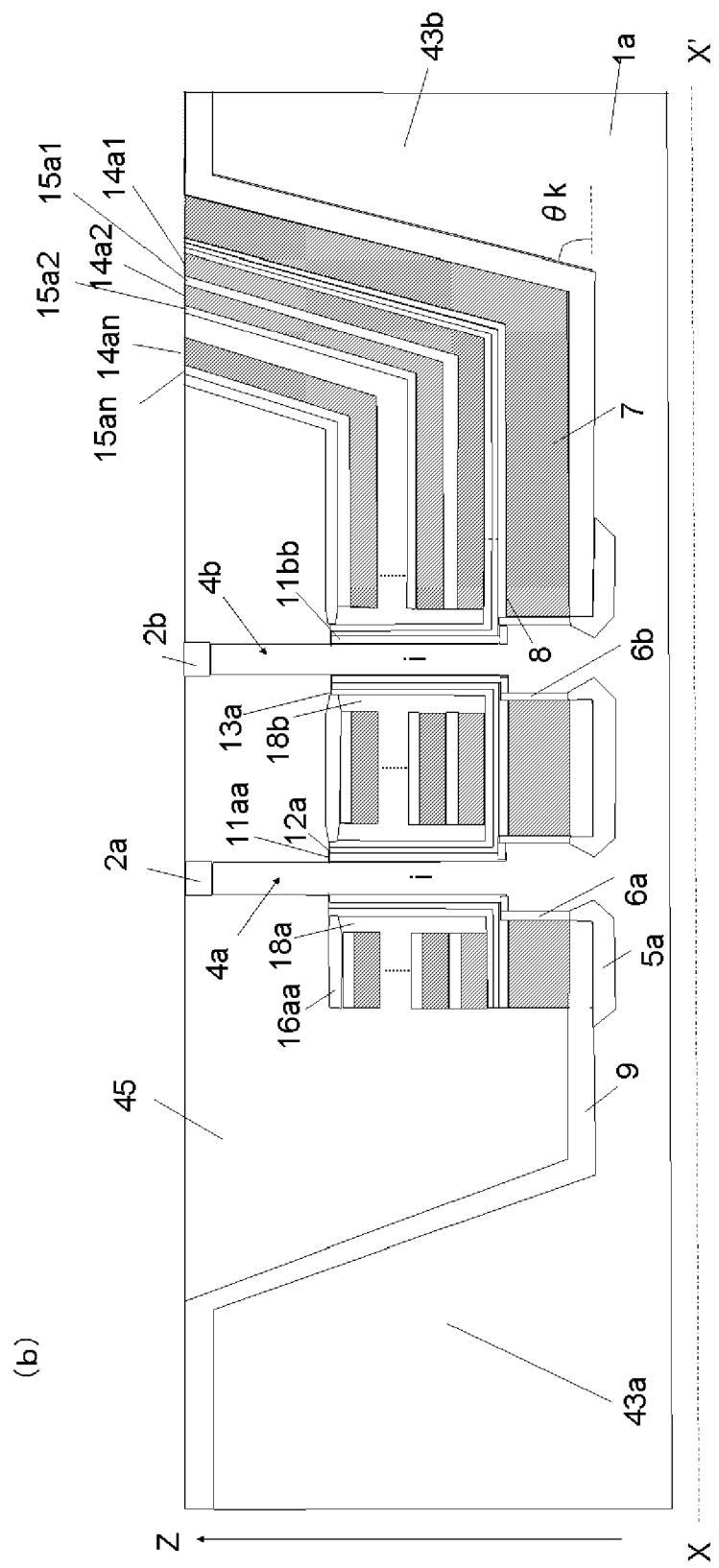
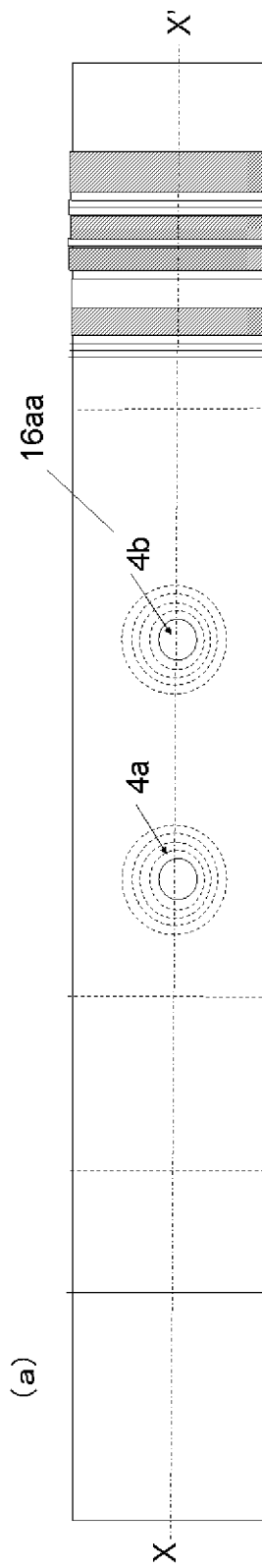
[図7A]



[図7C]



[図7D]



[illegible]

[図7G]

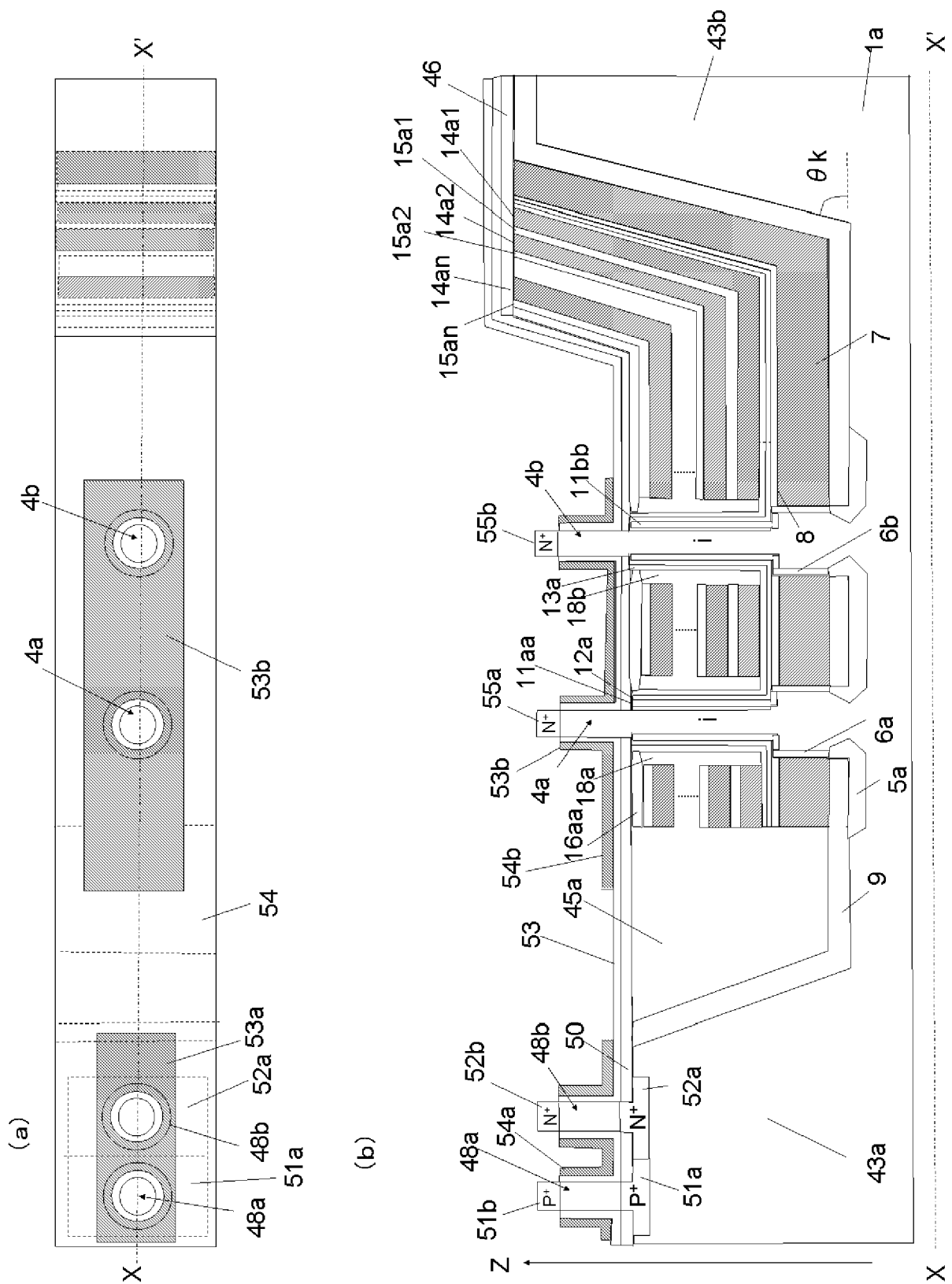


Figure 1 consists of two cross-sectional views of a semiconductor device.
 (a) is a top-down view showing a unit cell with various regions and layers. It includes a central channel region (4a) flanked by gate regions (4b). The device is connected to various terminals: Vout, Vss, Vin, and Vdd. Other labels include 48a, 48b, 48c, 48d, 48e, 48f, 48g, 48h, 48i, 48j, 48k, 48l, 48m, 48n, 48o, 48p, 48q, 48r, 48s, 48t, 48u, 48v, 48w, 48x, 48y, 48z, 48aa, 48ab, 48ac, 48ad, 48ae, 48af, 48ag, 48ah, 48ai, 48aj, 48ak, 48al, 48am, 48an, 48ao, 48ap, 48aq, 48ar, 48as, 48at, 48au, 48av, 48aw, 48ax, 48ay, 48az, 48ba, 48bb, 48bc, 48bd, 48be, 48bf, 48bg, 48bh, 48bi, 48bj, 48bk, 48bl, 48bm, 48bn, 48bo, 48bp, 48bq, 48br, 48bs, 48bt, 48bu, 48bv, 48bw, 48bx, 48by, 48bz, 48ca, 48cb, 48cc, 48cd, 48ce, 48cf, 48cg, 48ch, 48ci, 48cj, 48ck, 48cl, 48cm, 48cn, 48co, 48cp, 48cq, 48cr, 48cs, 48ct, 48cu, 48cv, 48cw, 48cx, 48cy, 48cz, 48da, 48db, 48dc, 48dd, 48de, 48df, 48dg, 48dh, 48di, 48dj, 48dk, 48dl, 48dm, 48dn, 48do, 48dp, 48dq, 48dr, 48ds, 48dt, 48du, 48dv, 48dw, 48dx, 48dy, 48dz, 48ea, 48eb, 48ec, 48ed, 48ee, 48ef, 48eg, 48eh, 48ei, 48ej, 48ek, 48el, 48em, 48en, 48eo, 48ep, 48eq, 48er, 48es, 48et, 48eu, 48ev, 48ew, 48ex, 48ey, 48ez, 48fa, 48fb, 48fc, 48fd, 48fe, 48ff, 48fg, 48fh, 48fi, 48fj, 48fk, 48fl, 48fm, 48fn, 48fo, 48fp, 48fq, 48fr, 48fs, 48ft, 48fu, 48fv, 48fw, 48fx, 48fy, 48fz, 48ga, 48gb, 48gc, 48gd, 48ge, 48gf, 48gg, 48gh, 48gi, 48gj, 48gk, 48gl, 48gm, 48gn, 48go, 48gp, 48gq, 48gr, 48gs, 48gt, 48gu, 48gv, 48gw, 48gx, 48gy, 48gz, 48ha, 48hb, 48hc, 48hd, 48he, 48hf, 48hg, 48hh, 48hi, 48hj, 48hk, 48hl, 48hm, 48hn, 48ho, 48hp, 48hq, 48hr, 48hs, 48ht, 48hu, 48hv, 48hw, 48hx, 48hy, 48hz, 48ia, 48ib, 48ic, 48id, 48ie, 48if, 48ig, 48ih, 48ii, 48ij, 48ik, 48il, 48im, 48in, 48io, 48ip, 48iq, 48ir, 48is, 48it, 48iu, 48iv, 48iw, 48ix, 48iy, 48iz, 48ja, 48jb, 48jc, 48jd, 48je, 48jf, 48jg, 48jh, 48ji, 48jj, 48jk, 48jl, 48jm, 48jn, 48jo, 48jp, 48jq, 48jr, 48js, 48jt, 48ju, 48jv, 48jw, 48jx, 48jy, 48jz, 48ka, 48kb, 48kc, 48kd, 48ke, 48kf, 48kg, 48kh, 48ki, 48kj, 48kl, 48km, 48kn, 48ko, 48kp, 48kq, 48kr, 48ks, 48kt, 48ku, 48kv, 48kw, 48kx, 48ky, 48kz, 48la, 48lb, 48lc, 48ld, 48le, 48lf, 48lg, 48lh, 48li, 48lj, 48lk, 48ll, 48lm, 48ln, 48lo, 48lp, 48lq, 48lr, 48ls, 48lt, 48lu, 48lv, 48lw, 48lx, 48ly, 48lz, 48ma, 48mb, 48mc, 48md, 48me, 48mf, 48mg, 48mh, 48mi, 48mj, 48mk, 48ml, 48mm, 48mn, 48mo, 48mp, 48mq, 48mr, 48ms, 48mt, 48mu, 48mv, 48mw, 48mx, 48my, 48mz, 48na, 48nb, 48nc, 48nd, 48ne, 48nf, 48ng, 48nh, 48ni, 48nj, 48nk, 48nl, 48nm, 48nn, 48no, 48np, 48nq, 48nr, 48ns, 48nt, 48nu, 48nv, 48nw, 48nx, 48ny, 48nz, 48oa, 48ob, 48oc, 48od, 48oe, 48of, 48og, 48oh, 48oi, 48oj, 48ok, 48ol, 48om, 48on, 48oo, 48op, 48oq, 48or, 48os, 48ot, 48ou, 48ov, 48ow, 48ox, 48oy, 48oz, 48pa, 48pb, 48pc, 48pd, 48pe, 48pf, 48pg, 48ph, 48pi, 48pj, 48pk, 48pl, 48pm, 48pn, 48po, 48pp, 48pq, 48pr, 48ps, 48pt, 48pu, 48pv, 48pw, 48px, 48py, 48pz, 48qa, 48qb, 48qc, 48qd, 48qe, 48qf, 48qg, 48qh, 48qi, 48qj, 48qk, 48ql, 48qm, 48qn, 48qo, 48qp, 48qq, 48qr, 48qs, 48qt, 48qu, 48qv, 48qw, 48qx, 48qy, 48qz, 48ra, 48rb, 48rc, 48rd, 48re, 48rf, 48rg, 48rh, 48ri, 48rj, 48rk, 48rl, 48rm, 48rn, 48ro, 48rp, 48rq, 48rr, 48rs, 48rt, 48ru, 48rv, 48rw, 48rx, 48ry, 48rz, 48sa, 48sb, 48sc, 48sd, 48se, 48sf, 48sg, 48sh, 48si, 48sj, 48sk, 48sl, 48sm, 48sn, 48so, 48sp, 48sq, 48sr, 48ss, 48st, 48su, 48sv, 48sw, 48sx, 48sy, 48sz, 48ta, 48tb, 48tc, 48td, 48te, 48tf, 48tg, 48th, 48ti, 48tj, 48tk, 48tl, 48tm, 48tn, 48to, 48tp, 48tq, 48tr, 48ts, 48tt, 48tu, 48tv, 48tw, 48tx, 48ty, 48tz, 48ua, 48ub, 48uc, 48ud, 48ue, 48uf, 48ug, 48uh, 48ui, 48uj, 48uk, 48ul, 48um, 48un, 48uo, 48up, 48uq, 48ur, 48us, 48ut, 48uu, 48uv, 48uw, 48ux, 48uy, 48uz, 48va, 48vb, 48vc, 48vd, 48ve, 48vf, 48vg, 48vh, 48vi, 48vj, 48vk, 48vl, 48vm, 48vn, 48vo, 48vp, 48vq, 48vr, 48vs, 48vt, 48vu, 48vv, 48vw, 48vx, 48vy, 48vz, 48wa, 48wb, 48wc, 48wd, 48we, 48wf, 48wg, 48wh, 48wi, 48wj, 48wk, 48wl, 48wm, 48wn, 48wo, 48wp, 48wq, 48wr, 48ws, 48wt, 48wu, 48wv, 48ww, 48wx, 48wy, 48wz, 48xa, 48xb, 48xc, 48xd, 48xe, 48xf, 48xg, 48xh, 48xi, 48xj, 48xk, 48xl, 48xm, 48xn, 48xo, 48xp, 48xq, 48xr, 48xs, 48xt, 48xu, 48xv, 48xw, 48xx, 48xy, 48xz, 48ya, 48yb, 48yc, 48yd, 48ye, 48yf, 48yg, 48yh, 48yi, 48yj, 48yk, 48yl, 48ym, 48yn, 48yo, 48yp, 48yq, 48yr, 48ys, 48yt, 48yu, 48yv, 48yw, 48yx, 48yy, 48yz, 48za, 48zb, 48zc, 48zd, 48ze, 48zf, 48zg, 48zh, 48zi, 48zj, 48zk, 48zl, 48zm, 48zn, 48zo, 48zp, 48zq, 48zr, 48zs, 48zt, 48zu, 48zv, 48zw, 48zx, 48zy, 48zz, 48aa, 48ab, 48ac, 48ad, 48ae, 48af, 48ag, 48ah, 48ai, 48aj, 48ak, 48al, 48am, 48an, 48ao, 48ap, 48aq, 48ar, 48as, 48at, 48au, 48av, 48aw, 48ax, 48ay, 48az, 48ba, 48bb, 48bc, 48bd, 48be, 48bf, 48bg, 48bh, 48bi, 48bj, 48bk, 48bl, 48bm, 48bn, 48bo, 48bp, 48bq, 48br, 48bs, 48bt, 48bu, 48bv, 48bw, 48bx, 48by, 48bz, 48ca, 48cb, 48cc, 48cd, 48ce, 48cf, 48cg, 48ch, 48ci, 48cj, 48ck, 48cl, 48cm, 48cn, 48co, 48cp, 48cq, 48cr, 48cs, 48ct, 4

This diagram shows a cross-sectional view of a semiconductor device 100. It features two vertical channels, 109 and 110, separated by a central region 111. The channels are formed by N⁺ regions 110a and 110b, respectively. The central region 111 contains P-type regions 115a and 115b. The device is surrounded by N⁺ regions 114a and 114b. Various layers and structures are labeled, including 101a, 101b, 102a, 102b, 103a, 103b, 104a, 104b, 105a, 105b, 107a, 107b, 108a, 108b, 112a, 112b, 113a, 113b, 114a, 114b, 115a, 115b, 116a, 116b, 117a, 117b, 118a, 118b, 119a, 119b, 120a, 120b, 121a, 121b, 122a, 122b, 123a, 123b, 124a, 124b, 125a, 125b, 126a, 126b, 127a, 127b, 128a, 128b, 129a, 129b, 130a, 130b, 131a, 131b, 132a, 132b, 133a, 133b, 134a, 134b, 135a, 135b, 136a, 136b, 137a, 137b, 138a, 138b, 139a, 139b, 140a, 140b, 141a, 141b, 142a, 142b, 143a, 143b, 144a, 144b, 145a, 145b, 146a, 146b, 147a, 147b, 148a, 148b, 149a, 149b, 150a, 150b, 151a, 151b, 152a, 152b, 153a, 153b, 154a, 154b, 155a, 155b, 156a, 156b, 157a, 157b, 158a, 158b, 159a, 159b, 160a, 160b, 161a, 161b, 162a, 162b, 163a, 163b, 164a, 164b, 165a, 165b, 166a, 166b, 167a, 167b, 168a, 168b, 169a, 169b, 170a, 170b, 171a, 171b, 172a, 172b, 173a, 173b, 174a, 174b, 175a, 175b, 176a, 176b, 177a, 177b, 178a, 178b, 179a, 179b, 180a, 180b, 181a, 181b, 182a, 182b, 183a, 183b, 184a, 184b, 185a, 185b, 186a, 186b, 187a, 187b, 188a, 188b, 189a, 189b, 190a, 190b, 191a, 191b, 192a, 192b, 193a, 193b, 194a, 194b, 195a, 195b, 196a, 196b, 197a, 197b, 198a, 198b, 199a, 199b, 200a, 200b, 201a, 201b, 202a, 202b, 203a, 203b, 204a, 204b, 205a, 205b, 206a, 206b, 207a, 207b, 208a, 208b, 209a, 209b, 210a, 210b, 211a, 211b, 212a, 212b, 213a, 213b, 214a, 214b, 215a, 215b, 216a, 216b, 217a, 217b, 218a, 218b, 219a, 219b, 220a, 220b, 221a, 221b, 222a, 222b, 223a, 223b, 224a, 224b, 225a, 225b, 226a, 226b, 227a, 227b, 228a, 228b, 229a, 229b, 230a, 230b, 231a, 231b, 232a, 232b, 233a, 233b, 234a, 234b, 235a, 235b, 236a, 236b, 237a, 237b, 238a, 238b, 239a, 239b, 240a, 240b, 241a, 241b, 242a, 242b, 243a, 243b, 244a, 244b, 245a, 245b, 246a, 246b, 247a, 247b, 248a, 248b, 249a, 249b, 250a, 250b, 251a, 251b, 252a, 252b, 253a, 253b, 254a, 254b, 255a, 255b, 256a, 256b, 257a, 257b, 258a, 258b, 259a, 259b, 260a, 260b, 261a, 261b, 262a, 262b, 263a, 263b, 264a, 264b, 265a, 265b, 266a, 266b, 267a, 267b, 268a, 268b, 269a, 269b, 270a, 270b, 271a, 271b, 272a, 272b, 273a, 273b, 274a, 274b, 275a, 275b, 276a, 276b, 277a, 277b, 278a, 278b, 279a, 279b, 280a, 280b, 281a, 281b, 282a, 282b, 283a, 283b, 284a, 284b, 285a, 285b, 286a, 286b, 287a, 287b, 288a, 288b, 289a, 289b, 290a, 290b, 291a, 291b, 292a, 292b, 293a, 293b, 294a, 294b, 295a, 295b, 296a, 296b, 297a, 297b, 298a, 298b, 299a, 299b, 300a, 300b, 301a, 301b, 302a, 302b, 303a, 303b, 304a, 304b, 305a, 305b, 306a, 306b, 307a, 307b, 308a, 308b, 309a, 309b, 310a, 310b, 311a, 311b, 312a, 312b, 313a, 313b, 314a, 314b, 315a, 315b, 316a, 316b, 317a, 317b, 318a, 318b, 319a, 319b, 320a, 320b, 321a, 321b, 322a, 322b, 323a, 323b, 324a, 324b, 325a, 325b, 326a, 326b, 327a, 327b, 328a, 328b, 329a, 329b, 330a, 330b, 331a, 331b, 332a, 332b, 333a, 333b, 334a, 334b, 335a, 335b, 336a, 336b, 337a, 337b, 338a, 338b, 339a, 339b, 340a, 340b, 341a, 341b, 342a, 342b, 343a, 343b, 344a, 344b, 345a, 345b, 346a, 346b, 347a, 347b, 348a, 348b, 349a, 349b, 350a, 350b, 351a, 351b, 352a, 352b, 353a, 353b, 354a, 354b, 355a, 355b, 356a, 356b, 357a, 357b, 358a, 358b, 359a, 359b, 360a, 360b, 361a, 361b, 362a, 362b, 363a, 363b, 364a, 364b, 365a, 365b, 366a, 366b, 367a, 367b, 368a, 368b, 369a, 369b, 370a, 370b, 371a, 371b, 372a, 372b, 373a, 373b, 374a, 374b, 375a, 375b, 376a, 376b, 377a, 377b, 378a, 378b, 379a, 379b, 380a, 380b, 381a, 381b, 382a, 382b, 383a, 383b, 384a, 384b, 385a, 385b, 386a, 386b, 387a, 387b, 388a, 388b, 389a, 389b, 390a, 390b, 391a, 391b, 392a, 392b, 393a, 393b, 394a, 394b, 395a, 395b, 396a, 396b, 397a, 397b, 398a, 398b, 399a, 399b, 400a, 400b, 401a, 401b, 402a, 402b, 403a, 403b, 404a, 404b, 405a, 405b, 406a, 406b, 407a, 407b, 408a, 408b, 409a, 409b, 410a, 410b, 411a, 411b, 412a, 412b, 413a, 413b, 414a, 414b, 415a, 415b, 416a, 416b, 417a, 417b, 418a, 418b, 419a, 419b, 420a, 420b, 421a, 421b, 422a, 422b, 423a, 423b, 424a, 424b, 425a, 425b, 426a, 426b, 427a, 427b, 428a, 428b, 429a, 429b, 430a, 430b, 431a, 431b, 432a, 432b, 433a, 433b, 434a

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055499

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L21/336(2006.01)i, H01L27/115(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L21/336, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-069841 A (Toshiba Corp.), 18 April 2013 (18.04.2013), paragraphs [0008] to [0022]; fig. 1, 2 & US 2013/0062681 A1	1-4 5-14
Y	JP 2010-177279 A (Toshiba Corp.), 12 August 2010 (12.08.2010), paragraphs [0083] to [0098]; fig. 19 & US 2010/0187593 A1	1-4
Y	JP 2011-165815 A (Toshiba Corp.), 25 August 2011 (25.08.2011), paragraph [0071]; fig. 1 to 2 & US 2010/0187593 A1	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 March, 2014 (26.03.14)

Date of mailing of the international search report
08 April, 2014 (08.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055499

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-111049 A (Toshiba Corp.), 21 May 2009 (21.05.2009), paragraphs [0024] to [0031]; fig. 4 & US 2009/0108333 A1 & US 2012/0135595 A1 & KR 10-2009-0043463 A & TW 200943539 A	3
A	JP 2012-009701 A (Toshiba Corp.), 12 January 2012 (12.01.2012), paragraphs [0097] to [0117]; fig. 1 & US 2011/0316069 A1	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8247(2006.01)i, H01L21/336(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8247, H01L21/336, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2013-069841 A（株式会社東芝）2013.04.18, [0008]-[0022], 図 1, 2 & US 2013/0062681 A1	1-4 5-14
Y	JP 2010-177279 A（株式会社東芝）2010.08.12, [0083]-[0098], 図 19 & US 2010/0187593 A1	1-4

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 3 . 2 0 1 4

国際調査報告の発送日

0 8 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 俊哉

5 F

9 5 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-165815 A (株式会社東芝) 2011. 08. 25, [0071], 図 1-2 & US 2010/0187593 A1	1-4
Y	JP 2009-111049 A (株式会社東芝) 2009. 05. 21, [0024]-[0031], 図 4 & US 2009/0108333 A1 & US 2012/0135595 A1 & KR 10-2009-0043463 A & TW 200943539 A	3
A	JP 2012-009701 A (株式会社東芝) 2012. 01. 12, [0097]-[0117], 図 1 & US 2011/0316069 A1	1-14