

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年12月16日 (16.12.2004)

PCT

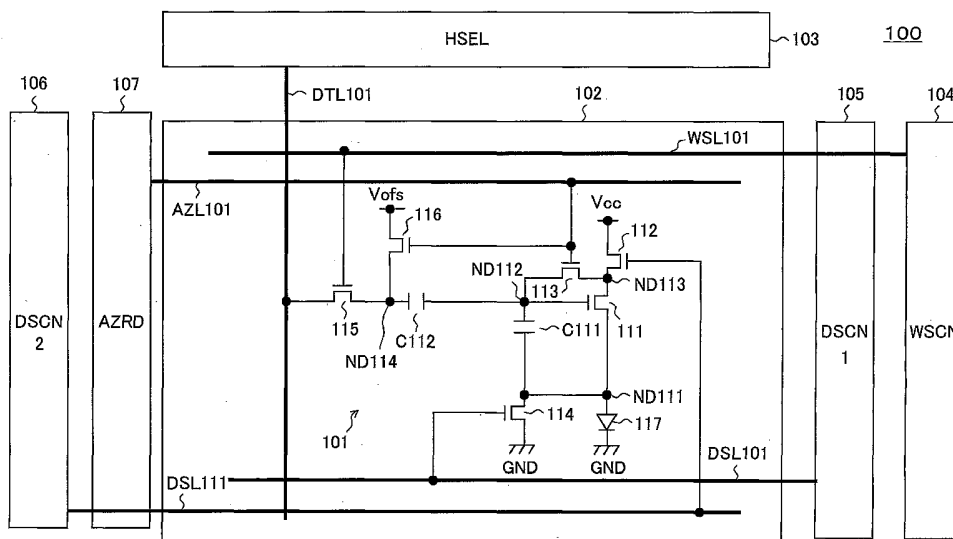
(10) 国際公開番号
WO 2004/109639 A1

- (51) 国際特許分類: G09G 3/30
- (21) 国際出願番号: PCT/JP2004/008055
- (22) 国際出願日: 2004年6月3日 (03.06.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-159646 2003年6月4日 (04.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 内野 勝秀 (UCHINO, Katsuhide) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 山下 淳一 (YAMASHITA, Junichi) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 山本 哲郎 (YAMAMOTO, Tetsuro) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 佐藤 隆久 (SATO, Takahisa); 〒1110052 東京都台東区柳橋2丁目4番2号 創造国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: PIXEL CIRCUIT, DISPLAY DEVICE, AND METHOD FOR DRIVING PIXEL CIRCUIT

(54) 発明の名称: 画素回路、表示装置、および画素回路の駆動方法



(57) Abstract: A pixel circuit, a display device, and a method for driving a pixel circuit, wherein even if the current-voltage characteristic of a light emitting element has changed due to aging, a source-follower output can be performed without any degradation of brightness, so that a source-follower circuit of n-channel transistor can be used, whereby the n-channel transistor can be used as element for driving an electrooptic element, while the anode and cathode electrodes can be used as they are. A capacitor (C111) is connected between the gate and source of a TFT (111) serving as a drive transistor, and the source of the TFT (111) is connected to a fixed potential (for example, GND) via a TFT (114). The gate and drain of the TFT (111) are connected to each other via a TFT (113), thereby canceling a threshold value (Vth) to charge the capacitor (C111) to that threshold value (Vth), from which an input voltage (Vin) is coupled to the gate of the TFT (111).

(57) 要約: 発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタを電気光学素子の駆動素子として用いることができる画素回路、表示装置、および画素回路の駆動方法であって、ドライフトランジスタとしての

[続葉有]



WO 2004/109639 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
— 国際調査報告書

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

TFT111のゲートとソース間にキャパシタC111を接続し、TFT111のソース側をTFT114を通して固定電位(たとえばGND)に接続するようにし、また、TFT111のゲートドレイン間をTFT113を介して接続してしきい値V_{th}のキャンセルを行い、キャパシタC111にそのしきい値V_{th}を充電し、そのしきい値電圧V_{th}からTFT111のゲートに入力電圧V_{in}をカップリングさせる。

明 細 書

画素回路、表示装置、および画素回路の駆動方法

技術分野

本発明は、有機EL (Electroluminescence) ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

背景技術

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。

これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの

問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT (Thin Film Transistor、薄膜トランジスタ) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

図1は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図1に示すように、画素回路(PXLC) 2aが $m \times n$ のマトリクス状に配列された画素アレイ部2、水平セクタ(HSEL) 3、ライトスキャナ(WSCN) 4、水平セクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1~DTLn、およびライトスキャナ4により選択駆動される走査線WSL1~WSLmを有する。

なお、水平セクタ3、ライトスキャナ4に関しては、多結晶シリコン上に形成する場合や、MOSIC等で画素の周辺に形成することもある。

図2は、図1の画素回路2aの一構成例を示す回路図である(たとえば特許文献1; USP 5, 684, 365、特許文献2; 特開平8-234683号公報参照)。

図2の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

図2の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという) 11およびTFT12、キャパシタC11、有機EL素子(OLED) からなる発光素子13を有する。また、図2において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図2その他では発光素子としてダイオードの記号を用いているが、以下の説明においてOLEDには必ずしも整流性を要求するものではない。

図2ではTFT11のソースが電源電位VCCに接続され、発光素子13のカソード(陰極)は接地電位GNDに接続されている。図2の画素回路2aの動作は

以下の通りである。

<ステップST1>:

走査線WSLを選択状態（ここではローレベル）とし、データ線DTLに書き込み電位Vdataを印加すると、TF T 1 2が導通してキャパシタC 1 1が充電または放電され、TF T 1 1のゲート電位はVdataとなる。

<ステップST2>:

走査線WSLを非選択状態（ここではハイレベル）とすると、データ線DTLとTF T 1 1とは電氣的に切り離されるが、TF T 1 1のゲート電位はキャパシタC 1 1によって安定に保持される。

<ステップST3>:

TF T 1 1および発光素子1 3に流れる電流は、TF T 1 1のゲート・ソース間電圧Vgsに応じた値となり、発光素子1 3はその電流値に応じた輝度で発光し続ける。

上記ステップST1のように、走査線WSLを選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図2の画素回路2 aでは、一度Vdataの書き込みを行えば、次に書き換えられるまでの間、発光素子1 3は一定の輝度で発光を継続する。

上述したように、画素回路2 aでは、ドライブトランジスタであるTF T 1 1のゲート印加電圧を変化させることで、EL発光素子1 3に流れる電流値を制御している。

このとき、pチャネルのドライブトランジスタのソースは電源電位VCCに接続されており、このTF T 1 1は常に飽和領域で動作している。よって、下記の式1に示した値を持つ定電流源となっている。

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

ここで、 μ はキャリアの移動度を、 C_{ox} は単位面積当たりのゲート容量を、 W はゲート幅を、 L はゲート長を、 V_{gs} はTF T 1 1のゲート・ソース間電圧を

、 V_{th} はTFT11のしきい値をそれぞれ示している。

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

図3は、有機EL素子の電流-電圧(I-V)特性の経時変化を示す図である。図3において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

一般的に、有機EL素子のI-V特性は、図3に示すように、時間が経過すると劣化してしまう。

しかしながら、図2の2トランジスタ駆動は定電流駆動のために有機EL素子には上述したように定電流が流れ続け、有機EL素子のI-V特性が劣化してもその発光輝度は経時劣化することはない。

ところで、図2の画素回路2aは、pチャネルのTFTにより構成されているが、nチャネルのTFTにより構成することができれば、TFT作製において従来のアモルファスシリコン(a-Si)プロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

次に、トランジスタをnチャネルTFTに置き換えた画素回路について考察する。

図4は、図2の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

図4の画素回路2bは、nチャネルTFT21およびTFT22、キャパシタC21、有機EL素子(OLED)からなる発光素子23を有する。また、図3において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

この画素回路2bでは、ドライブトランジスタとしてTFT21のドレイン側

が電源電位VCCに接続され、ソースはEL発光素子23のアノードに接続されており、ソースフォロワー回路を形成している。

図5は、初期状態におけるドライブトランジスタとしてのTFT21とEL発光素子23の動作点を示す図である。図5において、横軸はTFT21のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。

図5に示すように、ソース電圧はドライブトランジスタであるTFT21とEL発光素子23との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

このTFT21は飽和領域で駆動されるので、動作点のソース電圧に対する V_{gs} に関して上記式1に示した方程式の電流値の電流 I_{ds} を流す。

しかしながら、ここでも同様にEL素子のI-V特性は経時劣化してしまう。図6に示すように、この経時劣化により動作点の変動が起きてしまい、同じゲート電圧を印加していてもそのソース電圧は変動する。

これにより、ドライブトランジスタであるTFT21のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時にEL発光素子23に流れる電流値も変化するので、EL発光素子23のI-V特性が劣化すると、図4のソースフォロワー回路ではその発光輝度は経時変化してしまう。

また、図7に示すように、ドライブトランジスタとしてのnチャンネルTFT31のソースを接地電位GNDに接続し、ドレインをEL素子33のカソードに接続し、EL発光素子33のアノードを電源電位VCCに接続する回路構成も考えられる。

この方式では、図2のpチャンネルTFTによる駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとしてTFT31は定電流源として動作して、EL発光素子33のI-V特性の劣化による輝度変化も防止できる。

しかしながら、この方式ではドライブトランジスタをEL発光素子のカソード

側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。

以上より、従来方式では輝度変化のない、 n チャネルトランジスタ使用の有機EL素子の開発はなされていなかった。

発明の開示

本発明の目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、 n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、 n チャネルトランジスタを電気光学素子の駆動素子として用いることができる画素回路、表示装置、および画素回路の駆動方法を提供することにある。

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度に変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記第2のノードと上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第3のノードに接続された第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記データ線と上記第4のノードとの間に接続された第4のスイッチと、上記第4のノードと所定電位との間に接続された第5のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

好適には、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第3のノードに接続されている。

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1のスイッチが導通状態に保持され、上記第4のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、第2ステージとして、上記第2のスイッチおよび上記第5のスイッチが導通状態に保持され、上記第1のスイッチが非導通状態に保持された後、上記第2のスイッチおよび上記第5のスイッチが非導通状態に保持され、第3ステージとして、上記第4のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードに入力された後、上記第4のスイッチが非導通状態に保持され、第4ステージとして、上記第3のスイッチが非導通状態に保持される。

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1のスイッチおよび上記第4のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、第2ステージとして、上記第2のスイッチおよび上記第5のスイッチが導通状態に保持され、上記第1のスイッチが所定期間だけ導通状態に保持された後、上記第2のスイッチおよび上記第5のスイッチが非導通状態に保持され、第3ステージとして、上記第4のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードに入力された後、上記第4のスイッチが非導通状態に保持され、第4ステージとして、上記第3のスイッチが非導通状態に保持される。

また、好適には、上記第3ステージでは、上記第1のスイッチが導通状態に保持された後、上記第4のスイッチが導通状態に保持される。

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1のスイッチが導通状態に保持され、上記第4のスイッチが非導通状態に保持され

た状態で、上記第2のスイッチおよび上記第5のスイッチが導通状態に保持され、第2ステージとして、上記第1のスイッチが非導通状態に保持される一方、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、第3ステージとして、上記第2のスイッチおよび上記第5のスイッチが非導通状態に保持され、第4ステージとして、上記第4のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードに入力された後、上記第4のスイッチが非導通状態に保持され、第5ステージとして、上記第1のスイッチが導通状態に保持される一方、上記第3のスイッチが非導通状態に保持される。

本発明の第2の観点は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、第1および第2の基準電位と、を有し、上記画素回路は、流れる電流によって輝度に変化する電気光学素子と、上記第1、第2、第3、および第4のノードと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記第2のノードと上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第3のノードに接続された第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記データ線と上記第4のノードとの間に接続された第4のスイッチと、上記第4のノードと所定電位との間に接続された第5のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

好適には、上記電気光学素子の非発光期間に、相補的に、上記第1のスイッチ

を非導通状態に保持させる一方、上記第3のスイッチを導通状態に保持させる駆動回路を含む。

本発明の第3の観点は、流れる電流によって輝度が増減する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記第2のノードと上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第3のノードに接続された第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記データ線と上記第4のノードとの間に接続された第4のスイッチと、上記第4のノードと所定電位との間に接続された第5のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第1のスイッチを導通状態に保持し、上記第4のスイッチを非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持させて、上記第1のノードを固定電位に接続し、上記第2のスイッチおよび上記第5のスイッチを導通状態に保持し、上記第1のスイッチを非導通状態に保持した後、上記第2のスイッチおよび上記第5のスイッチを非導通状態に保持し、上記第4のスイッチを導通状態に保持して上記データ線を伝播されるデータが上記第4のノードに入力させた後、上記第4のスイッチを非導通状態に保持し、上記第3のスイッチを非導通状態に保持して、上記第1のノードを上記固定電位から電氣的に切り離す。

本発明の第4の観点は、流れる電流によって輝度が増減する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、およ

び第4のノードと、第1および第2の基準電位と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記第2のノードと上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第3のノードに接続された第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記データ線と上記第4のノードとの間に接続された第4のスイッチと、上記第4のノードと所定電位との間に接続された第5のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第1のスイッチおよび上記第4のスイッチを非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持して、上記第1のノードを固定電位に接続し、上記第2のスイッチおよび上記第5のスイッチを導通状態に保持し、上記第1のスイッチを所定期間だけ導通状態に保持した後、上記第2のスイッチおよび上記第5のスイッチを非導通状態に保持し、上記第4のスイッチを導通状態に保持して上記データ線を伝播されるデータを上記第4のノードに入力させた後、上記第4のスイッチを非導通状態に保持し、上記第3のスイッチを非導通状態に保持して、上記第1のノードを上記固定電位から電氣的に切り離す。

本発明の第5の観点は、流れる電流によって輝度に変化する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記第2のノードと上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供

給ラインを流れる電流を制御する駆動トランジスタと、上記第3のノードに接続された第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記データ線と上記第4のノードとの間に接続された第4のスイッチと、上記第4のノードと所定電位との間に接続された第5のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第1のスイッチを導通状態に保持し、上記第4のスイッチを非導通状態に保持した状態で、上記第2のスイッチおよび上記第5のスイッチを導通状態に保持し、上記第1のスイッチを非導通状態に保持する一方、上記第3のスイッチを導通状態に保持して、上記第1のノードを固定電位に接続させ、上記第2のスイッチおよび上記第5のスイッチを非導通状態に保持し、上記第4のスイッチを導通状態に保持して上記データ線を伝播されるデータを上記第4のノードに入力させた後、上記第4のスイッチを非導通状態に保持し、上記第1のスイッチを導通状態に保持する一方、上記第3のスイッチを非導通状態に保持して、上記第1のノードを上記固定電位から電氣的に切り離す。

本発明によれば、たとえば電気光学素子の発光状態時は、第1のスイッチがオン状態（導通状態）に保持され、第2～第5のスイッチがオフ状態（非導通状態）に保持される。

ドライブ（駆動）トランジスタは飽和領域で動作するように設計されており、電気光学素子に流れる電流 I_{ds} は、上記式1で示される値をとる。

第1のスイッチをオン状態、第2のスイッチ、第4のスイッチ、および第5のスイッチをオフ状態に保持したままで、第3のスイッチをオン状態とする。

このとき、第3のスイッチを介して電流が流れ、ドライブトランジスタのソース電位はたとえば接地電位GNDまで下降する。そのため、電気光学素子に印加

される電圧も 0 V となり、電気光学素子は非発光となる。

この場合、第 3 のスイッチがオンしても画素容量素子に保持されている電圧、すなわち、ドライブトランジスタのゲート電圧は変わらないことから、電流 I_{ds} は第 1 のスイッチ、第 3 のノード、ドライブトランジスタ、第 1 のノード、および第 3 のスイッチの経路を流れる。

次に、電気光学素子の非発光期間において、第 3 のスイッチがオン状態、第 4 のスイッチがオフ状態に保持したままで、第 2 のスイッチおよび第 5 のスイッチをオン状態とし、第 1 のスイッチをオフ状態とする。

このとき、ドライブトランジスタのゲートとドレインは第 2 のスイッチを介して接続されているのでドライブトランジスタは飽和領域で動作する。また、ドライブトランジスタのゲートには、画素容量素子、結合容量素子が並列に接続されているため、そのゲート・ドレイン間電圧 V_{gd} は、時間と共に緩やかに減少してゆく。そして、一定時間経過後、ドライブトランジスタのゲート・ソース間電圧 V_{gs} はドライブトランジスタのしきい値電圧 V_{th} となる。

このとき、結合容量素子には、所定電位を V_{ofs} とすると $(V_{ofs} - V_{th})$ が充電され、画素容量素子には V_{th} がそれぞれ充電される。

次に、第 3 のスイッチをオン状態、第 4 のスイッチをオフ状態に保持したままで、第 2 および第 5 のスイッチをオフ状態とし、第 1 のスイッチをオン状態とする。これにより、ドライブトランジスタのドレイン電圧が第 1 の基準電位、たとえば電源電圧となる。

次に、第 3 および第 1 のスイッチをオン状態、第 2 および第 5 のスイッチをオフ状態に保持したままで、第 4 のスイッチをオン状態とする。

これにより、第 4 のスイッチを介してデータ線を伝播された入力電圧が入力して、第 4 のノードの電圧変化量 ΔV がドライブトランジスタのゲートにカップリングされる。

このとき、ドライブトランジスタのゲート電圧 V_g は V_{th} という値であり、

カップリング量 ΔV は画素容量素子の容量値 C_1 、結合容量素子の容量値 C_2 、およびドライブトランジスタの寄生容量 C_3 によって決定される。

したがって、 C_1 、 C_2 を C_3 に比べて十分大きくとればゲートへのカップリング量は画素容量素子の容量値 C_1 、結合容量素子の容量値 C_2 によってのみ決まる。

ドライブトランジスタは飽和領域で動作するように設計されているので、ドライブトランジスタのゲートにカップリングされる電圧量に応じた電流 I_{ds} が流れる。

書き込み終了後、第1のスイッチをオン状態、第2および第5のスイッチをオフ状態に保持したままで、第4のスイッチをオフ状態とし、第3のスイッチをオフ状態とする。

この場合、第3のスイッチがオフしてもドライブトランジスタのゲートソース間電圧は一定であるので、ドライブトランジスタは一定電流 I_{ds} を電気光学素子に流す。これによって、第1のノードの電位は電気光学素子に I_{ds} という電流が流れる電圧 V_x まで上昇し、EL発光素子は発光する。

ここで、本回路においても電気光学素子は発光時間が長くなるとその電流-電圧($I-V$)特性は変化してしまう。そのため、第1のノードの電位も変化する。しかしながら、ドライブトランジスタのゲート・ソース間電圧 V_{gs} は一定値に保たれているので電気光学素子に流れる電流は変化しない。よって、電気光学素子の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、電気光学素子の輝度が増加することはない。

図面の簡単な説明

図1は、一般的な有機EL表示装置の構成を示すブロック図である。

図2は、図1の画素回路の一構成例を示す回路図である。

図3は、有機EL素子の電流-電圧($I-V$)特性の経時変化を示す図である。

。

図4は、図2の回路のpチャンネルTFTをnチャンネルTFTに置き換えた画素回路を示す回路図である。

図5は、初期状態におけるドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

図6は、経時変化後のドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

図7は、ドライブトランジスタとしてのnチャンネルTFTのソースを接地電位に接続した画素回路を示す回路図である。

図8は、第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図9は、図8の有機EL表示装置において第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

図10A～図10Dは、図9の回路の第1の駆動方法を説明するためのタイミングチャートである。

図11Aおよび図11Bは、図9の回路の第1の駆動方法に係る動作を説明するための図である。

図12Aおよび図12Bは、図9の回路の第1の駆動方法に係る動作を説明するための図である。

図13Aおよび図13Bは、図9の回路の第1の駆動方法に係る動作を説明するための図である。

図14Aおよび図14Bは、図9の回路の第1の駆動方法に係る動作を説明するための図である。

図15A～図15Dは、図9の画素回路の第2の駆動方法を説明するためのタイミングチャートである。

図16Aおよび図16Bは、図9の画素回路の第1の駆動方法と第2の駆動方

法の効果を比較して説明するための図である。

図17A～図17Dは、図9の画素回路の第3の駆動方法を説明するためのタイミングチャートである。

図18Aおよび図18Bは、図9の回路の第3の駆動方法に係る動作を説明するための図である。

図19Aおよび図19Bは、図9の回路の第3の駆動方法に係る動作を説明するための図である。

図20Aおよび図20Bは、図9の回路の第3の駆動方法に係る動作を説明するための図である。

図21Aおよび図21Bは、図9の回路の第3の駆動方法に係る動作を説明するための図である。

図22A～図22Dは、図9の画素回路の第4の駆動方法を説明するためのタイミングチャートである。

図23は、第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図24は、図23の有機EL表示装置において第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

図25A～図25Dは、図24の回路の駆動方法を説明するためのタイミングチャートである。

図26Aおよび図26Bは、図24の回路の駆動方法に係る動作を説明するための図である。

図27Aおよび図27Bは、図24の回路の駆動方法に係る動作を説明するための図である。

図28は、図24の回路の駆動方法に係る動作を説明するための図である。

図29は、第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図30は、図29の有機EL表示装置において第3の実施形態に係る画素回路の具体的な構成を示す回路図である。

図31A～図31C、図30の回路の駆動方法を説明するためのタイミングチャートである。

図32は、第4の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図33は、図32の有機EL表示装置において第4の実施形態に係る画素回路の具体的な構成を示す回路図である。

図34は、第5の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図35は、図34の有機EL表示装置において第5の実施形態に係る画素回路の具体的な構成を示す回路図である。

図36は、第6の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図37は、図36の有機EL表示装置において第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

発明を実施するための最良の形態

以下、本発明の実施形態を添付図面に関連付けて説明する。

<第1実施形態>

図8は、本第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図9は、図8の有機EL表示装置において本第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

この表示装置100は、図8および図9に示すように、画素回路(PXLC)101が $m \times n$ のマトリクス状に配列された画素アレイ部102、水平セレクト

(HSEL) 103、ライトスキャナ (WSCN) 104、第1のドライブスキャナ (DSCN1) 105、第2のドライブスキャナ (DSCN2) 106、オートゼロ回路 (AZRD) 107、水平セクタ103により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL101~DTL10n、ライトスキャナ104により選択駆動される走査線WSL101~WSL10m、第1のドライブスキャナ105により選択駆動される駆動線DSL101~DSL10m、第2のドライブスキャナ106により選択駆動される駆動線DSL111~DSL11m、およびオートゼロ回路107により選択駆動されるオートゼロ線AZL101~AZL10mを有する。

なお、画素アレイ部102において、画素回路101は $m \times n$ のマトリクス状に配列されるが、図8においては図面の簡単化のために $2 (=m) \times 3 (=n)$ のマトリクス状に配列した例を示している。

また、図9においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

本第1の実施形態に係る画素回路101は、図9に示すように、 n チャンネルTFT111~TFT116、キャパシタC111、C122、有機EL素子(OLED:電気光学素子)からなる発光素子117、第1のノードND111、第2のND112、第3のノードND113、および第4のノードND114を有する。

また、図9において、DTL101はデータ線を、WSL101は走査線を、DSL101、DSL111は駆動線を、AZL101はオートゼロ線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係る電界効果トランジスタ(ドライブ(駆動)トランジスタ)を構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、TFT114が第3のスイッチを構成し、TFT115が第4のスイッチを構成し、TFT116が第5のス

スイッチを構成し、キャパシタC111が本発明に係る画素容量素子を構成し、キャパシタC112が本発明に係る結合容量素子を構成している。

また、電源電圧VCCの供給ライン（電源電位）が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

画素回路101において、第1の基準電位（本実施形態では電源電位VCC）と第2の基準電位（本実施形態では接地電位GND）との間に、第1のスイッチとしてのTFT112、第3のノードND113、ドライブトランジスタとしてのTFT111、第1のノードND111、および発光素子（OLED）117が直列に接続されている。具体的には、発光素子117のカソードが接地電位GNDに接続され、アノードが第1のノードND111に接続され、TFT111のソースが第1のノードND111に接続され、TFT111のドレインが第3のノードND113に接続され、第3のノードND113と電源電位VCCとの間にTFT112のソース・ドレインが接続されている。

そして、TFT111のゲートが第2のノードND112に接続され、TFT112のゲートが駆動線DSL111に接続されている。

第2のノードND112と第3のノードND113との間にTFT113のソース・ドレインが接続され、TFT113のゲートがオートゼロ線AZL101に接続されている。

TFT114のドレインが第1のノード111およびキャパシタC111の第1電極に接続され、ソースが固定電位（本実施形態では接地電位GND）に接続され、TFT114のゲートが駆動線DSL101に接続されている。また、キャパシタC111の第2電極が第2のノードND112に接続されている。

キャパシタC112の第1電極が第2のノードND112に接続され、第2電極が第4のノードND114に接続されている。

データ線DTL101と第4のノードND114に第4のスイッチとしてのTFT115のソース・ドレインがそれぞれ接続されている。そして、TFT11

5のゲートが走査線WSL101に接続されている。

さらに、第4のノードND114と所定電位Vofsとの間にTFT116のソース・ドレインがそれぞれ接続されている。そして、TFT116のゲートがオートゼロ線AZL101に接続されている。

このように、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ソース間に画素容量としてのキャパシタC111が接続され、非発光期間にTFT111のソース電位をスイッチトランジスタとしてのTFT114に介して固定電位に接続し、また、TFT111のゲート・ドレイン間を接続して、しきい値Vthの補正を行うように構成されている。

次に、上記構成の動作を、画素回路の動作を中心に、図10A～図10Dおよび図11A, B～図14A, Bに関連付けて説明する。

なお、図10Aは画素配列の第1行目の走査線WSL101に印加される走査信号ws[1]を、図10Bは画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[1]を、図10Cは画素配列の第1行目の駆動線DSL111に印加される駆動信号ds[2]を、図10Dは画素配列の第1行目のオートゼロ線AZL101に印加されるオートゼロ信号az[1]をそれぞれ示している。

また、図10A～図10D中、Teで示す期間が発光期間であり、Tneで示す期間が非発光期間であり、Tvcはしきい値Vthのキャンセル期間であり、Twで示す期間が書き込み期間である。

まず、通常のEL発光素子117の発光状態時は、図10A～図10Dに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに設定され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに設定され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに設定され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]が

選択的にハイレベルに設定される。

その結果、画素回路101においては、図11Aに示すように、TFT112がオン状態（導通状態）に保持され、TFT113～TFT116がオフ状態（非導通状態）に保持される。

ドライブトランジスタ111は飽和領域で動作するように設計されており、EL発光素子117に流れる電流 I_{ds} は、上記式1で示される値をとる。

次に、EL発光素子117の非発光期間 T_{ne} において、図10A～図10Dに示すように、ライトスキャナ104より走査線WSL101への走査信号 $w_s[1]$ がローレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $a_z[1]$ がローレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号 $d_s[2]$ がハイレベルに保持された状態で、ドライブスキャナ105により駆動線DSL101への駆動信号 $d_s[1]$ が選択的にハイレベルに設定される。

その結果、画素回路101においては、図11Bに示すように、TFT112がオン状態、TFT113、TFT115、TFT116はオフ状態に保持されたままで、TFT114がオンする。

このとき、TFT114を介して電流が流れ、TFT111のソース電位 V_s は接地電位GNDまで下降する。そのため、EL発光素子117に印加される電圧も0Vとなり、EL発光素子117は非発光となる。

この場合、TFT114がオンしてもキャパシタC111に保持されている電圧、すなわち、TFT111のゲート電圧は変わらないことから、電流 I_{ds} は図11Bに示すように、TFT112、第3のノードND113、TFT111、第1のノードND111、およびTFT114の経路を流れる。

次に、EL発光素子117の非発光期間 T_{ne} において、図10A～図10Dに示すように、ライトスキャナ104より走査線WSL101への走査信号 $w_s[1]$ がローレベルに保持され、ドライブスキャナ105により駆動線DSL1

01への駆動信号 $d_s[1]$ がハイレベルに保持された状態で、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $a_z[1]$ がハイレベルに設定され、その後、図10Cに示すように、ドライブスキャナ106により駆動線DSL111への駆動信号 $d_s[2]$ がローレベルに設定される。

その結果、画素回路101においては、図12Aに示すように、TFT114がオン状態、TFT115がオフ状態に保持されたままで、TFT113、TFT116がオンし、TFT112がオフする。

このとき、TFT111のゲートとドレインはTFT113を介して接続されているのでTFT111は飽和領域で動作する。また、TFT111のゲートには、キャパシタC111、C112が並列に接続されているため、TFT111のゲート・ドレイン間電圧 V_{gd} は、図12Bに示すように、時間と共に緩やかに減少してゆく。そして、一定時間経過後、TFT111のゲート・ソース間電圧 V_{gs} はTFT111のしきい値電圧 V_{th} となる。

このとき、キャパシタC112には $(V_{ofs} - V_{th})$ が、キャパシタC111には V_{th} がそれぞれ充電される。

次に、図10A～図10Dに示すように、ライトスキャナ104より走査線WSL101への走査信号 $w_s[1]$ がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号 $d_s[1]$ がハイレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号 $d_s[2]$ がローレベルに保持された状態で、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $a_z[1]$ がローレベルに設定され、その後、図10Cに示すように、ドライブスキャナ106により駆動線DSL111への駆動信号 $d_s[2]$ がハイレベルに設定される。

その結果、画素回路101においては、図13Aに示すように、TFT114がオン状態、TFT115がオフ状態に保持されたままで、TFT113、TFT116がオフし、TFT112がオンする。これにより、TFT111のドレ

イン電圧が電源電圧VCCとなる。

次に、図10A～図10Dに示すように、ドライブスキャナ105により駆動線DSL101への駆動信号ds〔1〕がハイレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds〔2〕がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az〔1〕がローレベルに保持された状態で、ライトスキャナ104より走査線WSL101への走査信号ws〔1〕がハイレベルに設定される。

その結果、画素回路101においては、図13Bに示すように、TFT114、TFT112がオン状態、TFT113、TFT116がオフ状態に保持されたままで、TFT115がオンする。

これにより、TFT115を介してデータ線DTL101を伝播された入力電圧Vinが入力して、ノードND114の電圧変化量ΔVがTFT111のゲートにカップリングさせる。

このとき、TFT111のゲート電圧VgはVthという値であり、カップリング量ΔVはキャパシタC111の容量値C1、キャパシタC112の容量値C2、およびTFT111の寄生容量C3によって下記の式2のように決定される。

$$\Delta V = \{C2 / (C1 + C2 + C3)\} \cdot (Vin - Vofs) \quad \dots (2)$$

したがって、C1、C2をC3に比べて十分大きくとればゲートへのカップリング量はキャパシタC111の容量値C1、キャパシタC112の容量値C2によってのみ決まる。

TFT111は飽和領域で動作するように設計されているので、図13Bおよび図14Aに示すように、TFT111のゲートにカップリングされる電圧量に応じた電流Idsが流れる。

書き込み終了後、図10A～図10Dに示すように、ドライブスキャナ106

により駆動線DSL111への駆動信号ds[2]がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに保持された状態で、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに設定され、その後、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに設定される。

その結果、画素回路101においては、図14Bに示すように、TFT112がオン状態、TFT113、TFT116がオフ状態に保持されたままで、TFT115がオフし、TFT114がオフする。

この場合、TFT114がオフしてもTFT111のゲートソース間電圧は一定であるので、TFT111は一定電流IdsをEL発光素子117に流す。これによって、第1のノードND111の電位はEL発光素子117にIdsという電流が流れる電圧Vxまで上昇し、EL発光素子117は発光する。

ここで、本回路においてもEL発光素子は発光時間が長くなるとその電流-電圧(I-V)特性は変化してしまう。そのため、第1のノードND111の電位も変化する。しかしながら、TFT111のゲート・ソース間電圧Vgsは一定値に保たれているのでEL発光素子117に流れる電流は変化しない。よって、EL発光素子117のI-V特性が劣化しても、一定電流Idsが常に流れ続け、EL発光素子117の輝度に変化することはない。

以上が図9の画素回路の第1の駆動方法であるが、次に第2の駆動方法について、図15A~図15Dおよび図16A、Bに関連付けて説明する。

この第2の駆動方法が上述した第1の駆動方法と異なる点は、非発光期間Tneにおける第1のスイッチとしてのTFT112をオンさせるタイミングにある。

第2の駆動方法においては、図15A~図15Dに示すように、TFT112をオンするタイミングを、TFT115をオフした後に設定している。

ただし、TFT115をオフしてからTFT112をオンすると、TFT111は、図16Aに示すように、線形領域から飽和領域へと動作する。

一方、上述した第1の駆動方法のように、TFT112をオンしてからTFT115をオンすると、TFT111は、図16Bに示すように飽和領域のみで動作する。トランジスタは線形領域よりも飽和領域の方がチャンネル長が短くなるので寄生容量C3は小さい。

よって、第1の駆動方法のように、TFT112をオンしてからTFT115をオンする方が、第2の駆動方法のように、TFT115をオフしてからTFT112をオンするよりも、TFT111の寄生容量C3を小さくすることができる。

寄生容量C3を小さくすることができれば、TFT112をオンした際、TFT111のドレインからゲートへのカップリング量を小さくすることができ、尚且つキャパシタC111の容量値C1、キャパシタC112の容量値C2を寄生容量C3に比べて十分大きくとることができるため、TFT115をオンした時の第4のノードND114の電圧の変化量が、C1、C2の大きさに応じてTFT111のゲートへカップリングされるようになる。

これより、第1の駆動方法の方が、第2の駆動方法に比べてよりよいといえる。

。

次に、図9の画素回路の第3の駆動方法について、図17A～図17Dおよび図18A、B～図21A、Bに関連付けて説明する。

この第3の駆動方法が上述した第1の駆動方法と異なる点は、非発光期間T_{ne}における第1のスイッチとしてのTFT112をオンさせるタイミングにある。この第3の駆動方法では、TFT112がデューティ(Duty)スイッチとして機能する。以下動作について説明する。

まず、通常のEL発光素子117の発光状態時は、図17A～図17Dに示すように、ライトスキャナ104より走査線WSL101への走査信号ws〔1〕

がローレベルに設定され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに設定され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに設定され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]が選択的にハイレベルに設定される。

その結果、画素回路101においては、図18Aに示すように、TFT112がオン状態（導通状態）に保持され、TFT113～TFT116がオフ状態（非導通状態）に保持される。

ドライブトランジスタ111は飽和領域で動作するように設計されており、EL発光素子117に流れる電流Idsは、上記式1で示される値をとる。

次に、EL発光素子117の非発光期間Tneにおいて、図17A～図17Dに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに保持された状態で、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がローレベルに設定される。

その結果、画素回路101においては、図18Bに示すように、TFT113～TFT116はオフ状態に保持されたままで、TFT112がオフする。

TFT112がオフすることでTFT111のドレイン電圧はソース電圧まで降下する。これによってEL発光素子117には電流が流れなくなり、第1のノードND111の電位は、EL発光素子のしきい値電圧Veまで降下することとなる。そして、EL発光素子117は非発光となる。

次に、EL発光素子117の非発光期間Tneにおいて、図17A～図17Dに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに保持され、ドライブスキャナ106により駆動線DSL1

11への駆動信号 $ds[2]$ がローレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $az[1]$ がローレベルに保持された状態で、ドライブスキャナ105により駆動線DSL101への駆動信号 $ds[1]$ がハイレベルに設定され、その後、図17Dに示すように、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $az[1]$ がハイレベルに設定される。

その結果、画素回路101においては、図19Aに示すように、TFT112、TFT115がオフ状態に保持されたままで、TFT114がオンし、TFT113、TFT116がオンする。

TFT114がオンすることによって、第1のノードND111の電位は接地電位GNDレベルとなり、TFT111のドレイン電圧も接地電位GNDレベルとなる。

また、TFT113、TFT116がオンすることで、キャパシタC112を通じて第4のノードND114の電位変化が、TFT111のゲートにカップリングされ、TFT111のゲート・ドレイン間電圧 V_{gd} は変化する。このカップリング量を V_0 とする。

なお、TFT114とTFT113、TFT116をオンするタイミングはTFT113、TFT116をオンした後にTFT114をオンしてもよい。つまり、TFT111のゲートとドレインを接続して第4のノードND114の電位変化量がTFT111のゲートにカップリングした後に、TFT111のゲートを接地電位GNDレベルに降下させてもよい。

次に、図17A～図17Dに示すように、ライトスキャナ104より走査線WSL101への走査信号 $ws[1]$ がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号 $ds[1]$ がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号 $az[1]$ がハイレベルに保持された状態で、ドライブスキャナ106により駆

動線DSL111への駆動信号ds[2]がハイレベルに設定される。

その結果、画素回路101においては、図19Bに示すように、TFT114、TFT113、TFT116がオン状態、TFT115がオフ状態に保持されたままで、TFT112がオンする。これにより、TFT111のゲート・ドレイン間電圧が電源電圧VCCに上昇する。

そして、TFT111のゲート・ドレイン間電圧が電源電圧VCCに上昇後、図17Cに示すように、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がローレベルに設定される。

その結果、画素回路101においては、図20Aに示すように、TFT114、TFT113、TFT116がオン状態、TFT115がオフ状態に保持されたままで、TFT112がオフする。

TFT112がオフして一定時間経過後に、TFT111のゲート・ソース間電圧Vgsは、TFT11のしきい値電圧Vthとなる。

このとき、キャパシタC112には(Vofs-Vth)が、キャパシタC111にはVthがそれぞれ充電されている。

次に、図17A～図17Dに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がハイレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がローレベルに保持された状態で、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに設定され、その後、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がハイレベルに設定される。

その結果、画素回路101においては、図20Bに示すように、TFT114がオン状態に保持されたままで、TFT113、TFT116がオフし、TFT112がオフからオンする。

これにより、TFT111のドレイン電圧が再び電源電圧となる。

次に、図17A～図17Dに示すように、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がハイレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに保持された状態で、ライトスキャナ104より走査線WSL101への走査信号ws[1]がハイレベルに設定される。

その結果、画素回路101においては、図21Aに示すように、TFT114、TFT112がオン状態、TFT113、TFT116がオフ状態に保持されたままで、TFT115がオンする。

これにより、TFT115を介してデータ線DTL101を伝播された入力電圧Vinが入力して、ノードND114の電圧変化量ΔVがTFT111のゲートにカップリングさせる。

このとき、TFT111のゲート電圧VgはVthという値であり、カップリング量ΔVはキャパシタC111の容量値C1、キャパシタC112の容量値C2、およびTFT111の寄生容量C3によって上記の式2のように決定される。

したがって、上述したように、C1、C2をC3に比べて十分大きくとればゲートへのカップリング量はキャパシタC111の容量値C1、キャパシタC112の容量値C2によってのみ決まり、TFT111は飽和領域で動作するように設計されているので、TFT111のゲート・ソース間電圧Vgsに応じた電流Idsが流れる。

書き込み終了後、図17A～図17Dに示すように、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がハイレベルに保持され、オートゼロ回路107によりオートゼロ線AZL101へのオートゼロ信号az[1]がローレベルに保持された状態で、ライトスキャナ104より走査線WSL

101への走査信号 $w_s[1]$ がローレベルに設定され、その後、ドライブスキヤナ105により駆動線DSL101への駆動信号 $d_s[1]$ がローレベルに設定される。

その結果、画素回路101においては、図21Bに示すように、TFT112がオン状態、TFT113、TFT116がオフ状態に保持されたままで、TFT115がオフし、TFT114がオフする。

この場合、TFT114がオフしてもTFT111のゲートソース間電圧は一定であるので、TFT111は一定電流 I_{ds} をEL発光素子117に流す。これによって、第1のノードND111の電位はEL発光素子117に I_{ds} という電流が流れる電圧 V_x まで上昇し、EL発光素子117は発光する。

ここで、本回路においてもEL発光素子は発光時間が長くなるとその電流-電圧($I-V$)特性は変化してしまう。そのため、第1のノードND111の電位も変化する。しかしながら、TFT111のゲート・ソース間電圧 V_{gs} は一定値に保たれているのでEL発光素子117に流れる電流は変化しない。よって、EL発光素子117の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、EL発光素子117の輝度に変化することはない。

以上が図9の画素回路の第3の駆動方法であるが、図22A~図22Dに示すように、TFT112をオンするタイミングを、TFT115をオフした後に設定する第4の駆動方法を採用することも可能である。

ただし、前述したように、TFT115をオフしてからTFT112をオンすると、TFT111は、線形領域から飽和領域へと動作する。

一方、上述した第3の駆動方法のように、TFT112をオンしてからTFT115をオンすると、TFT111は、飽和領域のみで動作する。トランジスタは線形領域よりも飽和領域の方がチャンネル長が短くなるので寄生容量 C_3 は小さい。

よって、第3の駆動方法のように、TFT112をオンしてからTFT115

をオンする方が、第4の駆動方法のように、TFT115をオフしてからTFT112をオンするよりも、TFT111の寄生容量C3を小さくすることができる。

寄生容量C3を小さくすることができれば、TFT112をオンした際、TFT111のドレインからゲートへのカップリング量を小さくすることができ、尚且つキャパシタC111の容量値C1、キャパシタC112の容量値C2をC3に比べて十分大きくとることができるため、TFT115をオンした時の第4のノードND114の電圧の変化量が、C1、C2の大きさに応じてTFT111のゲートへカップリングされるようになる。

これより、第3の駆動方法の方が、第4の駆動方法に比べてよりよいといえる。

以上説明したように、本第1の実施形態によれば、電圧駆動型TFTアクティブマトリクス有機ELディスプレイにおいて、ドライブトランジスタとしてのTFT111のゲートとソース間にキャパシタC111を接続し、TFT111のソース側（第1のノードND111）をTFT114を通して固定電位（本実施形態ではGND）に接続するようにし、また、TFT111のゲートドレイン間をTFT113を介して接続してしきい値 V_{th} のキャンセルを行い、キャパシタC111にそのしきい値 V_{th} を充電し、そのしきい値電圧 V_{th} からTFT111のゲートに入力電圧 V_{in} をカップリングさせるように構成されていることから、以下の効果を得ることができる。

ドライブトランジスタであるTFT111のしきい値電圧のキャンセルが容易に行えるため、画素ごとの電流値のバラツキを低減することができ、均一な画質を得ることができる。

また、各スイッチングトランジスタのタイミングの設定によって非発光期間に画素内に流れる電流値を小さくすることができ低消費電力を実現することができる。

また、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作製においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

<第2実施形態>

図23は、本第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図24は、図23の有機EL表示装置において本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

本第2の実施形態が上述した第1の実施形態と異なる点は、ドライブスキャナを一つにし、駆動線DSL101~DSL10mに印加される駆動信号ws[1]をTFT114のゲートに供給し、インバータ108-1~108-mにより駆動信号ws[1]の反転信号/w s[1]をTFT112のゲートに供給するように構成したことにある。

したがって、第2の実施形態においては、TFT112とTFT114とは相補的にオン、オフされる。すなわち、TFT112がオンのときTFT114はオフに保持され、TFT112がオフのときTFT114はオンに保持される。

本第2の実施形態の動作を図25A~図25D並びに図26A、B、図27A、B、図28に関連付けて説明する。

まず、通常のEL発光素子117の発光状態時は、図25A~図25Dに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに設定され、ドライブスキャナ105により駆動線DSL101へ

の駆動信号 $d_s [1]$ がローレベルに設定され、オートゼロ回路 107 によりオートゼロ線 AZL 101 へのオートゼロ信号 $a_z [1]$ がローレベルに設定される。

その結果、画素回路 101 においては、図 26A に示すように、TFT 112 がオン状態（導通状態）に保持され、TFT 113～TFT 116 がオフ状態（非導通状態）に保持される。

ドライブトランジスタ 111 は飽和領域で動作するように設計されており、EL 発光素子 117 に流れる電流 I_{ds} は、上記式 1 で示される値をとる。

次に、EL 発光素子 117 の非発光期間 T_{ne} において、図 25A～図 25D に示すように、ライトスキャナ 104 より走査線 WSL 101 への走査信号 $w_s [1]$ がローレベルに保持され、ドライブスキャナ 105 により駆動線 DSL 101 への駆動信号 $d_s [1]$ がローレベルに保持され、オートゼロ回路 107 によりオートゼロ線 AZL 101 へのオートゼロ信号 $a_z [1]$ がハイレベルに設定される。

その結果、画素回路 101 においては、図 26B に示すように、TFT 112 がオン、TFT 114、TFT 115 はオフ状態に保持されたままで、TFT 113、TFT 116 がオンする。

TFT 113 がオンしたことに伴い、TFT 111 のドレインとゲートが接続され、その電圧が電源電圧まで上昇する。また、TFT 116 がオンすることで、キャパシタ C 112 を通じて第 4 のノード ND 114 の電位変化が、TFT 111 のゲートにカップリングされ、TFT 111 のゲート・ドレイン間電圧 V_{gd} は変化する。

次に、図 25A～図 25D に示すように、ライトスキャナ 104 より走査線 WSL 101 への走査信号 $w_s [1]$ がローレベルに保持され、オートゼロ回路 107 によりオートゼロ線 AZL 101 へのオートゼロ信号 $a_z [1]$ がハイレベルに保持された状態で、ドライブスキャナ 105 により駆動線 DSL 101 への

駆動信号 $d_s[1]$ がハイレベルに設定される。

その結果、画素回路 101 においては、図 27A に示すように、TFT114、TFT113、TFT116 がオン状態、TFT112、TFT115 がオフ状態に保持される。

これにより、第 1 のノード ND111 の電位 (TFT111 のソース電位) は接地電位 GND レベルに下降する。さらに、一定期間経過後に TFT111 のゲート・ソース間電圧 V_{gs} は TFT111 のしきい値電圧 V_{th} となる。

このとき、キャパシタ C112 には $(V_{ofs} - V_{th})$ が、キャパシタ C111 には V_{th} がそれぞれ充電されている。

次に、図 25A～図 25D に示すように、ライトスキャナ 104 より走査線 WSL101 への走査信号 $w_s[1]$ がローレベルに保持され、ドライブスキャナ 105 により駆動線 DSL101 への駆動信号 $d_s[1]$ がハイレベルに保持された状態で、オートゼロ回路 107 によりオートゼロ線 AZL101 へのオートゼロ信号 $a_z[1]$ がローレベルに設定され、その後、ライトスキャナ 104 より走査線 WSL101 への走査信号 $w_s[1]$ がハイレベルに設定される。

その結果、画素回路 101 においては、図 27B に示すように、TFT114、TFT112 がオン状態、TFT113、TFT116 がオフし、TFT115 がオンする。

これにより、TFT115 を介してデータ線 DTL101 を伝播された入力電圧 V_{in} が入力して、ノード ND114 の電圧変化量 ΔV が TFT111 のゲートにカップリングさせる。

このとき、TFT111 のドレイン端はフローティングであるために、TFT111 へのカップリング量 ΔV はキャパシタ C111 の容量値 C_1 、キャパシタ C112 の容量値 C_2 によってのみ決まる。

書き込み終了後、図 25A～図 25D に示すように、オートゼロ回路 107 によりオートゼロ線 AZL101 へのオートゼロ信号 $a_z[1]$ がローレベルに保

持された状態で、ライトスキャナ104より走査線WSL101への走査信号 $w_s[1]$ がローレベルに設定され、その後、ドライブスキャナ105により駆動線DSL101への駆動信号 $d_s[1]$ がローレベルに設定される。

その結果、画素回路101においては、図28に示すように、TFT113、TFT116がオフ状態に保持されたままで、TFT115、TFT114がオフし、TFT112がオンする。

これにより、TFT111のドレイン電圧は電源電圧まで上昇する。

この場合、TFT114がオフしてもTFT111のゲートソース間電圧は一定であるので、TFT111は一定電流 I_{ds} をEL発光素子117に流す。これによって、第1のノードND111の電位はEL発光素子117に I_{ds} という電流が流れる電圧 V_x まで上昇し、EL発光素子117は発光する。

ここで、本回路においてもEL発光素子は発光時間が長くなるとその電流-電圧($I-V$)特性は変化してしまう。そのため、第1のノードND111の電位も変化する。しかしながら、TFT111のゲート・ソース間電圧 V_{gs} は一定値に保たれているのでEL発光素子117に流れる電流は変化しない。よって、EL発光素子117の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、EL発光素子117の輝度が増加することはない。

本第2の実施形態によれば、ドライブトランジスタであるTFT111のしきい値電圧のキャンセルが容易に行えるため、画素ごとの電流値のバラツキを低減することができ、均一な画質を得ることができる。

また、各スイッチングトランジスタのタイミングの設定によって非発光期間に画素内に流れる電流値を小さくすることができ低消費電力を実現することができる。

また、EL発光素子の $I-V$ 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアー

ド・カソード電極を用いたままで、 n チャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、 n チャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

<第3実施形態>

図29は、本第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図30は、図20の有機EL表示装置において本第3の実施形態に係る画素回路の具体的な構成を示す回路図である。

本第3の実施形態に係る表示装置100Bが第2の実施形態に係る表示装置100Aと異なる点は、画素回路における第1のスイッチとしてのTFT112を n チャネルTFTの代わりに p チャネルTFT112Bを適用した点にある。

この場合、TFT112BとTFT114は相補的にオン、オフできれば良いことから、図31A～図31Cに示すように、各行1本の駆動線DSL101～DSL10mに駆動信号 $d_s[1]$ のみを印加すればよい。

したがって、第2の実施形態のように、インバータを設ける必要もない。

その他の構成は、上述した第2の実施形態と同様である。

本第3の実施形態によれば、上述した第2の実施形態の効果に加えて、回路構成を簡単化できる利点がある。

<第4実施形態>

図32は、本第4の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図33は、図32の有機EL表示装置において本第4の実施形態に係る画素回路の具体的な構成を示す回路図である。

本第4の実施形態が上述した第1の実施形態と異なる点は、ドライブトランジ

スタとしてのTFT111をnチャンネルTFTの代わりにpチャンネルTFT111Cを適用した点にある。

この場合、発光素子117のアノードが電源電位VCCに接続され、カソードが第1のノードDN111に接続され、第1のノードND111にTFT111Cのソースが接続され、TFT111Cのドレインが第3のノードND113に接続され、TFT112のドレインが第3のノードND113に接続され、TFT112のソースが接地電位GNDに接続されている。また、TFT114は、第1のノードND111と電源電位VCCとの間に接続されている。

その他の接続関係は第1の実施形態と同様であり、動作も同様に行われることから、ここではその詳細な説明は省略する。

本第4の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得ることができる。

<第5実施形態>

図34は、本第5の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図35は、図34の有機EL表示装置において本第5の実施形態に係る画素回路の具体的な構成を示す回路図である。

本第5の実施形態が上述した第4の実施形態と異なる点は、ドライブスキマナを一つにし、駆動線DSL101~DSL10mに印加される駆動信号ws〔1〕をTFT112のゲートに供給し、インバータ109-1~109-mによる駆動信号ws〔1〕の反転信号/w s〔1〕をTFT114のゲートに供給するように構成したことにある。

その他の構成は第4の実施形態と同様である。

本第5の実施形態においても、上述した第1の実施形態の効果と同様の効果を得ることができる。

<第6実施形態>

図36は、本第6の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図37は、図36の有機EL表示装置において本第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

本第6の実施形態に係る表示装置100Eが第5の実施形態に係る表示装置100Dと異なる点は、画素回路における第1のスイッチとしてのTFT112をnチャネルTFTの代わりにpチャネルTFT112Dを適用した点にある。

この場合、TFT112EとTFT114は相補的にオン、オフできれば良いことから、各行1本の駆動線DSL101～DSL10mに駆動信号ds〔1〕のみを印加すればよい。

したがって、第5の実施形態のように、インバータを設ける必要もない。

その他の構成は、上述した第5の実施形態と同様である。

本第6の実施形態によれば、上述した第1の実施形態の効果に加えて、回路構成を簡単化できる利点がある。

以上説明したように、本発明によれば、ドライブトランジスタであるTFT111のしきい値電圧のキャンセルが容易に行えるため、画素ごとの電流値のバラツキを低減することができ、均一な画質を得ることができる。

また、各スイッチングトランジスタのタイミングの設定によって非発光期間に画素内に流れる電流値を小さくすることができ低消費電力を実現することができる。

また、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TF

T作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

産業上の利用可能性

本発明の画素回路、表示装置、および画素回路の駆動方法によれば、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、 n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、 n チャネルトランジスタをELの駆動素子として用いることができることから、大型かつ高精細のアクティブマトリクス型ディスプレイとしても適用可能である。

請求の範囲

1. 流れる電流によって輝度が増減する電気光学素子を駆動する画素回路であって、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1、第2、第3、および第4のノードと、

第1および第2の基準電位と、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と

上記第2のノードと上記第4のノードとの間に接続された結合容量素子と

第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第3のノードに接続された第1のスイッチと、

上記第2のノードと上記第3のノードとの間に接続された第2のスイッチ

と、

上記第1のノードと固定電位との間に接続された第3のスイッチと、

上記データ線と上記第4のノードとの間に接続された第4のスイッチと、

上記第4のノードと所定電位との間に接続された第5のスイッチと、を有

し、

上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている

画素回路。

2. 上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第3のノードに接続されている

請求項 1 記載の画素回路。

3. 上記電気光学素子を駆動する場合、

第 1 ステージとして、上記第 1 のスイッチが導通状態に保持され、上記第 4 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、

第 2 ステージとして、上記第 2 のスイッチおよび上記第 5 のスイッチが導通状態に保持され、上記第 1 のスイッチが非導通状態に保持された後、上記第 2 のスイッチおよび上記第 5 のスイッチが非導通状態に保持され、

第 3 ステージとして、上記第 4 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 4 のノードに入力された後、上記第 4 のスイッチが非導通状態に保持され、

第 4 ステージとして、上記第 3 のスイッチが非導通状態に保持される

請求項 1 記載の画素回路。

4. 上記第 3 ステージでは、上記第 1 のスイッチが導通状態に保持された後、上記第 4 のスイッチが導通状態に保持される

請求項 3 記載の画素回路。

5. 上記電気光学素子を駆動する場合、

第 1 ステージとして、上記第 1 のスイッチおよび上記第 4 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、

第 2 ステージとして、上記第 2 のスイッチおよび上記第 5 のスイッチが導通状態に保持され、上記第 1 のスイッチが所定期間だけ導通状態に保持された後、上記第 2 のスイッチおよび上記第 5 のスイッチが非導通状態に保持され、

第 3 ステージとして、上記第 4 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 4 のノードに入力された後、上記第 4 のスイッチが非導通状態に保持され、

第4ステージとして、上記第3のスイッチが非導通状態に保持される
請求項1記載の画素回路。

6. 上記第3ステージでは、上記第1のスイッチが導通状態に保持された後、
上記第4のスイッチが導通状態に保持される
請求項5記載の画素回路。

7. 上記電気光学素子を駆動する場合、

第1ステージとして、上記第1のスイッチが導通状態に保持され、上記第
4のスイッチが非導通状態に保持された状態で、上記第2のスイッチおよび上記
第5のスイッチが導通状態に保持され、

第2ステージとして、上記第1のスイッチが非導通状態に保持される一方
、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に
接続され、

第3ステージとして、上記第2のスイッチおよび上記第5のスイッチが非
導通状態に保持され、

第4ステージとして、上記第4のスイッチが導通状態に保持されて上記デ
ータ線を伝播されるデータが上記第4のノードに入力された後、上記第4のスイ
ッチが非導通状態に保持され、

第5ステージとして、上記第1のスイッチが導通状態に保持される一方、
上記第3のスイッチが非導通状態に保持される
請求項1記載の画素回路。

8. マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じ
たデータ信号が供給されるデータ線と、

第1および第2の基準電位と、を有し、

上記画素回路は、

流れる電流によって輝度が増減する電気光学素子と、

上記第 1、第 2、第 3、および第 4 のノードと、
上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、

上記第 2 のノードと上記第 4 のノードとの間に接続された結合容量素子と、

第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 3 のノードに接続された第 1 のスイッチと、

上記第 2 のノードと上記第 3 のノードとの間に接続された第 2 のスイッチと、

上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、

上記データ線と上記第 4 のノードとの間に接続された第 4 のスイッチと、

上記第 4 のノードと所定電位との間に接続された第 5 のスイッチと、
を有し、

上記第 1 の基準電位と第 2 の基準電位との間に、上記第 1 のスイッチ、上記第 3 のノード、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、および上記電気光学素子が直列に接続されている

表示装置。

9. 上記電気光学素子の非発光期間に、相補的に、上記第 1 のスイッチを非導通状態に保持させる一方、上記第 3 のスイッチを導通状態に保持させる駆動回路を含む

請求項 8 記載の表示装置。

10. 流れる電流によって輝度に変化する電気光学素子と、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1、第2、第3、および第4のノードと、

第1および第2の基準電位と、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と

、
上記第2のノードと上記第4のノードとの間に接続された結合容量素子と

、
第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第3のノードに接続された第1のスイッチと、

上記第2のノードと上記第3のノードとの間に接続された第2のスイッチ

と、

上記第1のノードと固定電位との間に接続された第3のスイッチと、

上記データ線と上記第4のノードとの間に接続された第4のスイッチと、

上記第4のノードと所定電位との間に接続された第5のスイッチと、を有し、

上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、

上記第1のスイッチを導通状態に保持し、上記第4のスイッチを非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持させて、上記第1のノードを固定電位に接続し、

上記第2のスイッチおよび上記第5のスイッチを導通状態に保持し、上記第1のスイッチを非導通状態に保持した後、上記第2のスイッチおよび上記第5のスイッチを非導通状態に保持し、

上記第 4 のスイッチを導通状態に保持して上記データ線を伝播されるデータが上記第 4 のノードに入力させた後、上記第 4 のスイッチを非導通状態に保持し、

上記第 3 のスイッチを非導通状態に保持して、上記第 1 のノードを上記固定電位から電氣的に切り離す

画素回路の駆動方法。

- 1 1. 流れる電流によって輝度が増減する電気光学素子と、
輝度情報に応じたデータ信号が供給されるデータ線と、
第 1、第 2、第 3、および第 4 のノードと、
第 1 および第 2 の基準電位と、
上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、
上記第 2 のノードと上記第 4 のノードとの間に接続された結合容量素子と、
第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
上記第 3 のノードに接続された第 1 のスイッチと、
上記第 2 のノードと上記第 3 のノードとの間に接続された第 2 のスイッチと、
上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、
上記データ線と上記第 4 のノードとの間に接続された第 4 のスイッチと、
上記第 4 のノードと所定電位との間に接続された第 5 のスイッチと、を有し、
上記第 1 の基準電位と第 2 の基準電位との間に、上記第 1 のスイッチ、上記第 3 のノード、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、

および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、

上記第1のスイッチおよび上記第4のスイッチを非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持して、上記第1のノードを固定電位に接続し、

上記第2のスイッチおよび上記第5のスイッチを導通状態に保持し、上記第1のスイッチを所定期間だけ導通状態に保持した後、上記第2のスイッチおよび上記第5のスイッチを非導通状態に保持し、

上記第4のスイッチを導通状態に保持して上記データ線を伝播されるデータを上記第4のノードに入力させた後、上記第4のスイッチを非導通状態に保持し、

上記第3のスイッチを非導通状態に保持して、上記第1のノードを上記固定電位から電氣的に切り離す

画素回路の駆動方法。

12. 流れる電流によって輝度に変化する電気光学素子と、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1、第2、第3、および第4のノードと、

第1および第2の基準電位と、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と

上記第2のノードと上記第4のノードとの間に接続された結合容量素子と

第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第3のノードに接続された第1のスイッチと、

上記第2のノードと上記第3のノードとの間に接続された第2のスイッチ

と、

上記第1のノードと固定電位との間に接続された第3のスイッチと、
上記データ線と上記第4のノードとの間に接続された第4のスイッチと、
上記第4のノードと所定電位との間に接続された第5のスイッチと、を有

し、

上記第1の基準電位と第2の基準電位との間に、上記第1のスイッチ、上記第3のノード、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、

上記第1のスイッチを導通状態に保持し、上記第4のスイッチを非導通状態に保持した状態で、上記第2のスイッチおよび上記第5のスイッチを導通状態に保持し、

上記第1のスイッチを非導通状態に保持する一方、上記第3のスイッチを導通状態に保持して、上記第1のノードを固定電位に接続させ、

上記第2のスイッチおよび上記第5のスイッチを非導通状態に保持し、

上記第4のスイッチを導通状態に保持して上記データ線を伝播されるデータを上記第4のノードに入力させた後、上記第4のスイッチを非導通状態に保持し、

上記第1のスイッチを導通状態に保持する一方、上記第3のスイッチを非導通状態に保持して、上記第1のノードを上記固定電位から電氣的に切り離す画素回路の駆動方法。

FIG. 1

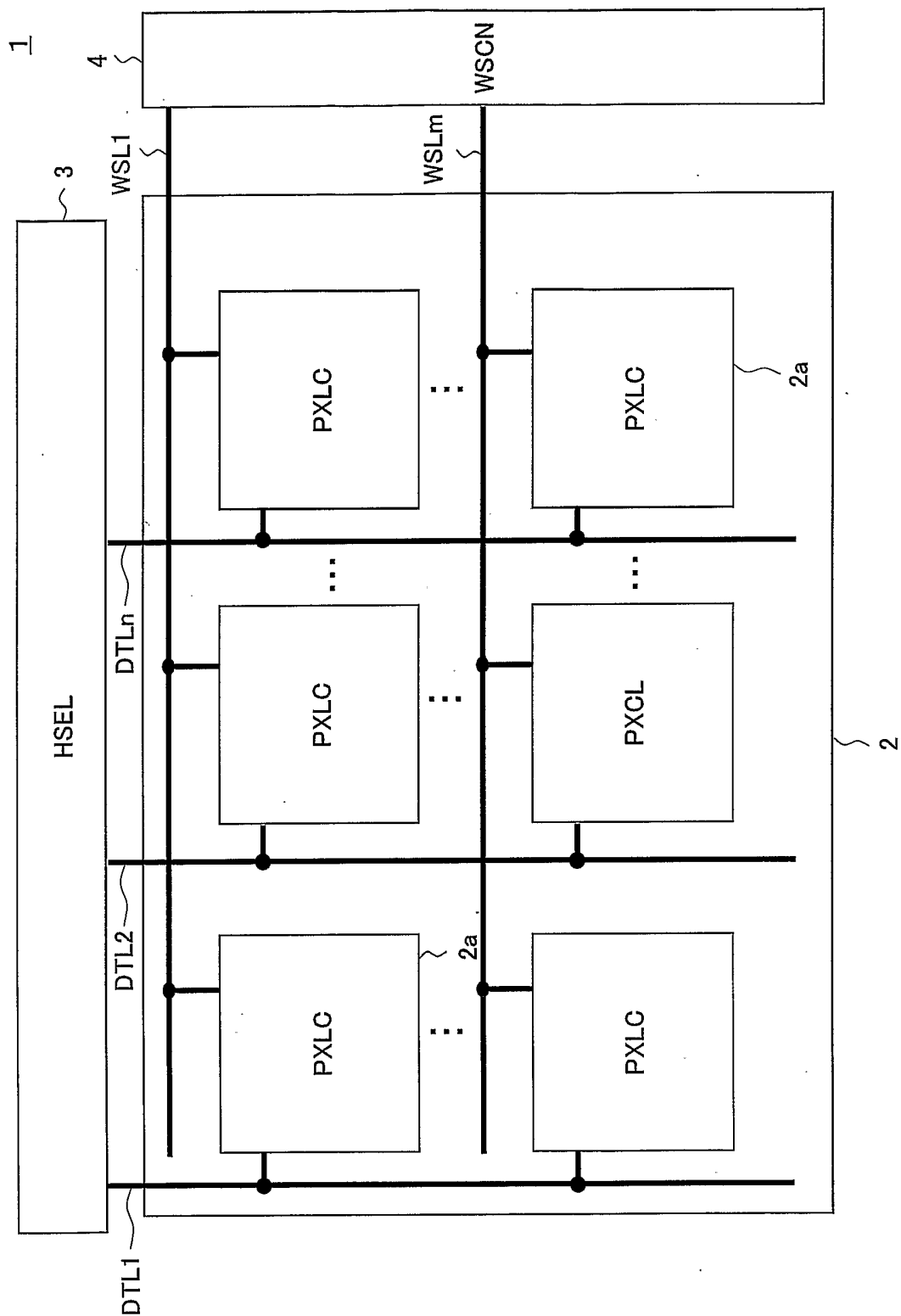


FIG. 2

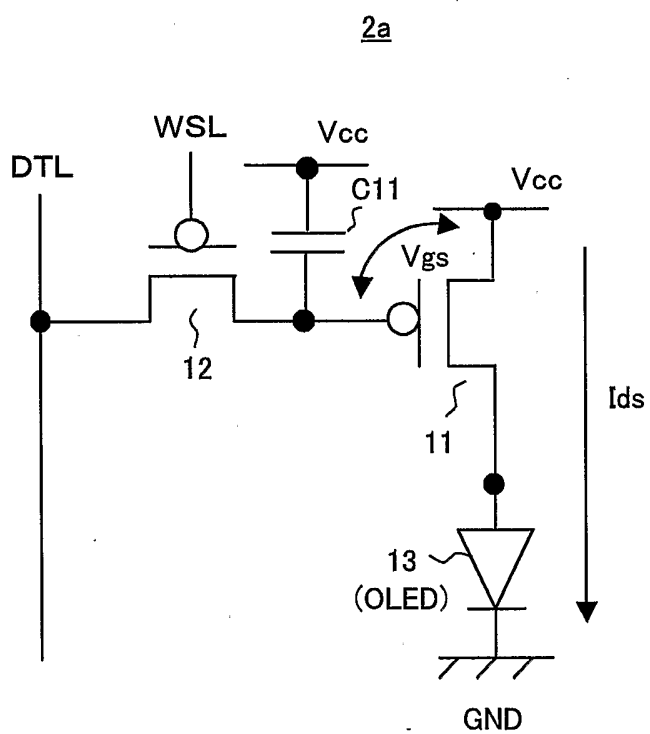


FIG. 3

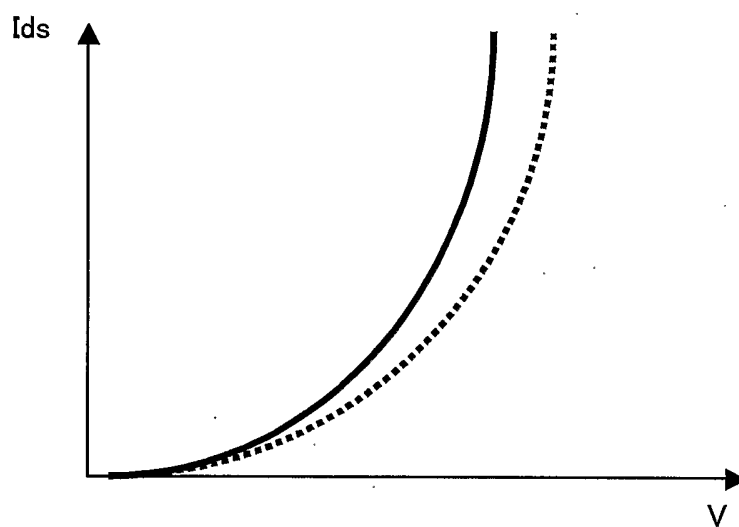


FIG. 4

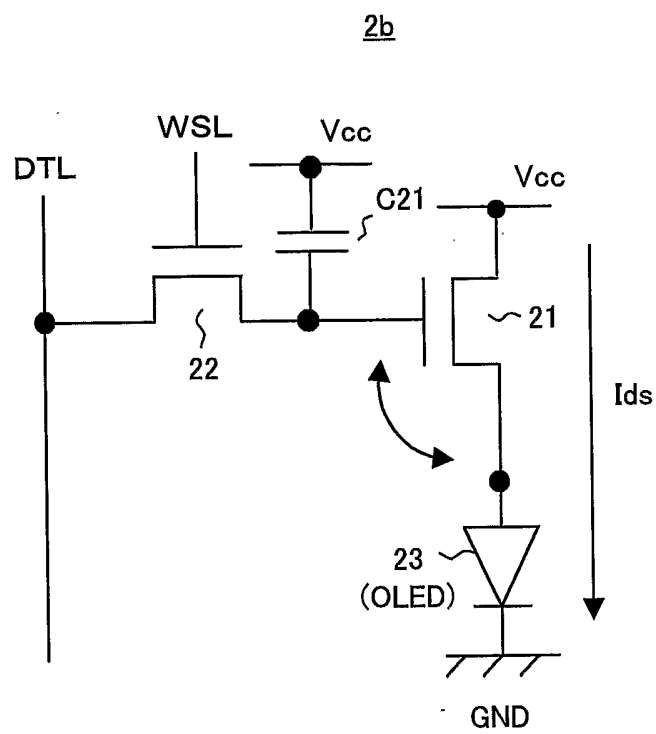


FIG. 5

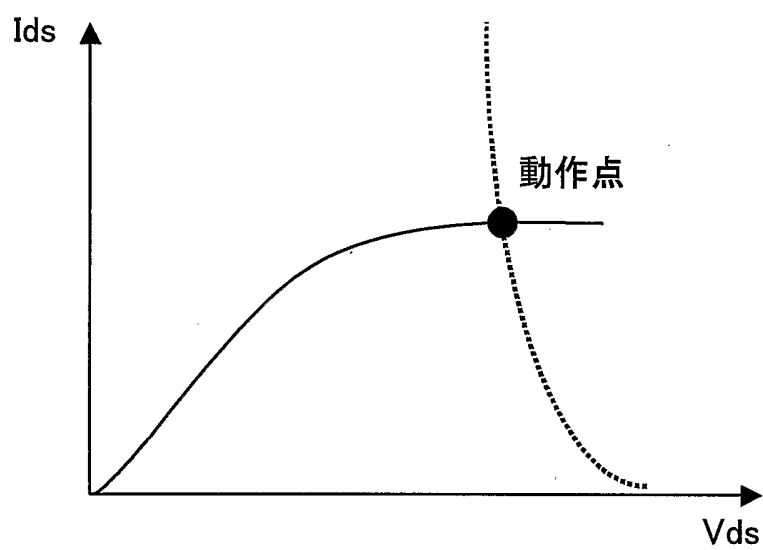


FIG. 6

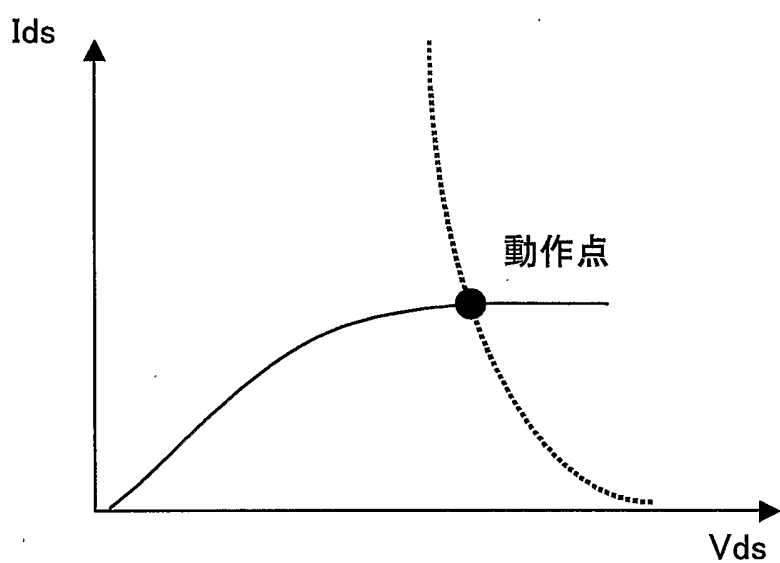


FIG. 7

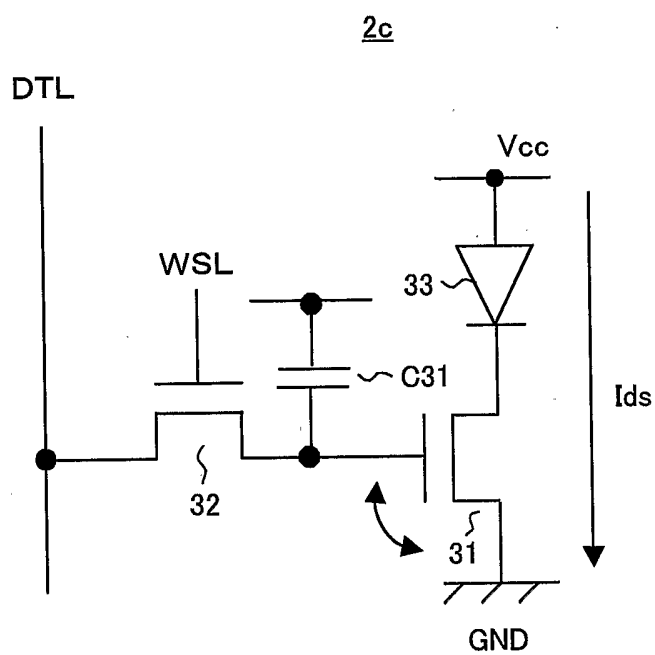
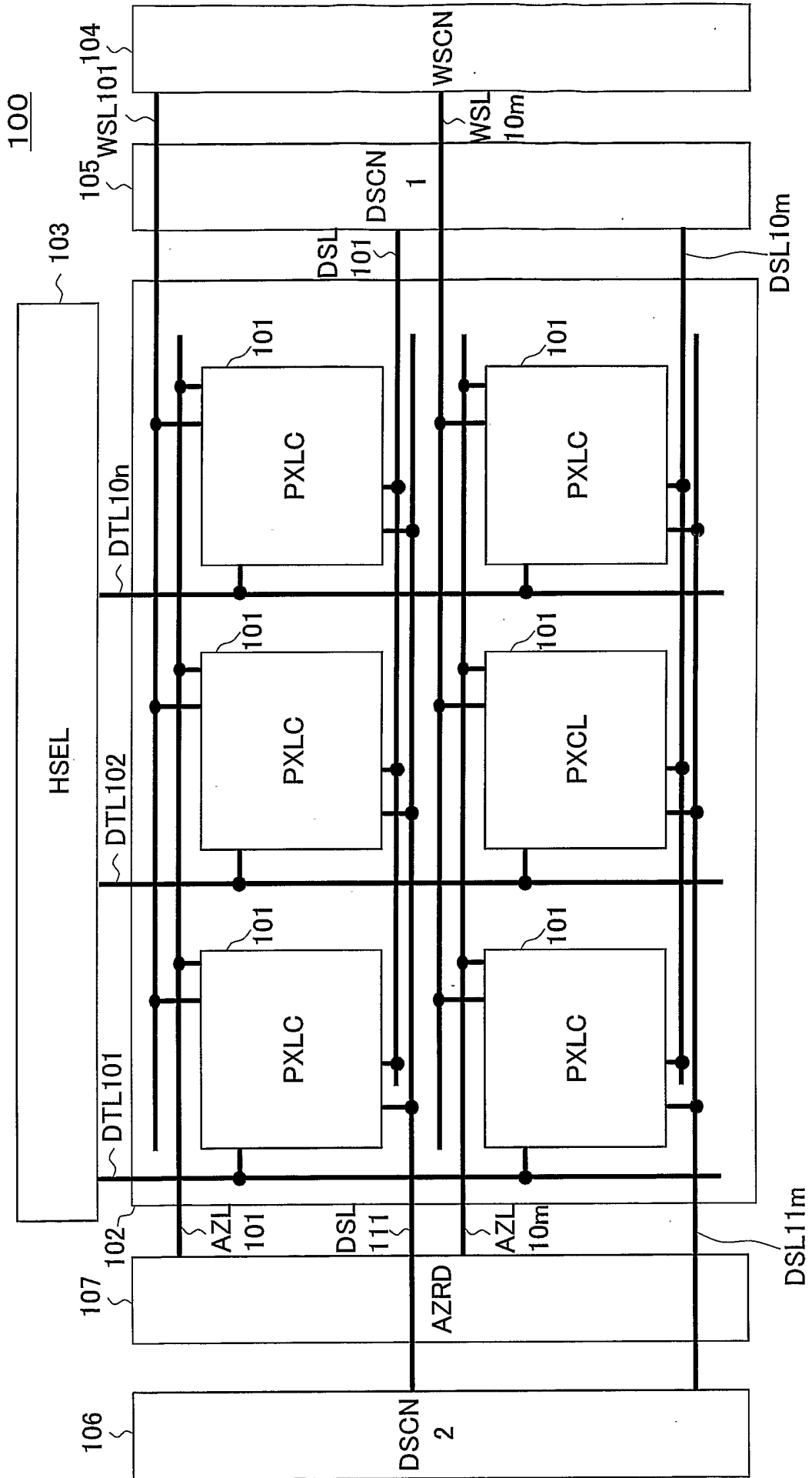


FIG. 8



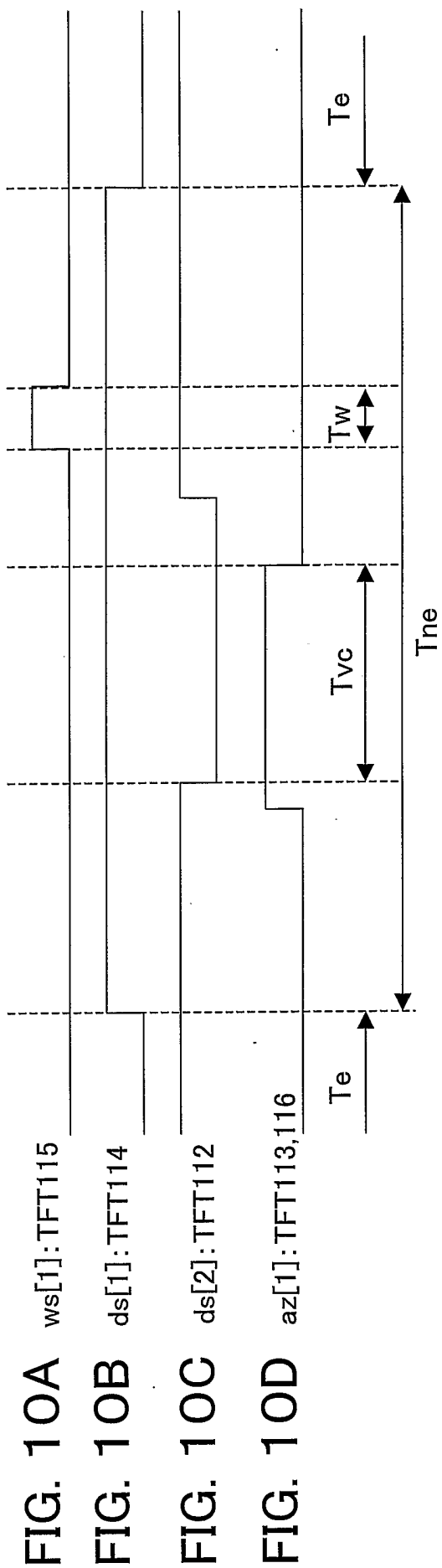


FIG. 11B

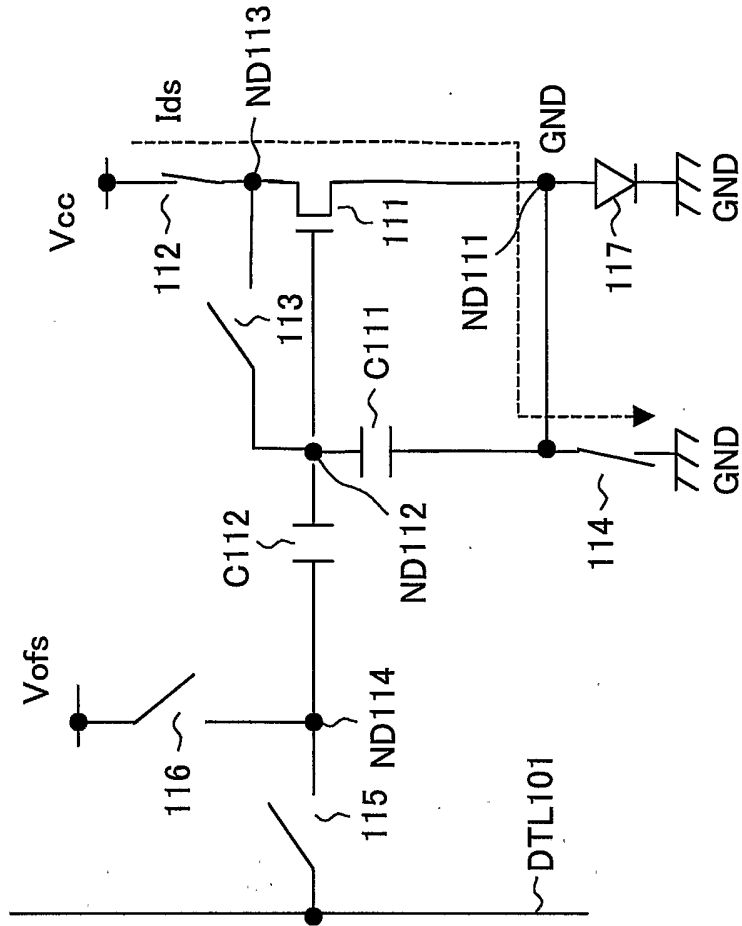


FIG. 11A

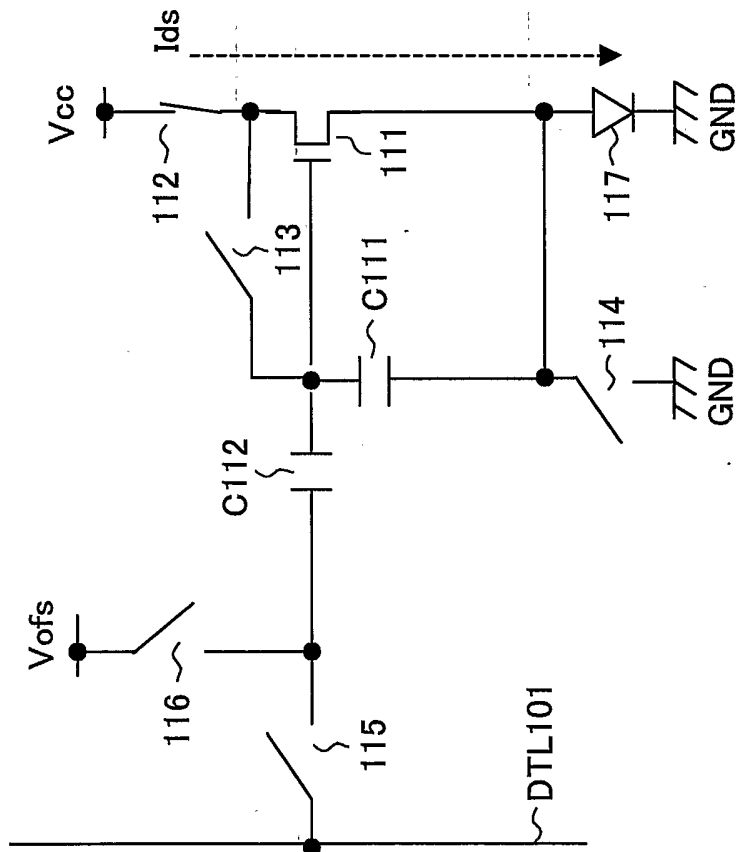


FIG. 12B

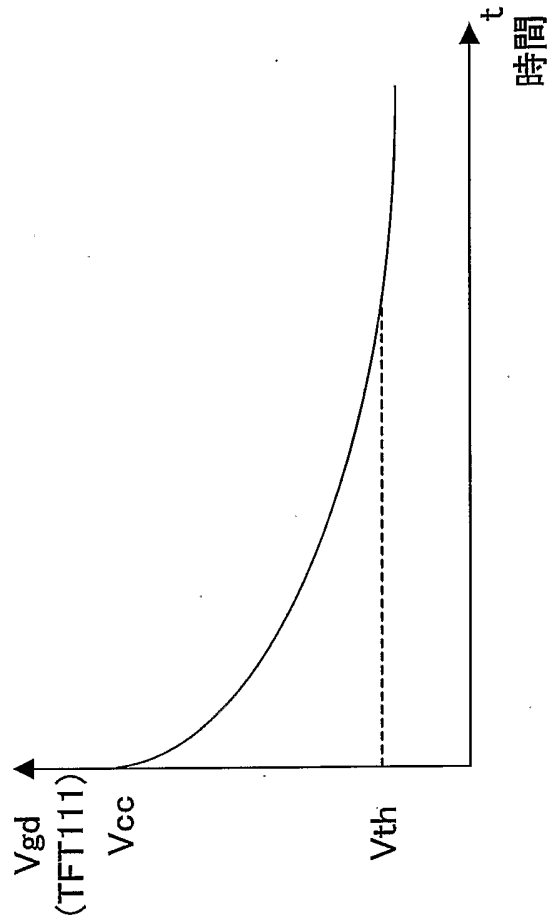


FIG. 12A

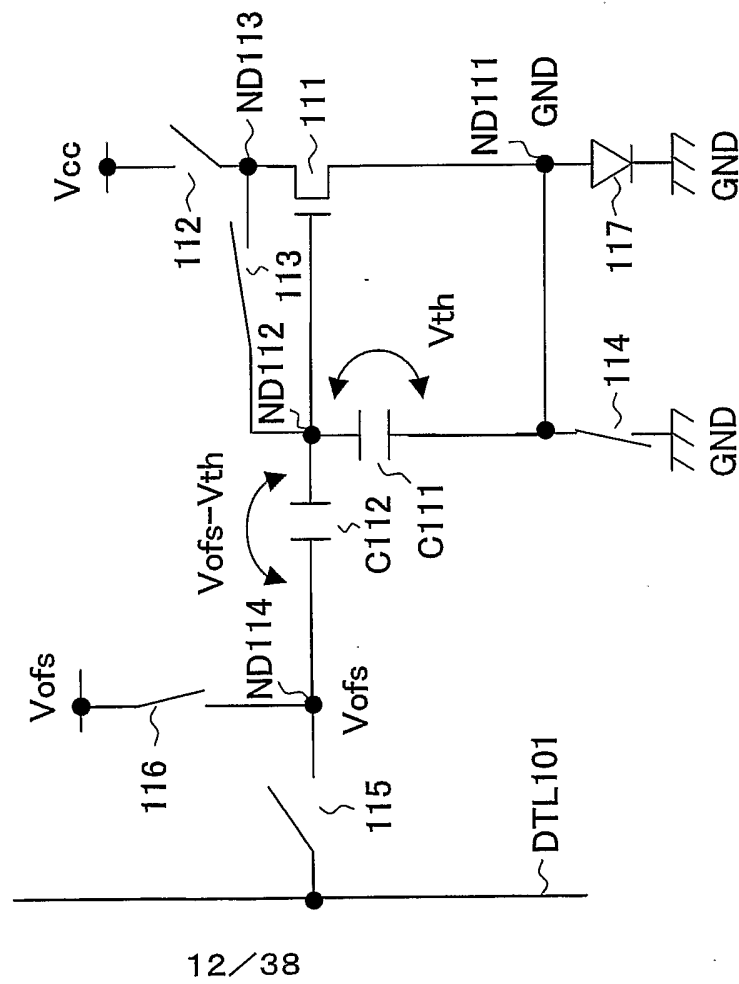


FIG. 14B

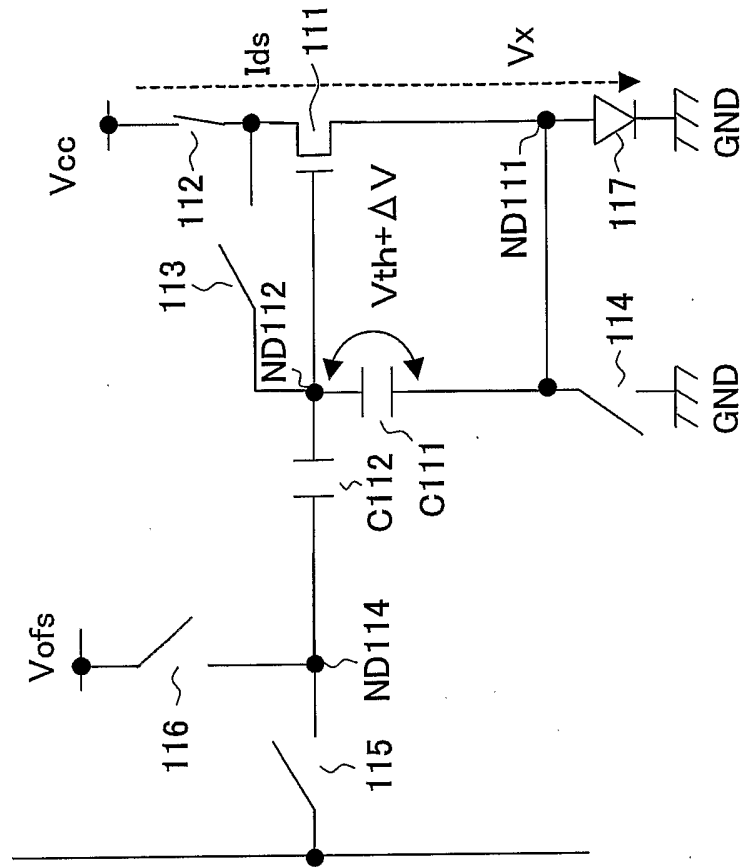
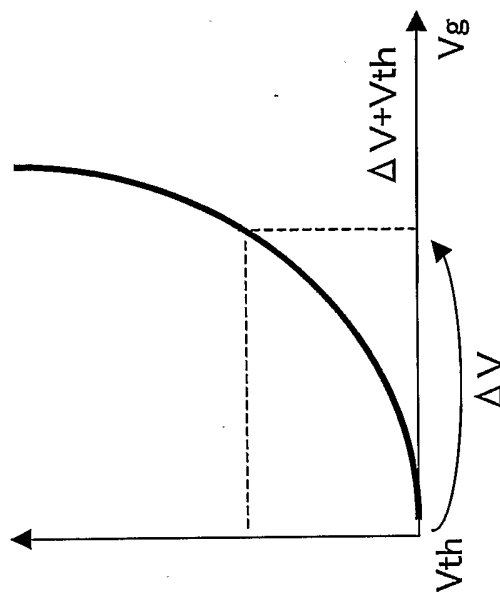


FIG. 14A



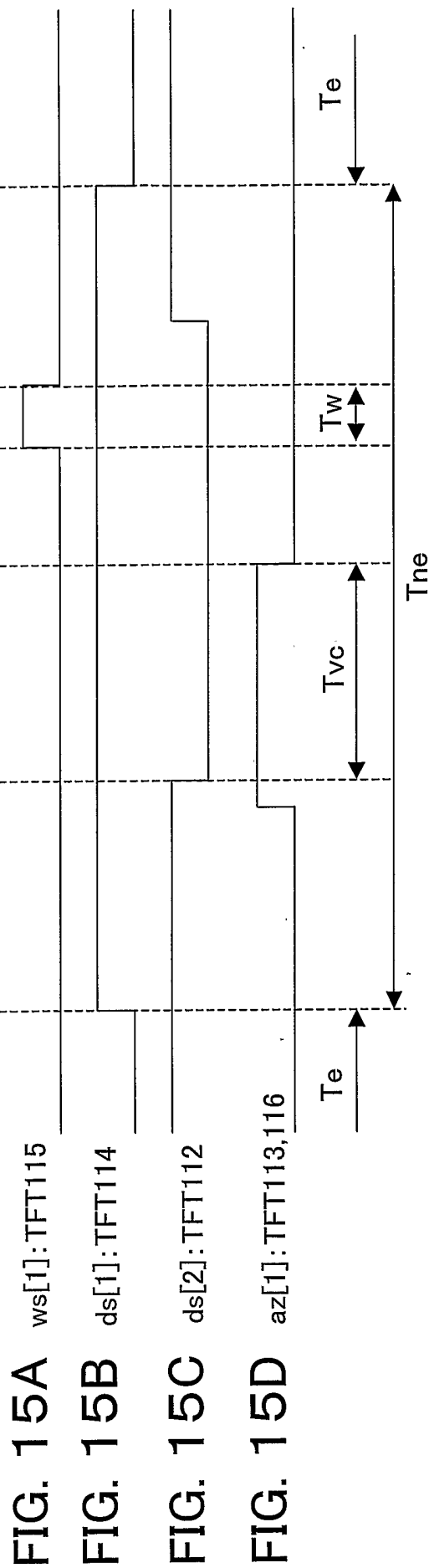


FIG. 15A ws[1]:TFT115

FIG. 15B ds[1]:TFT114

FIG. 15C ds[2]:TFT112

FIG. 15D az[1]:TFT113,116

FIG. 16B

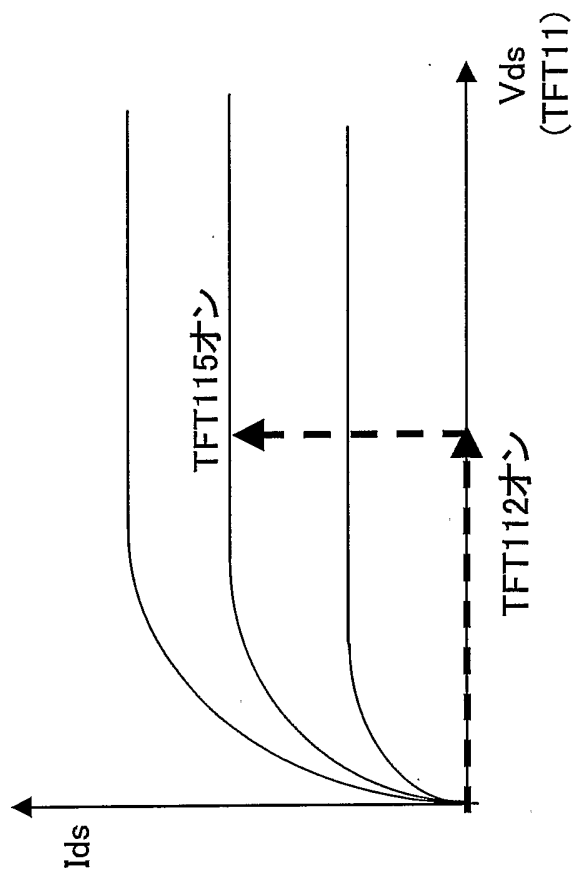
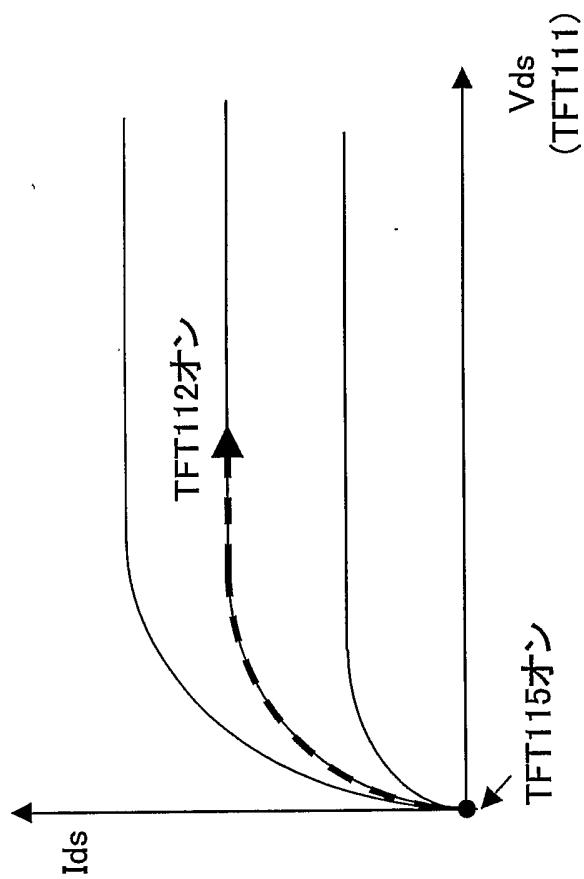


FIG. 16A



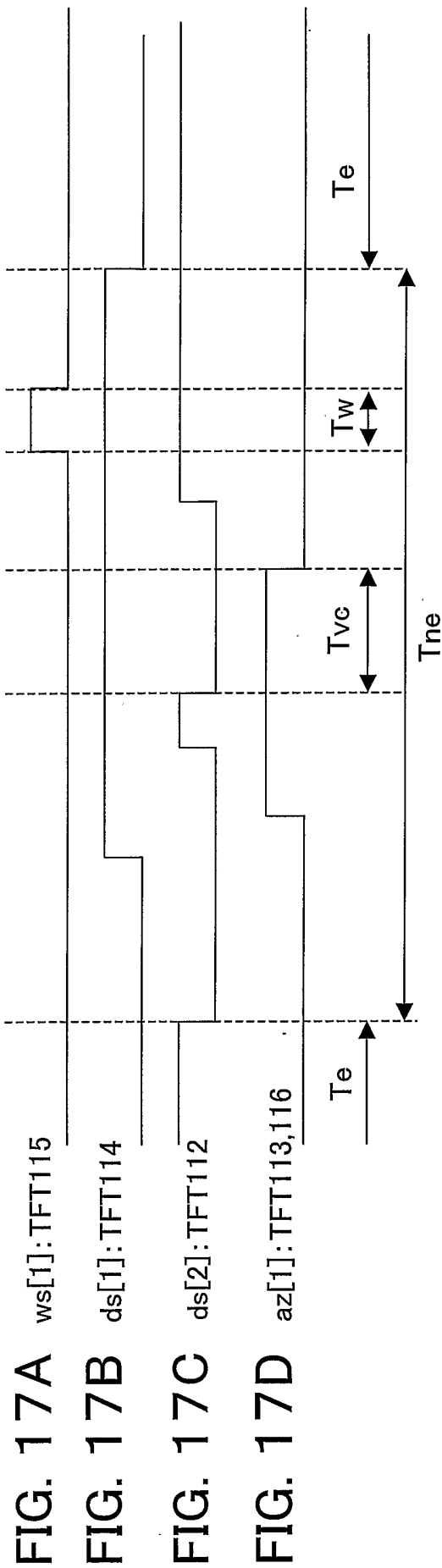


FIG. 18B

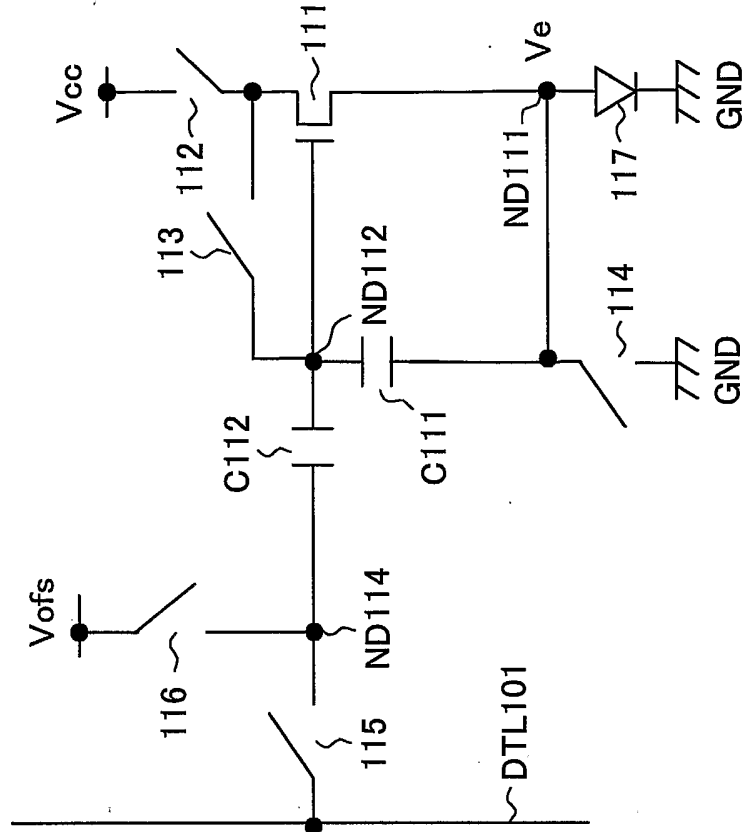


FIG. 18A

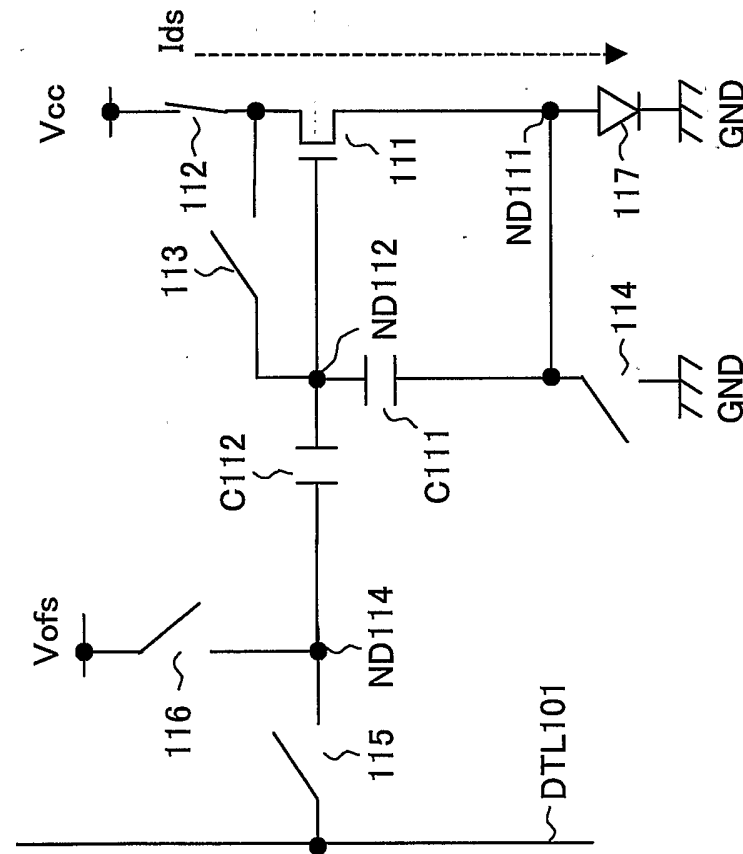


FIG. 19B

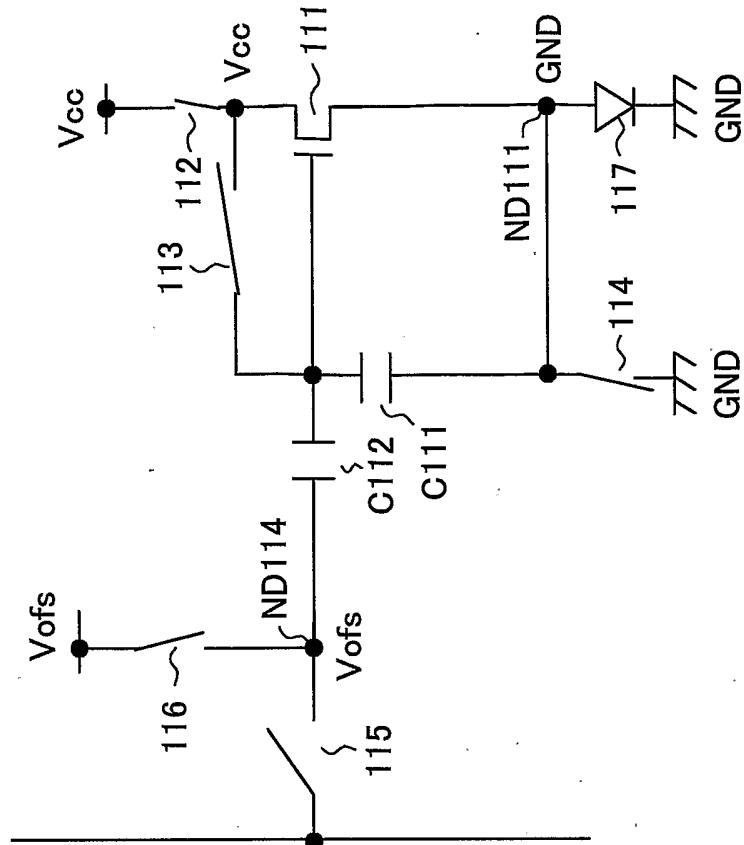
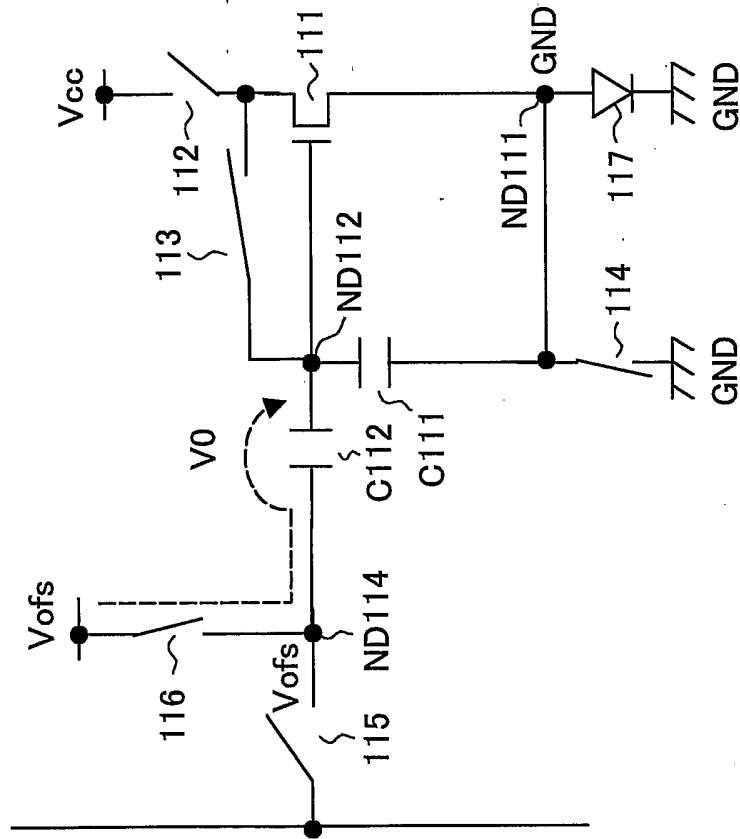


FIG. 19A



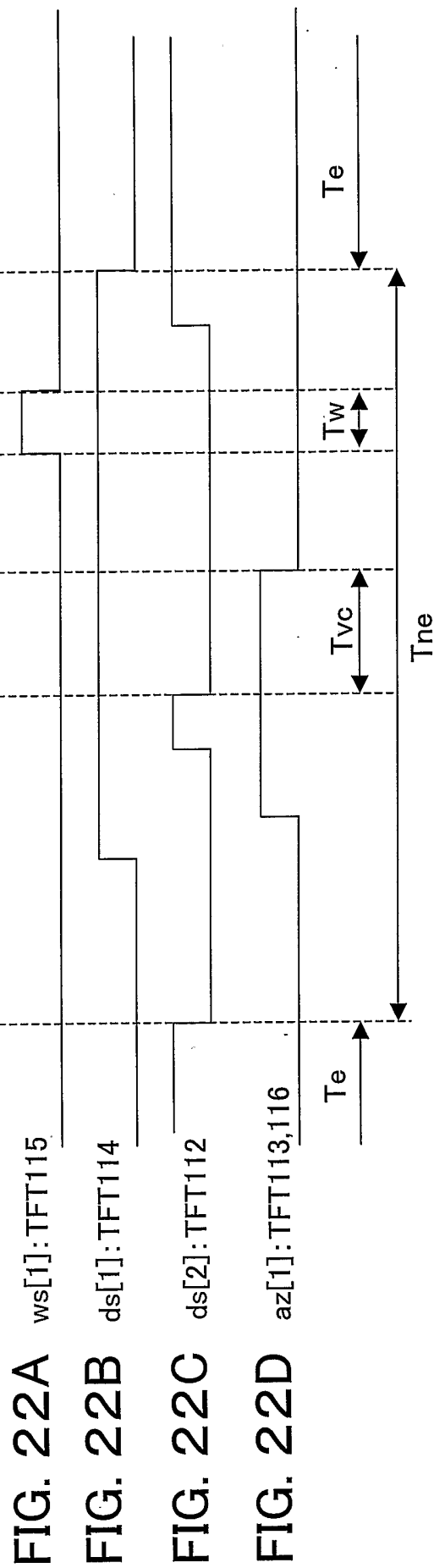


FIG. 23

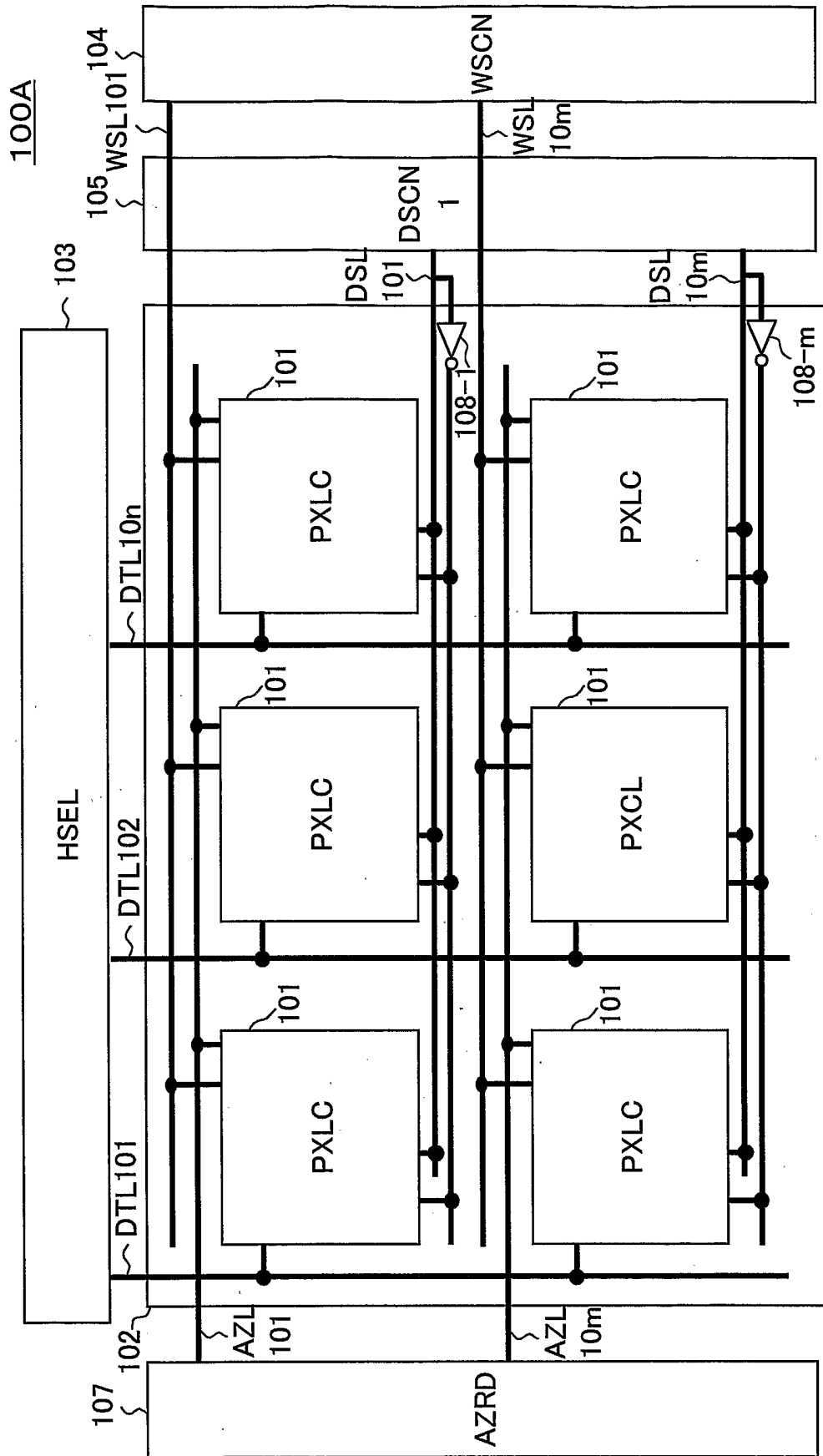
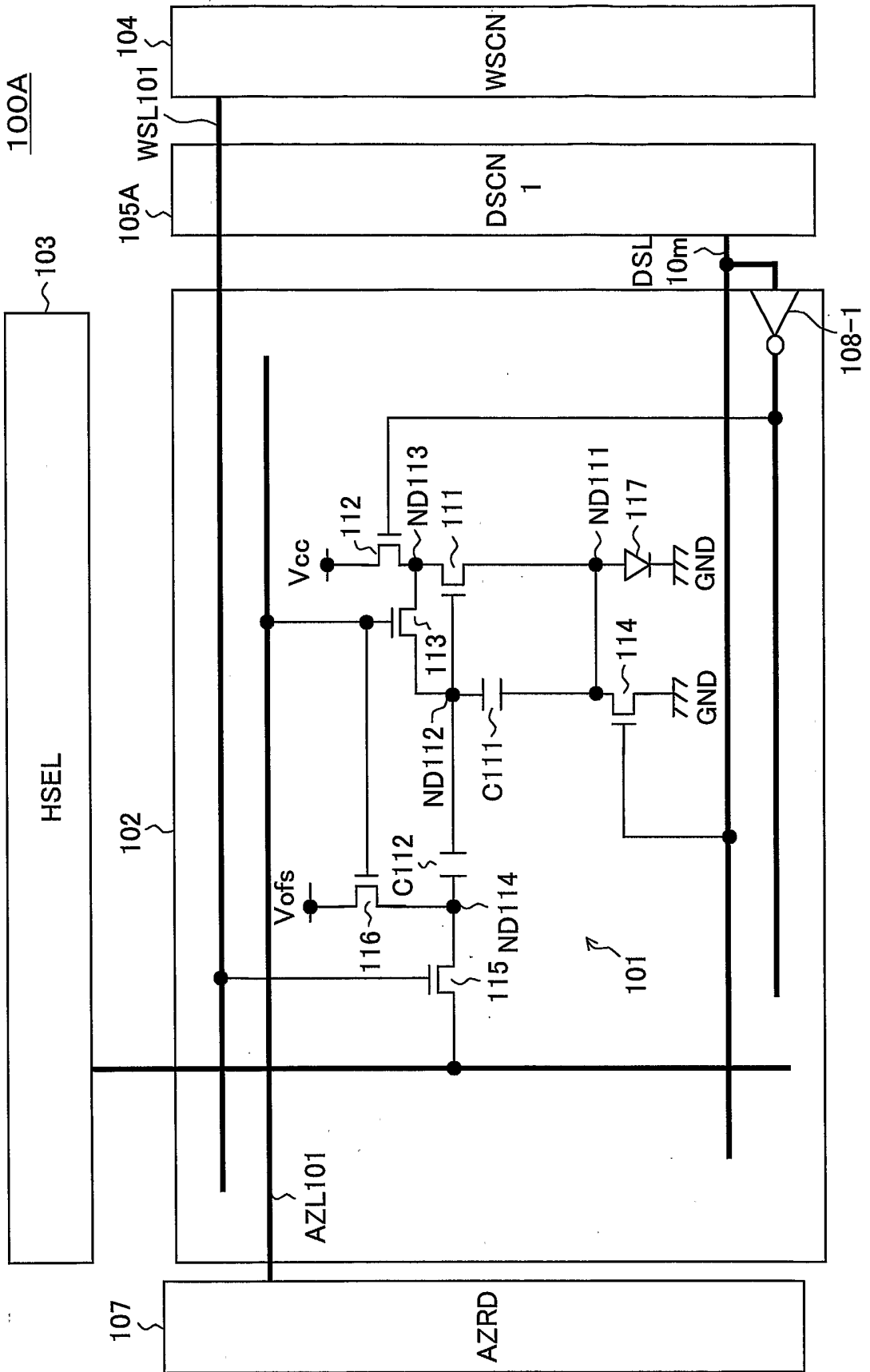


FIG. 24



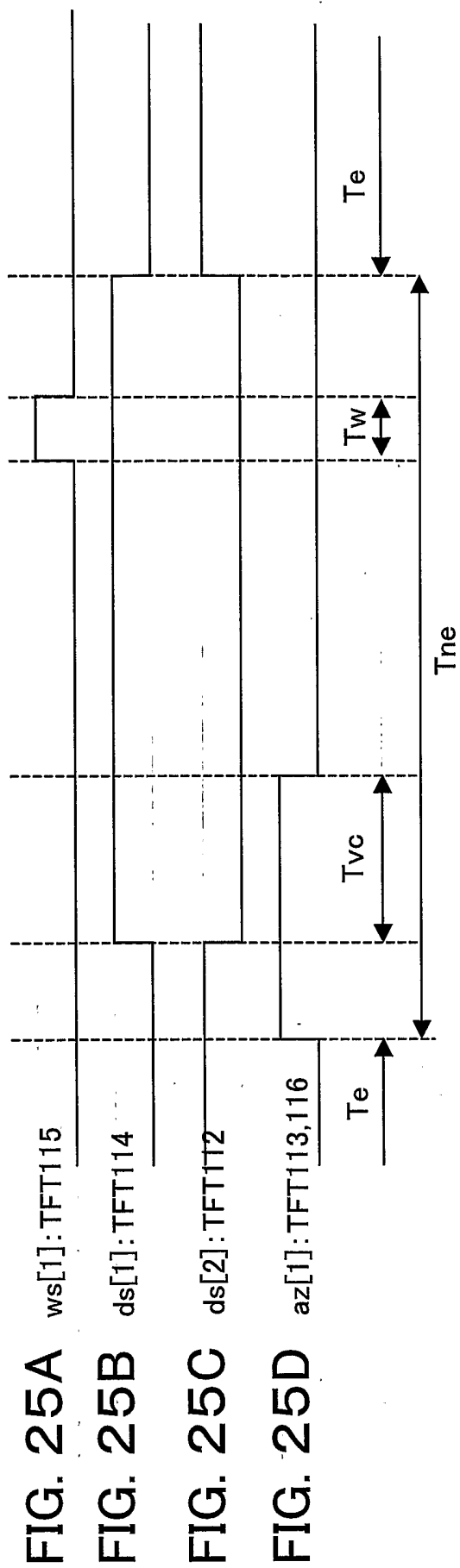


FIG. 28

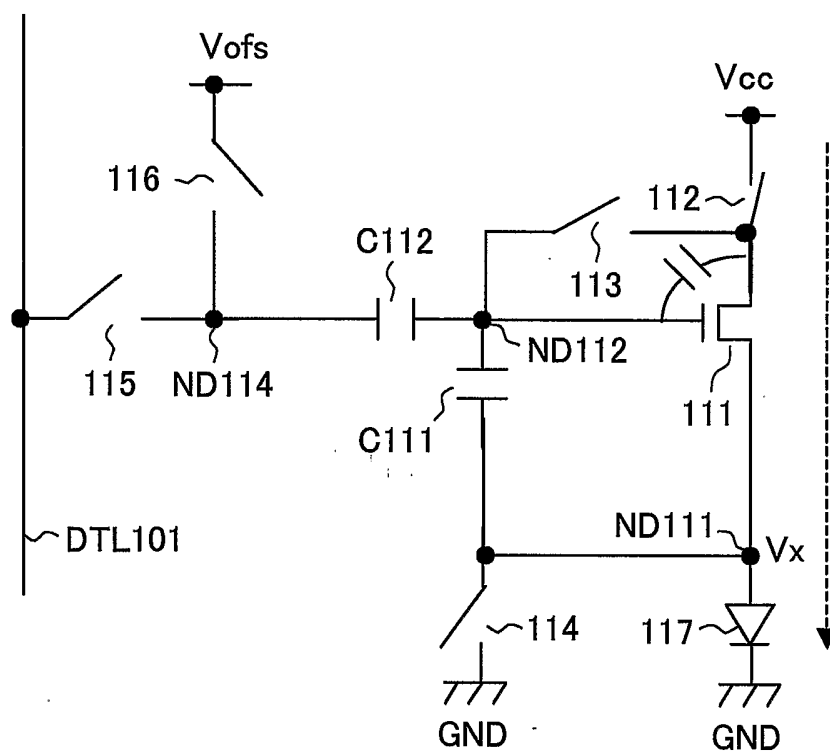
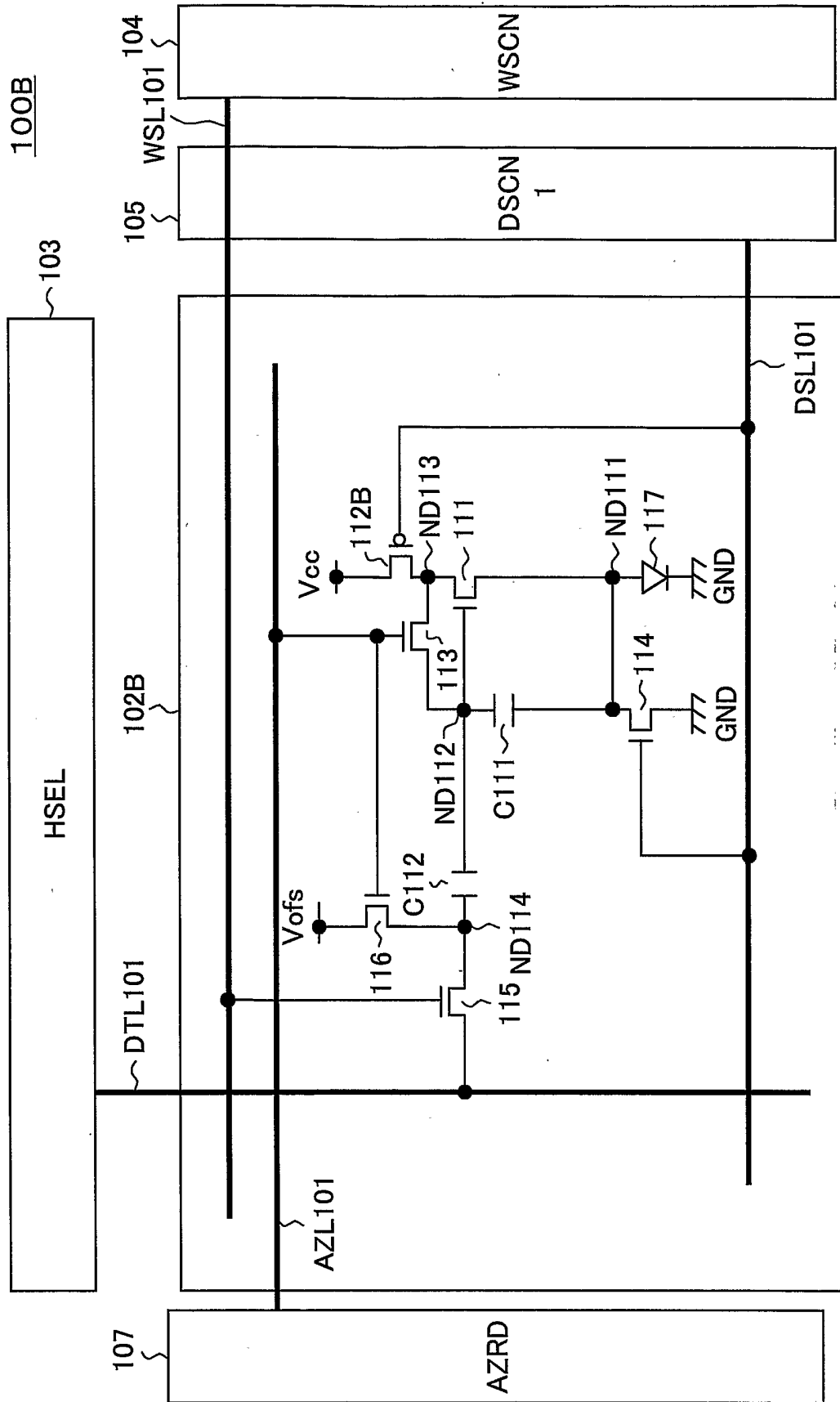


FIG. 30



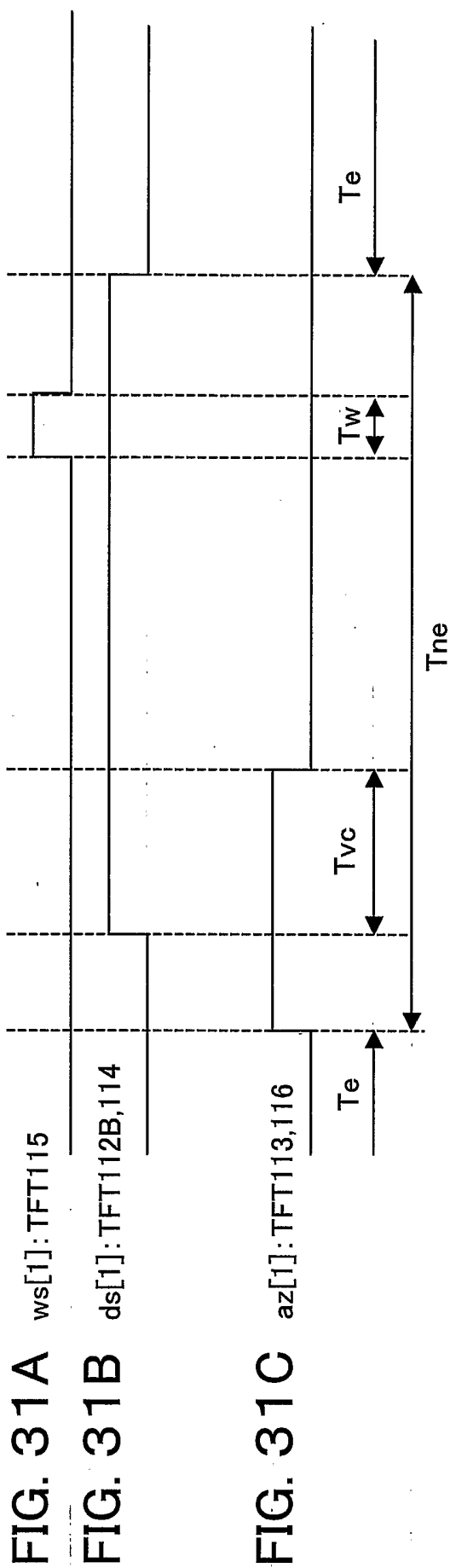


FIG. 32

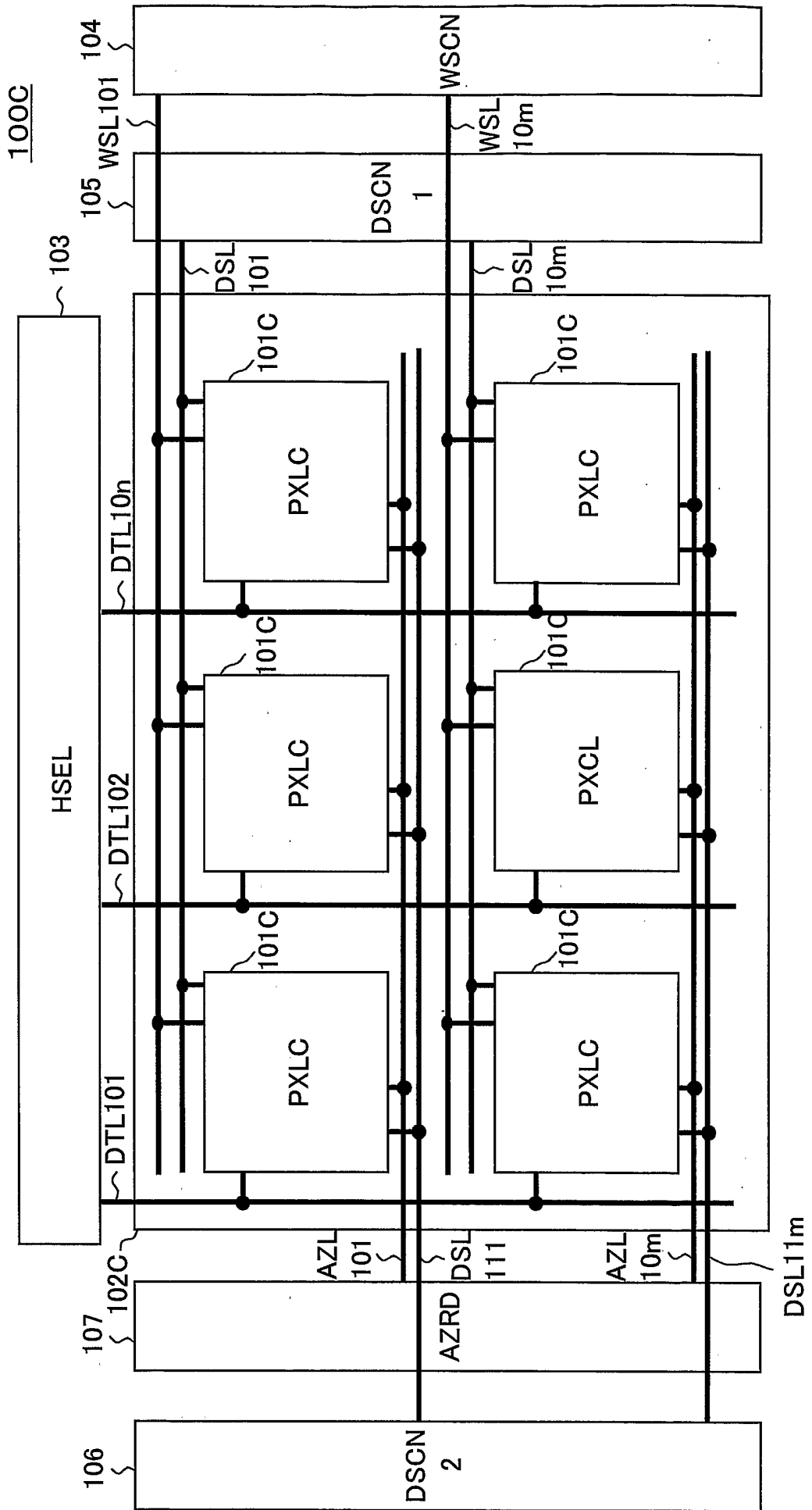


FIG. 34

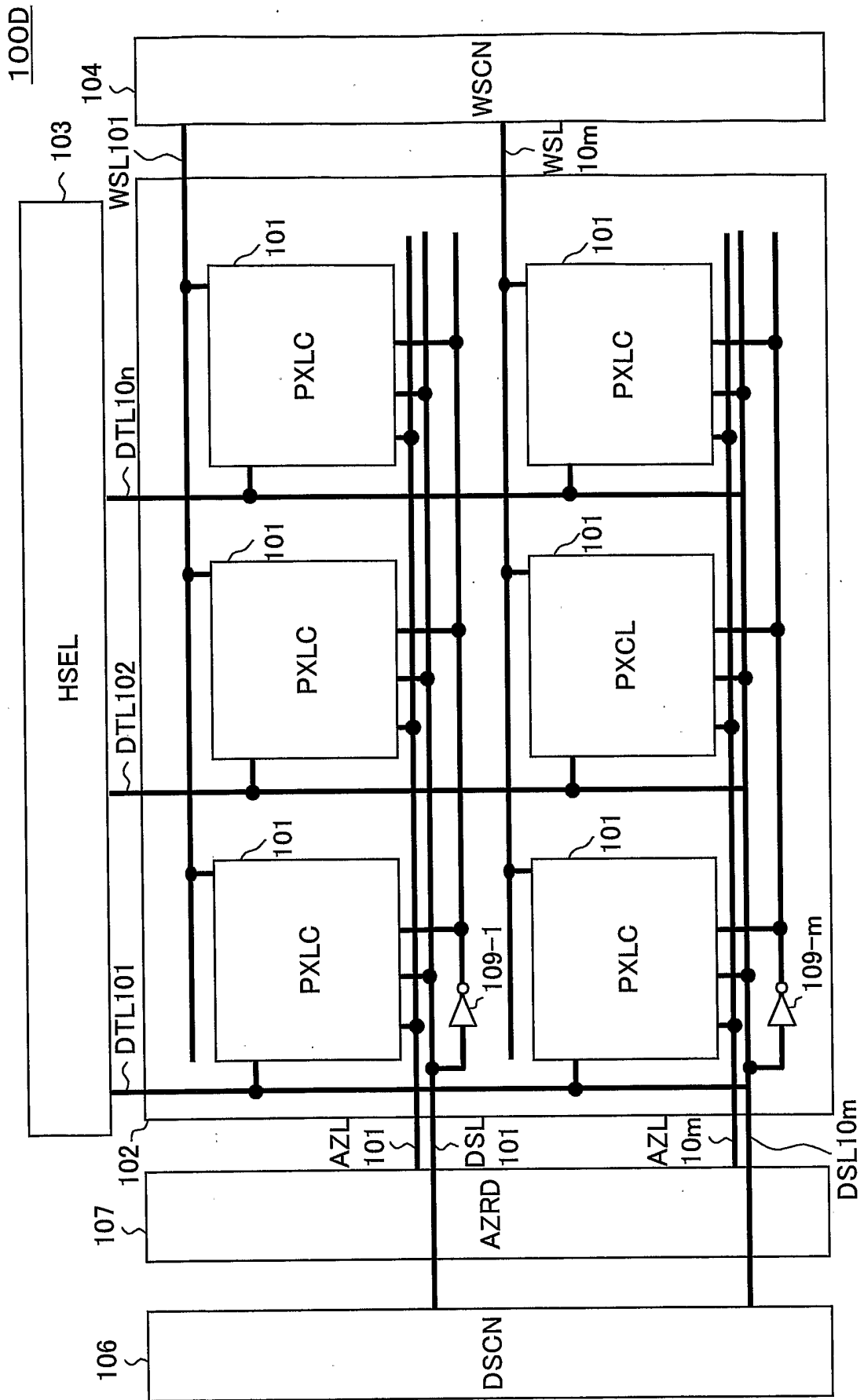


FIG. 35

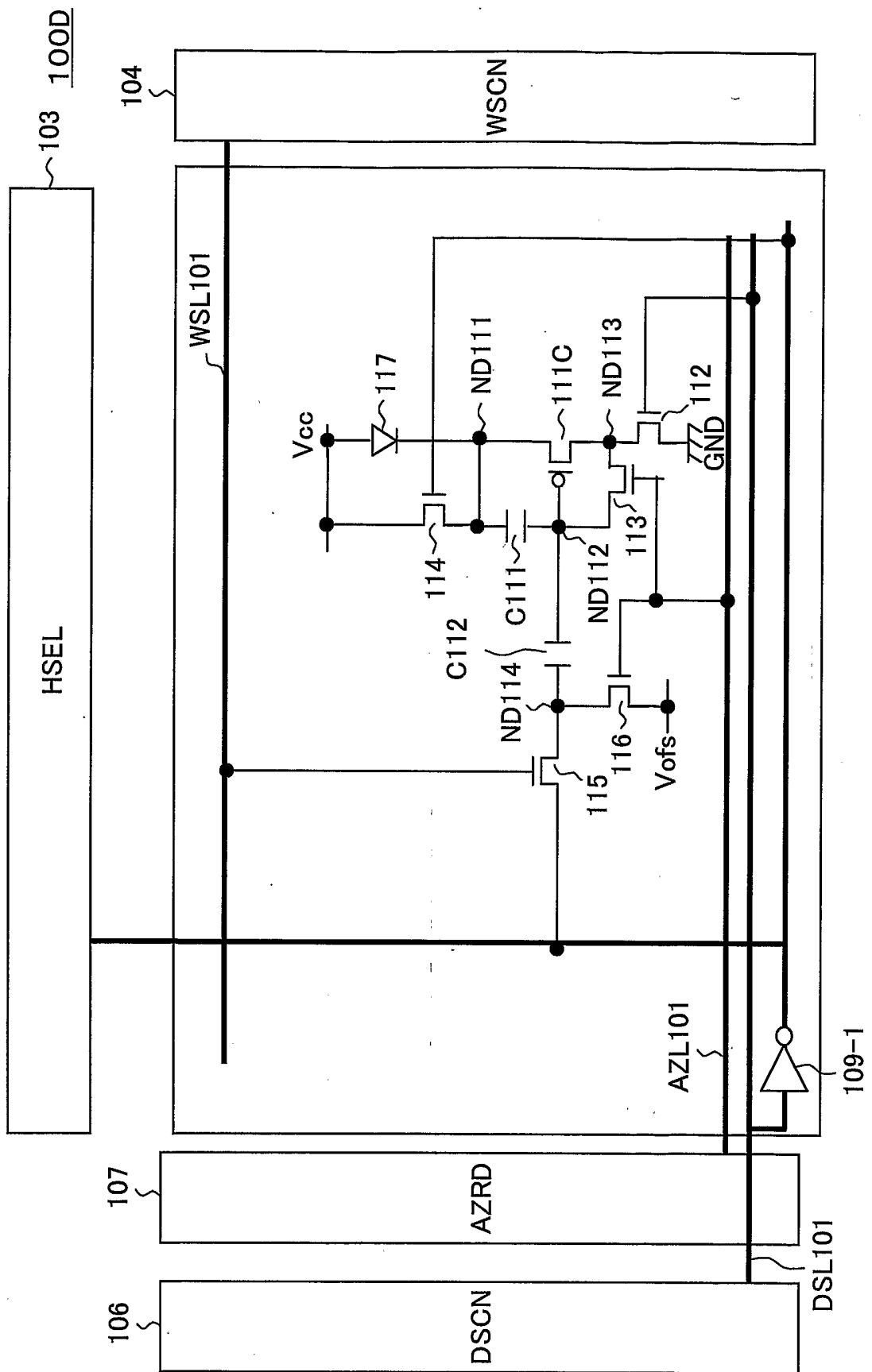
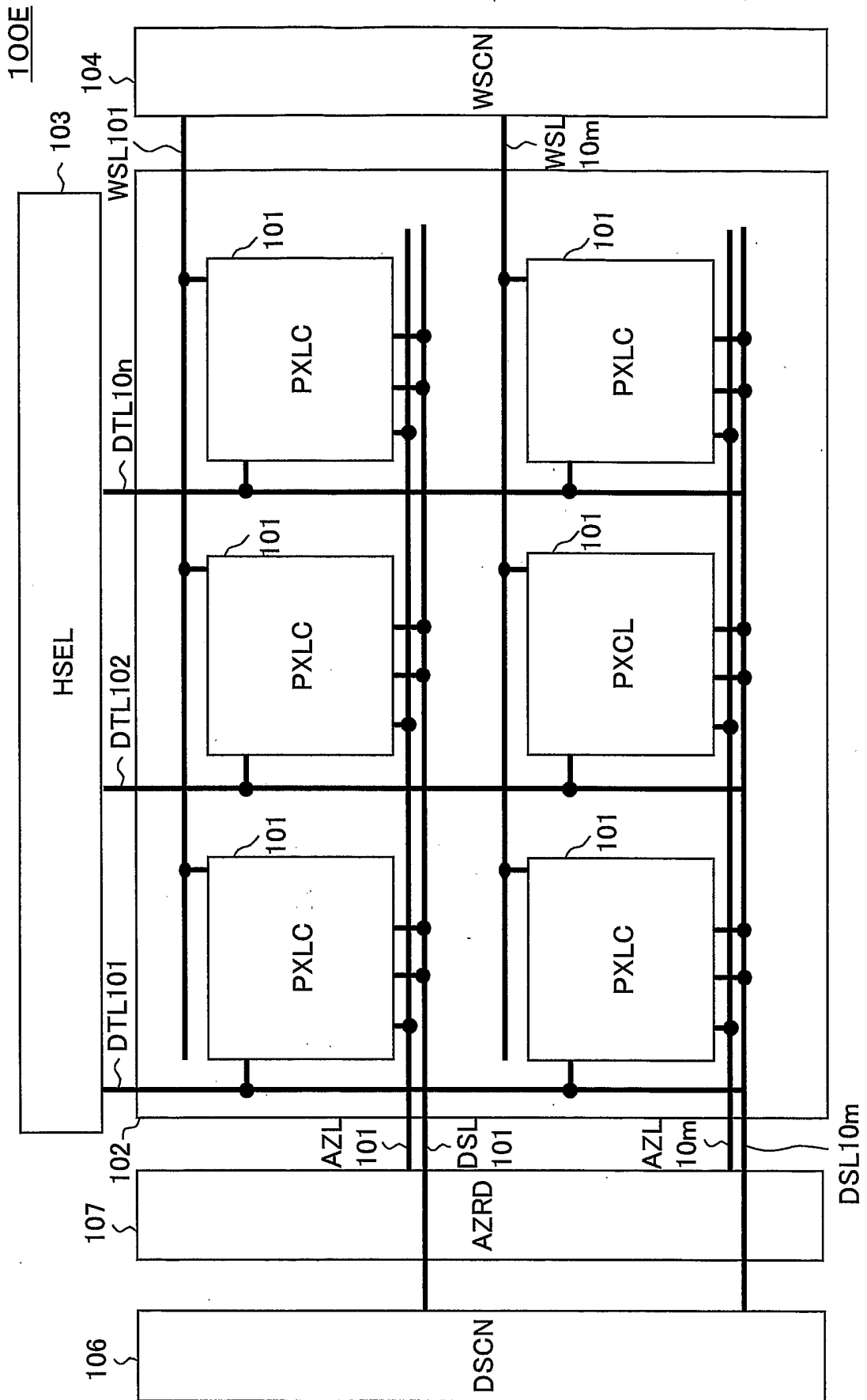


FIG. 36



符号の説明

- 100, 100A~100E...表示装置
- 101...画素回路 (PXL C)
- 102...画素アレイ部
- 103...水平セクタ (HSEL)
- 104...ライトスキャナ (WSCN)
- 105...第1のドライブスキャナ (DSCN1)
- 106...第2のドライブスキャナ (DSCN2)
- 107...オートゼロ回路 (AZRD)
- DTL101~DTL10n...データ線
- WSL101~WSL10m...走査線
- DSL101~DSL10m
- DSL111~DSL11m...駆動線
- 111...ドライブ (駆動) トランジスタとしてのTFT
- 112...第1のスイッチとしてのTFT
- 113...第2のスイッチとしてのTFT
- 114...第3のスイッチとしてのTFT
- 115...第4のスイッチとしてのTFT
- 116...第5のスイッチとしてのTFT
- 117...発光素子
- ND111...第1のノード
- ND112...第2のノード
- ND113...第3のノード
- ND114...第4のノード

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008055

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2003-223138 A (Semiconductor Energy Laboratory Co., Ltd.), 08 August, 2003 (08.08.03), Par. Nos. [0303] to [0309]; Fig. 32 (Family: none)	1-12
A	JP 2003-122306 A (Sony Corp.), 25 April, 2003 (25.04.03), Par. Nos. [0015] to [0022]; Fig. 10 (Family: none)	1-12
A	JP 2002-514320 A (Sarnoff Corp.), 14 May, 2002 (14.05.02), Page 15, line 16 to page 19, line 28; Figs. 3 to 4 & WO 98/48403 A1 & US 6229506 B1	1-12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30 June, 2004 (30.06.04)

Date of mailing of the international search report
20 July, 2004 (20.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008055

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 02/075709 A1 (Canon Inc.), 26 September, 2002 (26.09.02), Full text; all drawings & US 2003/0016190 A1	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl ⁷ G09G 3/30		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl ⁷ G09G 3/30		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2004年 日本国実用新案登録公報 1996-2004年 日本国登録実用新案公報 1994-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	JP 2003-223138 A (株式会社半導体エネルギー研究所) 2003.08.08, 段落【0303】-【0309】 【図32】 (ファミリーなし)	1-12
A	JP 2003-122306 A (ソニー株式会社) 2003.04.25, 段落【0015】-【0022】 【図10】 (ファミリーなし)	1-12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 2004.06.30	国際調査報告の発送日 20.7.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏	2G 9308
電話番号 03-3581-1101 内線 3225		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-514320 A (サーノフ コーポレイション) 2002.05.14, 第15頁第16行-第19頁第28行, 【図3】 - 【図4】 & WO 98/48403 A1 & US 6229506 B1	1-12
A	WO 02/075709 A1 (キヤノン株式会社) 2002.09.26, 全文, 全図 & US 2003/0016190 A1	1-12