



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

⑤① Int. Cl.³: H 03 K 19/08
G 02 F 1/13
G 04 G 9/00

Patentgesuch für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ AUSLEGESCHRIFT A3

⑪

627 616 G

②① Gesuchsnummer: 11351/79

②② Anmeldungsdatum: 20.12.1979

④② Gesuch bekanntgemacht: 29.01.1982

④④ Auslegeschrift veröffentlicht: 29.01.1982

⑦① Patentbewerber:
Casio Computer Co., Ltd., Shinjuku-ku/Tokyo (JP)

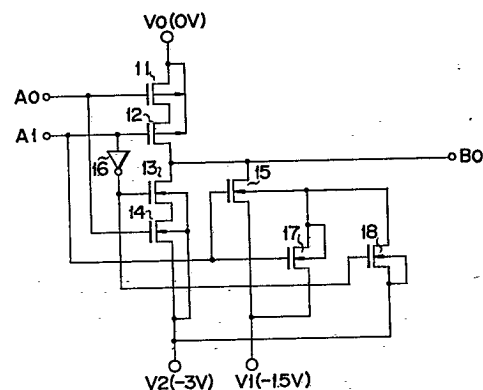
⑦② Erfinder:
Nobuo Tamaki, Murayama-shi/Tokyo (JP)

⑦④ Vertreter:
E. Blum & Co., Zürich

⑤⑥ Recherchenbericht siehe Rückseite

⑤④ Spannungsauswahlschaltkreis.

⑤⑦ Der Spannungsauswahlschaltkreis weist eine Mehrzahl aus MOS-Transistoren (11-15,17,18) gebildeter Schaltelemente auf, die mit einer Mehrzahl von Spannungen (V_0, V_1, V_2) gespeist werden. Die Schaltelemente werden entsprechend den Spannungspegeln der anliegenden Eingangssignale leitend oder nicht leitend und an einer gemeinsamen Ausgangsklemme (B_0) wird ein Spannungssignal abgegeben, das der aus der Mehrzahl der Spannungen ausgewählten Spannung entspricht. Das Substrat eines bestimmten Schaltelementes wird mit einer entsprechenden Speisespannung als Substratspannung in Abhängigkeit einer Spannungsänderung des selektiv abgegebenen Spannungssignals gespeist, wodurch der Leistungsverlust im Schaltkreis reduziert wird.





RAPPORT DE RECHERCHE RECHERCHENBERICHT

Demande de brevet No.:
Patentgesuch Nr.:

CH 11351/79

OEB. Nr.:

HO 13 967

Documents considérés comme pertinents Einschlägige Dokumente

Catégorie Kategorie	Citation du document avec indication, en cas de besoin, des parties pertinentes. Kennzeichnung des Dokuments, mit Angabe, soweit erforderlich, der massgeblichen Teile	Revendications con- cernées Betrifft Anspruch Nr.	Domaines techniques recherchés Recherchierte Sachgebiete (INT. CL.)
	FR - A - 1 472 657 (N.V. PHILIPS GLOEILAMPENFABRIEKEN) * Seite 1, linke Spalte, letzter Absatz - rechte Spalte, erster Absatz; Figur *	1	
	--- ELECTRICAL DESIGN NEWS, Band 18, Nr. 10, 20. Mai 1973 DENVER (US) A.D. EVANS: "The basics of using FETs for analog-signal switching", Seiten 56-63. * Figur 8 *	1	G 04 G 1/00 G 05 F 3/20 G 04 G 9/00 H 03 K 19/08 H 03 K 17/16
	--- US - A - 3 976 984 (M. HIRASAWA) * Spalte 9, Zeile 39 - Spalte 10, Zeile 5; Figur 14 *	1	
A	--- US - A - 3 949 242 (M. HIRASAWA et al.) * Spalte 5, Zeilen 13-40; Figur 2 *	1	
A	--- US - A - 3 936 676 (M. FUJITA) * Spalte 2, Zeilen 36-60 *	1	

Etendue de la recherche/Umfang der Recherche			Catégorie des documents cités Kategorie der genannten Dokumente X: particulièrement pertinent von besonderer Bedeutung A: arrière-plan technologique technologischer Hintergrund O: divulgation non-écrite nichtschriftliche Offenbarung P: document intercalaire Zwischenliteratur T: théorie ou principe à la base de l'invention der Erfindung zugrunde liegende Theorien oder Grundsätze E: demande faisant interférence kollidierende Anmeldung L: document cité pour d'autres raisons aus andern Gründen angeführtes Dokument D: document cité dans la demande in der Anmeldung angeführtes Dokument &: membre de la même famille, document correspondant. Mitglied der gleichen Patentfamilie; übereinstimmendes Dokument

Revendications ayant fait l'objet de recherches
recherchierte Patentansprüche: alle

Revendications n'ayant pas fait l'objet de recherches
nicht recherchierte Patentansprüche:

Raison:
Grund:

Date d'achèvement de la recherche/Abschlussdatum der Recherche

16. September 1980

Examineur / Prüfer

PATENTANSPRUCH

1. Spannungsauswahlschaltkreis zur Abgabe eines Spannungssignals, das einer von einer Mehrzahl von Spannungsquellen abgegebenen Spannung entspricht, an eine gemeinsame Ausgangsklemme durch selektives Ein- und Ausschalten von durch MOS-Transistoren gebildeten Schaltelementen, dadurch gekennzeichnet, dass jeweils eine der Spannungen an die Substratelektrode jeweils eines Schaltelementes entsprechend dem Spannungssignal angelegt ist.

Die Erfindung bezieht sich auf einen Spannungsauswahlschaltkreis gemäss dem Oberbegriff des Patentanspruches, der eine Mehrzahl von Spannungen mit unterschiedlichen Pegeln selektiv abgeben kann.

Beim Treiben von Flüssigkristall-Anzeigevorrichtungen für elektronische Rechner, elektronische Uhren usw. nach einem dynamischen Verfahren ist es im allgemeinen notwendig, Signale anzuwenden, die aus drei oder mehreren Spannungsebenen bestehen. Auch bei einem Tintenstrahldrucker ist es z.B. erforderlich, dass die Signale aus einem Zeichensignalgenerator digital-analog in Spannungssignale mit einer Mehrzahl von Pegeln umgewandelt und an die dem zu druckenden Zeichen entsprechenden Ablenkelektroden nacheinander angelegt werden. Um derartige Spannungen mit einer Mehrzahl von Pegeln zu erzeugen, wird ein Spannungsauswahlschaltkreis verwendet, der MOS-Transistoren aufweist, wie in einem Artikel «The basic of using FETs for analog-signal switching» in den Electrical Design News, Band 18, Nr. 10 vom 20. Mai 73 und in der US-Patentschrift Nr. 3 976 989 beschrieben. Der Schaltkreis von Fig. 1 ist ein Spannungsauswahlschaltkreis zur Abgabe von Spannungssignalen (gemeinsame Elektroden-treibersignale) mit drei Pegeln, die zum dynamischen Treiben einer Flüssigkristall-Anzeigevorrichtung angelegt werden. In Fig. 1 bezeichnen die Ziffern 1 und 2 p-leitende MOS-Transistoren und die Ziffern 3, 4 und 5 n-leitende MOS-Transistoren. An der Basis der MOS-Transistoren 1 und 4 wird ein Eingangssignal A_0 (32 Hz), wie in Fig. 2(A) dargestellt ist, und an die Basis der MOS-Transistoren 2 und 5 wird ein Eingangssignal A_1 (64 Hz), wie in Fig. 2(B) dargestellt ist, angelegt, wobei das Signal A_1 über den Inverter 6 an das Gate des MOS-Transistors 3 anliegt. Ferner werden die Spannungen V_0 (0 Volt), V_1 (-1,5 Volt) und V_2 (-3 Volt) an die Sourcen der MOS-Transistoren 1, 5 bzw. 4 angelegt. Die Drains der MOS-Transistoren 2, 3 und 5 sind miteinander verbunden und auf die Ausgangsklemme B_0 geführt.

Sind die Spannungspegel der Eingangssignale A_0 und A_1 beide niedrig, werden bei dieser Ausführung die MOS-Transistoren 1, 2 und 3 leitend und die MOS-Transistoren 4 und 5 nicht leitend, so dass die Spannung V_0 an der Ausgangsklemme B_0 erscheint. Sind die Pegel der Eingangssignale A_0 und A_1 niedrig bzw. hoch, werden die MOS-Transistoren 1 und 5 leitend und die MOS-Transistoren 2, 3 und 4 nicht leitend, so dass die Spannung V_1 an der Ausgangsklemme B_0 erscheint. Bei derartigen Schaltvorgängen bei diesen einzelnen Transistoren kann an der Ausgangsklemme B_0 ein Spannungssignal mit drei Pegeln erhalten werden, wie das in Fig. 2(C) dargestellt ist.

Danach bildet der MOS-Transistor 5 die hervorstehende Massnahme des Schaltkreises. In Fig. 3 ist die Anordnung des MOS-Transistors 5 dargestellt, bei dem auf einem p-Materialsubstrat auf dessen linker und rechter Seite n-Materialschichten ausgebildet sind, wobei an das Substrat eine Spannung C angelegt wird. Wenn an der Ausgangsklemme B_0 die Spannung V_2 (-3 Volt) erscheint, liegt bei diesem MOS-Transistor

5 die Spannung V_2 (-3 Volt) an der Drain und die Spannung V_1 (-1,5 Volt) an dem Substrat an, das mit der gleichen Spannung wie die Quellenspannung gespeist wird. Wie allgemein bekannt, besteht zwischen der Drain und dem Substrat ein Diodeneffekt, wie in der Fig. 3 durch die gestrichelten Linien dargestellt ist, so dass im vorgenannten Zustand die Spannungen in der Durchlassrichtung angelegt werden. Dieser Diodeneffekt bewirkt durch den fließenden Strom einen Leistungsverlust. Damit wird die Lebensdauer von Batterien, die als Spannungsquelle für elektronische Vorrichtungen, etwa elektronische Armbanduhren, angewendet werden, verkürzt, wodurch die Batterien öfter ersetzt werden müssen.

Die US-Patentschrift Nr. 3 936 676 lehrt, wie die vorstehend genannten Nachteile durch Anwendung von MOS-Transistoren behoben werden. Zuerst wird ein Paar von MOS-Transistoren 30 und 31 in Serie zwischen einer Ausgangsklemme und einer Zwischenspannungsquelle V_3 und ein anderes Paar von MOS-Transistoren 40 und 41 in Serie zwischen die Ausgangsklemme und eine Zwischenspannungsquelle V_4 geschaltet. Dann werden die Drains der MOS-Transistoren 31 und 41 auf der Spannungsquellenseite über ein Substrat für diese Transistoren mit den Sourcen der MOS-Transistoren 30 und 40 auf der Ausgangsklemmenseite verbunden. Wird eine Spannung an jede Zwischenspannungsquelle angelegt, tritt bei dieser Ausführung jedoch ein Spannungsabfall auf, der durch einen beim Leitendwerden des entsprechenden Transistors erzeugten Widerstand verursacht wird.

Ziel der Erfindung ist es, einen Spannungsauswahlschaltkreis zu schaffen, bei dem der Leistungsverlust, der durch die Potentialdifferenz zwischen der Ausgangsspannung und der Substratspannung entsteht, nicht auftritt und mit der die Lebensdauer der Batterien verlängert werden kann.

Dieses Ziel wird erfindungsgemäss aus den kennzeichnenden Merkmalen des Patentanspruches erreicht.

Der Vorteil dieses Schaltkreises besteht darin, dass wegen des Diodeneffektes zwischen der Drain und dem Substrat des MOS-Transistors, dessen Drain an die gemeinsame Ausgangsklemme angeschlossen ist, kein Leistungsverlust auftritt. Dadurch kann ein Spannungsauswahlschaltkreis erzeugt werden, der sich insbesondere für elektronische Miniaturgeräte mit einer Batterie als Spannungsquelle eignet.

Im folgenden wird die Erfindung anhand der beiliegenden Figuren erläutert.

Es zeigen:

Fig. 1 ein Schaltschema eines bekannten Spannungsauswahlschaltkreises,

Fig. 2A bis 2C ein Diagramm der in Fig. 1 angegebenen Eingangs- und Ausgangssignale,

Fig. 3 den Aufbau eines p-Kanal MOS-Transistors,

Fig. 4 ein Schaltschema eines erfindungsgemässen Spannungsauswahlschaltkreises und

Fig. 5A bis 5D ein Diagramm der Eingangs- und Ausgangssignale und einer Substratspannung in Fig. 4.

In der Fig. 4 bezeichnen die Ziffern 11 und 12 p-leitende MOS-Transistoren und die Ziffern 13, 14 und 15 n-leitende MOS-Transistoren. An den Gate der MOS-Transistoren 11 und 14 liegt ein Signal A_0 (32 Hz) an. Ein Signal A_1 (64 Hz) ist an die Gate der Transistoren 12 und 15 und über einen Inverter 16 an das Gate des Transistors 13 angelegt. Diese Ausführung ist genau die gleiche, wie in Fig. 1 dargestellt ist. Das Substrat des Transistors 15 ist mit der Source eines n-leitenden MOS-Transistors 17 und der Drain eines n-leitenden MOS-Transistors 18 verbunden. Die Gate und die Drain des MOS-Transistors werden mit den Signalen A_1 bzw. einer Spannung V_1 gespeisen. Ferner wird die Gate und Source des Transistors 18 mit dem Ausgangssignal des Inverters 16 bzw. einer Spannung V_2 gespeisen.

Bei einem Spannungsauswahlschaltkreis der vorstehend beschriebenen Ausführung ist das an einer Ausgangsklemme B_0 abgegebene Spannungssignal das gleiche wie in Fig. 1. Sind die Spannungspegel der Eingangssignale A_0 und A_1 beide niedrig, so erscheint bei diesem Transistor an der Ausgangsklemme B_0 eine Spannung V_0 (0 Volt) und die MOS-Transistoren 17 und 18 sind nicht leitend bzw. leitend, so dass die Spannung V_2 (-3 Volt) an das Substrat des Transistors 15 angelegt wird. Sind die Spannungspegel der Eingangssignale A_0 und A_1 niedrig bzw. hoch, wird an der Ausgangsklemme B_0 die Spannung V_1 (-1,5 Volt) abgegeben, und die MOS-Transistoren 17 und 18 sind leitend bzw. nicht leitend, so dass Spannung V_1 (-1,5 Volt) an das Substrat des MOS-Transistors 15 angelegt wird. Sind andererseits die Spannungspegel der Eingangssignale A_0 und A_1 hoch bzw. niedrig, wird an der Ausgangsklemme B_0 die Spannung V_2 (-3 Volt) abgegeben und die MOS-Transistoren 17 und 18 sind nicht leitend bzw. leitend, so dass an das Substrat des MOS-Transistors 15 die Spannung V_2 (-3 Volt) angelegt wird. Durch derartige Schaltvorgänge der MOS-Transistoren 17 und 18 wird das Substrat des MOS-Transistors 15 mit einem Spannungssignal wie in Fig. 5(D) dargestellt, gespeist. Die in den Fig. 5(A) bis 5(C) dargestell-

ten Signalformen sind identisch mit denen, die in Fig. 1(A) bis 2(C) dargestellt sind.

Wie aus der in Fig. 5(D) dargestellten Spannungswellenform ersichtlich ist, wird die Spannung V_2 (-3 Volt), die kleiner als die Spannung V_0 (0 Volt) ist, an das Substrat angelegt, wenn an der Ausgangsklemme B_0 die Spannung V_0 auftritt. Ferner wird die Spannung V_1 (-1,5 Volt) oder V_2 (-3 Volt) an das Substrat angelegt, wenn an der Ausgangsklemme B_0 die Spannung V_1 oder V_2 erscheint. Somit kann die Substratspannung des MOS-Transistors 15 so gesteuert werden, dass sie kleiner als oder gleich der Spannung an der Ausgangsklemme B_0 ist, so dass dadurch wegen des Diodeneffektes zwischen der Drain und dem Substrat kein Leistungsverlust auftritt. Mit dem vorstehend beschriebenen Schaltkreis wird eine dreistufige Spannungswellenform erzeugt. Es wird darauf hingewiesen, dass es auch möglich ist, Spannungswellenformen zu erzeugen, die vier, fünf oder mehr Stufen enthalten. Im vorstehenden Ausführungsbeispiel wurde die Steuerung der Substratspannung eines n-leitenden MOS-Transistors beschrieben, es ist aber auch möglich, die Substratspannung eines p-leitenden MOS-Transistors zu steuern.

