(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3738030号
(P3738030)
(45)発行日　平成18年1月25日(2006.1.25)　(24)登録日　平成17年11月4日(2005.11.4)

(51)Int.Cl.		F I		
H01L 21/8247	(2006.01)	H01L	29/78	371
H01L 29/792	(2006.01)	H01L	27/10	434
H01L 29/788	(2006.01)	G11C	17/00	621A
H01L 27/115	(2006.01)			
G11C 16/04	(2006.01)			

請求項の数 5　(全 20 頁)

(21)出願番号　特願平5-512628
(86)(22)出願日　平成5年1月12日(1993.1.12)
(65)公表番号　特表平8-500937
(43)公表日　平成8年1月30日(1996.1.30)
(86)国際出願番号　PCT/US1993/000265
(87)国際公開番号　WO1993/014521
(87)国際公開日　平成5年7月22日(1993.7.22)
審査請求日　平成11年8月17日(1999.8.17)
(31)優先権主張番号　07/820,364
(32)優先日　平成4年1月14日(1992.1.14)
(33)優先権主張国　米国(US)

(73)特許権者　592012513
サンディスク　コーポレイション
ＳａｎＤｉｓｋ　Ｃｏｒｐｏｒａｔｉｏｎ
アメリカ合衆国、９４０８９、カリフォルニア州、サニーベール、カスピアン　コート　１４０
(74)代理人　100089266
弁理士　大島　陽一
(72)発明者　グテルマン、ダニエル・シー
アメリカ合衆国カリフォルニア州９４５３９・フレモント・ジャカランダドライブ　３０５

最終頁に続く

(54)【発明の名称】半導体構造の形成方法

(57)【特許請求の範囲】
【請求項１】
半導体構造を形成する方法であって、
第１の導電型の半導体基層内に、第１の方向に延在する前記第１の導電型とは相異なる第２の導電型のドープされた領域の間隔を置いて配置された複数の細片を形成する過程と、
第１のゲート酸化膜を形成する過程と、
前記第１のゲート酸化膜上に前記第１の方向に延在する複数の細片としてパターン化された第１の多結晶シリコン層を形成する過程とを有し、
前記パターン化された第１の多結晶シリコン層を形成する前記過程が、
第１の厚さの前記第１の多結晶シリコン層を形成する過程と、
横方向の範囲を画定するべく前記第１の厚さの前記第１の多結晶シリコン層をパターン化する過程と、
トンネル酸化膜を前記第１の厚さの前記第１の多結晶シリコン層に隣接する所望の位置に形成する過程と、
前記トンネル酸化膜の上に前記パターン化された第１の厚さの前記第１の多結晶シリコン層に接続された第２の厚さの前記第１の多結晶シリコン層を形成する過程とを有し、
更に、前記第１の多結晶シリコン層の上に第１の誘電体層を形成する過程と、
複数の選択トランジスタの前記チャネル領域の上に第２のゲート酸化膜を形成する過程と、
前記第２のゲート酸化膜及び前記第１の誘電体層の上に前記第１の方向に概ね直交する第

２の方向に延在する複数の細片としてパターン化された第２の導電性材料層を形成する過程とを有し、
前記第２の導電性材料層が、複数のメモリセルトランジスタの複数のコントロールゲートと、複数の対応する選択トランジスタのゲート電極として働くことを特徴とする半導体構造の形成方法。
【請求項２】
前記パターン化された第２の導電性材料層の前記細片によって被覆されていない前記第１の多結晶シリコン層の少なくとも一部を除去し、前記複数のメモリセルトランジスタのチャネル領域の上にフローティングゲートとして働く複数の前記第１の多結晶シリコン層の島を形成する過程を更に有することを特徴とする請求項１に記載の方法。
【請求項３】
前記第２の厚さの前記第１の多結晶シリコン層が、少なくとも前記第１の厚さの前記第１の多結晶シリコン層の側面で前記第１の厚さの前記第１の多結晶シリコン層と電気的に接触していることを特徴とする請求項１に記載の方法。
【請求項４】
前記パターン化された第１の多結晶シリコン層を形成する前記過程が、
前記第１の厚さの前記第１の多結晶シリコン層を形成する過程と、
前記第１の厚さの前記第１の多結晶シリコン層の前記表面にエッチング防止剤の第１の層を形成する過程と、
前記第１のエッチング防止剤の層と前記第１の厚さの前記第１の多結晶シリコン層とをパターン化し、前記第１の厚さの前記第１の多結晶シリコン層を前記第１の方向に延在する複数の細片として画定する過程と、
エッチング防止剤の第２の層を形成する過程と、
前記エッチング防止剤の第２の層を異方性エッチングによって除去し、かつ前記ゲート酸化膜が露出したときに前記異方性エッチングを終了し、エッチング防止剤を、前記第１の厚さの前記第１の多結晶シリコン層の上部及び側面に残す過程と、
前記エッチング防止剤の第２の層と、前記第１の厚さの前記多結晶シリコン層の一部とを除去することによって露出された前記ゲート酸化膜の一部を除去する過程と、
前記ゲート酸化膜の一部が除去された位置に前記トンネル酸化膜を形成する過程と、
前記エッチング防止剤を除去する過程と、
前記第２の厚さの前記第１の多結晶シリコン層を形成する過程と、
前記第２の厚さの前記第１の多結晶シリコン層を異方性エッチングし、前記トンネル酸化膜が露出したときに前記異方性エッチングを終了し、前記パターン化された第１の厚さの前記第１の多結晶シリコン層に取着された前記第２の厚さの前記第１の多結晶シリコン層の側壁を残す過程とを有することを特徴とする請求項１に記載の方法。
【請求項５】
前記第１のエッチング防止剤が窒化シリコンからなることを特徴とする請求項４に記載の方法。
【発明の詳細な説明】
産業上の利用分野
本発明は、半導体メモリセル及びメモリアレイに関し、特に電気的に消去可能なプログラム可能な読み出し専用メモリに関する。
発明の背景
消去可能な読み出し専用メモリ（ＥＰＲＯＭ）及び電気的に消去可能な読み出し専用メモリ（ＥＥＰＲＯＭ）が、当業者に知られている。これらのデバイスは、データを不揮発性の形式で記憶することができ、一方所望に応じてデータを消去及び再書き込みすることができる。ＥＰＲＯＭデバイスは、紫外線に曝すことによって消去することができ、一方ＥＥＰＲＯＭは、電気的に消去可能である。
ある形式のＥＥＰＲＯＭデバイスは、“分離ゲート”電極を含み、その制御ゲートは、フローティングゲートの上に配置された第１部分と、チャネルの上に直接配置された第２部

分とを有する。そのような分離ゲート構造は、１９９１年2月の、Ｅｌｅｖｅｎｔｈ ＩＥＥＥ Ｎｏｎ－Ｖｏｌａｔｉｌｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｗｏｒｋｓｈｏｐの、Ｊ．Ｖａｎ Ｈｏｕｄｔらによる、“ａ ５－Ｖｏｌｔ－Ｏｎｌｙ Ｆａｓｔ－Ｐｒｏｇｒａｍｍａｂｌｅ Ｆｌａｓｈ ＥＥＰＲＯＭ Ｃｅｌｌ ｗｉｔｈ ａ Ｄｏｕｂｌｅ Ｐｏｌｙｓｉｌｉｃｏｎ Ｓｐｌｉｔ－Ｇａｔｅ Ｓｔｒｕｃｔｕｒｅ”に記載されており、この構造によって、電荷はセルのソース側からフローティングゲート内に注入される。米国特許第４，６５２，８９７号明細書には、分離ゲートを含まないＥＥＰＲＯＭデバイスが開示されているが、このデバイスもまた、ソース側からフローティングゲートへ電荷を注入するものである。

上述された米国特許第４，６５２，８９７号明細書に記載されているように、メモリセルは、当業者には公知のアレイ構造に配置されている。そのようなある形式のアレイ構造では、埋め込み拡散領域が形成されており、ソース領域及びアレイ領域は、厚い絶縁材料層によって被覆されている。この構造は、例えば米国特許第４，１５１，０２０号明細書、４，１５１，０２１号明細書、４，１８４，２０７号明細書及び４，２７１，４２１号明細書に開示されている。そのような埋め込み拡散領域を備えたデバイスは、仮想グランドアプローチを用いており、そのデバイスでは、メモリセルの第１列のソースを接続する列が、メモリセルの隣接する列のドレインをも接続している。

多くのＥＥＰＲＯＭデバイスは、２つの多結晶シリコン層を備えており、一方の多結晶シリコン層はフローティングゲートを形成するためのものであり、もう一方の多結晶シリコン層はコントロールゲート及び電気的な接続部を形成するためのものである。他のＥＥＰＲＯＭデバイスでは、３個の多結晶シリコン層が使用されている。例えば、米国特許第４，３０２，７６６号明細書は、フローティングゲートを形成するための第１の多結晶シリコン層と、コントロールゲートを形成するための第２の多結晶シリコン層と、セルを消去するために用いられる、消去窓を通して第１の多結晶シリコン層の一部と接続された第３の多結晶シリコン層が開示されている。米国特許第４，３３１，９６８号明細書には、消去ゲートを形成するための第３の多結晶シリコン層が開示されており、一方米国特許第４，４６２，０９０号明細書には、第３の多結晶シリコン層を用いたアドレス用ゲート電極が開示されている。米国特許第４，５６１，００４号明細書及び第４，８０３，５２９号明細書にも、それぞれの特定の構造内の第３の多結晶シリコン層が開示されている。

特公昭第６１－１８１，１６８号明細書には、フローティングゲートとの間に容量性結合を提供するための第３の多結晶シリコン層が開示されている。特公昭第６３－２６５，３９１号明細書には、仮想グランドを用いた埋め込み拡散アレイが開示されている。

欧州特許出願第０３７３８３０号明細書には、２つの多結晶シリコン層を備えたＥＥＰＲＯＭが開示されており、第２の多結晶シリコン層は、消去機能を有する部分とステアリング機能を有する部分とから構成されている。

“ＩＥＭＤ－８９－６０３”の、Ｋ．Ｎａｒｕｋｅらによる“Ａ Ｎｅｗ Ｆｌａｓｈ－Ｅｒａｓｅ ＥＥＰＲＯＭ Ｃｅｌｌ Ｗｉｔｈ ａ Ｓｉｄｅｗａｌｌ Ｓｅｌｅｃｔ－Ｇａｔｅ ｏｎ ｉｔｓ Ｓｏｕｒｃｅ Ｓｉｄｅ”、及び米国特許第４，７９４，５６５号明細書は、電界効果トランジスタのソース側に配置された側壁選択ゲートを用いたＥＥＰＲＯＭが開示されている。

“ＩＥＤＭ ８２－７４１”の、Ｍ．Ｋａｍｉｙａらによる“ＥＰＲＯＭ Ｃｅｌｌ Ｗｉｔｈ Ｈｉｇｈ Ｇａｔｅ Ｉｎｊｅｃｔｉｏｎ Ｅｆｆｉｃｉｅｎｃｙ”及び米国特許第４，６２２，６５６号明細書は、選択ゲートの下の高濃度にドープされたチャネル領域と、フローティングゲートの下の低濃度にドープされているかまたは相異なる導電型にドープされたチャネル領域とによって、プログラミング電圧を低下させ、チャネル位置が移動するときに重要な表面電位のギャップを提供するＥＥＰＲＯＭが開示されている。

発明の概要

本発明に基づけば、ソース側注入を用いた新規なメモリセルが開示される。ソース側注入によって、非常に小さいプログラミング電流でプログラムすることが可能になる。本発明に基づけば、各セルに必要なプログラミング電流が小さいために、所定のプログラミング

動作に対する許容できないほど大きなプログラミング電流を必要とせずに、所望に応じて列に沿ったプログラムされるべきセルを同時にプログラムすることができる。本発明のある実施例では、メモリアレイはセクタに編成されており、各セクタは単一の列またはコントロールゲートが共通に接続された列の集合から形成されている。ある実施例では、高速シフトレジスタが行デコーダの代わりに用いられ、ワードラインに対してデータをシリアルにシフトインし、セクタの各ワードラインの全てのデータは、そのシリアルローディングが完了したとき、シフトレジスタ内に受容されている。ある実施例では、パラレルにロードされたバッファレジスタを用いることによって更に速度が増加し、このパラレルにロードされたバッファレジスタは、高速シフトレジスタからのデータをパラレルに受け取り、書き込み動作の間このデータを保持し、次の書き込み動作に用いるための書き込み動作の間にシフトレジスタにはデータがシリアルにロードされる。ある実施例では、列内の全てのプログラムされるべきセルと、現在モニタされているビットライン電流の照合がパラレルに実施される。全てのプログラムされるべきセルが適切にプログラムされている場合、ビットライン電流は概ね０となる。ビットライン電流が検出される場合、他の書き込み動作がセクタの全てのセルで実施されており、かつ他の照合動作が実施されている。この書き込み／照合手順は、略０のビットライン電流によって検出されるように、照合動作が完了するまで繰り返される。

本発明に基づいて構成された新規なメモリセルの目的は、以下に示されたプログラミングの制限を除去することである。

１．プログラミングに必要な高いチャネル電流（チャネル電力）。

２．消去レベルの増加に伴う高いドレイン電圧の必要性。

３．チャネルを高濃度にドーピングすることによるプログラミング能力の増加に関連した読み出し性能の低下。

４．プログラミングされるセルと、電圧が印加されたプログラミングされないセルの両方を含む、バイアス電圧が印加されたセルの高いドレインバイアスの保持に関するプログラムの消耗。

特定の参照例の記述

ある参照例のセルのレイアウト、断面図及び等価回路の模式図が、第１Ａ図、第１Ｂ図及び第１Ｃ図に各々示されている。第１Ａ図、第１Ｂ図及び第１Ｃ図の同じ部分には同一の符号が付されている。第１Ｂ図の断面図を参照すると、ＥＥＰＲＯＭセル１０１の参照例は、埋め込みソース領域１０２と埋め込みドレイン領域１０３とを有し、各々の領域は比較的厚い絶縁層１０４及び１０５の下に埋め込まれている。チャネル領域１０６は、２つの部分に分割され、第１の部分１０６－１は、第３のポリシリコン層１０９によって影響を及ぼされ、かつ選択ゲートを形成し、第２の部分１０６－２は、第１の多結晶シリコン層によって形成されたフローティングゲート１０７によって影響を及ぼされ、かつ第２の多結晶シリコン層によって形成されたコントロールゲート１０８によって影響を及ぼされる。当業者にはよく知られているように、熱成長させられた酸化膜のような適切な絶縁層が、チャネル１０６と、多結晶シリコン層１０９及び多結晶シリコン層１０７との間に配置されている。同様に、酸化膜または酸化膜と窒化膜の組合せのような適切な絶縁層が、３個の多結晶シリコン層の間に形成されている。多結晶金属ケイ素化合物を、１個または複数の多結晶シリコン層１０８及び１０９の代わりに用いることもできる。所望に応じて、高濃度にドープされたＰ＋領域１２０が、埋め込みドレイン領域１０３に隣接するチャネル１０６－２内に用いられる。この領域１２０は、例えば、チャネル１０６－２を含むメモリトランジスタの閾値電圧Ｖtを形成するために、例えば２重拡散ＭＯＳ（ＤＭＯＳ）として形成される。これによって、１０６－１と１０６－２との間のギャップ付近のゲート酸化層内に捕獲された大量の電荷が、多数のプログラミングサイクルと共に増加する傾向があるにも関わらず、安定した閾値電圧が提供される。

第１Ｂ図の参照例に関連する動作状態及び動作レベルの例が、表１に示されている。効率のよいプログラミングは、フローティングゲートの下のチャネル１０６－２の高いフィールド領域を同時に形成する能力によって形成され、表１のバイアス状態は、チャネル１０

６－１と１０６－２との間のギャップの近傍で発生し（理論的には、上述されたＫａｍｉｙａのＩＥＤＭの刊行物を参照のこと）、一方、低いチャネル電流が保持される。この高い電界領域によって、チャネル１０６－２のソース側近傍のフローティングゲート１０７へ電子が注入されるために、この形式の動作は、“ソース側”注入と呼ばれる。チャネル近傍で動作するバイアスを用いることによって閾値電圧ＶＴp3を抑えるワードライン１０９を流れるチャネル電流を低い値に保持することによって、この機構が高効率かつ低電力のプログラミングを提供される。この動作の主な傾向は、この動作によって、フローティングゲートの下のフローティングゲートチャネル１０６－２の高い駆動状態に対して（実際フローティングゲートチャネルはフローティングゲートの上に配置されている）、プログラミングの性能を低下させることなしに、高性能の読み出し機能を提供するということである。この理由は、チャネル１０６－１の選択されたトランジスタの非常に弱い駆動状態が、上述されたスロットリングによって達成され、ポリ３とポリ１との間のギャップの近傍に高い電界が形成されるためである。この電界によって、電子が十分なエネルギレベル（即ち３．１ｅＶ以上）に加速され、フローティングゲート１０７のソース側でＳｉ－ＳｉＯ2の境界面のバリアを乗り越える。更に、チャネル１０６の表面の上に電子を駆動する前記電界に対する垂直な（Ｓｉ－ＳｉＯ2表面に対して垂直な）成分が十分に存在するために、フローティングゲート１０７内への電子の注入が援助される。この高い電界状態を形成するために、読み出し性能が低下することはない。この点が、従来のドレインサイドプログラミングとは対照的な点であり、この従来のドレインサイドプログラミングは、十分なプログラミングを行うために、高いフローティングゲートチャネル電流を分離させるチャネルの強い飽和と、強い過消去及び弱くターンオンされた直列接続された選択トランジスタとを必要とする。ドレインサイドのプログラミングに関するこれらの問題は、大きいチャネル電流、過消去に対する注意、潜在的な高いドレイン電圧、及び（ドレイン側での表面の下のチャネルを除去し、かつフローティングゲートから下向きに電子を駆動する）好ましくない電界を提供する。

従って、上述の参照例では、10^{-5} から 10^{-3} の範囲のプログラミング効率（IG／ID）が達成され、IDは、プログラミング動作中１μＡの範囲にあり、この値は、従来のドレイン側のプログラミングの１／２または１／３の振幅を有する。これによって、従来に比べ１００倍のメモリセルをパラレルにプログラミングすることが可能となり、非常に高いシステムレベルのプログラミングのための電位が提供され、従来のドレイン側のプログラミングに比べて、１００倍の効果的なプログラミング速度が達成される。

【表１】

表 1

状 態 表 と 動 作 条 件 （第１図）

動作モード		ポリ３（ワードライン）	ポリ２（ステアリングゲート）	ドレイン（ＢＮとドレイン）	ソース（ＢＮとソース）
読み出し関連モード	スタンバイ	０Ｖ	０Ｖ	１．０Ｖまたは０Ｖ	１．０Ｖまたは０Ｖ
	選択された読み出し	５Ｖ	０Ｖ	１．０Ｖまたは０Ｖ	０Ｖまたは１．０Ｖ
	選択されていない読み出し	５Ｖ	０Ｖ	１．０Ｖ	１．０Ｖ
消去関連モード	選択されていない消去	５Ｖ	０Ｖ	０Ｖ	０Ｖ
	消去オプション１	５Ｖ	－１０～－１７Ｖ	０Ｖ	０Ｖ
	消去オプション２	１２～２２Ｖ	０Ｖ	０Ｖ	０Ｖ
書き込み関連モード	選択された書き込み	～１．５Ｖ	１４～２０Ｖ	５～７Ｖ	０Ｖ
	選択されていない書き込み	０Ｖ ～１．５Ｖ ０Ｖ	１４～２０Ｖ １４～２０Ｖ １４～２０Ｖ	５～７Ｖ ５～７Ｖ ０Ｖ	０Ｖ ５～７Ｖ ０Ｖ

参照例のセルの主な特徴は、選択機能（この場合第１Ｂ図のポリ３選択トランジスタ１０１）を、ステアリング機能（ポリ２コントロールゲート１０８）から切離していることである。これによって、プログラミングの間、ポリ３ワードライン１０９を流れるセル選択電流とドレイン電流のスロットリングを個々に制御すること及びフローティングゲート１０７での高電圧結合（ポリ２制御ゲート１０８を約１２Ｖなどの高い電圧に上昇させること）が可能となる。さらに、参照例によれば、ドレイン電圧は、プログラミングを最適化するべく、ステアリング及び選択トランジスタの電圧レベルとは別個に調節することができる。

読みだし動作の間、参照例の分離機能によって、二つの利点と、副次的な利益がもたらされる。

１．メモリの状態を感知するための最適な電圧レベル、即ちプログラムされた状態と消去された状態に対する最良に平衡した基準点に、コントロールゲート１０８を設定することができる。この独立性は、選択された値と一致する電圧レベルを指示する（例えばＶｃｃ＝５Ｖ±１０％）選択トランジスタとしてコントロールゲートが働く従来のセルと対比される。

２．固定された（潜在的に調節された）基準電圧によって、及びワードラインのバイアスレベルに固有の±１０％のＶｃｃの変化を除去することによって余裕が改良される（この余裕によって、フローティングゲートメモリーの窓の電位が約０．６Ｖに改良される）。

３．上述されたように、コントロールゲートの電位を別個に設定することができるという利点。複数の状態（即ち従来の二つの状態以上の状態）にエンコードされたデータに対するメモリセルを再び参照するための簡単な方法が提供される。例えば、セルが３種類の状態にエンコードされている場合（論理１＝強力に消去されかつ高い導電性を有する状態と、論理２＝部分的にプログラムされ、かつ弱い導電性を有する状態と、論理３＝強力にプログラムされた状態）、コントロールゲートの電位は、２パス読み出し技術の二つの異な

るレベルに設定される。例えば、第１のパス読み出しでは、コントロールゲートの電位は、約０Ｖに設定され、論理１の状態と論理２及び論理３の状態とを識別する。第２のパス読み出しでは、コントロールゲートの電位は、約２Ｖに設定され、論理３の状態と論理１及び論理２の状態とを識別する。この二つのパス読み出しからの情報を組み合わせることによって（例えば、表２に基づいて）、３状態セルの初めの状態が復元される。このバイアスは、センスアンプ基準セルの内容を考慮することなしに行われ、一つのセンスアンプ基準セルの改造によって、多重パス読み出し技術を用いて異なる状態を検出することが可能となる。

【表２】

表　２

読み出し状態	パス１（基準電圧０Ｖ）	パス２（基準電圧２Ｖ）
1	高	高
2	低	高
3	低	低

表１に示された消去動作バイアス状態に対する二つのオプションは、二つの異なる考慮の集合から発生している。表に示された第１のオプションは、ポリ２コントロールゲート１０８を大きな負の電位にするが、一方ポリ３ワードライン１０９を低い電位（例えば０Ｖから５Ｖ）に保持する。これは、ワードライン及びワードラインに接続されたデコーダが高い性能を備え、厳密に調節された要求とともに多数回繰り返され、ワードラインに高い電圧を印加する要求を満たすことがより困難となって資源が消費されるので、好ましいことである。一方、ポリ２コントロールゲート１０８またはポリ２ステアリングゲート１０８が、複数のワードラインに共通（４本以上のワードラインからなる一つのセクタ）となり、資源に対する最小の要求が行われ、かつ性能に対して最小の影響が及ぼされる。このアプローチの欠点は、負の高い電圧の回路と正の高い電圧の回路の両方を支持するためのプロセス及び装置が必要であり、かつチャネルがグランド電位付近に保持されることによって（即ち大きな負の電位に保持されないことによって）、チャネルがステアリング動作を援助できないので、ステアリングの効率が減少することである。

ポリ２は、全ての三つの動作の間、ステアリング電極として用いられることが注意される。Ｘデコーダに接続されたワードラインであるポリ３は、（消去オプションに以外の場合）０Ｖから５Ｖであり、かつその静電容量は比較的小さいものになる。ポリ２の電位を±５Ｖ及び－１７Ｖとすることは、書き込み及び消去動作が、読みだし動作に比べ緩やかな動作であり、かつ直流電流ドレインが存在しないために比較的容易である。－１７Ｖは、高電圧ＰＭＯＳを消去動作に於て必要とし、最大の負電圧を減少させることを援助するポリ３の＋５Ｖは、消去動作中ポリ２に必要とされる。

消去動作のために高いワードラインの電圧を用いる第２のオプションは、上述された潜在的な欠点を除去するが、しかし高い性能、即ち高い電圧を必要とする必要な厳密に調節されたワードライン及びワードドライバーに悪影響を及ぼす。

第１Ｄ図は、第１Ａ図～第１Ｃ図に関して説明されたように構成された複数のセルからなるアレイのある参照例の平面図であり、同じ部分には同じ符号が付されている。図示されているように、チャネルは分離領域１８０で終息している。

第１Ｅ図は、適切な制御回路を備えた、第１Ｄ図の平面図に示された回路と同様のセクタに編成されたメモリアレイのブロック図である。セクタに編成されたメモリアレイの参照例の動作が第１Ｆ図に示されている。第１Ｅ図及び第１Ｆ図に示されているように、この参照例ではセクタは単一の列によって形成されているかまたはコントロールゲートが共通

に接続された列の集合から形成されている。この構造によって、ワードラインに対する列データの全体のブロックをシリアルシフトインするべく、行デコーダの代わりに高速のシフトレジスタが用いられ、各ワードラインのデータは、シリアルローディングが終了したときにシフトレジスタ内に受容されている。この高速シフトレジスタを用いることによって、通常は行デコーダによって実施されるエンコーディング機能及びラッチ機能の両方を実施する集積回路の面積を節約することができる。さらに、高速シフトレジスタからのデータをパラレルに受容し、かつ書き込み動作の間これらのデータを保持するパラレルにロードされたバッファレジスタを用いることによって速度を増加することができる。書き込み動作が、バッファレジスタ内に記憶されたデータに基づいて実施されている間、高速シリアルシフトレジスタは、次の書き込み動作のために、バッファレジスタへの次の転送を行うための次のデータブロックを受け取る。ある参照例では、各セクタは、複数のタグされたセクタを消去するための準備にセクタをタグするための関連するラッチを備えている。

ある参照例では、一つのセクタは４個のセルの列からなる集合によって形成され、各列は共通の制御ゲート及び関連するセクタラッチを備えた１０２４ビットからなる。この参照例では、プログラミングの照合は、単一の列内の全てのプログラムされるべきセルとパラレルに実施される。論理０状態のセルは０Ｖのワードラインを備え、論理１状態のセルは例えば５Ｖの正の電圧のワードラインを備えている。コントロールゲートの電圧及びドレインの電圧は、適切な余裕テストを行うための照合レベルまで減少させられ、ビットラインの電流がモニターされる。プログラムされるべき全てのセルが適切にプログラムされている場合、ビットラインの電流は概ね０となる。プログラムされるべきセルが適切にプログラムされていない場合、即ち列内の一個または複数のプログラムされるべきセルが適切にプログラムされていない場合、他の書き込み動作が列全体に実施され、完全にプログラムされていないセルに再び書き込みが行われることになる。さらに照合過程が実施され、列全体が適切にプログラムされていることが照合される。

第１Ｂ図の断面を備えた構造を製造するために適切な方法の参照例が説明される。この参照例は、仮想グランドを用いた場合、同一平面の酸化膜を必要とせずに非常に狭い領域内で実施することができ、拡張シリコンまたは多結晶シリコンによって被覆されておらず、かつポリ１によって被覆されていないフィールド絶縁領域内のＳＡＭＯＳのエッチングに関連して基相に窪みが形成されることを防止する残りのフィールド絶縁領域内に、絶縁物が注入されることを可能とする。この参照例は、例えば、次の過程によって達成される。

１．垂直細片（ｓｔｒｉｐｓ）内にBN^+ビットラインを形成する。BN^+の上に約１５００Åの酸化膜と、約２００～３００Åのゲート酸化膜を形成する。

２．第７Ａ図及び第７Ｂ図に示すように、適切な導電性細片の上にポリ１を堆積し、BN^+拡散領域と直交する水平な細片内にエッチングを行う。そのあとにエッチバックが続くＣＶＤ法などによって、隣接するポリ１の細片間の空間を堆積された酸化膜で満たす。このアプローチは、フィールド絶縁領域を保護し、所望に応じてこのアプローチの前にホウ素チャネルストップが注入される。

上述されたプロセスシーケンスの過程１及び過程２の代わりの過程としては、初めに絶縁酸化膜の水平な細片を形成し、次にポリ１を堆積しＲＩＥ内にエッチバックを行い、絶縁酸化膜の隣接する細片間の水平な溝を充填しかつ平坦化する過程が挙げられる。

３．約３００～４００ÅのＯＮＯなどの薄い絶縁層を形成し、ポリ１細片を被覆する。

４．ポリ２を堆積し、適切な厚みを備えた誘電体層（例えば約２０００～３０００ÅのＣＶＴ法によって濃度を高められた酸化膜）を形成する。この酸化膜及びその下側に配置されたポリ２をエッチングし、ビットライン（BN^+）拡散と平行な長寸の垂直な細片を形成する。

５．ポリ２のエッジに沿って酸化膜スペーサを形成し、かつこれらのスペーサのエッジを用いて露出されたポリ１をエッチングすることによってフローティングゲートを画定する（即ちポリ１はポリ２またはスペーサによって被覆されていない）。

６．１９８９年３月１５日に出願された米国特許出願第３２３，７７９号明細書に開示さ

れているように、従来の方法によって、選択トランジスタ（第１Ｂ図のチャネル１０６－１）のチャネルの上のゲート酸化膜と同様にポリ１の露出されたエッジの上にトンネル消去酸化膜を形成する。
７．ポリ３またはポリシリコン化合物を堆積し、水平細片内にワードラインを形成する。
過程の初期に形成された埋め込み拡散領域を用いずに仮想グランドセルを形成するための他の参照例が説明される。過程１のＢＮ$^{+}$の代わりに、過程６の後に、ホトレジストによってマスクされたソース領域とドレイン領域へ砒素が注入され、ポリ１が堆積された後に、ポリ２の１つのエッジに自己整合し、もう一方のエッジに沿った砒素が注入されていない領域をポリ３によって制御された選択トランジスタのチャネル（第８図参照）として残す。ポリ１の細片間に予め形成された絶縁酸化膜は、基板に窪みが形成されずに、自己整合したポリ２とポリ１の堆積のエッチングに耐えるだけの十分な厚みを有し、しかしこの堆積のエッチングの後に、絶縁酸化膜は除去されて、基層がソース／ドレイン注入に曝される厚さとなっている。これによって、スケーリングを容易にする砒素の横方向の接続のための温度を低下することができる利点が提供される。この参照例の残りの過程は、上述された参照例の過程と等しい。
要約すると、参照例のセルは、以下の利点を提供する。
１）非常に小さいプログラミング電流。
２）高電圧を必要としない低いドレインプログラミング電圧。
３）消去のレベルを増加するために必要なプログラミングの可能性を除去すること。
４）プログラムされた状態及び消去された状態を最適に読み出すためにメモリ状態を調節できること。
５）±１０％のＶｃｃの変化に対するステアリング素子の感度を除去することで余裕が改良されること。
６）低い電圧のワードライン及びデコーダを実施する可能性。
７）複数の状態のセルの感知を容易にすること。
８）ドレインに分離閾値制御領域を形成することによって、ソース側の熱電子によるプログラミングがトラッピングを誘導することが減少すること。
第１Ｄ図に示されたものと同様であるが、しかし行の向きに並べられたセクタ構造を形成するために第１Ｂ図に示されたセルの参照例を用いた第２のアレイの参照例が第１Ｇ図に示されている。この例では、セクタは４個の列からなる集合からなり、この４個の列は同時に消去される。この行に沿って配置されたセクタ構造に対して、消去過程は表１のオプション２を用い、セクタの全てのポリ３ワードラインに高電圧を印加する。ポリ２ステアリングゲートは、Ｎ個のセクタの集合に共通しており、ここでＮは１からメモリアレイの全体の寸法までの範囲にある。同様に、ＢＮ$^{+}$の列は、アレイの全長に亘って連続して広がるか、またはより短いローカル列の集合に分解される。これらの列は、デコーディングのための別のレベルによって駆動された選択トランジスタを通してグローバル（アレイの全長の）列を接続する。ローカル列は、１からＮ個までの範囲のセクタからなる。好適な参照例は、ポリ２ステアリングゲートのセクタと等しい個数のローカル列を備えている。ローカル列及びポリ２ステアリングが広がる好適なセクタの個数Ｎは約８である。これは、Ｎが８より小さい場合、ローカル列区分デバイスのための領域オーバーヘッドとポリ２ステアリングゲートラウティングが、アレイ構造のセルの領域に対して高く、一方Ｎが８以上の場合、ローカル列及びポリ２ステアリングを備えた利点が打ち消される。これらの利点は、（１）読み出し性能を改良するビッドラインの静電容量の減少と、（２）選択されたＮ個のセクタ集合内のあるセクタをプログラムするときのドレイン及びステアリング電極の高電圧状態と、関連する潜在的な外乱に、選択されていないセクタを繰り返し曝すことを減少せることと、（３）失敗に関連するアレイを制限し、そのような失敗を補償する効率を増加させることである。読み出し動作またはプログラミング動作中の読み出し、プログラム及び選択されていない状態が表１に記載されている。選択されたセクタ内の選択された行のポリ３ワードラインは、読み出しのために５Ｖでターンオンし、かつプログラミングのために約１Ｖでターンオンする。同時に、ドレインからソースへのバイアス状

態が列に加えられ、プログラムのためには約５Ｖであり、読み出しのためには１．０～１．５Ｖである。ある参照例では、選択された行の代わりのビットが同時にプログラムされ、選択された行の全てのビットが２個のプログラミング動作によってプログラムされる。同様二、この代わりの参照例では、選択された行の代わりのビットが同時に読み出され（または照合され）、選択された行の全てのビットが２回の読み出し動作（照合動作）によって読み出される（照合される）。セクタ内の１つの行での読み出し動作及び書き込み動作が終了した後、次の行が選択され、セクタの最後の部分まで読み出し動作及び書き込み動作が繰り返される。こうした構成された行に沿って配置されたセクタ構造及びアレイの動作は、第１の参照例の列に沿って配置されたセクタの動作よりも便利であり、かつより従来の方法に近い動作を行う。両方の参照例は、固有の低い消費電力を共に備えているが、行に沿って配置されたセクタを有する参照例は、膨大な並列書き込み動作及び照合動作のためのデータレジスタを充分に補う必要がある。

第２Ａ図は、埋め込み拡散領域を備えていない他のアレイの参照例を表している。従って、ソース領域１０２及びドレイン領域１０３は従来の方法によって形成され、第１Ｂ図に示された参照例のように厚い絶縁層によって埋め込まれていない。複数のメモリセルが、典型的なアレイ構造の断面に沿って第２Ａ図に例示されており、セルの構成要素には、第１Ｂ図の構造の対応する要素と等しい符号が付されている。表３には、第２Ａ図の参照例に適した動作条件の例が表されている。これは、埋め込み拡散セルと比較して、最も伝統的なセルアプローチであり、全ての多結晶シリコン構造が形成された後に形成されたソース拡散領域及びドレイン拡散領域を備えている。このアプローチは、等しいレイアウトの埋め込み拡散セルと比べ、２個のセルに対して金属ビットラインとの１個のドレイン接続部を必要とするために、約３０％から５０％大型となる。他の全ての点に関しては、この参照例は、第１Ｂ図の埋め込み拡散領域を備えた参照例に対する上述された利点と等しい利点を提供する。

第２Ｂ図は、第２Ａ図を参照して上述されたメモリセルのアレイ構造の参照例の平面図を表している。

第２Ｃ図は、適切な動作条件及び動作電圧を示す、セクタ内のメモリアレイの組織を表す等価回路図である。セクタに編成されたアレイの好適な参照例は、関連するポリ２ステアリングゲートとソースラインとに沿って、セクタの一部としてのソースラインを夾叉する２本のワードラインを用いている。セクタの全体は、複数のそのような組合せ（例えば、２つの組または４本のワードラインであって、各ワードラインが１２８バイトからなり、かつオーバーヘッドセルを有し、２本のソースラインを夾叉し、１つのセクタを構成している）から構成されている。第２Ｃ図の参照例に示されているように、ステアリングラインは、ソースラインと同様に１つのセクタ内で接続されている（即ち、セクタは各々グループ分けされた行ラインからなり、共通の駆動回路によって駆動されている）。ここで説明されている参照例は、書き込みされるべきセクタに書き込み動作を制限し、一方ビットラインバイアス条件（読み出し動作中は２．５Ｖであり、書き込み動作は約５Ｖである）は、バイアスがセルの選択されたトランジスタ側に印加され、フローティングゲート側には印加されないため、セルを妨害するものではない。２状態セルでは、セルに論理１を書き込むために、ビットラインは０Ｖに保持され、ソース側への注入によってセルがプログラムされることになる。逆に、書き込み動作を禁止するには、ビットラインは高電圧（典型的には約５Ｖ）に保持され、チャネルが遮断されてセルが消去された状態に保たれる。セクタは、選択されたセクタをタグ（ｔａｇ）し、フローティングゲートを所望の消去レベルまで消去するべく、関連する行ラインを十分高い電圧に上昇させることによって消去される。

ソース側の注入に関連するプログラミング電流が小さいために（約１～５μＡ／セル）、大量の並列プログラミングが実施され、例えば、約１０００個のセルの行ラインの全てが、全体の電流が約１～５ｍＡの１回の動作でプログラムされ、従来のドレイン側の注入によってプログラミングされたアレイに比べ、効率が１００倍以上に高くなる。

【表３】

表　3

状　態　表　と　動　作　条　件　（第２Ａ図）

ノード	動作	ポリ３（ワードライン）	ポリ２（ステアリングゲート）	ドレイン	ソース
読み出し関連モード	スタンバイ	０Ｖ	０Ｖ	ドントケア	０Ｖ
	選択された読み出し	５Ｖ	０Ｖ	２．５Ｖ	０Ｖ
	選択されていない読み出し	５Ｖ	０Ｖ	ドントケア	０Ｖ
消去関連モード	選択されていない消去	０Ｖ	０Ｖ	０Ｖ	０Ｖ
	消去オプション１	１２～２２Ｖ	０Ｖ	０Ｖ	０Ｖ
	消去オプション２	５Ｖ	－１０～－１２Ｖ	０Ｖ	０Ｖ
書き込み関連モード	選択された書き込み	～１．０Ｖ	１４～２０Ｖ	０Ｖ	５～８Ｖ
	選択されていない書き込み	０Ｖ	１４～２０Ｖ	０Ｖ	５～８Ｖ
		～１．０Ｖ	１４～２０Ｖ	５Ｖ	５～８Ｖ
		０Ｖ	１４～２０Ｖ	５Ｖ	５～８Ｖ

第３図は、選択トランジスタ１１０のＶp2をその閾値電圧に保ちながら、第１Ｂ図のポリ１ゲート１０７に流れ込むゲート電流（この測定を可能とするために第３図のゲート１０７はフロート状態にされていない）を、ポリ１ゲート電圧（Ｖpoly1）の関数として表したグラフである。この方法では、第１図のチャネル１０６での電圧降下のほとんどが、選択トランジスタ１１０のゲート１０９の下のチャネル部分１０６－１で発生し、このチャネルで加速された電子がフローティングゲート１０７へ注入される。第３図から、このデバイスの熱電子プログラミングの注入効率が非常に高いことがわかる。

第１Ａ図～第１Ｄ図に示された参照例に基づく構造を製造するために適した方法の種々の参照例が以下に説明される。本発明の譲受人であるサンディスク（ＳｕｎＤｉｓｋ）に譲渡された１９８９年3月１５日に出願された継続中の米国特許出願第３２３，７７９号明細書が参照される。この特許出願明細書に記載された製造方法もまた参照される。始めに基層（たとえばＰ型基層）または（Ｎ型基層内の）Ｐ型ウェル領域が用いられる。酸化膜が形成され次にシリコン窒化膜が形成される。次にシリコン窒化膜が、N^+ソース領域及びN^+ドレイン領域が形成される領域を露出するようにパターン化される。次に、例えば約$1\times10^{20}cm^{-3}$の濃度の砒素を注入することによってN^+ソース領域及びN^+ドレイン領域が形成される。次に、ウェハが酸化され、酸化膜１０４及び１０５が形成され、ソース領域及びドレイン領域１０２及び１０３を埋め込まれた状態にする。従来の方法では、ソース領域及びドレイン領域は、全ての多結晶シリコン層が形成された後に形成される。第２Ａ図に示された参照例では、酸化過程が用いられず、ソース領域及びドレイン領域が埋め込まれることはない。窒化マスクの残りの部分が除去され、チャネル領域１０６－１及び１０６－２の上の酸化膜が除去される。チャネル領域１０６－１及び１０６－２の上に、例えば１５０Åから３００Åの厚みを有し、所望の閾値電圧（例えば約－１Ｖから＋１Ｖ）を備えるように注入された新たなゲート酸化膜が形成される。次に多結晶シリコン層がウェハの上に形成され、フローティングゲート領域１０７を形成するべくパターン化さ

れる。所望に応じて、多結晶シリコン層は、（第１Ａ図に示された後に）水平な細片内でパターン化され、その水平の拡張部は以下に説明されるように第２の多結晶シリコン層がパターン化されるのと同時にパターン化される。多結晶シリコン層１０７が形成された後に、酸化膜絶縁層または酸化膜／窒化膜絶縁層がシリコン層１０７の残りの部分の上に形成される。次に第２の多結晶シリコン層１０８が形成され、例えば３０Ω／cm^2という所望の導電率を備えるようにドープされる。この第２の多結晶シリコン層は次に垂直な（第１Ａ図の向きの）細片内でパターン化される。多結晶シリコン層１０７の水平拡張部が前もって画定されていない場合、このパターン化過程は、更に第２の多結晶シリコン層がパターン化されるのと同時に第１の多結晶シリコン層がパターン化される領域内の第１の多結晶シリコン層と第２の多結晶シリコン層との間の絶縁層を除去するために用いられる。第１の多結晶シリコン層を除去した後に、新たな絶縁層がウェハ上に形成され、チャネル領域１０６－１の上及び第３の多結晶シリコン層がゲートを形成するシリコン基層の他の領域の上にゲート絶縁層が形成される。これらの領域は次に、所望の閾値電圧（例えば約０．５Ｖから１．５Ｖ）を備えるまで注入される。トランジスタに対する第３の多結晶シリコン層（厚さ約２００Åから５００Å）が次に形成され、例えば２０Ω／cm^2のような適切な導電率を備えるようにドープされる。次に、多結晶シリコン層１０９がパターン化されワードライン１０９が形成される。

ある参照例では、多結晶シリコン層１０７が、パターン化されて水平細片を形成し、チャネルトップドーパント（例えばホウ素）が、水平細片間の露出された領域に注入され、高い閾値電圧を備えたチャネルストップ領域がメモリアレイの隣接する行の間に形成される。

チャネル１０６－２と多結晶シリコンフローティングゲート１０７との間のゲート絶縁層の厚さは、性能とのトレードオフに依存して、約１５０Åから約３００Åの範囲内にある。読み出しのための電流を増加させるためには、より薄いゲート絶縁層が好ましく、一方多結晶シリコン層と、シリコンコントロールゲート１０８及びフローティングゲート１０７（望ましくはプログラミング中）との間の結合を増加させるためには、より厚いゲート絶縁層が望まれる。

第２の参照例

第５図は、２個の多結晶シリコンを備えた参照例を示しており、この参照例ではドレイン３０３を例えば約１０Ｖに上昇させ、コントロールゲート３０８を、選択トランジスタ３１０をターンオンさせるために十分な電位に上昇させることによってプログラミングが行われる。ＶCG電圧は、デバイスによって異なるので、ＶCGを約３Ｖに保ち、約１μ秒程度の期間で、ソース（仮想グランド）３０２を約０から３Ｖにそして再び０Ｖに鋸歯状に変化させることによって最適な注入状態が達成される。

この操作によって、最適な注入条件が鋸歯状に変化する電圧のある一点で満たされる。１９８９年８月１２日に出願された欧州特許出願第８９，３１２，７９９．３号明細書が参照される。更にプログラミングの効率を向上させるために、ある参照例では、プログラミング効率注入３３０（破線で図示されている）が、ソース側に導入される。デバイスに対して読み出し操作を行うために、ソース領域は０Ｖに保たれ、ドレイン領域は約１．０Ｖに保たれ、ＶCGは約４．５～５Ｖに保たれる。消去動作を行うために、トンネル酸化膜（４００Å～７００Å）に関連するフローティングゲート３０７の１個または複数のエッジと、側壁と、上部のエッジの隅と、頭部の一部と、底部の一部とからなるトンネル領域でのワードライン３０８のフローティングゲート３０７の間のポリ１とポリ２とのトンネル効果を用いる消去動作は、ＶCGを約１２～２２Ｖ、ＶD＝０Ｖ、ＶS＝０Ｖに保持することによって実施される。容量性減結合誘電体層３４０（約１５００から２０００Åの厚さ）は、ポリ１の頭部に形成され、ポリ１とポリ２との間の静電容量を減少させる。

ある参照例では、強電界領域は、反転フィールド領域から離れて配置されたチャネル内に形成されており、一方従来の装置ではチャネルはドレイン領域の近傍に配置されている。この強電界領域は、例えばフローティングゲート３０７の下のチャネル３０６－１と３０６－２との境界の高いドーピング濃度の領域３３０を用いることによって達成される。あ

る参照例では、領域３３０の幅は０．１μｍ程度である。領域３３０の寸法を増加させることは、選択トランジスタの駆動電流を減少させ、プログラミング効率を増加させないために、逆効果である。
第４図は、Ｐ＋にドープされた領域３３０を備えている構造と備えていない構造のチャネル３０６－１及び３０６－２に沿った電界分布を表している。領域３３０を備えていない構造で選択トランジスタを不適切にバイアスした場合、電子は、ドレイン領域３３０付近の強電界領域内に注入される。ドレイン領域３３０付近の垂直な反転フィールド領域のために、注入効果が低下する。領域３３０を備えた構造では、電界反転領域から隔てられた領域３３０に配置された強電界領域内で電子が注入される。このために注入効率が増加する。
製造過程から見て、３つの問題点が提起される。
１．ドープされていないシリコンより迅速に酸化されるＢＮ$_+$の上の十分に薄くかつ質の高いゲート絶縁層を形成することと、
２．ポリ１と、埋め込まれたＮ＋ドレイン拡散領域との間の不整合が、プログラミングと消去の結合率に大きく影響を及ぼすこと。この問題点は、仮想グランドアレイを用いるのではなく、共有されたソースアレイを用いることによって、セルの面積をより多く用いることで解決される。
３．このアレイによって、フローティングゲート３０７は、占有されるソース配置内の埋め込みＮ$^+$拡散領域を完全に覆い、この不整合の感度を除去する。しかし、このアレイはポリ１が、チャネル３０６－２から離れる向きにＢＮ$^+$を越えて延在し、隣接するセル内にトランジスタが形成されることを防止するべく、ＢＮ$^+$に隣接する大きな絶縁空間を必要とする。
埋め込み拡散領域の方向の寸法が小さいセルを形成するためには、隣接するセルとポリ２及びポリ１を同時に画定するための自己整合した堆積されたエッジとの間に、チャネルストップ絶縁が用いられる。チャネルストップ絶縁は、隣接するセルの間に露出されたポリ１をエッチングするときに、露出されたＢＮ$_+$ばかりでなく、基層にも窪みを形成せずに実施することが難しい。（ポリ１を露出するためにポリ１の頭部の厚さが１５００～２０００Åであり、ポリ１によって保護されていない基層も露出されるので、ポリ１がエッチングされたとき、これらの領域内の基層にもまた窪みが形成されるために）減結合酸化膜をエッチングする場合、特に窪みの形成を回避することが難しい。
従って、ポリ２ワードラインの間の空間内の基層を保護するためのフィールド絶縁過程の一部として厚い絶縁領域を形成することが必要となる。これは、本出願の譲受人であるサンディスク（ＳｕｎＤｉｓｋ）に譲渡された１９８９年３月１５日に出願された米国特許出願第３２３，７７９号明細書に記載された過程を用いることによって達成される。しかしこの過程は、溝に当接するＢＮ$^+$を備えた溝絶縁を形成するので、ＢＮ$^+$導電体の一部を失なうばかりでなく、接合部での漏れ電流が形成されることになる。この第２の参照例のセルは、２つのポリを備え、プログラミング電流が小さく、プログラミング速度が速く、ドレイン接合部から離れてプログラミングされ、かつ小型及び計測可能なセルであるために、優れたセルであるといえる。セルの寸法は、３個の代表的な形状に対して以下に示されているように、極めて優れている。
１．０μｍの形状：セルの面積＝４．０μｍ×２．０μｍ＝８．０μｍ^2
０．８μｍの形状：セルの面積＝３．２μｍ×１．６μｍ＝５．２μｍ^2
０．６μｍの形状：セルの面積＝２．３μｍ×１．２μｍ＝２．８μｍ^2
本発明の実施例
第６図は、２個のポリセルを備えた本発明の実施例の断面図であり、この実施例はプログラミングのためのソース側注入を用いており、第２のコントロールゲートとしても働く埋め込みＮ＋ドレイン領域４０３に強力に結合されている。消去動作は、薄いポリスペーサを用いることによって、例えば約１００Åの厚さを備えた小型の薄い酸化膜領域を通してチャネル４０６へのホーラーノードハイムトンネル効果を用いて実施される。これらの過程は以下に示されるようなものである。

ドレイン酸化膜が形成された後（例えばドレイン領域４０３の上の酸化膜）、第１のポリ層（約２０００Åから４０００Åの厚み）が、堆積され、薄い窒化膜絶縁層が上部に堆積される。次にこれらの層がポリ１マスクを用いてエッチングされ、ポリ１の横方向に延在する拡張部（図６に図示されている）を画定する。次に、第２の窒化膜層が堆積され、下側の酸化膜が異方性エッチングされ、ポリ１の上部の初めの窒化膜とポリ１の側壁に沿った窒化膜スペーサが残される。これによって、後続の酸化過程からポリ１の側壁が保護され、後に説明されるように電気的な接続部が形成される。次に、基層のチャネル部分の上の露出された酸化膜が除去され、トンネリングに必要な厚さ１００Åまで再び成長させられ、一方フォトレジストによってマスクされたパターンが、露出されたポリ１のＢＮ[1]の上の酸化膜が除去されることを防止する。ポリ１を囲繞する窒化膜は、ポリ１の周りに酸化膜が形成されることを防止する。次に薄い窒化膜が、１００Åのトンネル酸化膜をエッチングすることのない選択性の高いエッチング（例えば加熱された燐酸を用いたエッチングまたはプラズマエッチング）によってエッチングされる。次に、第１のポリの主面及び側壁で第１のポリと電気的に接触する第２のポリが堆積される。次にこの構造が、異方性ポリシリコンエッチングによってエッチングされ、このエッチングは、第２の堆積されたポリ層の下の基層を覆う再び露出された酸化層とともに終息している。こうして、第６図に示されたポリ１のフローティングゲートの縞が形成される。残りの過程は、第２の参照例の過程と等しい。

この実施例では、ドレイン領域４０３を約＋８Ｖに保ち、コントロールゲートを約１．５Ｖに保ちながら、グランドに接続されたソース拡散領域４０３から熱電子を注入することによってプログラミングが行われる。代わりに、第２の参照例について上述されたように、０Ｖから約３Ｖのピーク電圧までの範囲で変化する鋸歯状のコントロールゲート電圧を用いて、ソース拡散領域４０２から熱電子を注入することによってプログラミングが行われる。読み出し動作は、ＶDS＝１．５Ｖ、ＶS＝０Ｖ、ＶCG＝＋５Ｖとすることによって行われる。消去動作は、ＶCG＝－２２Ｖ、ＶS＝ＶD＝０Ｖとすることによって行われる。

この実施例では、ポリ２ワードライン４０８は、読み出し動作中に＋５Ｖの電圧を伝達し、消去動作中に－２２Ｖの電圧を伝達するので、この目的を達成できるＸデコーダを必要とする。結合のためには、Ｃp2p1＞Ｃp1Dであることが必要であるが、これはプログラミングのためには望ましいものではない。従って、酸化膜の厚さとフローティングゲートの閾値電圧を最適なプリント回路基板を形成するように調節することによって、セルが消去動作をプログラミング動作と平衡させるように最適化されなければならない。ポリ１及びポリ２の酸化膜またはＯＮＯが薄いために、ポリ１の方向のセル間のフィールド領域内に窪みが形成される問題はない。これによって、第２の参照例に関して説明されたフィールド領域の酸化膜の厚さを増加させる必要性が除去される。しかし、薄い酸化膜領域を形成し、この薄い酸化膜領域をソース拡散領域から十分に隔てて配置するために必要な空間を形成する複雑な過程が必要となる。

他の操作方法

他の多くの方法によっても、説明されたソース側注入セルをプログラムすることができる。第２の参照例及び本発明の実施例では、ポリ２とドレイン領域との間及びポリ２とポリ１との間に各々、プログラミングのための強い容量性結合（例えばＯＮＯを用いた）が必要とされる。動作中に、ある例では、ＶG＝５Ｖ～７Ｖと、ＶS＝０Ｖとが用いられ、コントロールゲートの電圧ＶCGは、コントロールゲートのチャネルをターンオンさせるべく上昇し、Ｖp2は、約１２Ｖまたはそれ以上の値とされている。他の例では、ソース・ボディ効果が用いられる。この例では、コントロールゲートを、チャネルをターンオンするための特定の電圧に上昇させるのではなく、コントロールゲートは、チャネルをターンオンさせるために必要な値よりも高い電位に上昇させ（例えば約１Ｖ以上）に上昇させられ、ソースデバイスを通る約１ｍＡの電流を提供するための、プルダウン用回路（例えば高インピーダンス抵抗または電流シンク）が用いられている。代わりに、欧州特許出願第８９，３１２，７９９．３号明細書に関して上述されたように、コントロールゲート電位ＶCGは、０Ｖから約＋３Ｖの鋸歯状波形となるように変化する。

次の表は、第１Ｆ図の参照例に関する動作条件を表している。
【表４】

表　4

注：書き込み　Ｖｃｐ＝ＴＢＤ　１２Ｖ～２０Ｖ　ＨＤ≧５Ｖの時
（複数の状態の要求に依存する）

ＤＩ＝ＤＡＴＡ　ＩＮ　０Ｖ＝０状態
１．５Ｖ＝１状態

読み出し　ＶＣＭ＝コントロールゲートバイアス＝ＶＣＲ＋１Ｖ（余裕に対して）
ＶＣＲ＝コントロールゲートバイアス電圧＝０Ｖ～５Ｖ（必要に応じて）

ＤＩＶ＝書き込まれたデータの照合　０Ｖ＝０状態
５Ｖ＝１状態

消去オプション	ＶＷＥ	ＶＢＥ	ＶＣＥ	ＶＣＥＵ
負のＶＷＥ	０Ｖ	０Ｖ	－２０Ｖ	０Ｖ
正のワードラインの援助	５Ｖ	０Ｖ	－１６Ｖ	０Ｖ
充分な正の援助	１０Ｖ	１０Ｖ	－１０Ｖ	１０Ｖ

この明細書中で言及された全ての出版物及び特許明細書は、ここで言及したことによって本出願の一部とされたい。
これまでに本発明が十分に説明され、従って添付の請求項の真髄または技術的視点を逸脱することなしに、実施例の変形及び変更が実施可能なことは当業者には明らかである。
【図面の簡単な説明】
【図１】第１Ａ図、第１Ｂ図及び第１Ｃ図は、ある参照例のセルのレイアウト、断面図及び等価回路である。
第１Ｄ図は、第１Ａ図～第１Ｃ図の複数のセルを備えたアレイのある参照例の平面図である。
第１Ｅ図は、適切な制御回路を備えた、セクタに編成された１つのメモリアレイを表すブロック図である。
第１Ｆ図は、第１Ｅ図に示されたセクタに編成されたメモリアレイのある参照例の動作を示す図である。
第１Ｇ図は、第１Ａ図～第１Ｃ図に表されたセルを用いた他のアレイの参照例を表している。
【図２】第２Ａ図は、第１Ｂ図の参照例よりも小型の他の参照例を表す断面図である。
第２Ｂ図は、第２Ａ図の断面図に表されたセルを用いて構成されたメモリセルのアレイのある参照例の平面図である。
第２Ｃ図は、第２Ｂ図に示された例の構造及び動作状況を表す図である。
【図３】第３図は、第１Ｂ図のメモリセルの動作を表すグラフである。
【図４】第４図は、第５図のデバイスのチャネルに沿った電界分布を表す図である。
【図５】第５図は、２ポリシリコンセルのある参照例の断面図である。
【図６】第６図は、本発明の一実施例の断面図である。
【図７】第７Ａ図は、本発明のある実施例に基づいて用いられたプロセス手順の一部を表す平面図である。
第７Ｂ図は、第７Ａ図の平面図に示された実施例の断面図である。
【図８】第８図は、本発明に基づいて用いるために適した製造工程を表す断面図である。

【図１Ａ】

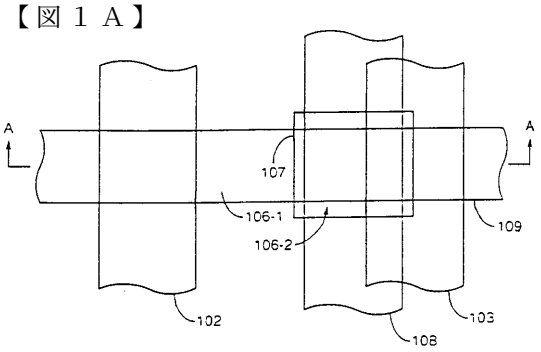

FIGURE 1A

【図１Ｂ】

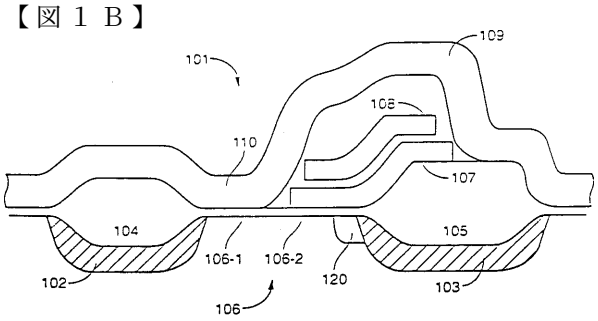

FIGURE 1B

【図１Ｃ】

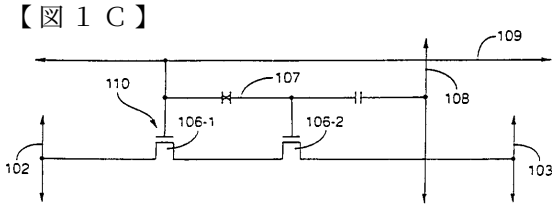

FIGURE 1C

【図１Ｄ】

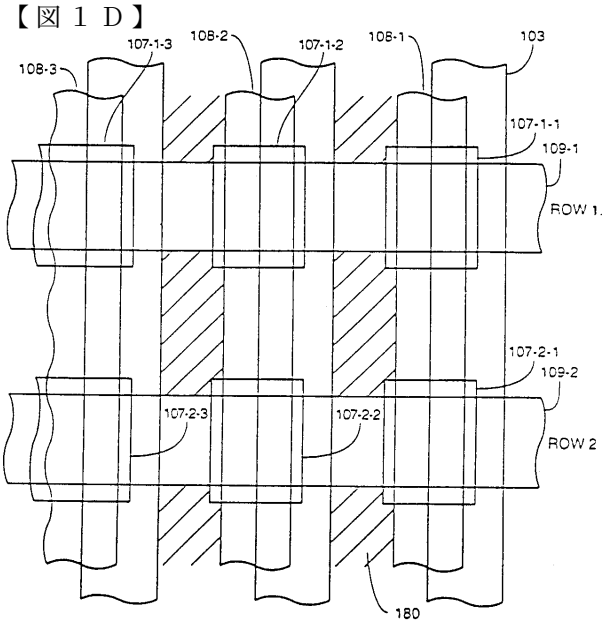

FIGURE 1D

【図１Ｅ】

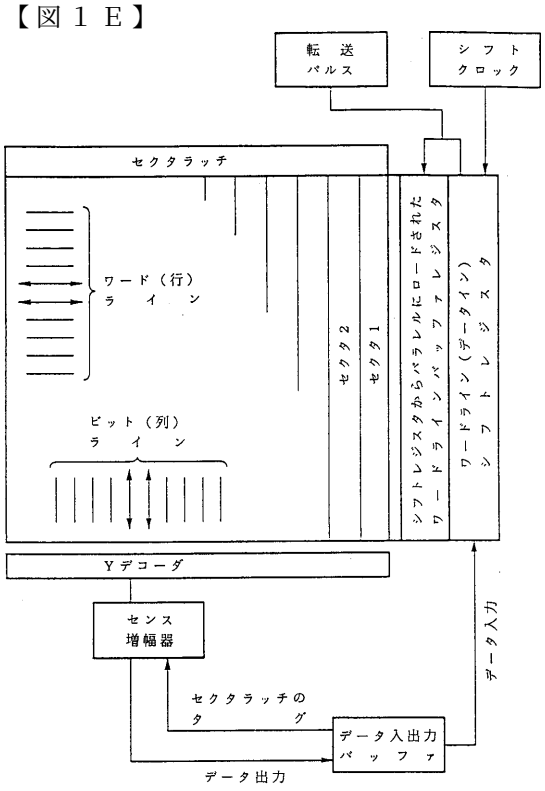

FIGURE 1E

【図１Ｆ】

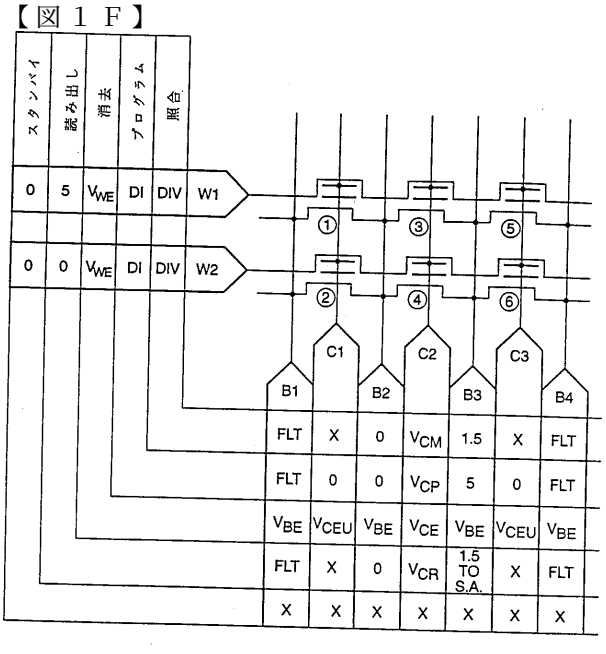

FIGURE 1F

【図１Ｇ】

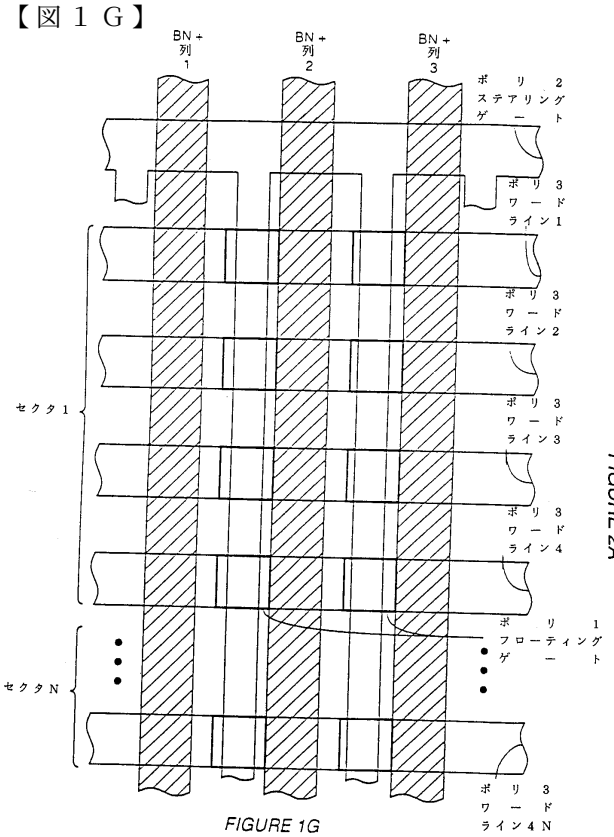

FIGURE 1G

【図２Ａ】

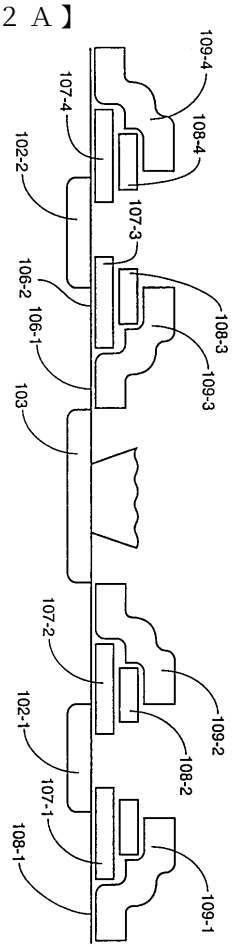

FIGURE 2A

【図２Ｂ】

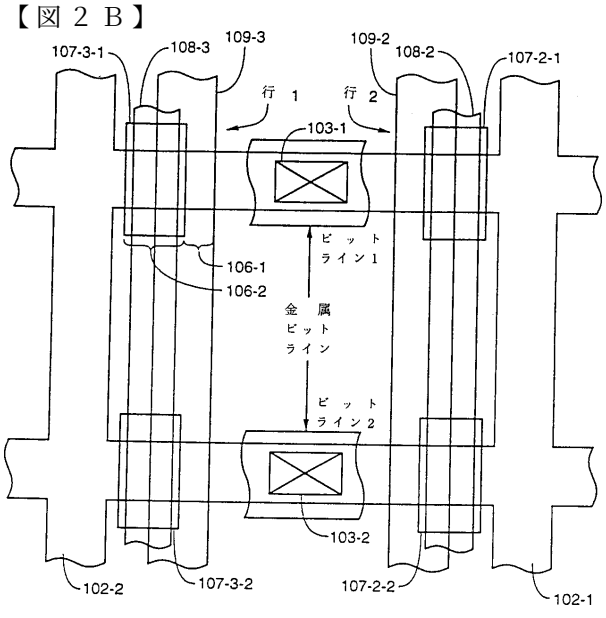

FIGURE 2B

【図２Ｃ】

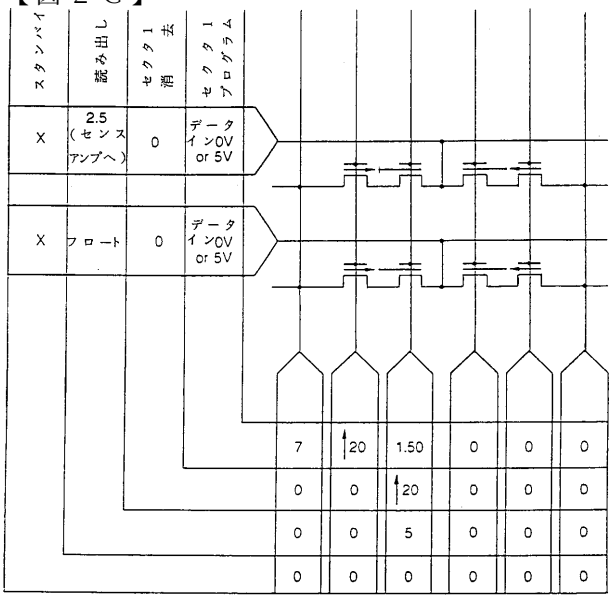

FIGURE 2C

【図３】

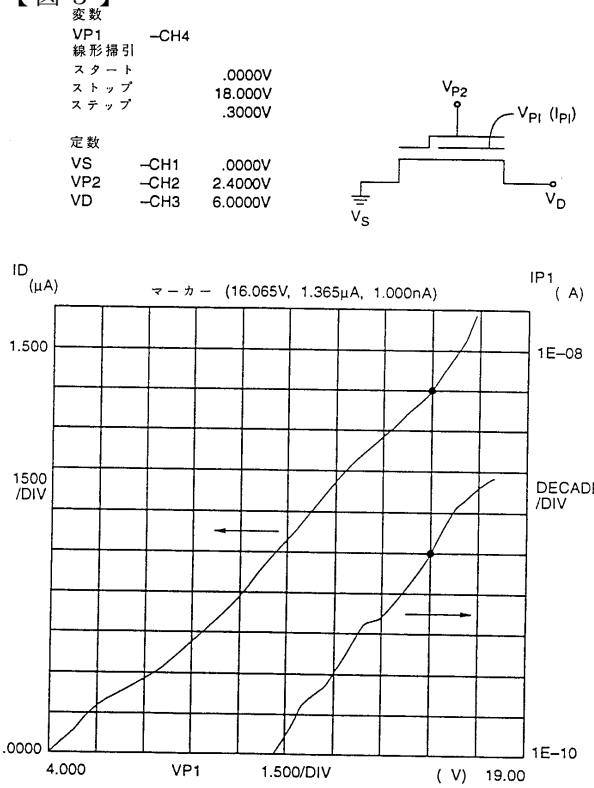

FIGURE 3

【図４】

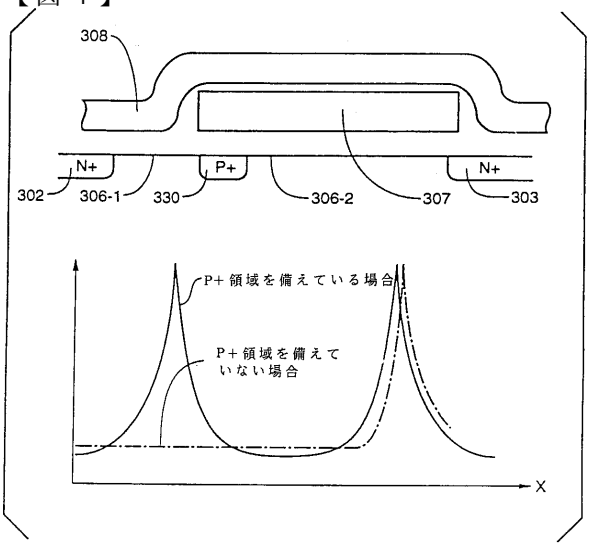

FIGURE 4

【図５】

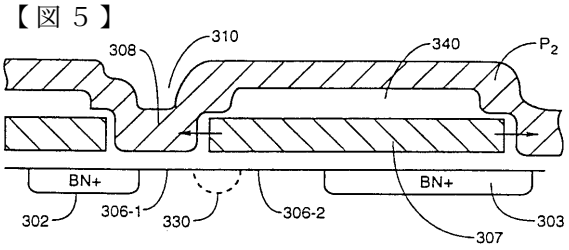

FIGURE 5

【図６】

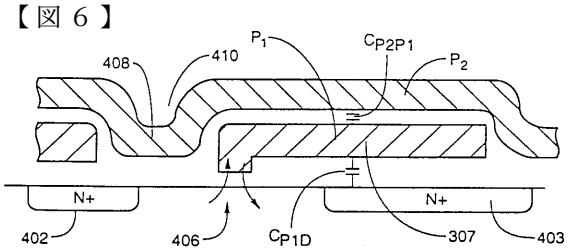

FIGURE 6

【図７Ａ】

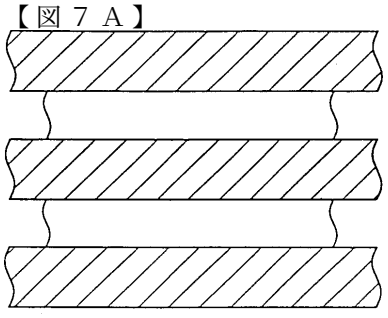

FIGURE 7A

【図７Ｂ】

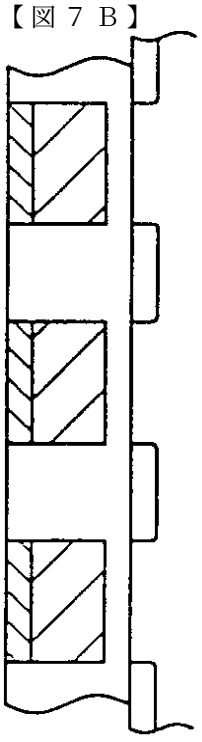

FIGURE 7B

【図８】

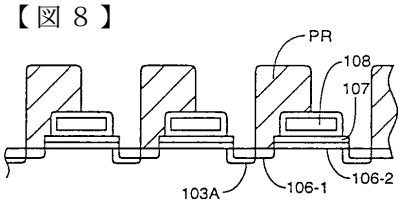

FIGURE 8

フロントページの続き

(72)発明者　サムチーサ、ゲオルギ
アメリカ合衆国カリフォルニア州９５１２０・サンノゼ・キャッスルロックドライブ　６８５８
(72)発明者　フォング、ユーピン・コーイング
アメリカ合衆国カリフォルニア州９４５３６・フレモント・サンドストーンドライブ　４４３
(72)発明者　ハラリー、エリヤフ
アメリカ合衆国カリフォルニア州９５０３０・ロスガトス・オーゼレイスコート　１０４

審査官　北島　健次

(56)参考文献　特開昭６２－１４９１７２（ＪＰ，Ａ）
特開昭５９－１１１３６９（ＪＰ，Ａ）
特開平０３－１１２１６６（ＪＰ，Ａ）
特開昭６３－１７０９６９（ＪＰ，Ａ）
特開平０３－０６２５７４（ＪＰ，Ａ）
特開昭６３－０５２４７８（ＪＰ，Ａ）
特開昭６０－０５３０８３（ＪＰ，Ａ）
特開昭６０－２４６６７８（ＪＰ，Ａ）
特開昭６３－０３６５７６（ＪＰ，Ａ）
特開昭５８－１１２３７０（ＪＰ，Ａ）
特開昭６２－２７１４７４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792
G11C 16/04