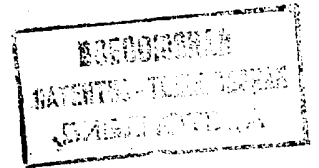




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

(21) 4648860/24

(22) 07.02.89

(46) 15.07.91. Бюл. № 26

(72) А.В. Сыщиков

(53) 621.503.5 (088.8)

(56) Авторское свидетельство СССР
№ 871745, кл. G 05 B 19/18, 1981.

Авторское свидетельство СССР
№ 877476, кл. G 05 B 19/18, 1981.

(54) УСТРОЙСТВО ГРУППОВОГО ПРО-
ГРАММНОГО УПРАВЛЕНИЯ ТЕХНОЛОГИ-
ЧЕСКИМИ ПРОЦЕССАМИ

(57) Изобретение относится к автоматике и

Изобретение относится к автоматике и вычислительной технике и предназначено для управления робототехнологическим оборудованием в автоматических линиях.

Цель изобретения – обеспечение независимого управления группой асинхронных технологических процессов в режиме разделенного времени.

На фиг. 1 изображена функциональная схема предлагаемого устройства; на фиг. 2 – то же, блока памяти команд; на фиг. 3 – то же, дешифратора; на фиг. 4 – то же, второго генератора; на фиг. 5 – то же, однобитного блока памяти; на фиг. 6 – то же, триггера; на фиг. 7 – то же, коммутатора; на фиг. 8 – то же, блока таймеров; на фиг. 9 – то же, блока регистров и блока компараторов; на фиг. 10 – алгоритм, реализующий управление в режиме разделенного времени.

Устройство (фиг. 1) содержит блок 1 памяти команд, дешифратор 2, второй генератор 3, однобитный блок 4 памяти, триггер 5, первую группу информационных входов 6, коммутатор 7, первый генератор 8, блок 9

2

вычислительной технике и предназначено для управления робототехнологическим оборудованием в автоматических линиях. Цель изобретения – обеспечение независимого управления группой асинхронных технологических процессов в режиме разделенного времени. Цель достигается тем, что в известное устройство, содержащее блок памяти, дешифратор, первый и второй генераторы, коммутатор, блок регистров и блок ключей, дополнительно введены однобитный блок памяти, триггер, блок таймеров и блок компараторов. 2 з.п. ф-лы, 10 ил.

таймеров, группу управляющих входов 10, вторую группу информационных входов 11, блок 12 компараторов, блок 13 регистров, блок ключей 14, группу информационных выходов 15 и внутреннюю связь 16-28.

Блок 1 памяти команд (фиг. 2) включает счетчик 29 адреса команд, блок 30 постоянной памяти, регистр 31 команд, элемент НЕ 32 и RC-цепь 33.

Дешифратор 2 (фиг. 3) выполнен на дешифраторе 34 и логической схеме 35.

Генератор 3 (фиг. 4) содержит генератор 36 тактовых импульсов, элемент И-НЕ 37, триггер 38 и RC-цепь 39.

Триггер 5 (фиг. 6) выполнен на D-триггере 40 и логическом элементе 41.

Блок 9 таймеров (фиг. 8) набран из одинаковых модулей, количество которых $S \leq 6$, причем i -й модуль ($i = 1, 2, \dots, S$) содержит дешифратор 42_i и таймеры $43_{i,1-43_{i,4}}$.

Внутренними переключателями до запуска всего устройства в работу стробирующий вход каждого таймера может быть подключен к соответствующему входу – 10

или к шине с положительным уровнем сигнала, а тактируемый вход каждого таймера – также к соответствующему входу 10 или к первому генератору 8 устройства.

Блок 13 регистров (фиг. 9) содержит дешифратор 44, демультимплексоры 45₁-45₁₆, триггеры 46_{1,1}-46_{16,256} и регистры 47_{1,1}-47_{16,р}, где $p \leq 6$ и $S + p \leq 6$. Каждый регистр и триггер имеет дополнительный R-вход, подключенный к RC-схеме 48 формирования сброса.

Устройство работает следующим образом.

Запуск устройства производится переводом триггера 38 по S-входу в единичное состояние, при этом на выходе 24, имевшем до запуска сигнал высокого уровня, начинают формироваться импульсы тактовой частоты, максимальное значение которой определяется допустимым быстродействием комплектующих устройство элементов.

В блок 1 памяти команд по единичному состоянию входа 24 заносится в регистр 31 код очередной команды из блока 30 постоянной памяти, считанной по адресу, выставленному на выходах счетчика 29 адреса команд. Кодовый сигнал команды присутствует на выходах 16₁-16₁₆ до следующего такта работы устройства.

По низкому уровню сигнала 24 формируется сигнал 26, стробирующий дешифратор 34 и выполнение команды.

Очередной такт работы устройства начинается по фронту (переводу в единичное состояние) сигнала 24, по которому содержится счетчика 29 адреса команд увеличивается на единицу, если на входе 21 низкий уровень сигнала на момент формирования фронта.

Сигнал на одном из выходов 17₁-17₈, 21, 22 и 23 дешифратора 2 определяется кодовым набором сигналов 16₁-16₄ и сигналом 25, формируется синхронно с сигналом 26 и стробирует выполнение команд.

Выполняются следующие группы команд (при описании команд имеется в виду, что i-й разряд команды формируется в сигнал соответствующего уровня на выходе 16_i блока 1 памяти).

Команды управления внешним оборудованием вызывают формирование одного из стробов 17_{s+j} – 17₈, по которому производится переключение в блоке 13 регистров и через ключи 14 управление внешним оборудованием.

Формат команды управления триггером следующий.

В разрядах с 1-го по 4-й имеется код 1111 для взведения или код 1110 для сброса триггера 46_{k,m}, в разрядах с 5-го по 8-й – код

индекса k, а в разрядах с 9-го по 16-й – код индекса m.

Формат команды занесения информации в регистр 47_{k,j} следующий.

5 В разрядах с 1-го по 4-й имеется код выхода дешифратора 34, связанного с входом 17_{s+j}, например для 17₃ – 1010, в разрядах с 5-го по 8-й – код индекса k, разряды с 9-го по 16-й определяют код, заносимый в регистр.

10 Команды управления таймерами вызывают генерацию строба 17_i, по которому информация заносится в таймер 43_{l,n}, причем в разрядах команды с 1-го по 4-й указывается код выхода дешифратора 34, связанного с выходом 17_i (например, для 17₁ – 1000), в разрядах 5 и 6 – код индекса г, разряды 7-16 определяют выполняемую операцию в соответствии с логикой работы таймеров. Частота генератора 8 определяет минимально возможную дискрету времени, отрабатываемую таймерами.

Команды обращения к однобитному запоминающему устройству вызывают генерацию строба 23, по которому осуществляется операция записи-считывания в ОЗУ и переписи считанного по выходу 28 бита информации в триггер 5.

30 В разрядах с 1-го по 4-й команды – код 0111, разряды 5 и 6 не используются, разряды 7 и 8 задают операцию ОЗУ; код 01 – "Запись единицы", код 00 – "Запись нуля", коды 10, 11 – "Чтение", в разрядах с 9-го по 16-й указывается адрес бита, к которому применяется операция.

35 Команды опроса используются для анализа состояний датчиков и таймеров и вызывают генерацию строба 22, по которому информация с выхода 27 коммутатора 7 заносится в триггер 5, причем разряды с 5-го по 16-й команды определяют вход коммутатора, замыкаемый на его выход, в разрядах с 1-го по 4-й – 0110.

40 Команды ветвления программы вызывают генерацию строба 21, по которому в счетчик 29 адреса заносится код с выходов 16₄-16₁₆.

45 Команда безусловного перехода (код разрядов с 1-го по 3-й – 000) всегда приводит к ветвлению, а команды "Переход по 0" и "Переход по 1" (коды разрядов с 1-го по 3-й – соответственно 001 и 010 вызывают генерацию строба 21 лишь при соответствующем уровне сигнала 25.

50 Процесс управления задается программой, хранимой в блоке 1 памяти команд. Принцип ее составления для независимого управления группой объектов в режиме разделенного времени следующий.

Исходные алгоритмы управления каждым объектом преобразуются в рабочие, которые основываются на поэтапной реализации отдельных фрагментов исходного. Если в исходном алгоритме происходит ожидание завершения очередной операции для перехода к выполнению следующей, то в рабочем при незавершении очередной операции управление передается алгоритму, реализующему процесс управления другим объектом, что и обеспечивает параллельность управления процессами в режиме разделенного времени.

Такая организация рабочего алгоритма предполагает при входе в него выполнение блока операторов поиска точки входа в алгоритм, т.е. оператора, с которого алгоритм должен быть продолжен. Для указания точки входа используется ряд двоичных переменных, хранимых в однобитном блоке 4 памяти. После выполнения анализа состояния этих переменных по так называемому "дереву" поиска управление передается ветви алгоритма, по которой были не завершены определенные действия.

Если же анализ внешних сигналов показывает, что завершены все заданные в выполняемой ветви действия, то осуществляется изменение кодового набора двоичных переменных "дерева" поиска, что при очередном входе в алгоритм приводит к передаче управления следующей его ветви.

Например, необходимо преобразовать следующий алгоритм (управления объектом) для включения его в группу алгоритмов, реализующих процесс управления оборудованием в режиме разделенного времени (рядом проставлены номера блоков соответствующего преобразованного алгоритма).

Блок 49. Если нажата кнопка "Пуск", начать управление.

Блок 50. Движение механизма вверх (ограничено упором).

Блок 51. Если движение вверх завершено, продолжить выполнение алгоритма.

Блок 52. Если нажата кнопка "Стоп", перейти к блоку 49.

Блок 53. Запустить таймер на время T.

Блок 54. Если таймер отработал время T, продолжить выполнение алгоритма.

Блок 55. Движение механизма вниз.

Блок 56. Если движение вниз завершено, перейти к блоку 50.

В исходном алгоритме блоки 49, 51, 52, 54 и 56 приводят к заикливлению внутри алгоритма. В рабочем алгоритме эти блоки (фиг. 10) размыкаются на передачу управления следующему алгоритму. При этом вво-

дятся дополнительные блоки 57 и 58, образующие "дерево" поиска точки входа, в которых анализируются вспомогательные переменные a0 и a1, и блоки 59, 60, 61 и 62, присваивающие новые значения этим переменным. Блок 63, присваивающий переменной a0 первоначальное значение, вынесен в группу блоков предварительной настройки.

Таким образом может быть составлен алгоритм, а следовательно, и реализующая его программа управления группой процессов, имеющих дискретный характер, либо поддающихся дискретизации путем квантования управления по времени.

Кроме того, возможна модификация алгоритмов управления как по внешним сигналам, так и по внутренним состояниям, т.е. возможно адаптивное управление объектами.

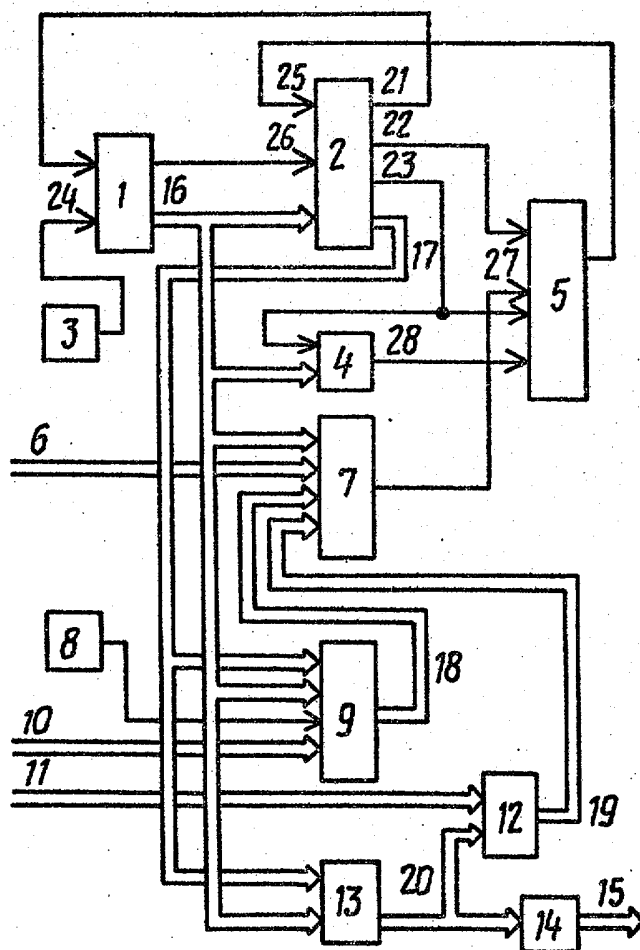
Ф о р м у л а и з о б р е т е н и я

1. Устройство группового программного управления технологическими процессами, содержащее первый и второй генераторы импульсов, блок памяти команд, управляющий выход которого соединен с первым разрешающим входом дешифратора, информационные выходы которого соединены с первой группой информационных выходов блока регистров, группа информационных выходов старших разрядов блока памяти команд соединена с второй группой информационных выходов блока регистров и адресными входами коммутатора, а младших разрядов – с группой информационных выходов дешифратора, выходы блока регистров соединены с входами блока ключей, выходы которых являются выходами внешнего управления устройства, о т л и ч а ю щ е е с я тем, что, с целью обеспечения независимого управления группой асинхронных технологических процессов в режиме разделенного времени, в устройство введены однобитный блок памяти, блок таймеров и триггер, информационный вход которого соединен с информационным выходом коммутатора, а выход триггера – с вторым разрешающим входом дешифратора, первый управляющий выход дешифратора соединен с разрешающим входом блока памяти команд, группа информационных выходов старших разрядов которого соединена с информационными и адресными входами однобитного блока памяти, выход которого соединен с первым управляющим входом триггера, второй и третий управляющие выходы дешифратора соединены соответственно с вторым и третьим управляющими входами триггера, третий управляющий выход дешифратора соединен с разрешающим входом однобитного блока памяти,

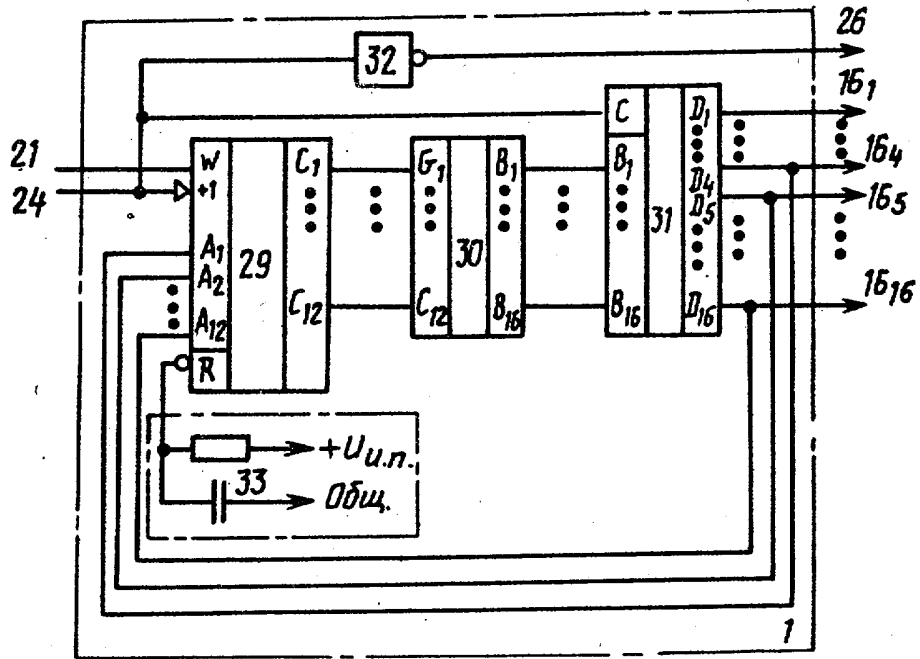
выход второго генератора импульсов соединен с синхровходом блока памяти команд, информационные выходы дешифратора соединены с группой разрешающих входов блока таймеров, выходы которого соединены с второй группой информационных входов коммутатора, первая группа информационных входов которого является первой группой информационных входов устройства, группа информационных выходов старших разрядов блока памяти команд соединена с группой информационных входов блока таймеров, синхровход которого соединен с выходом первого генератора импульсов.

2. Устройство по п. 1, отличающееся тем, что содержит блок управляемых таймеров, группа управляющих входов которого является группой управляющих входов устройства.

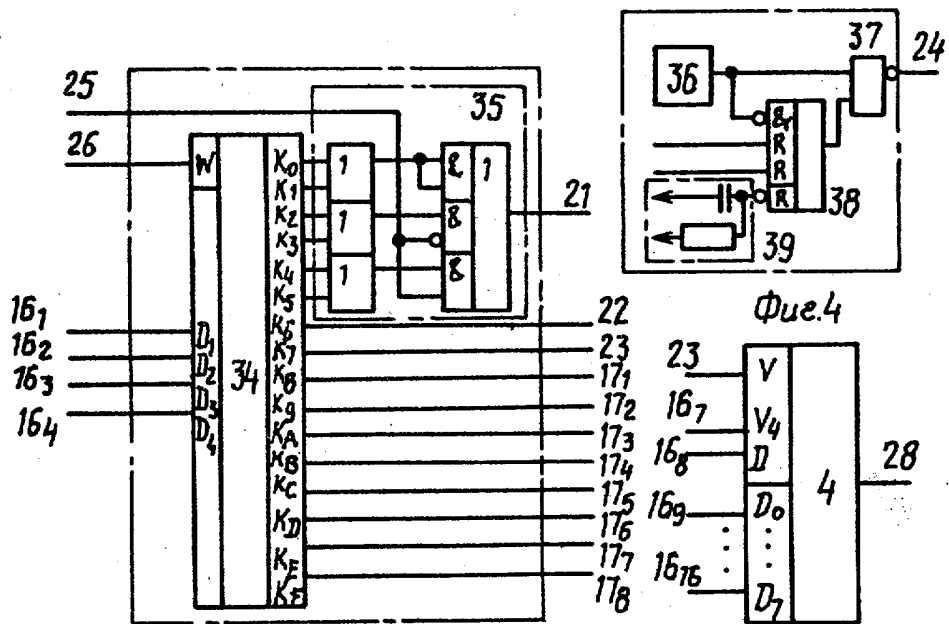
3. Устройство по п. 1, отличающееся тем, что содержит блок компараторов, выходы которого соединены с третьей группой информационных входов коммутатора, выходы блока регистров соединены с первой группой информационных входов блока компараторов, вторая группа информационных входов которого является второй группой информационных входов устройства.



Фиг.1



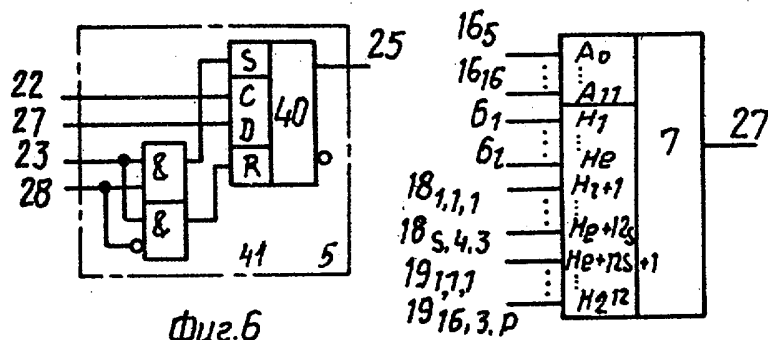
Фиг. 2



Фиг. 3

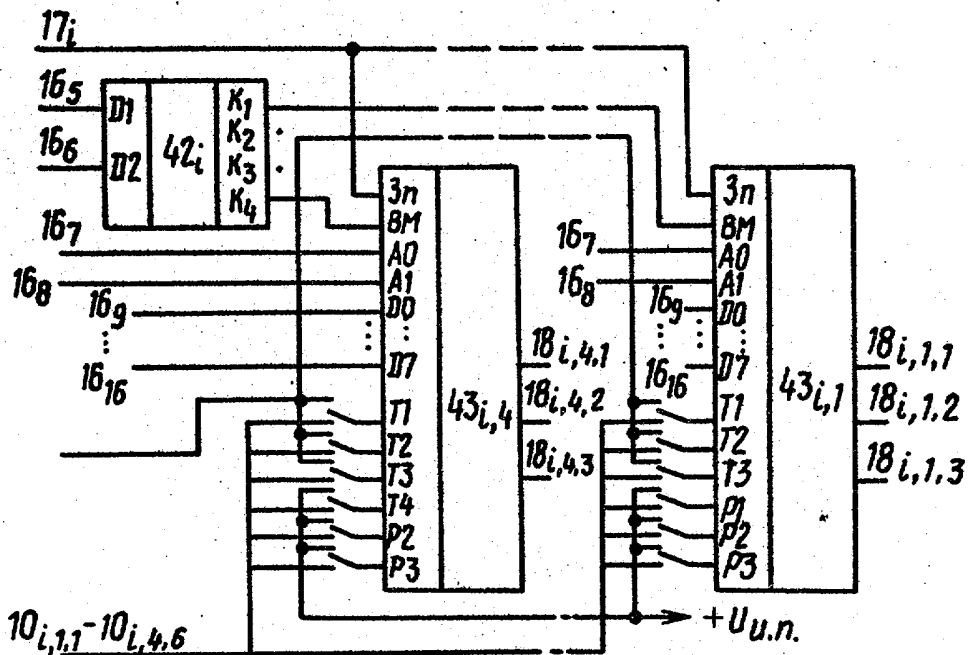
Фиг. 4

Фиг. 5

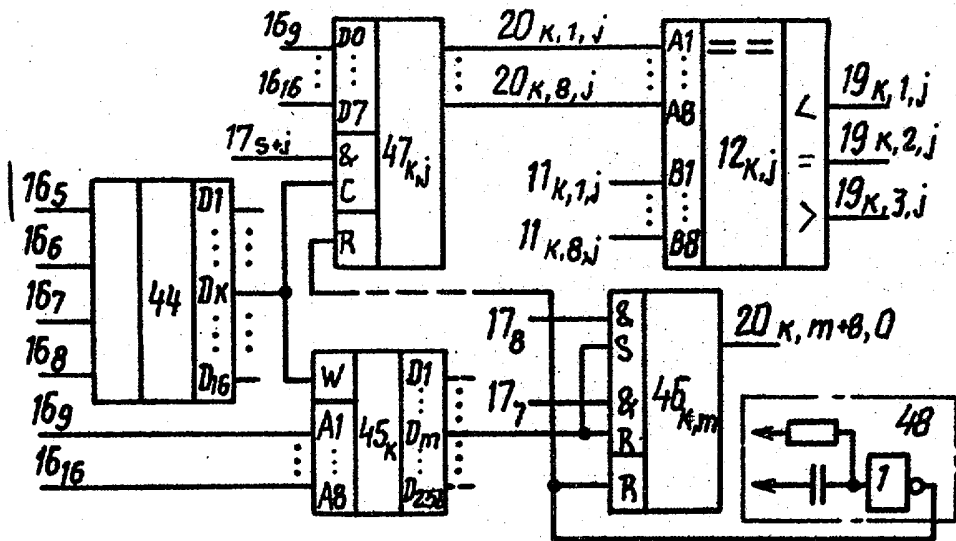


Фиг. 6

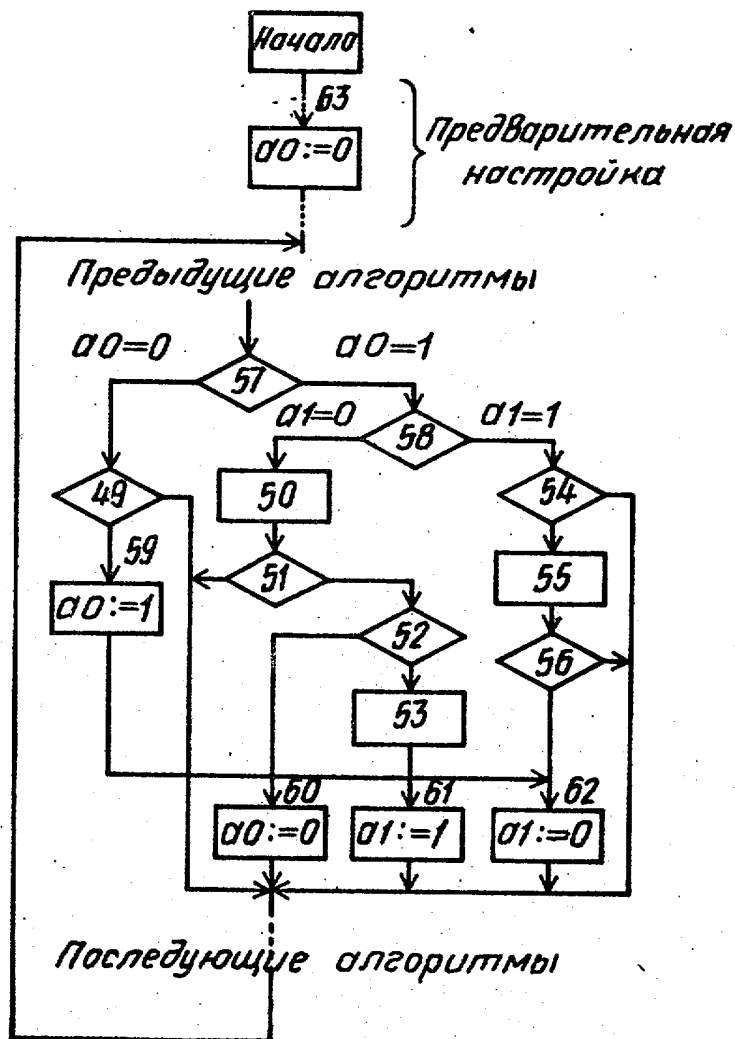
Фиг. 7



Фиг. 8



Фиг. 9



Фиг. 10

Редактор А.Лежнина

Составитель О.Фомичев
Техред М.Моргентал

Корректор С.Шевкун

Заказ 2266

Тираж 477

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101