

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年7月28日(2016.7.28)

【公表番号】特表2015-522878(P2015-522878A)

【公表日】平成27年8月6日(2015.8.6)

【年通号数】公開・登録公報2015-050

【出願番号】特願2015-516237(P2015-516237)

【国際特許分類】

G 06 F 9/54 (2006.01)

【F I】

G 06 F 9/46 4 8 0 A

【手続補正書】

【提出日】平成28年6月6日(2016.6.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マルチプロセッサコンピュータシステムにおいて要求に応答するための方法であって、第1タイプの1つ以上のプロセッサが1つ以上の要求を受け取ることであって、各要求がキー値を有し、前記第1タイプの1つ以上のプロセッサが、複数のデータ値を有する第1データ構造を備える第1メモリに関連付けられており、各データ値が、前記第1メモリ内の複数の位置のうち1つの位置に対応している、ことと、

前記1つ以上の要求を、前記第1タイプの前記1つ以上のプロセッサに関連付けられた前記第1メモリから、第2タイプの1つ以上のプロセッサに関連付けられた第2メモリへと移動させることであって、前記第2メモリが第2データ構造を備え、前記第2データ構造が、(i)複数のキー値のうち1つのキー値と、前記第1メモリ内の複数の位置のうち1つの位置と、をそれぞれ有する複数のペア値と、(ii)前記複数のキー値のうち1つ以上のキー値にそれぞれ対応する複数の指數であって、各ポインタが指數を含む、複数の指數と、を備える、ことと、

対応するデータ値が記憶された前記第1メモリ内の1つの位置をそれぞれ有する複数のペア値のうち1つ以上のペア値を、各指數にて、前記第2データ構造に記憶することと、

前記第2タイプの前記1つ以上のプロセッサが、前記1つ以上の要求の少なくとも1つに基づいて、前記第2メモリ内の前記第2データ構造を変更することと、

前記第2タイプの前記1つ以上のプロセッサが、前記1つ以上の要求の各々に対して1つ以上の決定されたポインタを決定することであって、前記1つ以上の決定されたポインタの各々は、前記キー値と、前記第1メモリ内のデータ値の対応する位置と、に対応しており、対応する要求内の前記キー値から決定されたポインタ値を含む、ことと、

前記キー値と、前記対応する位置と、を前記第1メモリへ移動させることと、

前記第1タイプの前記1つ以上のプロセッサが、前記1つ以上の決定されたポインタの各々に対して、前記1つ以上の決定されたポインタによってポイントされた1つ以上のデータについて取得データを取得することであって、前記取得データは、前記第1メモリ内の前記対応する位置にて、前記第1メモリの第1データ構造から取得されることと、

前記第1タイプの前記1つ以上のプロセッサが、前記取得データを送ることによって、前記1つ以上の要求に応答することと、

を含む、方法。

**【請求項 2】**

前記第1タイプの前記1つ以上のプロセッサは、1つ以上の中央処理装置(CPU)コアを含み、前記第2タイプの前記1つ以上のプロセッサは、1つ以上のグラフィカルプロセッサユニット(GPU)コアを含む、請求項1に記載の方法。

**【請求項 3】**

前記1つ以上のGPUコアの各々は、GPUカーネルに基づく持続的スレッドを実行している、請求項2に記載の方法。

**【請求項 4】**

前記1つ以上のGPUコアは、前記1つ以上のCPUコアが前記第2メモリにアクセスするよりも高速に前記第2メモリにアクセスする、請求項2に記載の方法。

**【請求項 5】**

前記1つ以上のCPUコアの第1メモリの第1アクセス時間は、前記1つ以上のGPUコアの前記第1メモリの第2アクセス時間よりも短い、請求項2に記載の方法。

**【請求項 6】**

前記第1タイプの前記1つ以上のプロセッサが、セットされた要求を受け取ることと、  
前記第1タイプの前記1つ以上のプロセッサが、前記セットされた要求に基づいて前記第1データ構造を変更することと、  
をさらに含む、請求項1に記載の方法。

**【請求項 7】**

前記移動させることは、  
前記1つ以上の要求の数が閾値数に達した場合に、前記1つ以上の要求を前記第1メモリから前記第2メモリへ移動させること、  
をさらに含む、請求項1に記載の方法。

**【請求項 8】**

前記複数のデータ値の1つのデータ値のサイズは、前記1つ以上の決定されたポインタの1つのポインタ値のサイズよりも大きい、請求項1に記載の方法。

**【請求項 9】**

マルチプロセッサコンピュータシステムにおいて要求に応答する方法であって、  
それぞれコールバック関数を含み、キー値を有する1つ以上の要求を受け取ることであって、前記1つ以上の要求は、1つ以上の中央処理装置(CPU)コアに関連付けられた第1メモリにおいて受け取られ、前記第1メモリが、複数のデータ値を有する第1データ構造を備え、各データ値が、前記第1メモリ内の複数の位置のうち1つの位置に対応していることと、

前記1つ以上の要求を、1つ以上のグラフィカルプロセッサユニット(GPU)コアに関連付けられた第2メモリに移動させることであって、前記第2メモリが第2データ構造を備え、前記第2データ構造が、(i)複数のキー値のうち1つのキー値と、前記第1メモリ内の複数の位置のうち1つの位置と、をそれぞれ有する複数のペア値と、(ii)前記複数のキー値のうち1つ以上のキー値にそれぞれ対応する複数の指數であって、各ポインタが指數を含む、複数の指數と、を備える、ことと、

対応するデータ値が記憶された前記第1メモリ内の1つの位置をそれぞれ有する複数のペア値のうち1つ以上のペア値を、各指數にて、前記第2データ構造に記憶することと、  
前記1つ以上のGPUコアが、前記1つ以上の要求の少なくとも1つに基づいて、前記第2メモリ内の前記第2データ構造を変更することと、

前記1つ以上の要求の数が少なくとも閾値数となった場合に、前記1つ以上の要求の各々に対して1つ以上の決定されたポインタを決定することであって、前記1つ以上の決定されたポインタの各々は、前記キー値と、前記第1メモリ内のデータ値の対応する位置と、に対応しており、対応する要求内の前記キー値から決定されたポインタ値を含む、ことと、

前記キー値と、前記対応する位置と、を前記第1メモリに移動させることと、  
前記1つ以上のCPUコアが、前記1つ以上の決定されたポインタの各々に対して、前

記1つ以上の決定されたポインタによってポイントされた1つ以上のデータについて取得データを取得することであって、前記取得データは、前記第1メモリ内の前記対応する位置にて、前記第1メモリから取得されることと、

前記1つ以上のCPUコアが、前記1つ以上の要求の前記コールバック関数を用いて、前記取得データを有する前記1つ以上の要求の各々を実行することと、  
を含む、方法。

#### 【請求項10】

前記1つ以上のGPUコアの前記第2メモリのアクセス時間は、前記1つ以上のCPUコアの前記第2メモリのアクセス時間よりも短い、請求項9に記載の方法。

#### 【請求項11】

前記1つ以上の要求を前記第2メモリに移動させることは、  
前記1つ以上の要求を、前記第2メモリのインバウンドキューに移動させること、  
を含む、請求項9に記載の方法。

#### 【請求項12】

前記1つ以上の要求の前記数が少なくとも閾値数であって、前記GPUが1つ以上のGPUスレッドを含む場合に、

前記1つ以上のGPUスレッドのうち1つのGPUスレッドが、前記1つ以上の要求の前記数が少なくとも閾値数となるときを決定するために、第2メモリの前記インバウンドキューをチェックすること、  
をさらに含み、

前記GPUスレッドは持続的なGPUスレッドである、  
請求項11に記載の方法。

#### 【請求項13】

前記取得データを前記第1メモリに移動させることは、  
前記取得データを前記第1メモリのアウトバウンドキューに移動させること、  
を含む、請求項9に記載の方法。

#### 【請求項14】

要求に応答するためのマルチプロセッサコンピュータシステムであって、  
複数のデータ値を有する第1データ構造を備える第1メモリに関連付けられた第1タイプの1つ以上のプロセッサであって、各データ値が、前記第1メモリ内の複数の位置のうち1つの位置に対応している、第1タイプの1つ以上のプロセッサと、  
第2メモリに関連付けられた第2タイプの1つ以上のプロセッサと、  
第2データ構造を備える前記第2メモリであって、前記第2データ構造が、(i)複数のキー値のうち1つのキー値と、前記第1メモリ内の複数の位置のうち1つの位置と、をそれぞれ有する複数のペア値と、(ii)前記複数のキー値のうち1つ以上のキー値にそれぞれ対応する複数の指数であって、各ポインタが指数を含む、複数の指数と、を備えており、

対応するデータ値が記憶された前記第1メモリ内の1つの位置をそれぞれ有する複数のペア値のうち1つ以上のペア値を、各指数にて、前記第2データ構造に記憶する、前記第2メモリと、を備え、

前記第1タイプの1つ以上のプロセッサは、コールバック関数を含む1つ以上の要求であって、それぞれキー値を有する1つ以上の要求を受け取り、前記1つ以上の要求を前記第2メモリに移動させるように構成されており、

前記第2タイプの1つ以上のプロセッサは、

前記1つ以上の要求の少なくとも1つに基づいて、前記第2メモリ内の前記第2データ構造を変更することと、

前記1つ以上の要求の数が少なくとも閾値数となった場合に、前記1つ以上の要求の各々に対して1つ以上の決定されたポインタを決定することであって、前記1つ以上の決定されたポインタの各々は、前記キー値と、前記第1メモリ内のデータ値の対応する位置と、に対応しており、対応する要求内の前記キー値から決定されたポインタ値を含む、こと

と、

前記決定されたポインタの各々にて保持された前記キー値と前記対応する位置とを、前記第1メモリに移動させることと、を行うように構成され、

前記第1タイプの1つ以上のプロセッサは、

前記1つ以上の決定されたポインタの各々に対して、前記1つ以上の決定されたポインタによってポイントされた1つ以上のデータについて取得データを取得することであって、前記取得データは、前記第1メモリ内の前記対応する位置にて、前記第1メモリから取得されることと、

前記1つ以上の要求の前記コールバック関数を用いて、前記取得データを有する前記1つ以上の要求の各々を実行することと、を行うように構成されている、

システム。

#### 【請求項15】

前記第1タイプの前記1つ以上のプロセッサは、1つ以上の中央処理装置(CPU)コアを含み、

前記第2タイプの前記1つ以上のプロセッサは、1つ以上のグラフィカルプロセッサユニット(GPU)コアを含む、請求項14に記載のシステム。

#### 【請求項16】

1つ以上のGPUスレッドは、GPUカーネルに基づく持続的スレッドである、請求項15に記載のシステム。

#### 【請求項17】

前記第2タイプの前記1つ以上のプロセッサの前記第2メモリのアクセス時間は、前記第1タイプの前記1つ以上のプロセッサの前記第2メモリのアクセス時間よりも短い、請求項14に記載のシステム。

#### 【請求項18】

前記第1タイプの前記1つ以上のプロセッサは、前記1つ以上の要求を、前記第2メモリのインバウンドキューに移動させるようにさらに構成されている、請求項14に記載のシステム。

#### 【請求項19】

前記第2タイプの前記1つ以上のプロセッサは、前記1つ以上の要求の前記数が少なくとも閾値数となるときを決定するために、前記第2のメモリのインバウンドキューをチェックするための前記1つ以上のスレッドのうち1つのスレッドを実行するようにさらに構成されており、前記スレッドは持続的なスレッドである、請求項18に記載のシステム。

#### 【請求項20】

前記第2タイプの前記1つ以上のプロセッサは、前記取得データを前記第1メモリのアウトバウンドキューに移動させるようにさらに構成されている、請求項14に記載のシステム。