

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 28 年 7 月 28 日 (2016.7.28)

【公表番号】特表 2015-522878 (P2015-522878A)

【公表日】平成 27 年 8 月 6 日 (2015.8.6)

【年通号数】公開・登録公報 2015-050

【出願番号】特願 2015-516237 (P2015-516237)

【国際特許分類】

G 0 6 F 9/54 (2006.01)

【 F I 】

G 0 6 F 9/46 4 8 0 A

【手続補正書】

【提出日】平成 28 年 6 月 6 日 (2016.6.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マルチプロセッサコンピュータシステムにおいて要求に応答するための方法であって、
第 1 タイプの 1 つ以上のプロセッサが 1 つ以上の要求を受け取ることであって、各要求
がキー値を有し、前記第 1 タイプの 1 つ以上のプロセッサが、複数のデータ値を有する第
1 データ構造を備える第 1 メモリに関連付けられており、各データ値が、前記第 1 メモリ
内の複数の位置のうち 1 つの位置に対応している、ことと、

前記 1 つ以上の要求を、前記第 1 タイプの前記 1 つ以上のプロセッサに関連付けられた
前記第 1 メモリから、第 2 タイプの 1 つ以上のプロセッサに関連付けられた第 2 メモリへ
と移動させることであって、前記第 2 メモリが第 2 データ構造を備え、前記第 2 データ構
造が、(i) 複数のキー値のうち 1 つのキー値と、前記第 1 メモリ内の複数の位置のうち
1 つの位置と、をそれぞれ有する複数のペア値と、(i i) 前記複数のキー値のうち 1 つ
以上のキー値にそれぞれ対応する複数の指数であって、各ポイントが指数を含む、複数の
指数と、を備える、ことと、

対応するデータ値が記憶された前記第 1 メモリ内の 1 つの位置をそれぞれ有する複数の
ペア値のうち 1 つ以上のペア値を、各指数にて、前記第 2 データ構造に記憶することと、

前記第 2 タイプの前記 1 つ以上のプロセッサが、前記 1 つ以上の要求の少なくとも 1 つ
に基づいて、前記第 2 メモリ内の前記第 2 データ構造を変更することと、

前記第 2 タイプの前記 1 つ以上のプロセッサが、前記 1 つ以上の要求の各々に対して 1
つ以上の決定されたポイントを決定することであって、前記 1 つ以上の決定されたポイン
タの各々は、前記キー値と、前記第 1 メモリ内のデータ値の対応する位置と、に対応して
おり、対応する要求内の前記キー値から決定されたポイント値を含む、ことと、

前記キー値と、前記対応する位置と、を前記第 1 メモリへ移動させることと、

前記第 1 タイプの前記 1 つ以上のプロセッサが、前記 1 つ以上の決定されたポイントの
各々に対して、前記 1 つ以上の決定されたポイントによってポイントされた 1 つ以上のデ
ータについて取得データを取得することであって、前記取得データは、前記第 1 メモリ内
の前記対応する位置にて、前記第 1 メモリの第 1 データ構造から取得されることと、

前記第 1 タイプの前記 1 つ以上のプロセッサが、前記取得データを送ることによって、
前記 1 つ以上の要求に応答することと、

を含む、方法。

【請求項 2】

前記第 1 タイプの前記 1 つ以上のプロセッサは、1 つ以上の中央処理装置 (CPU) コアを含み、前記第 2 タイプの前記 1 つ以上のプロセッサは、1 つ以上のグラフィカルプロセッサユニット (GPU) コアを含む、請求項 1 に記載の方法。

【請求項 3】

前記 1 つ以上の GPU コアの各々は、GPU カーネルに基づく持続的スレッドを実行している、請求項 2 に記載の方法。

【請求項 4】

前記 1 つ以上の GPU コアは、前記 1 つ以上の CPU コアが前記第 2 メモリにアクセスするよりも高速に前記第 2 メモリにアクセスする、請求項 2 に記載の方法。

【請求項 5】

前記 1 つ以上の CPU コアの第 1 メモリの第 1 アクセス時間は、前記 1 つ以上の GPU コアの前記第 1 メモリの第 2 アクセス時間よりも短い、請求項 2 に記載の方法。

【請求項 6】

前記第 1 タイプの前記 1 つ以上のプロセッサが、セットされた要求を受け取ることと、
前記第 1 タイプの前記 1 つ以上のプロセッサが、前記セットされた要求に基づいて前記第 1 データ構造を変更することと、
をさらに含む、請求項 1 に記載の方法。

【請求項 7】

前記移動させることは、
前記 1 つ以上の要求の数が閾値数に達した場合に、前記 1 つ以上の要求を前記第 1 メモリから前記第 2 メモリへ移動させること、
をさらに含む、請求項 1 に記載の方法。

【請求項 8】

前記複数のデータ値の 1 つのデータ値のサイズは、前記 1 つ以上の決定されたポインタの 1 つのポインタ値のサイズよりも大きい、請求項 1 に記載の方法。

【請求項 9】

マルチプロセッサコンピュータシステムにおいて要求に応答する方法であって、
それぞれコールバック関数を含み、キー値を有する 1 つ以上の要求を受け取ることであって、前記 1 つ以上の要求は、1 つ以上の中央処理装置 (CPU) コアに関連付けられた第 1 メモリにおいて受け取られ、前記第 1 メモリが、複数のデータ値を有する第 1 データ構造を備え、各データ値が、前記第 1 メモリ内の複数の位置のうち 1 つの位置に対応している、ことと、

前記 1 つ以上の要求を、1 つ以上のグラフィカルプロセッサユニット (GPU) コアに関連付けられた第 2 メモリに移動させることであって、前記第 2 メモリが第 2 データ構造を備え、前記第 2 データ構造が、(i) 複数のキー値のうち 1 つのキー値と、前記第 1 メモリ内の複数の位置のうち 1 つの位置と、をそれぞれ有する複数のペア値と、(i i) 前記複数のキー値のうち 1 つ以上のキー値にそれぞれ対応する複数の指数であって、各ポインタが指数を含む、複数の指数と、を備える、ことと、

対応するデータ値が記憶された前記第 1 メモリ内の 1 つの位置をそれぞれ有する複数のペア値のうち 1 つ以上のペア値を、各指数にて、前記第 2 データ構造に記憶することと、

前記 1 つ以上の GPU コアが、前記 1 つ以上の要求の少なくとも 1 つに基づいて、前記第 2 メモリ内の前記第 2 データ構造を変更することと、

前記 1 つ以上の要求の数が少なくとも閾値数となった場合に、前記 1 つ以上の要求の各々に対して 1 つ以上の決定されたポインタを決定することであって、前記 1 つ以上の決定されたポインタの各々は、前記キー値と、前記第 1 メモリ内のデータ値の対応する位置と、に対応しており、対応する要求内の前記キー値から決定されたポインタ値を含む、ことと、

前記キー値と、前記対応する位置と、を前記第 1 メモリに移動させることと、

前記 1 つ以上の CPU コアが、前記 1 つ以上の決定されたポインタの各々に対して、前

記 1 つ以上の決定されたポイントによってポイントされた 1 つ以上のデータについて取得データを取得することであって、前記取得データは、前記第 1 メモリ内の前記対応する位置にて、前記第 1 メモリから取得されることと、

前記 1 つ以上の C P U コアが、前記 1 つ以上の要求の前記コールバック関数を用いて、前記取得データを有する前記 1 つ以上の要求の各々を実行することと、
を含む、方法。

【請求項 1 0】

前記 1 つ以上の G P U コアの前記第 2 メモリのアクセス時間は、前記 1 つ以上の C P U コアの前記第 2 メモリのアクセス時間よりも短い、請求項 9 に記載の方法。

【請求項 1 1】

前記 1 つ以上の要求を前記第 2 メモリに移動させることは、
前記 1 つ以上の要求を、前記第 2 メモリのインバウンドキューに移動させること、
を含む、請求項 9 に記載の方法。

【請求項 1 2】

前記 1 つ以上の要求の前記数が少なくとも閾値数であって、前記 G P U が 1 つ以上の G P U スレッドを含む場合に、

前記 1 つ以上の G P U スレッドのうち 1 つの G P U スレッドが、前記 1 つ以上の要求の前記数が少なくとも閾値数となるときを決定するために、第 2 メモリの前記インバウンドキューをチェックすること、

をさらに含み、
前記 G P U スレッドは持続的な G P U スレッドである、
請求項 1 1 に記載の方法。

【請求項 1 3】

前記取得データを前記第 1 メモリに移動させることは、
前記取得データを前記第 1 メモリのアウトバウンドキューに移動させること、
を含む、請求項 9 に記載の方法。

【請求項 1 4】

要求に応答するためのマルチプロセッサコンピュータシステムであって、
複数のデータ値を有する第 1 データ構造を備える第 1 メモリに関連付けられた第 1 タイプの 1 つ以上のプロセッサであって、各データ値が、前記第 1 メモリ内の複数の位置のうち 1 つの位置に対応している、第 1 タイプの 1 つ以上のプロセッサと、
第 2 メモリに関連付けられた第 2 タイプの 1 つ以上のプロセッサと、
第 2 データ構造を備える前記第 2 メモリであって、前記第 2 データ構造が、(i) 複数のキー値のうち 1 つのキー値と、前記第 1 メモリ内の複数の位置のうち 1 つの位置と、をそれぞれ有する複数のペア値と、(i i) 前記複数のキー値のうち 1 つ以上のキー値にそれぞれ対応する複数の指数であって、各ポイントが指数を含む、複数の指数と、を備えており、

対応するデータ値が記憶された前記第 1 メモリ内の 1 つの位置をそれぞれ有する複数のペア値のうち 1 つ以上のペア値を、各指数にて、前記第 2 データ構造に記憶する、前記第 2 メモリと、を備え、

前記第 1 タイプの 1 つ以上のプロセッサは、コールバック関数を含む 1 つ以上の要求であって、それぞれキー値を有する 1 つ以上の要求を受け取り、前記 1 つ以上の要求を前記第 2 メモリに移動させるように構成されており、

前記第 2 タイプの 1 つ以上のプロセッサは、
前記 1 つ以上の要求の少なくとも 1 つに基づいて、前記第 2 メモリ内の前記第 2 データ構造を変更することと、

前記 1 つ以上の要求の数が少なくとも閾値数となった場合に、前記 1 つ以上の要求の各々に対して 1 つ以上の決定されたポイントを決定することであって、前記 1 つ以上の決定されたポイントの各々は、前記キー値と、前記第 1 メモリ内のデータ値の対応する位置と、に対応しており、対応する要求内の前記キー値から決定されたポイント値を含む、こと

と、

前記決定されたポインタの各々にて保持された前記キー値と前記対応する位置とを、前記第1メモリに移動させることと、を行うように構成され、

前記第1タイプの1つ以上のプロセッサは、

前記1つ以上の決定されたポインタの各々に対して、前記1つ以上の決定されたポインタによってポイントされた1つ以上のデータについて取得データを取得することであって、前記取得データは、前記第1メモリ内の前記対応する位置にて、前記第1メモリから取得されることと、

前記1つ以上の要求の前記コールバック関数を用いて、前記取得データを有する前記1つ以上の要求の各々を実行することと、を行うように構成されている、

システム。

【請求項15】

前記第1タイプの前記1つ以上のプロセッサは、1つ以上の中央処理装置（CPU）コアを含み、

前記第2タイプの前記1つ以上のプロセッサは、1つ以上のグラフィカルプロセッサユニット（GPU）コアを含む、請求項14に記載のシステム。

【請求項16】

1つ以上のGPUスレッドは、GPUカーネルに基づく持続的スレッドである、請求項15に記載のシステム。

【請求項17】

前記第2タイプの前記1つ以上のプロセッサの前記第2メモリのアクセス時間は、前記第1タイプの前記1つ以上のプロセッサの前記第2メモリのアクセス時間よりも短い、請求項14に記載のシステム。

【請求項18】

前記第1タイプの前記1つ以上のプロセッサは、前記1つ以上の要求を、前記第2メモリのインバウンドキューに移動させるようにさらに構成されている、請求項14に記載のシステム。

【請求項19】

前記第2タイプの前記1つ以上のプロセッサは、前記1つ以上の要求の前記数が少なくとも閾値数となることを決定するために、前記第2のメモリのインバウンドキューをチェックするための前記1つ以上のスレッドのうち1つのスレッドを実行するようにさらに構成されており、前記スレッドは持続的なスレッドである、請求項18に記載のシステム。

【請求項20】

前記第2タイプの前記1つ以上のプロセッサは、前記取得データを前記第1メモリのアウトバウンドキューに移動させるようにさらに構成されている、請求項14に記載のシステム。