



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월15일
(11) 등록번호 10-1121460
(24) 등록일자 2012년02월22일

(51) 국제특허분류(Int. Cl.)
H03K 19/0175 (2006.01)
(21) 출원번호 10-2005-0066707
(22) 출원일자 2005년07월22일
심사청구일자 2010년07월22일
(65) 공개번호 10-2006-0092833
(43) 공개일자 2006년08월23일
(30) 우선권주장
11/141,337 2005년05월31일 미국(US)
60/590,624 2004년07월23일 미국(US)
(56) 선행기술조사문헌
US4806796 A*
KR1019940008254 A
KR1020020014670 A
US4868423 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에이저 시스템즈 인크
미합중국 펜실베니아 18109 알렌타운 노스이스트
아메리칸 파크웨이 1110
(72) 발명자
아자렛 캄란
미국 뉴저지 07751, 모르간빌, 베일 드라이브 622
양 후지
미국 뉴저지 07733, 홈델, 세이지 스트리트 55
구오 춘빙
미국 펜실베니아 18104, 알렌타운, 더블유. 시더
스트리트 3279
(74) 대리인
장훈

전체 청구항 수 : 총 10 항

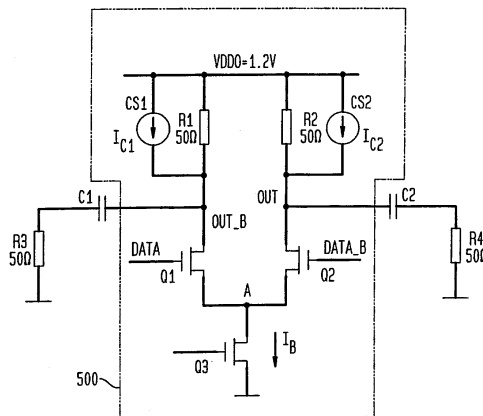
심사관 : 강현일

(54) 발명의 명칭 **CML 버퍼들용 공통-모드 시프팅 회로**

(57) 요약

CML 장치의 공통 모드 출력 전압을 임의의 전압으로 시프팅하는 공통 모드 시프팅 회로가 개시된다. 정전류원은 CML 장치의 각각의 출력에 공급된다. 정전류원은 양 또는 음의 전류일 수 있고, 공통 모드 출력 전압을 상승시키거나 하강시키는 경향이 있다. 정전류원은 양호하게는 CML 장치에 대해 공급기보다 더 높은 전압을 갖는 다른 전압 공급기에 접속된다. 본 발명은 2 이상의 출력 포트들을 갖는 전류 모드 논리 회로의 출력 신호를 조절하는 방법을 또한 제공하는 것으로서, 상기 방법은 전류 모드 논리 회로의 각각의 출력 포트에 정전류를 공급하는 단계를 포함하고, 상기 전류 모드 논리 회로의 출력 포트들에서의 공통 모드 전압은 레벨 시프팅(level-shift)된다.

대표도 - 도5



특허청구의 범위

청구항 1

전류-모드 시프팅 회로에 있어서:

공통-모드 전압을 갖는 2개의 출력 포트들과 2개의 입력 포트들을 포함하는 전류-모드 회로;

제 1 공급 전압을 수신할 수 있는 제 1 공급 포트; 및

2개의 정전류원들로서, 각각은 상기 전류-모드 논리 회로의 상기 2개의 출력 포트들 중 각각의 하나와 상기 제 1 공급 포트 사이에 접속되는, 상기 2개의 정전류원들을 포함하고,

상기 정전류원들은 상기 출력 포트들에서 상기 공통-모드 전압을 시프팅하는 전류들을 생성하고;

상기 제 1 공급 전압은 상기 출력 포트들에서의 상기 공통-모드 전압보다 작아서, 상기 정전류원들은 상기 출력 포트들로부터 전류를 싱크(sink)하고, 그에 따라 상기 출력 포트들에서의 상기 공통-모드 전압을 낮추는, 전류-모드 시프팅 회로.

청구항 2

전류-모드 시프팅 회로에 있어서:

공통-모드 전압을 갖는 2개의 출력 포트들과 2개의 입력 포트들을 포함하는 전류-모드 회로;

제 1 공급 전압을 수신할 수 있는 제 1 공급 포트;

2개의 정전류원들로서, 각각이 상기 전류-모드 논리 회로의 상기 2개의 출력 포트들 중 각각의 하나와 상기 제 1 공급 포트 사이에 접속되는, 상기 2개의 정전류원들; 및

년-제로 전압 전위(non-zero voltage potential)를 갖는 제 2 공급 전압을 수신할 수 있는 제 2 공급 포트로서, 상기 전류-모드 회로는 상기 제 2 공급 포트에 접속되는, 상기 제 2 공급 포트를 포함하고,

상기 정전류원들은 상기 출력 포트들에서 상기 공통-모드 전압을 시프팅하는 전류들을 생성하는, 전류-모드 시프팅 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 공급 전압은 상기 제 2 공급 전압보다 크기가 더 큰, 전류-모드 시프팅 회로.

청구항 4

제 3 항에 있어서,

상기 정전류원들은 상기 전류-모드 회로의 각 출력 포트에서의 피크 전압이 상기 제 2 공급 전압보다 크게 하는 값으로 상기 공통-모드 전압을 증가시키기 위해, 상기 출력 포트들에 충분한 전류를 주입하는, 전류-모드 시프팅 회로.

청구항 5

전류-모드 시프팅 회로에 있어서:

공통-모드 전압을 갖는 2개의 출력 포트들과 2개의 입력 포트들을 포함하는 전류-모드 회로;

제 1 공급 전압을 수신할 수 있는 제 1 공급 포트;

상기 전류-모드 논리 회로의 상기 2개의 출력 포트들 중 각각의 포트와 상기 제 1 공급 포트 사이에 각각 접속된 2개의 정전류원들로서, 상기 출력 포트들에서의 상기 공통-모드 전압을 시프팅하는 전류들을 생성하는 상기 2개의 정전류원들; 및

상기 전류-모드 회로의 상기 2개의 출력 포트들 중 각각의 포트에 각각 결합되고 부하 종단(load termination)에 접속할 수 있는 2개의 DC 블록 커패시터들을 포함하는, 전류-모드 시프팅 회로.

청구항 6

전류-모드 시프팅 회로에 있어서:

공통-모드 전압을 갖는 2개의 출력 포트들과 2개의 입력 포트들을 포함하는 전류-모드 회로;

제 1 공급 전압을 수신할 수 있는 제 1 공급 포트;

상기 전류-모드 논리 회로의 상기 2개의 출력 포트들 중 각각의 포트와 상기 제 1 공급 포트 사이에 각각 접속된 2개의 정전류원들로서, 상기 출력 포트들에서의 상기 공통-모드 전압을 시프팅하는 전류들을 생성하는 상기 2개의 정전류원들; 및

상기 전류원들 중 각각의 전류원과 직렬로 각각 접속되는 2개의 저항기들을 포함하는, 전류-모드 시프팅 회로.

청구항 7

전류-모드 시프팅 회로에 있어서:

공통-모드 전압을 갖는 2개의 출력 포트들과 2개의 입력 포트들을 포함하는 전류-모드 회로;

제 1 공급 전압을 수신할 수 있는 제 1 공급 포트; 및

상기 전류-모드 논리 회로의 상기 2개의 출력 포트들 중 각각의 포트와 상기 제 1 공급 포트 사이에 각각 접속된 2개의 정전류원들로서, 상기 출력 포트들에서의 상기 공통-모드 전압을 시프팅하는 전류들을 생성하는 상기 2개의 정전류원들을 포함하고,

상기 전류-모드 회로는:

공급 전압에 각각 접속된 2개의 부하 저항기들;

전류-공급 단자, 전류-싱크 단자 및 제어 단자를 각각 갖는 2개의 입력 트랜지스터들로서, 각 입력 트랜지스터의 상기 전류-공급 단자는 상기 부하 저항기들 중 각각의 저항기에 및 상기 전류-모드 회로의 상기 출력 포트들 중 각각의 포트에 접속되는, 상기 2개의 입력 트랜지스터들; 및

전류-공급 단자, 전류-싱크 단자 및 제어 단자를 갖는 테일 전류 트랜지스터(tail current transistor)로서, 상기 테일 전류 트랜지스터의 상기 전류-공급 단자는 상기 입력 트랜지스터들 중 상기 전류-싱크 단자들에 접속되는, 상기 테일 전류 트랜지스터를 포함하는, 전류-모드 시프팅 회로.

청구항 8

2개 이상의 입력 포트들과 2개 이상의 출력 포트들을 갖고 제 1 공급 전압에 접속할 수 있는 전류-모드 회로의 출력 신호를 조절하는 방법에 있어서:

상기 전류-모드 회로의 각 출력 포트에서 정전류를 제공하는 단계를 포함하고,

상기 전류-모드 회로의 상기 출력 포트들에서의 공통-모드 전압은 레벨 시프팅(level-shift)되고,

상기 정전류는 상기 전류-모드 논리 회로의 각 출력 포트로부터 흐르는 전류이고, 상기 전류-모드 논리 회로의 상기 출력 포트들에서의 상기 공통-모드 전압은 낮아지는, 전류-모드 회로의 출력 신호 조절 방법.

청구항 9

2개 이상의 입력 포트들과 2개 이상의 출력 포트들을 갖고 제 1 공급 전압에 접속할 수 있는 전류-모드 회로의 출력 신호를 조절하는 방법에 있어서:

상기 전류-모드 회로의 각 출력 포트에서 정전류를 제공하는 단계를 포함하고,

상기 전류-모드 회로의 상기 출력 포트들에서의 공통-모드 전압은 레벨 시프팅되고,

각 출력 포트에서의 상기 정전류는 각 출력 포트에서의 피크 전압이 상기 제 1 전력 공급 전압보다 크게 하는 값으로 상기 공통-모드 전압을 증가시키는, 전류-모드 회로의 출력 신호 조절 방법.

청구항 10

2개 이상의 입력 포트들과 2개 이상의 출력 포트들을 갖고 제 1 공급 전압에 접속할 수 있는 전류-모드 회로의 출력 신호를 조절하는 방법에 있어서:

상기 전류-모드 회로의 각 출력 포트에서 정전류를 제공하는 단계; 및

각 출력 포트에서의 상기 정전류를 직렬 저항기를 통해 넘겨주는 단계를 포함하고,

상기 전류-모드 회로의 상기 출력 포트들에서의 공통-모드 전압은 레벨 시프팅되는, 전류-모드 회로의 출력 신호 조절 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0010] 교차참조
- [0011] 본 출원은 미국 가출원 제60/590,624호의 우선권 이익을 향유한다.
- [0012] 기술분야
- [0013] 본 발명은 일반적으로 전류-모드 논리 회로(current-mode logic circuit)들, 특히 고속 입/출력 인터페이스 회로들 내의 신호 레벨들에 관한 것이다.
- [0014] 종래기술

- [0015] 예를 들면 광학 송수신기(transceiver) 또는 고속 입출력(I/O) 인터페이스 회로 등의 고속의 통신 설비에 있어서, 전류-모드 논리(current-mode logic; CML) 버퍼들이 오프-칩(off-chip) 저항성 부하를 구동하기 위해 종종 채택된다. CML 버퍼는 보통 비교적 낮은 전력 공급들로부터 동작하여 예를 들면 기가헤르쯔(gigahertz) 또는 수십 기가헤르쯔 이상의 매우 빠른 고속 스위칭을 달성할 수 있다. 또한, CML 버퍼들은 상이한 신호 전송 방식을 사용하기 때문에, 상기 CML 버퍼들은 비교적 공통-모드 잡음에 둔감하다.
- [0016] 종래의 CML 버퍼 회로는 도 1에 도시된다. CML 버퍼(100)는 2개의 국부(온-칩) 50-옴 저항기(R1, R2), 2개의 입력 트랜지스터(Q1, Q2), 및 "테일 전류(tail current)" 트랜지스터(Q3)를 포함한다. 도 1에 도시된 바와 같이, 저항기(R1, R2)는 공급 전압(V_{DD0})과 트랜지스터(Q1, Q2)의 전류 공급(또는 드레인) 단자 사이에 각각 접속된다. 트랜지스터(Q1, Q2)의 전류 싱크(current-sink)(또는 소스) 단자는 트랜지스터(Q3)의 전류 공급 단자에 대한 노드(A)에서 함께 접속된다. 마지막으로, 트랜지스터(Q3)의 전류 싱크 단자는 접지에 접속된다.
- [0017] 종래에, CML 버퍼(100)는 트랜지스터(Q1, Q2)들의 제어 단자(게이트)에 각각 입력된 2개의 단일 단자 신호(single-ended signal)(DATA, DATA_B)들로부터 형성된 상이한 입력 신호를 갖는다. 상기 상이한 신호 전송 방식에 따르면, 입력 신호(DATA, DATA_B)는 반대 극성을 갖는다. CML 버퍼(100)는 유사하게 상이한 신호를 생성하는 2개의 출력(OUT_B, OUT)을 또한 갖는다. CML 버퍼의 출력(OUT_B, OUT)은 상이한 출력 신호를 수신하는 칩의 종단 임피던스(termination impedance)를 나타내는 오프-칩(off-chip) 저항기(R3, R4)에 또한 접속된다.
- [0018] 동작시에, 정바이어스(constant bias) 전류(I_B)는 트랜지스터(Q3)에 의해 CML 버퍼에 유입된다. 전류(I_B)는 I_B 전류원 트랜지스터의 바이어스 레벨에 의해 미리 정해지고 설정된다. 당업계에 알려진 바와 같이, 전류(I_B)는 전류 미리 접속부를 경유하여 트랜지스터(Q3)에 의해 공급된다.
- [0019] 입력 신호(DATA, DATA_B)에 의해, 전류(I_B)는 저항기(R1) 및 트랜지스터(Q1)에 의해 형성된 좌측 분기(left branch)에, 또는 저항기(R2) 및 트랜지스터(Q2)에 의해 형성된 우측 분기에 조향된다. 예를 들면, 입력 신호(DATA)가 논리 값이 "0" 또는 "하이(high)"이고, 입력 신호(DATA_B)가 논리 값이 "0" 또는 "로우(low)"이면, 트랜지스터(Q1)를 통과하는 전류는 증가할 것이고 트랜지스터(Q2)를 통과하는 전류는 감소할 것이다(트랜지스터(Q1, 또는 Q2)를 컷-오프(cut-off) 또는 액티브 상태로 만들 정도까지는 아니다). 따라서, 보다 많은 전류가 저항기(R1)를 통해 흐르기 때문에, 저항기(R1)를 가로지르는 전압 강하가 나타날 것이고, 출력(OUT_B)은 "로우" 값을 지닐 것이다. 동시에, 보다 적은 전류가 저항기(R2)를 통해 흐르기 때문에, 저항기(R2)를 가로지르는 전압 강하는 감소할 것이고, 출력(OUT)은 "하이" 값을 지닐 것이다. 또한, 입력 신호(DATA)가 논리 값 "0" 신호이면, 전류는 우측 분기를 통해 조향되고, 출력(OUT_B)은 "하이" 값을 지닐 것이고, 출력(OUT)은 "로우" 값을 지닐 것이다.
- [0020] 이러한 종래 CML 버퍼에 있어서, 도 2를 참조하면, 각각의 (즉, 출력(OUT, OUT_B에서의) 출력 신호의 전압 스윙(swing)은 개략 공급 전압(V_{DD0})(도 2의 210)의 최대 출력 전압(V_{OH})(도 2의 210)에서, 저항기(R2, 또는 R4)를 가로지르는 전압 강하를 V_{DD0}로부터 감산함에 의해 획득된 최소 출력 전압(V_{OL})(도 2의 230)까지이다. 출력 신호(예를 들면, 출력(OUT)에서의 출력 신호)의 평균값은 출력 신호(도 2의 220)의 공통-모드 전압(V_{CM})을 나타낸다. 공통-모드 전압(V_{CM})은 좌측 분기 및 우측 분기를 통하는 동일한 전류 흐름을 가정함에 의해 이하의 결과적인 회로 방정식으로 근사치가 구해진다:
- [0021]
$$V_{CM} = V_{DD0} - (R2 + R4)/2 * I_B/2$$
- [0022] 여기서 V_{CM}은 공통-모드 전압이고, V_{DD0}는 공급 전압이고, R2는 온-칩(on-chip) 저항이고, R4는 오프-칩(off-chip) 저항이고, I_B는 테일 전류(tail current)이다. 예를 들면, R1 = R2 = R3 = R4 = 50옴, V_{DD0} = 1.2옴, I_B = 20mA에 있어서, 그 결과적인 공통-모드 전압(V_{CM})은 0.95볼트일 것이고, 이는 비교적 높다(즉, 공급 전압(V_{DD0})에 근접하다). 또한, 출력 신호(도 2의 250)의 피크 대 피크 전압(peak-to-peak voltage; V_{pk})은 가장 높은 출력 레벨(V_{OH})에서 가장 낮은 출력 레벨(V_{OL})을 뺀 것이다. 최대 출력 전압(V_{OH})은 개략 공급 전압(V_{DD0})(즉, 트랜지스터(Q2)가 오프인 경우에 약 1.2볼트)이다. 최소 출력 전압(V_{OL})(트랜지스터(Q2)가 온(on)인 경우)은 이하와 같이 결정될 수 있다:
- [0023]
$$V_{OL} = V_{DD0} - (R2 * R4)/(R2 + R4) * I_B$$

[0024] 여기서, V_{OL} 은 가장 낮은 출력 레벨에서의 출력 신호(OUT)의 전압이고, V_{DD0} 는 공급 전압이고, R2 및 R4는 각각 온-칩 및 오프-칩 부하 저항이고, I_B 는 테일 전류이다. $R2 = R4 = 50\Omega$, 및 $I_B = 20\text{mA}$ 인 위에서 사용된 값에 있어서, 그 결과적인 최소 출력 전압(V_{OL})은 0.7V일 것이다. 따라서, 상기 피크 대 피크 전압(V_{pk})은 $V_{OH} - V_{OL}$, 또는 $1.2\text{V} - 0.7\text{V} = 0.5\text{볼트}$ 이다.

[0025] 그러나, CML 버퍼가 DC 블로킹 커패시터를 통해 수신기에 접속(AC 커플링 모드라고 알려짐)되는 경우에 상당한 문제가 발생한다. 상기와 같은 접속은 도 3에 도시된다. DC 블로킹 커패시터(C1, C2)는 출력(OUT_B, OUT)에서의 출력 신호들의 AC 부분(AC part)들을 통과시키지만, 신호의 DC 부분을 블로킹(blocking)한다. 출력(OUT_B, OUT)이 AC 결합된 경우에, 신호의 동적(dynamic) (AC) 부분에는 저항기(R3, 또는 R4)의 원격(remote) 50-옴 임피던스와 병렬인 저항기(R1, 또는 R2)의 50-옴의 국부 저항이 "발생"하여, 결과적으로 각각의 출력에 대해 25옴의 등가 AC 임피던스가 된다. 반면에, 신호의 DC 부분(즉, DC 공통-모드 전압)에는 저항기(R1, 또는 R2)의 50-옴의 국부 임피던스만이 "발생"한다. 상기 DC 부분에서 발생한 비교적 높은 50-옴의 임피던스는 공통-모드 전압의 비교적 높은 전압 강하(또는 "IR" 강하)를 발생시킨다. 실제로, DC 임피던스(50옴)는 AC 등가 임피던스(25옴)의 2배이다.

[0026] AC 결합된 CML 버퍼에 대한 공통-모드 전압, 최대 출력 레벨, 및 최소 출력 레벨은 위에서와 같이 유사한 방식으로 계산될 것이다. 공통-모드 전압은:

[0027]
$$V_{CM} = V_{DD0} - R2 * I_B / 2 = 1.2\text{V} * 50\Omega * 20\text{mA} / 2 = 0.7\text{V}$$

[0028] C1 및 C2가 크다고 가정하면, AC 관점으로부터의 피크 대 피크 전압은 상기와 개략 동일하거나, 또는 0.5V이다. AC 전압이 0.7V인 보다 낮은 DC 공통-모드 전압 위에 첨가되므로, 여기에서 최대 출력 전압(V_{OH})은 0.95V이고 최소 출력 전압(V_{OL})은 0.45V이다. AC 결합된 경우에 대한 여러 전압들이 도 4에 그래픽으로 도시된다. 출력(OUT_B, OUT)에서의 AC 차동 신호(AC differential signal)는 공통-모드 전압(V_{CM})(도 4의 430) 부근에서, 접지(450)와 관련하여 V_{OH} (도 4의 420)까지, 그리고 V_{OL} (도 4의 440)까지 스윙한다는 것을 도 4로부터 알 수 있다.

발명이 이루고자 하는 기술적 과제

[0029] AC 결합된 CML 버퍼에서 DC 공통-모드 출력 신호는 DC 결합된 경우보다 현저히 낮고, AC 출력 신호는 동일하게 유지된다는 것이 상기 설명으로부터 명확하다. 그러나, 이용 가능한 헤드룸(headroom) 또는 전압 스윙을 제한함에 의해, 공통-모드 전압(V_{CM})의 큰 하향 시프트(downward shift)는 AC 출력 신호에 부정적으로 영향을 미친다. 그 결과, 낮은 전력 공급 전압(예컨대, 1.2볼트 이하)에서, "클리핑" 또는 출력 신호의 왜곡이 발생할 수 있다. 보다 상세하게는 CML 버퍼에서 2개의 입력 트랜지스터(Q1, Q2)와 테일 전류 트랜지스터(Q3)를 포화 모드에서 동작시키는 것은 바람직하다. 그러나, 최소 출력 전압(V_{OL})(0.45V)의 매우 낮은 레벨은 이러한 트랜지스터들이 액티브하게 또는 컷-오프 모드로 동작하도록 하여, 왜곡 또는 클리핑을 유발한다.

[0030] AC 결합된 CML 장치의 보다 낮은 공통-모드 전압에 의해 발생된 상기 왜곡 문제에 대한 하나의 가능한 해결책은 트랜지스터(Q1, Q2, Q3)들의 길이에 대한 폭의 비율을 증가시키는 것으로서, 상기 트랜지스터들은 비교적 낮은 공통-모드 전압에 대해서도 포화 모드로 유지된다. 그러나 실제로, 높은 W/L 비율의 장점은 W/L 비율이 증가함에 따라 증가하고 상기 장치들의 스위칭 주파수를 줄이는 경향이 있는 상기 장치들의 기생 용량에 대해 평형이 맞아야 한다. 따라서, 상술한 낮은 공통-모드 전압 문제를 겪지 않고, 고 주파수에서 동작할 수 있는 AC 결합된 CML 버퍼를 제공하는 것이 바람직할 것이다.

발명의 구성 및 작용

[0031] 발명의 요약

간단히 말해서, 본 발명은 CML 장치의 공통 모드 출력 전압을 임의의 전압으로, 양호하게는 전력 공급 레일(power supply rail)들의 전압에 가까운 전압으로 시프팅할 수 있는 전류 모드 레벨 시프팅 회로이다. 본 회로는 저전압 전력 공급들로 동작하기에 적합한 공통 모드 출력 전압을 공급한다. 본 발명에 따르면, 정전류는 정전류원을 경유하여 CML 장치의 각각의 출력에 제각기 공급된다. 각각의 출력에서의 정전류가 출력으로 흐르는 양(positive)의 전류이면, 공통 모드 출력 전압을 상승할 것이다. 또한, 각각의 출력에서의 정전류가 출력으로부터 흐르는 음의 전류이면, 공통 모드 출력 전압은 하강할 것이다. 바람직하게, 출력들에서 제공된 정전류들은

대략 동일하다. 정전류원은 공통 모드 전압을 상승시키는데 적합한 전류를 공급하는데 충분한 조건으로 바이어스된 PMOS 트랜지스터로서 실현된다.

[0032] 따라서, 본 발명은 전류 모드 시프팅 회로로서 넓게 기술되는 것으로서, 공통-모드 전압을 갖는 2개의 출력 포트들과 2개의 입력 포트들을 포함하는 전류-모드 논리 회로와, 상기 전류-모드 논리 회로의 2개의 출력 포트들 중의 하나와 제 1 공급 전압 사이에서 각각 접속된 2개의 정전류원들을 포함한다. 상기 정전류원들은 상기 출력 포트들에서 공통-모드 전압을 시프팅하는 전류를 생성한다. 한 실시예에 있어서, 상기 제 1 공급 전압은 상기 출력 포트들의 공통 모드 전압보다 커서, 상기 정전류원들은 상기 출력 포트들에 전류를 주입하고 그에 따라 상기 출력 포트들에서 공통 모드 전압을 상승시킨다. 또한, 상기 제 1 공급 전압은 상기 출력 포트들에서 공통 모드 전압보다 더 작아서, 상기 정전류원들은 상기 출력 포트들로부터 전류를 싱크(sink)하고 그에 따라 상기 출력 포트들에서 공통 모드 전압을 하강시킨다. 전류 모드 시프팅 회로는 전류 모드 논리 회로의 2개의 출력 포트들에 각각 접속되고 부하 종단(load termination)에 대한 접속을 할 수 있는 2개의 DC 블록 커패시터들을 더 포함한다.

[0033] 다른 실시예에 있어서, 상기 전류 모드 논리 회로는 제 2 공급 전압에 접속된다. 양호하게는, (정전류원들에 접속된) 상기 제 1 공급 전압은 (전류 모드 논리 회로에 접속된) 제 2 공급 전압과 동일하거나 더 크다. 상기 정전류원들은 상기 출력 포트들에 충분한 전류를 주입하여, 상기 전류 모드 논리 회로의 각각의 출력에서의 피크 전압이 상기 제 2 공급 전압보다 더 큰 충분히 높은 값까지 공통 모드 전압을 상승시킨다. 상기 전류 모드 시프팅 회로는 전류원들과 전류 모드 논리 회로의 출력 포트들 사이에 접속된 부하 저항기를 더 포함한다. 본 실시예에 있어서, 상기 전류 모드 시프팅 회로는 상기 전류원들과 직렬로 접속된 2개의 저항기들을 더 포함한다. 이러한 저항기들은 전류 제한 저항기로서 작동하고 출력 요동으로부터 전류를 버퍼링한다.

[0034] 본 발명은 2 이상의 출력 포트들을 갖고 제 1 공급 전압에 접속된 전류 모드 논리 회로의 출력 신호를 조절하는 방법을 제공한다. 상기 방법은 상기 전류 모드 논리 회로의 각각의 출력 포트에 정전류를 공급하는 단계를 포함하고, 상기 전류 모드 논리 회로의 출력 포트들에서의 공통 모드 전압은 레벨 시프팅(level-shift)된다. 상기 정전류는 출력 포트 각각으로부터 흐르는 음의 전류이고, 그에 따라 공통 모드 전압을 낮추고, 또는 출력 포트 각각으로 흐르는 양의 전류이고, 그에 따라 공통 모드 전압을 상승시킨다. 이러한 실시예에 있어서, 양호하게는 출력 포트에 주입된 정전류는 출력 포트 각각에서의 피크 전압이 제 1 공급 전압보다 더 큰 충분히 높은 값까지 공통 모드 전압을 상승시킨다. 상기 방법은 양호하게는, 직렬 저항기를 통해 출력 포트 각각에서 정전류를 통과시키는 단계를 더 포함한다.

[0035] 본 발명의 다양한 실시예들은 이제 첨부된 도면들과 관련하여 보다 상세하게 기술될 것이다.

[0036] 본 발명에 따른 전류-모드 논리 회로가 도 5에 도시된다. 상술한 CML 버퍼(100)와 유사하게, 전류-모드 시프팅 회로(500)는 2개의 국부(온-칩) 50-옴 저항기(R1, R2), 2개의 입력 트랜지스터(Q1, Q2), 및 "테일 전류(tail current)" 트랜지스터(Q3)를 포함한다. 저항기(R1, R2)는 공급 전압(V_{DD})과 트랜지스터(Q1, Q2)의 전류 공급(current-supply)(또는 드레인) 단자 사이에 각각 접속된다. 트랜지스터(Q1, Q2)의 전류 싱크(current-sink)(또는 소스) 단자는 트랜지스터(Q3)의 전류 공급 단자에 대한 노드(A)에서 함께 접속된다. 트랜지스터(Q3)의 전류 싱크 단자는 접지에 접속된다. 본 발명의 일 실시예에 따르면, 전류-모드 시프팅 회로(500)는 전류-모드 시프팅 회로(500)의 2개의 출력(OUT_B, OUT)에 각각 접속된 2개의 정전류원(CS1, CS2)을 더 포함한다.

[0037] 상술한 CML 버퍼(100)와 유사하게, 전류-모드 시프팅 회로(500)는 트랜지스터(Q1, Q2)들의 제어 단자(게이트)에 각각 입력된 2개의 단일 단자 신호(DATA, DATA_B)로부터 형성된 상이한 입력 신호를 수신하는 것으로서, 상기 입력 신호(DATA, DATA_B)는 반대 극성을 갖는다. 전류-모드 시프팅 회로(500)는 단일한 상이한 신호를 유사하게 생성하는 2개의 출력(OUT_B, OUT)을 더 구비한다. CML 버퍼의 출력(OUT_B, OUT)은 DC 블로킹 용량(C1, C2)을 통해 상이한 출력 신호를 수신하는 칩의 부하 임피던스를 표시하는 오프-칩 저항기(R3, R4)에 접속된다.

[0038] 전류-모드 시프팅 회로(500)는 이하와 같이 동작한다. CML 버퍼(100)와 유사하게, 전류-모드 시프팅 회로(500)의 트랜지스터(Q3)는 트랜지스터(Q1, Q2)가 그들의 포화 영역에서 동작하게 하는 스위칭 되지 않은 정바이어스(constant bias) 전류(I_B)를 공급한다. 입력 신호(DATA, DATA_B)에 의해, CML 버퍼(100)와 관련하여 상술한 바와 같이, 전류(I_B)는 저항기(R1) 및 트랜지스터(Q1)에 의해 형성된 좌측 분기에, 또는 저항기(R2) 및 트랜지스터(Q2)에 의해 형성된 우측 분기에 조향된다. 따라서, 예를 들면, 입력 신호(DATA)가 논리 값이 "0" 또는 "하이"이고, 입력 신호(DATA_B)가 논리 값이 "0" 또는 "로우"이면, 트랜지스터(Q1)를 통과하는 전류는 증가하고 트랜지스터(Q2)를 통과하는 전류는 감소할 것이다(트랜지스터(Q1, 또는 Q2)를 컷-오프 하거나 액티브 상태로 만

들 정도는 아님). 따라서, 보다 많은 전류가 저항기(R1)를 통해 흐르기 때문에, 저항기(R1)를 가로지르는 전압 강하가 나타날 것이고, 출력(OUT_B)은 "로우" 값을 지닐 것이다. 동시에, 보다 적은 전류가 저항기(R2)를 통해 흐르기 때문에, 저항기(R2) 양단의 전압 강하는 감소할 것이고, 출력(OUT)은 "하이" 값을 지닐 것이다. 또한, 입력 신호(DATA)가 논리 값 "0" 신호이면, 전류는 우측 분기를 통해 조향되고, 출력(OUT_B)은 "하이" 값을 지닐 것이고, 출력(OUT)은 "로우" 값을 지닐 것이다.

[0039] 본 발명에 따르면, 정전류원들(CS1, CS2)은 정(constant) DC 전류(I_{C1} , I_{C2})를 출력(OUT_B, OUT) 각각에 동시에 공급한다. 이러한 DC 전류(I_{C1} , I_{C2})는 저항기(R1, R2)를 통하는 전류가 상응하게(즉, I_{C1} 또는 I_{C2} 양만큼) 감소 되도록 트랜지스터(Q3)에 의해 요구된 일부 전류를 소싱(source)하는 효과를 갖는다. 보다 상세하게는, 정전류원(CS1, CS2)을 부가함에 의해, 저항기(R1, R2)를 통과하는 공통-모드 전류는 $I_B/2 - I_{C1}$ 및 $I_B/2 - I_{C2}$ 값을 각각 취한다. 그 결과, 저항기(R1, R2)를 가로지르는 전압 강하는 그들을 통하는 전류의 함수이기 때문에, 그리고, 출력(OUT, OUT_B)에서의 공통-모드 전압은 상기와 같은 전압 강하에 의해 그 자체가 결정되기 때문에, 출력(OUT_B, OUT)에서의 공통-모드 전압은 I_{C1} 및 I_{C2} 의 함수로서 비례하여 증가하는 경향이 있다. 실제로, (유도성(inductive)과 용량성(capacitive) 양쪽 모두의) 전자기 커플링의 효과에 기인하여, 출력(OUT_B, OUT)에서의 출력 신호는 공급 전압(V_{DD0}) 이상으로 스윙하게 될 수도 있다. 양호하게도, 정(constant) DC 전류(I_{C1} , I_{C2})는 교류라기보다는 직류이기 때문에, 그들은 DC 블록킹 커패시터(C1, C2)를 통과하지 못하고 그에 따라 AC 출력 신호의 피크 대 피크 진폭에 영향을 끼치지 못한다.

[0040] 본 발명의 이러한 실시예의 여러 전압들이 도 6에 도시되어 있다. 공통-모드 전압(V_{CM})(도 6의 630)은 정전류(I_{C1} , I_{C2})의 값에 따라 조정 가능하다. 각각의 출력 신호(즉, 출력(OUT, OUT_B)에서의 출력 신호)의 전압 스윙은 공급 전압(V_{DD0})(도 6의 620)보다 더 큰 최대 출력 전압(V_{OH})(도 6의 610)으로부터, 최소 출력 전압(V_{OL})(도 6의 640)까지이고, 그 모두는 접지(650)와 관련된다. AC 출력 신호(도 6의 660)의 피크 대 피크 진폭(V_{pk})은 상술한 종래의 CML 회로와 동일하게 유지되지만, 공통-모드 전압과 함께 시프트 업(shift up)된다.

[0041] 전류-모드 시프팅 회로(500)에 존재할 수 있는 여러 전압에도 불구하고, 정전류원 각각이 정전류를 유지한다면, 정전류원(CS1, CS2)은 어떠한 특정 구성 내에서 실시될 필요가 없다. 예시로서, 도 7에 있어서, 정전류원(CS1)은 PMOS 트랜지스터(Q4)를 갖는 전류 미러 구성의 PMOS 트랜지스터(Q5)로서 실시되는 것으로서, 트랜지스터(Q4, Q5)의 전류 공급(드레인) 단자들은 공급 전압(V_{DD0})에 접속되고, 트랜지스터(Q4, Q5)의 제어 단자(게이트)들은 서로에 대해, 그리고 트랜지스터(Q4)의 전류 싱크 단자(소스)에 접속되고, 기준 전류원(I_{ref})을 통해 접지까지 접속된다. 따라서, 전류(I_{C1})는 트랜지스터(Q5)의 제어 단자의 바이어스 레벨에 의해 미리 정해지고 본질적으로 설정된다. 정전류원(CS2)은 유사하게 실현될 수 있다. 공통-모드 전압이 가능한 가장 크게 증가하도록, 전류(I_{C1} , I_{C2})가 가능한 크지만, 트랜지스터(Q5, Q6)가 포화 모드에서 동작을 못할 정도로 크지 않으면 바람직하다.

[0042] 도 8은 정전류원(CS1, CS2) 각각이 추가의 전압 공급기(V_{AA})에 접속된 본 발명의 변형 실시예를 도시한다. 이 구성에 있어서, 전압 공급(V_{AA})이 전압 공급(V_{DD0})보다 더 큰 전압을 갖는다면(예를 들면, $V_{AA} = 2.5V$ 이면), 출력(OUT, OUT_B)에서의 공통-모드 전압은 전압 공급기의 전압(V_{DD0})에 도달하는 전압까지 상승할 수 있다. 증가된 공통-모드 전압은 회로에서 추가의 전압 헤드룸(headroom)을 제공하여, 트랜지스터(Q1, Q2, Q3)는 보다 용이하게 포화 모드로 유지될 수 있다. 또한, 공급 전압(V_{AA})에 의해 공급된 추가의 헤드룸에 의해, 트랜지스터(Q5, Q6)는 트랜지스터(Q5, Q6)가 포화 상태에서 동작 못하게 하지 않고도, 트랜지스터(Q1, Q2, Q3)에 관하여 매우 작을 수 있다. 바람직하게, 추가의 공급 전압(V_{AA})의 이용은, 총 DC 테일 전류(I_B)가 동일하게 유지되기 때문에, 전류-모드 시프팅 회로(500)에 의한 전력 소비에 대한 영향이 거의 없다.

[0043] 양호하게, 2개의 추가 저항기(R5, R6)가, 정전류원(CS1, CS2)의 트랜지스터(Q5, Q6)에 의해 생성된 기생 용량으로부터 출력(OUT, OUT_B)을 격리시키기 위해, 정전류원(CS1, CS2)과 직렬로 부가된다. 이러한 저항기가 없으면, 트랜지스터(Q5, Q6)의 기생 용량은 전류-모드 시프팅 회로(500)의 스위칭 속도를 떨어뜨리고 저항기(R3, R4)기에 의해 나타난 부하 종단과의 임피던스 부정합을 생성하는 경향이 있다. 추가의 저항기(R5, R6)는 전체적인 스위칭 속도 스펙(specification) 또는 회로의 출력 임피던스 요구 사항을 만족시키기 위해 충분한 어떠한 값이어도 무방하다.

[0044] 도 9는 정전류원(CS1, CS2)이 출력(OUT_B, OUT)들 각각과, 출력(OUT_B, OUT)에서의 공통-모드 전압보다 더 낮은 공급 전압 사이에서, 접속되는 본 발명의 변형 실시예를 도시한다. 예를 들면, 도 9에 도시된 바와 같이, 정전류원(CS1, CS2)은 접지에 접속될 수 있다. 이러한 실시예에 있어서, 정전류원(CS1, CS2)은 출력(OUT_B, OUT) 각각에서의 공통-모드 전압보다 더 낮거나 풀 다운하는 정전류 싱크로서 작동한다.

[0045] 본 발명은 설명된 바와 같이 CMOS 프로세스 기술보다는 바이폴러 또는 BiCMOS 기술에 의해 사용될 수 있다. 트랜지스터들은 위에서 설명된 바와 같은 반대 타입(예를 들면, N형 대신에 P형 트랜지스터)일 수 있다. 또한, AC 출력 종단은 VDD, VSS 또는 접지에 대해 이루어질 수 있다. 본 발명은 AC 결합된 회로들에 추가하여 DC 결합된 CML 회로에 적용될 수 있다.

[0046] 개선된 통신 모드 전압을 갖는 고속 통신 신호를 생성할 수 있는 전류-모드 시프팅 회로가 개시되었다. 그러나, 본 발명의 상기 설명은 단지 예시적인 것으로서, 여러 변형예가 첨부된 청구범위에서 설정된 본 발명의 본질 및 범위를 벗어남이 없이 본 분야의 당업자에게는 명확하다는 것을 이해할 수 있을 것이다.

발명의 효과

[0047] 본 발명의 전류 모드 레벨 시프팅 회로로 인해, CML 장치의 공통 모드 출력 전압을 임의의 전압으로, 양호하게는 전력 공급 레일의 전압에 가까운 전압으로 시프팅할 수 있다.

도면의 간단한 설명

[0001] 도 1은 DC-결합된 출력 종단(output termination)들을 갖는 종래의 CML 회로의 회로도.

[0002] 도 2는 도 1에 도시된 회로의 여러 전압들을 도시하는 그래프.

[0003] 도 3은 AC-결합된 출력 종단들을 갖는 종래의 CML 회로의 회로도.

[0004] 도 4는 도 3에 도시된 회로의 여러 전압들을 도시하는 그래프.

[0005] 도 5는 본 발명에 따른 전류 모드 시프팅 회로의 회로도.

[0006] 도 6은 도 5에 도시된 회로의 여러 전압들을 도시하는 그래프.

[0007] 도 7은 도 5에 도시된 전류 모드 시프팅 회로의 양호한 실시예의 회로도.

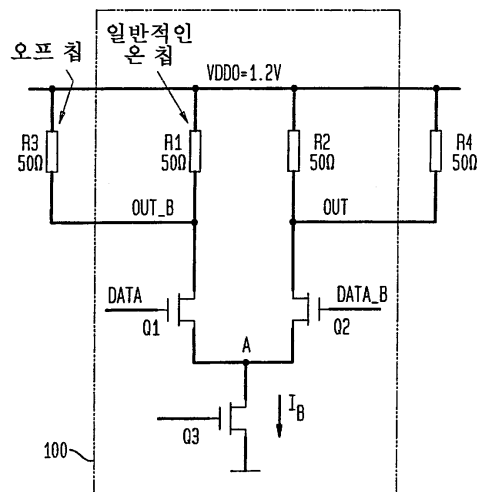
[0008] 도 8은 본 발명에 따른 전류 모드 시프팅 회로의 다른 실시예의 회로도.

[0009] 도 9는 본 발명에 따른 전류 모드 시프팅 회로의 또 다른 실시예의 회로도.

도면

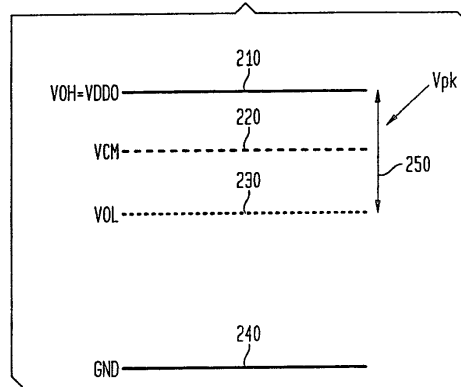
도면1

종래기술



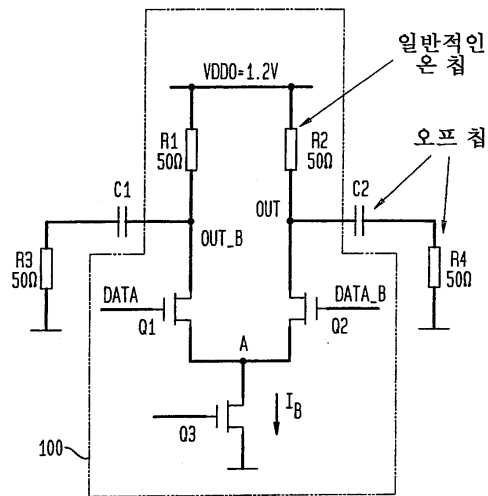
도면2

종래기술



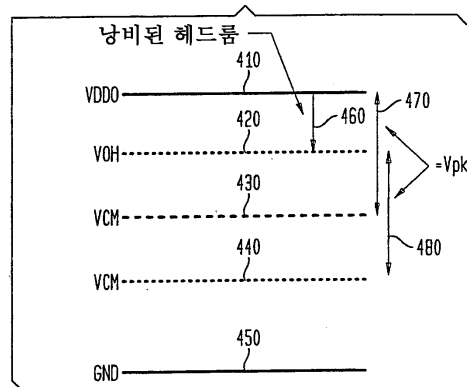
도면3

종래기술

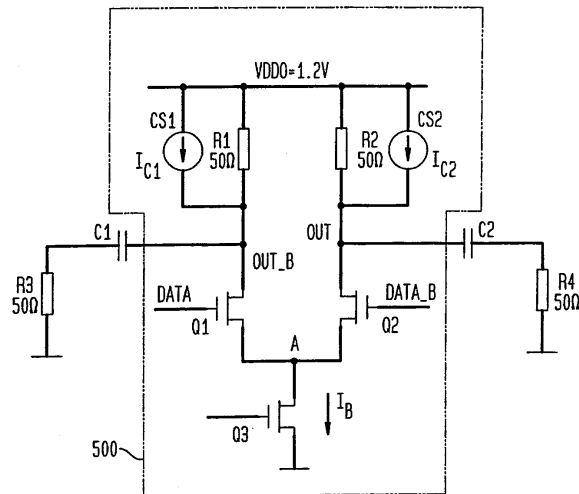


도면4

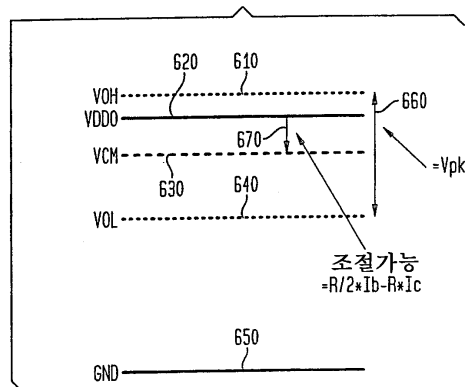
종래기술



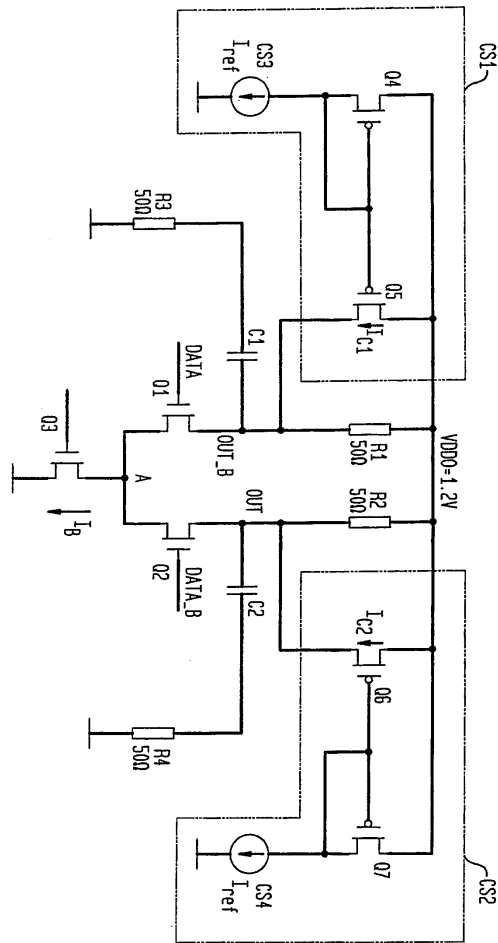
도면5



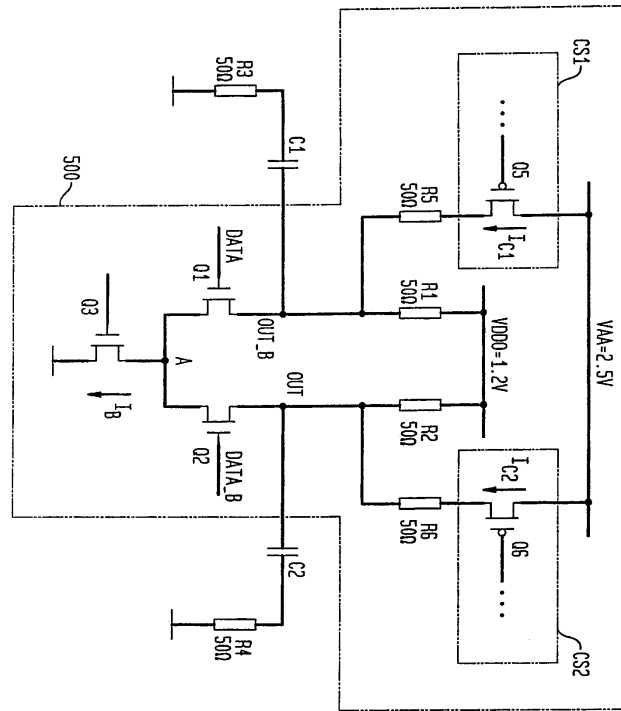
도면6



도면7



도면8



도면9

