

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 11 月 26 日 (2020.11.26)

【公開番号】特開 2019-106529 (P2019-106529A)

【公開日】令和 1 年 6 月 27 日 (2019.6.27)

【年通号数】公開・登録公報 2019-025

【出願番号】特願 2018-173307 (P2018-173307)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

【 F I 】

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 2 S

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 7 D

H 0 1 L 29/78 6 5 2 K

H 0 1 L 27/06 1 0 2 A

H 0 1 L 29/78 6 5 5 B

【手続補正書】

【提出日】令和 2 年 10 月 14 日 (2020.10.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に設けられた第 1 導電型のドリフト領域と、

前記半導体基板の上面から前記半導体基板の内部まで設けられ、前記半導体基板の上面において予め定められた延伸方向に延伸して設けられたゲートトレンチ部と、

前記延伸方向と直交する配列方向に、前記ゲートトレンチ部と接して設けられたメサ部と、

前記メサ部において前記ドリフト領域の上方に設けられ、且つ、前記ゲートトレンチ部に接して設けられた、前記ドリフト領域よりもドーピング濃度の高い、一つ以上の第 1 導電型の蓄積領域と、

前記メサ部において前記蓄積領域の上方に設けられ、且つ、前記ゲートトレンチ部に接して設けられた第 2 導電型のベース領域と、

前記メサ部において前記蓄積領域の下方に設けられ、前記ゲートトレンチ部に接して設けられ、且つ、前記配列方向において前記メサ部の少なくとも一部分に設けられた第 2 導電型のフローティング領域と、

を備える半導体装置。

【請求項 2】

前記フローティング領域は、前記半導体基板の深さ方向において、前記蓄積領域と離間して設けられる、請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体基板の深さ方向における前記フローティング領域の少なくとも一部は、前記ゲートトレンチ部の底部と接して設けられている、請求項 2 に記載の半導体装置。

【請求項 4】

前記蓄積領域を、前記半導体基板の深さ方向に複数備える、請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

複数の前記蓄積領域のうち、最も下方に設けられた前記蓄積領域のドーピング濃度が、最も上方に設けられた前記蓄積領域のドーピング濃度よりも低い、請求項 4 に記載の半導体装置。

【請求項 6】

前記ベース領域と前記フローティング領域との前記半導体基板の深さ方向の距離が、前記ベース領域の前記半導体基板の深さ方向の幅よりも大きい、請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記フローティング領域の前記配列方向の幅が、前記メサ部の配列方向の幅の 0.1 倍以上 0.5 倍以下である、請求項 1 から 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記メサ部において、前記配列方向に前記フローティング領域と隣接する領域には、前記ドリフト領域が設けられており、

前記フローティング領域の前記配列方向の幅が、前記フローティング領域が設けられた深さにおける前記ドリフト領域の前記配列方向の幅よりも小さい、請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記フローティング領域のドーピング濃度は、前記蓄積領域のドーピング濃度よりも高い、請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記フローティング領域のドーピング濃度は、 $1 \times 10^{19} / \text{cm}^3$  以上である、請求項 9 に記載の半導体装置。

【請求項 11】

前記半導体基板の上面から前記半導体基板の内部まで設けられ、前記半導体基板の上面において前記延伸方向に延伸し、前記ゲートトレンチ部と前記メサ部を挟むように設けられたダミートレンチ部と、

前記メサ部において前記蓄積領域の下方に設けられ、前記ダミートレンチ部に接して設けられ、且つ、前記配列方向において前記メサ部の一部分に設けられた第 2 導電型のフローティング領域と、

をさらに備え、

前記ゲートトレンチ部に接する前記フローティング領域と、前記ダミートレンチ部に接する前記フローティング領域とは、前記配列方向において離間して配置されている、

請求項 1 から 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記半導体基板には、前記ゲートトレンチ部を含むトランジスタ部と、ダイオード部とが設けられており、

前記ダイオード部は、

前記ドリフト領域と、

前記半導体基板の上面から前記半導体基板の内部まで設けられ、前記延伸方向に延伸

して設けられたダミートレンチ部と、  
前記配列方向に、前記ダミートレンチ部と接して設けられたメサ部と、  
前記メサ部において前記ドリフト領域の上方に設けられ、且つ、前記ダミートレンチ部に接して設けられた前記ベース領域と、  
を備え、

前記ダイオード部に設けられた前記ダミートレンチ部には、前記フローティング領域が設けられていない、

請求項 1 から 1 1 のいずれか一項に記載の半導体装置。

【請求項 1 3】

前記半導体基板には、前記ゲートトレンチ部を含むトランジスタ部と、前記トランジスタ部に含まれる境界部とが設けられており、

前記境界部は、

前記ドリフト領域と、

前記半導体基板の上面から前記半導体基板の内部まで設けられ、前記延伸方向に延伸して設けられたダミートレンチ部と、

前記配列方向に、前記ダミートレンチ部と接して設けられたメサ部と、

前記メサ部において前記ドリフト領域の上方に設けられ、且つ、前記ダミートレンチ部に接して設けられた前記ベース領域と、

を備え、

前記境界部に設けられた前記ダミートレンチ部には、前記フローティング領域が設けられていない、

請求項 1 から 1 1 のいずれか一項に記載の半導体装置。

【請求項 1 4】

複数の前記フローティング領域が、前記ゲートトレンチ部の前記延伸方向において、離散的に配置されている

請求項 1 から 1 3 のいずれか一項に記載の半導体装置。

【請求項 1 5】

前記ゲートトレンチ部と接する前記メサ部の上面には、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型のエミッタ領域と、第 2 導電型のコンタクト領域とが、前記延伸方向において交互に配置されており、

それぞれの前記フローティング領域は、前記延伸方向において、前記エミッタ領域よりも広い範囲に渡って設けられている

請求項 1 4 に記載の半導体装置。

【請求項 1 6】

半導体基板と、

前記半導体基板に設けられた第 1 導電型のドリフト領域と、

前記半導体基板の上面から前記半導体基板の内部まで設けられ、前記半導体基板の上面において予め定められた延伸方向に延伸して設けられたゲートトレンチ部と、

前記延伸方向と直交する配列方向に、前記ゲートトレンチ部と接して設けられたメサ部と、

前記メサ部において前記ドリフト領域の上方に設けられ、且つ、前記ゲートトレンチ部に接して設けられた第 2 導電型のベース領域と、

前記メサ部において前記ベース領域の下方に設けられ、前記ゲートトレンチ部に接して設けられ、且つ、前記配列方向において前記メサ部の少なくとも一部分に設けられた第 2 導電型のフローティング領域と、

を備え、

前記ベース領域と前記フローティング領域との前記半導体基板の深さ方向の距離が、前記ベース領域の前記半導体基板の深さ方向の幅よりも大きい、

半導体装置。