

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6126603号  
(P6126603)

(45) 発行日 平成29年5月10日(2017.5.10)

(24) 登録日 平成29年4月14日(2017.4.14)

(51) Int.Cl.

H04L 25/02 (2006.01)  
H03M 9/00 (2006.01)

F 1

H04L 25/02 V  
H04L 25/02 303A  
H04L 25/02 J  
H03M 9/00 100

請求項の数 24 (全 15 頁)

(21) 出願番号 特願2014-525318 (P2014-525318)  
 (86) (22) 出願日 平成24年8月16日 (2012.8.16)  
 (65) 公表番号 特表2014-529932 (P2014-529932A)  
 (43) 公表日 平成26年11月13日 (2014.11.13)  
 (86) 国際出願番号 PCT/DE2012/200054  
 (87) 国際公開番号 WO2013/023656  
 (87) 国際公開日 平成25年2月21日 (2013.2.21)  
 審査請求日 平成27年8月17日 (2015.8.17)  
 (31) 優先権主張番号 102011052764.8  
 (32) 優先日 平成23年8月16日 (2011.8.16)  
 (33) 優先権主張国 ドイツ (DE)

(73) 特許権者 509348867  
 シリコン・ライン・ゲー・エム・ペー・ハ  
 一  
 ドイツ連邦共和国 80687 ミュンヘ  
 ン ランツベルガー・シュトラーセ 31  
 4 / テア・ドリッテン エルゲーベー  
 LANDSBERGER STR. 31  
 4 / 111 RGB., 80687  
 MUENCHEM, BUNDESRE  
 PUBLIK DEUTSCHLAND  
 (74) 代理人 110001818  
 特許業務法人 R&C

最終頁に続く

(54) 【発明の名称】回路装置および信号を送信するための方法

## (57) 【特許請求の範囲】

## 【請求項 1】

少なくとも1つのデータライン (CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-) で輸送可能なデータ信号であって、前記データライン (CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-) の各々に、シングルエンド論理レベルベースのデータ信号 (HSD0, HSD1, HSD2, HSD3) と、差動データ信号 (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) との両方が存在するデータ信号と、

少なくとも1つのクロックライン (CLK+, CLK-) で輸送可能なクロック信号であって、前記クロックライン (CLK+, CLK-) の各々に、シングルエンド論理レベルベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、

をそれに印加することができる少なくとも1つの送信装置 (S) を備え、および

少なくとも1つのデータライン (CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-) で輸送可能なデータ信号であって、データライン (CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-) の各々に、シングルエンド論理レベルベースのデータ信号 (HSD0, HSD1, HSD2, HSD3) と、差動データ信号 (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) との両方が存在するデータ信号と、

少なくとも1つのクロックライン (CLK+, CLK-) で輸送可能なクロック信号であって、クロックライン (CLK+, CLK-) の各々に、シングルエンド論理レベルベ

10

20

ースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、  
を出力する少なくとも1つの受信装置( E )を備える回路装置( S , E )であって、

前記送信装置( S )は、前記シングルエンド論理レベルベースのデータおよびクロック  
信号と、前記差動データ信号および差動クロック信号をシリアル化して共通信号ストリー  
ム( S I )を形成し、

前記受信装置( E )は、この共通信号ストリーム( S I )を、前記シングルエンド論理  
レベルベースのデータおよびクロック信号と、前記差動データ信号および差動クロック信  
号とに非直列化し、

前記送信装置( S )は、データソースの下流に配置され、

前記受信装置( E )は、少なくとも1つのデータシンクの下流に配置され、

10

前記データ信号と前記クロック信号とを、プロトコルに基づいて、前記データソースと  
前記データシンクとの間で伝送することができることを特徴とする回路装置。

### 【請求項2】

少なくとも1つのデータライン( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 +  
, C H 2 - , C H 3 + , C H 3 - )で輸送可能なデータ信号であって、前記データライン  
( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - )の各々に、シングルエンド論理レベルベースのデータ信号( H S D 0 , H S D 1 , H S  
D 2 , H S D 3 )と、差動データ信号( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D  
2 + , D D 2 - , D D 3 + , D D 3 - )との両方が存在するデータ信号と、

少なくとも1つのクロックライン( C L K + , C L K - )で輸送可能なクロック信号で  
あって、前記クロックライン( C L K + , C L K - )の各々に、シングルエンド論理レベ  
ルベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、  
をそれに印加することができる少なくとも1つの送信装置( S )を備え、および

少なくとも1つのデータライン( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 +  
, C H 2 - , C H 3 + , C H 3 - )で輸送可能なデータ信号であって、データライン( C  
H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - )の各々に、シングルエンド論理レベルベースのデータ信号( H S D 0 , H S D 1 , H S D 2  
, H S D 3 )と、差動データ信号( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 +  
, D D 2 - , D D 3 + , D D 3 - )との両方が存在するデータ信号と、

少なくとも1つのクロックライン( C L K + , C L K - )で輸送可能なクロック信号で  
あって、クロックライン( C L K + , C L K - )の各々に、シングルエンド論理レベル  
ベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、  
を出力する少なくとも1つの受信装置( E )を備える回路装置( S , E )であって、

前記送信装置( S )は、前記シングルエンド論理レベルベースのデータおよびクロック  
信号と、前記差動データ信号および差動クロック信号をシリアル化して共通信号ストリー  
ム( S I )を形成し、

前記受信装置( E )は、この共通信号ストリーム( S I )を、前記シングルエンド論理  
レベルベースのデータおよびクロック信号と、前記差動データ信号および差動クロック信  
号とに非直列化し、

出していくデータ信号のための、少なくとも1つの C S I および / または C S I - 2 お  
よび / または C S I - 3 および / または D S I および / または D S I - 2 インタフェース( I  
S )を備えるデータソース、および / または

入ってくるデータ信号のための、少なくとも1つの C S I および / または C S I - 2 お  
よび / または C S I - 3 および / または D S I および / または D S I - 2 インタフェース  
( I E )を備えるデータシンク、を備える  
を特徴とする回路装置。

### 【請求項3】

前記送信装置( S )は、前記データソースの下流に配置され、

前記受信装置( E )は、少なくとも1つの前記データシンクの下流に配置され、

前記データ信号と前記クロック信号とを、プロトコルに基づいて、前記データソースと

50

前記データシンクとの間で伝送することができることを特徴とする請求項 2 に記載の回路装置。

【請求項 4】

前記差動データ信号はコモンモードベースである請求項 1 ~ 3 の いずれか一項に記載の回路装置。

【請求項 5】

前記差動クロック信号はコモンモードベースである請求項 1 ~ 4 の いずれか一項に記載の回路装置。

【請求項 6】

前記送信装置 (S) は、

10

前記データ信号およびクロック信号のための少なくとも 1 つの入力部 (E S) と、

前記入力部 (E S) の下流の、前記データ信号およびクロック信号を受け取るための少なくとも 1 つの送信インターフェースロジック (L S) と、

前記送信インターフェースロジック (L S) の下流の、前記共通信号ストリーム (S I) を生成するための少なくとも 1 つのシリアライザ (S E) と、

前記シリアライザ (S E) の上流で、前記送信インターフェースロジック (L S) の少なくとも 1 つのクロックモジュール (C S) の下流に設けられた、少なくとも 1 つの基準クロックを生成するために設けられた少なくとも 1 つのクロック発振器 (P S) と、

前記シリアライザ (S E) の下流の少なくとも 1 つの出力ドライバ (A T) と、

前記出力ドライバ (A T) の下流の、前記共通信号ストリーム (S I) を受信装置 (E) へ送信するための少なくとも 1 つの出力部 (A S) と、

を備えることを特徴とする請求項 1 ~ 5 の いずれか一項に記載の回路装置。

20

【請求項 7】

前記クロック発振器 (P S) は、少なくとも 1 つの位相ロックループとして構成されることを特徴とする請求項 6 に記載の回路装置。

【請求項 8】

前記クロック発振器 (P S) は、少なくとも 1 つのクロックマルチプライヤユニットとして構成されることを特徴とする請求項 7 に記載の回路装置。

【請求項 9】

前記シリアライザ (S E) は、

30

前記送信インターフェースロジック (L S) の下流の、前記共通信号ストリーム (S I) のための、前記受信装置 (E) で認識可能な少なくとも 1 つのフレームを生成するための少なくとも 1 つのフレーマ (F R) と、

前記フレーマ (F R) の下流の、前記共通信号ストリーム (S I) を生成するための少なくとも 1 つのマルチブレクサ (M U) と、

を備えることを特徴とする請求項 6 ~ 8 の いずれか一項に記載の回路装置。

【請求項 10】

前記シングルエンド論理レベルベースのデータ信号 (H S D 0, H S D 1, H S D 2, H S D 3) と前記差動データ信号 (D D 0 +, D D 0 -, D D 1 +, D D 1 -, D D 2 +, D D 2 -, D D 3 +, D D 3 -) との両方を、前記フレーマ (F R) に印加することができること、および、前記フレーマは、少なくとも 1 つの符号器 (K O) を用いて、前記差動データ信号 (D D 0 +, D D 0 -, D D 1 +, D D 1 -, D D 2 +, D D 2 -, D D 3 +, D D 3 -) を、前記シングルエンド論理レベルベースのデータ信号 (H S D 0, H S D 1, H S D 2, H S D 3) のストリームに埋め込むことを特徴とする請求項 9 に記載の回路装置。

40

【請求項 11】

前記少なくとも 1 つの符号器は、少なくとも 1 つの 5 b / 6 b 符号器ブロックである請求項 10 に記載の回路装置。

【請求項 12】

前記出力ドライバ (A T) は、前記出力部 (A S) の下流の少なくとも 1 つのレーザ (

50

L A )を、それを用いて駆動することができる少なくとも1つのレーザドライバとして構成されることを特徴とする請求項6～11のいずれか一項に記載の回路装置。

【請求項13】

前記受信装置( E )は、

前記送信装置( S )によって送信された前記共通信号ストリーム( S I )のための少なくとも1つの入力部( E E )と、

前記共通信号ストリーム( S I )を受け取るための少なくとも1つの入力増幅器( E V )と、

前記データ信号およびクロック信号を前記共通信号ストリーム( S I )から復元するための少なくとも1つのクロックおよびデータリカバリユニット( C D )と、

前記クロックおよびデータリカバリユニット( C D )の下流の、少なくとも1つの受信インタフェースロジック( L E )の少なくとも1つのクロックモジュール( C E )と、

前記クロックおよびデータリカバリユニット( C D )の下流の、前記データ信号を再並列化するための、および再並列化された前記データ信号を前記受信インタフェースロジック( L E )に割り当てるための少なくとも1つのデシリアライザ( D S )と、

前記受信インタフェースロジック( L E )の下流の、前記データ信号およびクロック信号のための少なくとも1つの出力部( A E )と、

を備えることを特徴とする請求項1～12のいずれか一項に記載の回路装置。

【請求項14】

前記デシリアライザ( D S )は、

前記クロックおよびデータリカバリユニット( C D )の下流の、前記データ信号を再並列化するための少なくとも1つのデマルチプレクサ( D M )と、

前記デマルチプレクサ( D M )の下流の、再並列化された前記データ信号を、前記受信インタフェースロジック( L E )に割り当てるための少なくとも1つのデフレーマ( D F )と、

を備えることを特徴とする請求項13に記載の回路装置。

【請求項15】

前記デフレーマ( D F )は、前記差動データ信号( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - )を、少なくとも1つの復号器( D K )を用いて、前記シングルエンド論理レベルベースのデータ信号( H S D 0 , H S D 1 , H S D 2 , H S D 3 )と分けて、再並列化された前記データ信号を、それぞれのデータライン( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - )に割り当てる特徴とする請求項14に記載の回路装置。

【請求項16】

前記少なくとも1つの復号器は、少なくとも1つの5b/6b復号器ブロックである請求項15に記載の回路装置。

【請求項17】

前記入力増幅器( E V )は、それに割り当てられた前記入力部( E E )の上流に、少なくとも1つのフォトダイオード( F D )を有する少なくとも1つのトランスインピーダンス増幅器として構成されることを特徴とする請求項13～16のいずれか一項に記載の回路装置。

【請求項18】

前記共通信号ストリーム( S I )は、前記送信装置( S )と前記受信装置( E )との間で、光学的に伝送することができる特徴とする請求項12および/または請求項17に記載の回路装置。

【請求項19】

少なくとも1つの送信装置( S )は、それに、

少なくとも1つのデータライン( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - )で輸送可能なデータ信号であって、前記データライン( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - )

10

20

30

40

50

) の各々に、シングルエンド論理レベルベースのデータ信号 ( H S D 0 , H S D 1 , H S D 2 , H S D 3 ) と、差動データ信号 ( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - ) との両方が存在するデータ信号と、

少なくとも 1 つのクロックライン ( C L K + , C L K - ) で輸送可能なクロック信号であって、クロックライン ( C L K + , C L K - ) の各々に、シングルエンド論理レベルベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、を適用し、および

少なくとも 1 つの受信装置 ( E ) は、

少なくとも 1 つのデータライン ( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - ) で輸送可能なデータ信号であって、前記データライン ( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - ) の各々に、シングルエンド論理レベルベースのデータ信号 ( H S D 0 , H S D 1 , H S D 2 , H S D 3 ) と、差動データ信号 ( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - ) との両方が存在するデータ信号と、

少なくとも 1 つのクロックライン ( C L K + , C L K - ) で輸送可能なクロック信号であって、前記クロックライン ( C L K + , C L K - ) の各々に、シングルエンド論理レベルベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、を出力する方法であって、

前記送信装置 ( S ) は、前記シングルエンド論理レベルベースのデータおよびクロック信号と、前記差動データ信号および差動クロック信号をシリアル化して共通信号ストリーム ( S I ) を形成し、

前記受信装置 ( E ) は、この共通信号ストリーム ( S I ) を、前記シングルエンド論理レベルベースのデータおよびクロック信号と、前記差動データ信号および差動クロック信号とに再び非直列化し、

前記送信装置 ( S ) は、データソースの下流に配置され、

前記受信装置 ( E ) は、少なくとも 1 つのデータシンクの下流に配置され、

前記データ信号と前記クロック信号とを、プロトコルに基づいて、前記データソースと前記データシンクとの間で伝送することを特徴とする方法。

#### 【請求項 20】

少なくとも 1 つの送信装置 ( S ) は、それに、

少なくとも 1 つのデータライン ( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - ) で輸送可能なデータ信号であって、前記データライン ( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - ) の各々に、シングルエンド論理レベルベースのデータ信号 ( H S D 0 , H S D 1 , H S D 2 , H S D 3 ) と、差動データ信号 ( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - ) との両方が存在するデータ信号と、

少なくとも 1 つのクロックライン ( C L K + , C L K - ) で輸送可能なクロック信号であって、クロックライン ( C L K + , C L K - ) の各々に、シングルエンド論理レベルベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、を適用し、および

少なくとも 1 つの受信装置 ( E ) は、

少なくとも 1 つのデータライン ( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - ) で輸送可能なデータ信号であって、前記データライン ( C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - ) の各々に、シングルエンド論理レベルベースのデータ信号 ( H S D 0 , H S D 1 , H S D 2 , H S D 3 ) と、差動データ信号 ( D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - ) との両方が存在するデータ信号と、

少なくとも 1 つのクロックライン ( C L K + , C L K - ) で輸送可能なクロック信号であって、前記クロックライン ( C L K + , C L K - ) の各々に、シングルエンド論理レベルベースのクロック信号と、差動クロック信号との両方が存在するクロック信号と、

を出力する方法であって、

前記送信装置（S）は、前記シングルエンド論理レベルベースのデータおよびクロック信号と、前記差動データ信号および差動クロック信号をシリアル化して共通信号ストリーム（S I）を形成し、

前記受信装置（E）は、この共通信号ストリーム（S I）を、前記シングルエンド論理レベルベースのデータおよびクロック信号と、前記差動データ信号および差動クロック信号とに再び非直列化し、

出ていくデータ信号のための、少なくとも1つのC S Iおよび／またはC S I - 2および／またはC S I - 3および／またはD S Iおよび／またはD S I - 2インターフェース（I S）を備えるデータソース、および／または

入ってくるデータ信号のための、少なくとも1つのC S Iおよび／またはC S I - 2および／またはC S I - 3および／またはD S Iおよび／またはD S I - 2インターフェース（I E）を備えるデータシンク、を備えること  
を特徴とする方法。

#### 【請求項 2 1】

前記送信装置（S）は、前記データソースの下流に配置され、

前記受信装置（E）は、少なくとも1つの前記データシンクの下流に配置され、

前記データ信号と前記クロック信号とを、プロトコルに基づいて、前記データソースと前記データシンクとの間で伝送することを特徴とする請求項20に記載の方法。

#### 【請求項 2 2】

前記差動データ信号はコモンモードベースである請求項19～21のいずれか一項に記載の方法。

#### 【請求項 2 3】

前記差動クロック信号はコモンモードベースである請求項19～22のいずれか一項に記載の方法。

#### 【請求項 2 4】

前記送信装置（S）と前記受信装置（E）との間の前記共通信号ストリーム（S I）は、光学的に伝送されることを特徴とする請求項19～23のいずれか一項に記載の方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0 0 0 1】

本発明は、請求項1のプリアンブルに記載の回路装置、ならびに請求項20のプリアンブルに記載の対応する方法に関する。

##### 【背景技術】

##### 【0 0 0 2】

ビット伝送層または物理層（p h y s i c a l l a y e r : P H Y）は、O S I（O p e n S y s t e m s I n t e r c o n n e c t i o n）参照モデルとも呼ばれるO S I階層モデルの最下位層であり、コンピュータネットワークにおける通信プロトコルの設計基準としても役に立つ、国際標準化機構（I n t e r n a t i o n a l S t a n d a r d s O r g a n i s a t i o n : I S O）の階層モデルを示す。

##### 【0 0 0 3】

物理層（P H Y）は、結合、順方向誤り訂正（F o r w a r d E r r o r C o r r e c t i o n : F E C）、電力制御、拡散（符号分割多元接続）（C o d e D i v i s i o n M u l t i p l e A c c e s s : C D M A）等に関与し、およびデータもアプリケーションも識別せず、0と1のみを識別する。P H Yは、その上のセキュリティ層（データリンク層）（D a t a L i n k L a y e r : D L L）が、特に、媒体アクセス制御（M e d i a A c c e s s C o n t r o l : M A C）層と呼ばれる部分層を利用可能な論理チャネル（U M T S（U n i v e r s a l M o b i l e T e l e c o m m u n i c a t i o n s S y s t e m）用のトランスポートチャネル）を形成する。

##### 【0 0 0 4】

10

20

30

40

50

原理的に、D-PHYは、モバイル装置内のコンポーネント間の通信リンクのためのフレキシブルで、低コストで、高速のシリアルインターフェースを実現できる。

【0005】

図3Aに示すように、最新の携帯電話において、データソース、例えば、アプリケーションプロセッサは、関連するデータシンク上、例えば、関連するディスプレイ上での表示のために、イメージデータをD-PHY信号として、MIPPI-DSI (Mobile Industry Processor Interface-Display Serial Interface) に供給する。また、アプリケーションプロセッサ等のデータシンクは、関連するデータソースから、例えば、関連するカメラから、MIPPI-CSI (Camera Serial Interface) を介して、D-PHYフォーマットでイメージデータを受信することができる。 10

【0006】

D-PHYプロトコルに基づくDSIまたはDSI-2またはCSIまたはCSI-2またはCSI-3は、4つ以下の差動データラインと、差動クロックラインとを備え、これらは、銅ケーブルを用いて、該アプリケーションプロセッサを該ディスプレイおよび/または該カメラに接続する。差動データライン当たりのデータ転送速度は、最高で1.5 Gbps (ギガビット/秒) である。

【0007】

1~4つの差動データ信号および差動クロックラインを介した、この従来のD-PHY-DSI信号またはD-PHY-CSI信号の送信および受信は、マスター側のモジュール (データソース、例えば、カメラおよび/またはアプリケーションプロセッサ) と、スレーブ側のモジュール (データシンク、例えば、アプリケーションプロセッサおよび/またはディスプレイユニット) との間の (データレーンCH0+, CH0-, およびCH1+, CH1-と呼ばれる) 2つのデータチャネルおよび (クロックレーンCLK+, CLK-と呼ばれる) クロックラインを手段として、図3BのD-PHYインターフェース構造に例として図示されている。 20

【0008】

この状況において、図3Aを見て分かるように、各関連するディスプレイのための、または、各関連するカメラのためのデータ伝送には、最高10の銅線 (例えば、2つのデータラインの4倍と、2つのクロックラインの1倍) を要する。 30

【0009】

ディスプレイやカメラの解像度が増すにつれて、該アプリケーションプロセッサから該ディスプレイ/カメラへのデータ転送速度も上がる。データ伝送中に生じる高周波電界は、隣接する高周波有用信号の敏感な受け手に、例えば、ブルートゥース (Bluetooth)、GPS (Global Position System)、UMTS (Universal Mobile Telecommunication System) またはWi-Fi レシーバ等に干渉し、そのため、それらの機能を大幅に損なう。

【0010】

上述したレシーバの干渉のない動作を確実にするには、総合的で、そのためコストのかかるスクリーニング手段が必要である。 40

【0011】

最新の携帯電話または類似の装置におけるディスプレイやカメラの数が増すにつれて、そのような装置におけるケーブルハーネスのサイズは、画像データの伝送用ラインだけでも最大60まで容易に増加する可能性がある。不都合なことに、ケーブルハーネスのサイズは、そのような装置のさらなる小型化を妨げている。

【発明の概要】

【発明が解決しようとする課題】

【0012】

上述した欠点および不十分な点を発端として、ならびに概略が説明された従来技術を考慮して、本発明の目的は、そのような回路装置およびそのような方法がそれにあてがわれ 50

る装置のさらなる小型化を可能にするような方法で、上述したタイプの回路装置および上述したタイプの方法をさらに発展させることである。

【課題を解決するための手段】

【0013】

この目的は、請求項1の特徴を有する回路装置と、請求項13の特徴を有する方法によって達成される。本発明の有利な実施形態および適切なさらなる発展は、それぞれの従属項において特徴付けられている。

【0014】

したがって、本発明によれば、一方で、それを用いて、論理レベルに基づく信号に対応するシングルエンド高速 (High Speed : HS) 10 データと、特に、コモンモードベースの信号に対応する差動低電力 (Low Power : LP) データと、が、共通信号ストリームを形成するようにシリアル化される送信装置が提案される。

【0015】

本発明に関してはさらに、それを用いて、この共通信号ストリームが、論理レベルに基づく信号に対応するシングルエンド HS データに、および特に、コモンモードベースの信号に対応する差動 LP データに、再び非シリアル化される、受信装置が提案される。

【0016】

このため、少なくとも1つの光媒体を介した、具体的には、少なくとも1つの光導波路を介した、例えば、少なくとも1つのガラス纖維および/または少なくとも1つのプラスチック纖維を介した、該送信装置と該受信装置との間での輸送のための差動信号を処理する、具体的には、送信側で一括化またはシリアル化して共通信号ストリームを形成し、その後、受信側で細分化または非シリアル化することができる。

【0017】

本発明の好適なさらなる展開において、および該送信装置側でのD-PHYプロトコルの特性を考慮して、少なくとも1つの、具体的には、最大4つの差動データラインと、少なくとも1つの、具体的には、DSI (Display Serial Interface) のちょうど1つの差動クロックラインは、DSIおよび/またはCSIの差動データラインと差動クロックラインをシリアル化することにより、DSI-2仕様でもシリアル化することができ、および/またはCSI (Camera Serial Interface) の場合は、CSI-2および/またはCSI-3仕様でもシリアル化することができる。

【0018】

本発明の好適なさらなる発展において、およびD-PHYプロトコルの特性を考慮して、上述した送信装置によって一括化された、またはシリアル化された共通信号ストリームは、特に、細分化することによって、それから少なくとも1つの、具体的には、最大4つの差動データラインと、少なくとも1つの、具体的には、DSI用のちょうど1つの差動クロックラインを、DSI-2仕様でも、および/またはCSIの場合は、CSI-2および/またはCSI-3仕様でも復元するために、該受信装置側で受信することができる。

【0019】

結果、本発明は、特に、D-PHY信号として構成された、例えば、MIPI-D-PHY信号として構成された、シングルエンド論理レベルベースのデータ信号およびクロック信号と、特に、コモンモードベースの、データ信号およびクロック信号とを、一緒に光学的に送信する可能性を呈している。

【0020】

光伝送により、ブルートゥース、GPS、UMTSまたはWi-Fiレシーバ等の隣接

10

20

30

40

50

する敏感なレシーバに干渉する可能性がある高周波の電磁場は生成されない。結果、それらの機能はどちらも損なわれない。

【0021】

そのため、有利には、総合的で、コストのかかるスクリーニング手段を伝送媒体に必ずしも適用する必要はない。伝送チャネルの数は、ディスプレイ当たりおよび／またはカメラ当たり1つの光導波路まで低減することができる。

【0022】

本発明は、典型的には、シングルエンド論理レベルベースのデータ信号およびクロック信号と、特に、コモンモードベースの差動データ信号およびクロック信号の両方の、具体的には、D-PHYデータ信号またはD-PHYクロック信号、例えば、1～4ビット幅のMIPID-PHYデータ信号およびMIPID-PHYクロック信号の、少なくとも1つのデータソース、具体的には、例えば、少なくとも高解像度カメラおよび／または画像ソースとして機能するカメラおよび／または少なくとも1つのアプリケーションプロセッサと、少なくとも1つのデータシンク、具体的には、少なくとも1つのアプリケーションプロセッサおよび／または少なくとも1つの高解像度ディスプレイユニットまたは例えば、画像シンクとして機能するディスプレイユニット、例えば、少なくとも1つのディスプレイまたは少なくとも1つのモニタとの間での同時の、少なくとも1つのシリアルおよび／または一括の、具体的には、CSIプロトコルベースのおよび／またはCSI-2プロトコルベースのおよび／またはCSI-3プロトコルベースのおよび／またはDSIプロトコルベースのおよび／またはDSI-2プロトコルベースの送信中に適用することができる。

10

【0023】

前述したように、本発明に関する教示を有利な方法で具体化し、およびさらに発展させるための様々な可能性がある。このため、一方において、請求項1～請求項13に従属する請求項について説明し、他方においては、本発明の追加的な実施形態、特徴および効果が、以下でより詳細に、とりわけ、図1A～図2Bによって図示されている例示的な実施形態によって説明されている。

20

【図面の簡単な説明】

【0024】

【図1A】本発明の方法に従って作動する第1の部分、すなわち、本発明に従って構成された回路装置の送信装置の実施形態の概念的略図である。

30

【図1B】図1Aにおける送信装置のフレーマの実施形態の詳細を示す、概念的略図である。

【図2A】本発明の方法に従って作動する、第2の部分、すなわち、本発明に従って構成された回路装置の送信装置の実施形態の概念的略図である。

40

【図2B】図2Aの受信装置のデフレーマの実施形態の詳細を示す、概念的略図である。

【図3A】従来技術による典型的な構成の概念的略図である。

【図3B】図3Aに示す装置がそれをベースにしている、2つのデータチャネルと1つのクロックラインとを備えるインターフェース構造の実施例の概念的略図である。

【発明を実施するための形態】

【0025】

図1A～図3Bにおいて、類似のまたは同様の実施形態、要素または機能には、同一の参照数字が付けられている。

【0026】

(発明を具体化するための最良の方法)

原理的には、

本発明による送信装置Sに関する図1Aに示す実施形態によって、および

本発明による受信装置Eに関する図2Aに示す実施形態によって、

ケーブルベースのリンクを実現する、および作動させるための、本発明による回路装置S、E(図1A～図2Aを参照)が得られ(本発明に関しては、互いに無関係に、送信装置

50

S と受信装置 E を実現すること、および作動させることが可能である）、そのリンクは、光学的に、具体的には、少なくとも 1 つの光学媒体に基づいて、例えば、光導波路 O M ( 図 1 A 、図 2 A の詳細図を参照 ) に基づいて、例えば、少なくとも 1 つのガラス纖維に基づいて、および / または少なくとも 1 つのプラスチック纖維に基づいて多重化され、およびシリアル化され、および / または

そのリンクは、電気的にまたはガルバニックに、具体的には、少なくとも 1 つの電気的またはガルバニックなリンク G A ( 図 3 を参照 ) に基づいて、例えば、少なくとも 1 つの銅ケーブルに基づいて、および / または例えば、少なくともプリント回路基板上に配列された少なくとも 1 つの電気的ラインに基づいて多重化されていない

ことが可能である。

10

【 0 0 2 7 】

図 1 A は、 D S I データ伝送インタフェース I S または C S I データ伝送インタフェース I S への接続のための送信装置 S の原理的構造の実施形態を示す。

【 0 0 2 8 】

アプリケーションプロセッサ A P 内で、または、カメラ K A 内で生成された画像データは、 D - P H Y 補正クロック信号 C L K + , C L K - とともに、最高で 4 ビット幅のデータ伝送インタフェース I S において、4 つ他のデータラインまたはデータチャネル C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - 上で D - P H Y 信号として利用可能になっている。

【 0 0 2 9 】

20

送信装置 S は、これらの信号を集積インターフェースロジック L S において受け取り、そのブロックは、それらの信号が、 D - P H Y 信号の正しい解釈のための、および高周波データストリーム ( いわゆる H S データ ) と低周波データストリーム ( いわゆる L S データ ) を区別するための少なくとも 1 つの状態機械を有することを証明できる。

【 0 0 3 0 】

送信装置 S における次のフレーマ F R ( 図 1 B の詳細図も参照 ) は、入力信号の直流 ( Direct Current : D C ) 平衡を確保し、および受信側 ( 図 2 A を参照 ) で認識可能なフレームを生成し、そのことは、受信装置 E ( 図 2 A を参照 ) が、補正出力データラインまたは出力チャネル C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - に、受信したデータを再割当てすることを可能にする。

30

【 0 0 3 1 】

詳細には、論理レベルベースのシングルエンドデータ信号 H S D 0 , H S D 1 , H S D 2 , H S D 3 と、差動データ信号 D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - の両方を、図 1 B によるフレーマ F R に印加することができる。 5 b / 6 b 符号化ブロックとして構成されたその符号器 K O を用いて、図 1 B による該フレーマは、それらの差動データ信号 D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - を、シングルエンド論理レベルベースのデータ信号 H S D 0 , H S D 1 , H S D 2 , H S D 3 から成るストリームに埋め込む。

【 0 0 3 2 】

フレーマ F R に隣接するマルチプレクサ M U 、具体的には、 H S M u x は、位相ロックループとして、具体的には、 C M U として構成されたクロック発振器 P S を用いて、高周波シリアルまたは一括送信信号を生成し、その信号は、出力ドライバ A T を用いて、送信装置 S の出力 A S において利用可能になっている。フレーマ F R とマルチプレクサ M U は、一緒にシリアルライザ S E を構成している。

40

【 0 0 3 3 】

クロック発振器 P S を用いて、クロックポート C L K + , C L K - を介して、およびインターフェースロジック L S のクロックモジュール C S を介して供給された D - P H Y クロック信号は、シリアルライザ S E のための、具体的には、そのマルチプレクサ M U のための ( クロック ) 基準として用いられ、および該シリアルデータストリームに、すなわち、シリアル化された出力信号に埋め込まれる。これにより、受信装置 E ( 図 2 A を参照 ) に伝

50

達される共通信号ストリーム S I が生成される。

【 0 0 3 4 】

さらに図 1 A を見て分かるように、出力ドライバ A T は、少なくとも 1 つの直接接続されたレーザ L A を駆動するための、具体的には、少なくとも 1 つの面発光レーザ ( Vertical Cavity Surface Emitting Laser diode : V C S E L ) を駆動するための一体型レーザドライバとして実装されている。

【 0 0 3 5 】

図 2 A は、 D S I データ伝送インターフェース I E または C S I データ伝送インターフェース I E への接続のための受信装置 E の原理的構造の実施形態を示す。

【 0 0 3 6 】

送信装置 S ( 図 1 A を参照 ) によって送出されたシリアルまたは一括データは、受信装置 E の入力増幅器 E V を介して受け取られて、集積クロックまたはデータリカバリ C D へ供給される。

【 0 0 3 7 】

この集積クロックまたはデータリカバリ C D は、共通信号ストリーム S I から元の D - P H Y クロックを再生し、その後、該クロックは、インターフェースロジック L E のクロックモジュール C E を介して、再び、 D S I または C S I が直接、利用できるようにされる。残りのシリアルデータストリームは、デマルチプレクサ D M によって細分化されて並列化されて、原理的には、図 1 B によるフレーマ F R の鏡像であるデフレーマ D F ( 図 2 B も参照 ) へ引き渡される。デマルチプレクサ D M とデフレーマ D F は、一緒にデシリアルライザ D S を構成する。

【 0 0 3 8 】

詳細には、図 2 B のデフレーマ F R は、 6 b / 5 b 復号器ブロックとして構成されたその復号器 D K を用いて、差動データは、 D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 - と、シングルエンド論理レベルベースのデータ信号 H S D 0 , H S D 1 , H S D 2 , H S D 3 を分けて、再並列化されたデータ信号を、それぞれの適用可能なデータライン C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 - に再割り当てすることができる。

【 0 0 3 9 】

受信装置 E 内に図示されているインターフェースロジックブロック L E は、それぞれ、 D - P H Y 論理信号の正しい解釈のための、および高周波データストリームと低周波データストリームを区別するための少なくとも 1 つの状態機械を備えていてもよい。

【 0 0 4 0 】

図 2 A の説明図を見ても分かるように、入力増幅器 E V は、集積トランスインピーダンス増幅器として実装され、該増幅器は、フォトダイオード F D を受信装置 E に直接接続することを可能にしている。

【 0 0 4 1 】

このようにして、本発明によれば、回路装置 A ( 図 1 A 、図 2 A を参照 ) に関しては、送信装置 S ( 図 1 A を参照 ) と受信装置 E ( 図 2 A を参照 ) との間で、ケーブルベースの多重化リンクを光学的に、すなわち、例えば、ガラス纖維の形態および / またはプラスチック纖維の形態で構成された光導波路 O M を用いて実現し、および作動させることができる。

【 符号の説明 】

【 0 0 4 2 】

E 受信装置

S 送信装置

A E 受信装置 E の出力部

A P アプリケーションプロセッサ

A S 送信装置 S の出力部

A T 出力ドライバ、具体的には、レーザドライバ

10

20

30

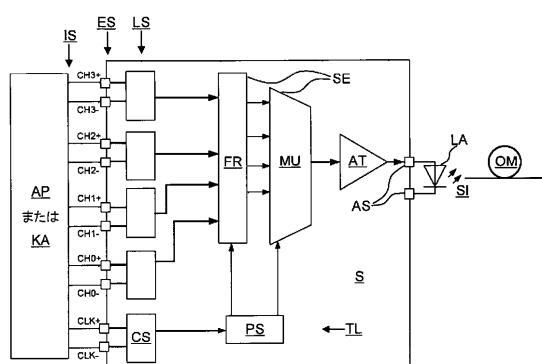
40

50

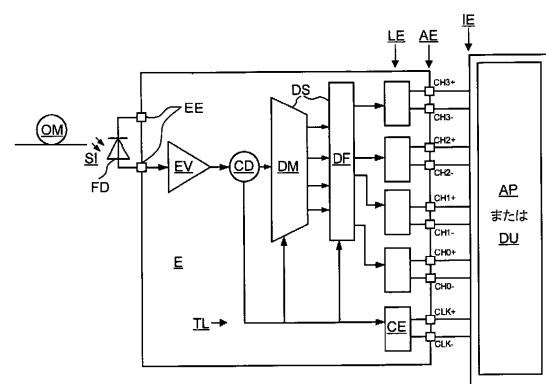
C D	クロックおよびデータリカバリユニット	
C E	受信インターフェースロジックL Eのクロックモジュール	
C H 0 ±	第1のデータラインまたは第1のチャネル	
C H 1 ±	第2のデータラインまたは第2のチャネル	
C H 2 ±	第3のデータラインまたは第3のチャネル	
C H 3 ±	第4のデータラインまたは第4のチャネル	
C L K ±	クロックラインまたはクロックチャネル	
C S	送信インターフェースロジックL Sのクロックモジュール	
D D 0 ±	第1のデータラインまたは第1のチャネルC H 0 ±上の差動信号、具体的には 、コモンモードベースのデータ信号	10
D D 1 ±	第2のデータラインまたは第2のチャネルC H 1 ±上の差動信号、具体的には 、コモンモードベースのデータ信号	
D D 2 ±	第3のデータラインまたは第3のチャネルC H 2 ±上の差動信号、具体的には 、コモンモードベースのデータ信号	
D D 3 ±	第4のデータラインまたは第4のチャネルC H 3 ±上の差動信号、具体的には 、コモンモードベースのデータ信号	
D F	フレーマ	
D K	フレーマD Fの復号器、具体的には、6 b / 5 b復号器ブロック	
D M	マルチプレクサ	
D S	デシリアルライゼーション要素またはデシリアルライザ	20
D U	ディスプレイユニット	
E E	受信装置Eの入力部	
E S	送信装置Sの入力部	
E V	入力増幅器、具体的には、トランスインピーダンス増幅器	
F D	フォトダイオード	
F R	フレーマ	
H S D 0	第1のデータラインまたは第1のチャネルC H 0 ±上のシングルエンド論理レ ベルベースのデータ信号	
H S D 1	第2のデータラインまたは第2のチャネルC H 1 ±上のシングルエンド論理レ ベルベースのデータ信号	30
H S D 2	第3のデータラインまたは第3のチャネルC H 2 ±上のシングルエンド論理レ ベルベースのデータ信号	
H S D 3	第4のデータラインまたは第4のチャネルC H 3 ±上のシングルエンド論理レ ベルベースのデータ信号	
I E	データシンク関連のC S Iおよび/またはC S I - 2および/またはC S I - 3 および/またはD S Iおよび/またはD S I - 2インターフェース	
I S	データソース関連のC S Iおよび/またはC S I - 2および/またはC S I - 3 および/またはD S Iおよび/またはD S I - 2インターフェース	
K A	カメラ	
K O	フレーマの符号器、具体的には、5 b / 6 b符号器ブロック	40
L A	レーザ	
L E	受信インターフェースロジック	
L S	送信インターフェースロジック	
M U	マルチプレクサ	
O M	光学媒体、具体的には、光導波路、例えば、ガラス纖維および/またはプラスチ ック纖維	
P S	クロック発振器、具体的には、位相ロックループ、例えば、クロックマルチプラ イヤユニット	
S E	シリアルライゼーション要素またはシリアルライザ	
S I	共通信号ストリーム	50

## T L クロックライン

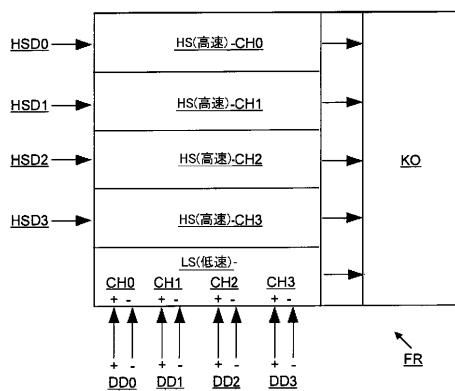
【図 1 A】



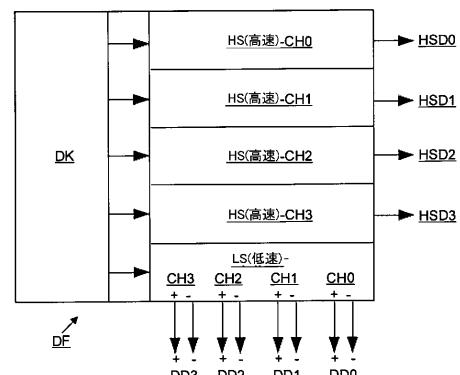
【図 2 A】



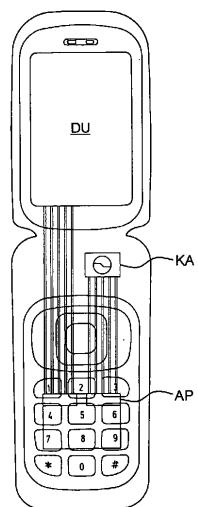
【図 1 B】



【図 2 B】

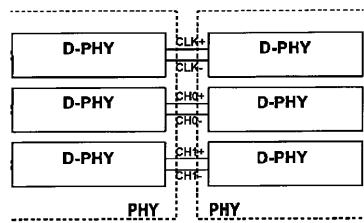


【図 3 A】



(従来技術)

【図 3 B】



(従来技術)

---

フロントページの続き

(72)発明者 ブロン, トーマス

ドイツ連邦共和国 80687 ミュンヘン エルゼンハイマーシュトラーセ 48 / デア・ツヴ  
アイテン シリコン・ライン・ゲー・エム・ベー・ハーネ

(72)発明者 ヤンゼン, フロリアン

ドイツ連邦共和国 80687 ミュンヘン エルゼンハイマーシュトラーセ 48 / デア・ツヴ  
アイテン シリコン・ライン・ゲー・エム・ベー・ハーネ

(72)発明者 ヘルトケ, ホルガー

ドイツ連邦共和国 80995 ミュンヘン アム・ブリューテンアンガー 54ツェー

審査官 阿部 弘

(56)参考文献 國際公開第2008/126753 (WO, A1)

特開2008-160370 (JP, A)

特開2010-050847 (JP, A)

米国特許出願公開第2009/0238576 (US, A1)

特開2001-103028 (JP, A)

特開2006-033804 (JP, A)

特開2008-113321 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/02

H03M 9/00