

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
G11C 11/40



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98122516.0

[45] 授权公告日 2005 年 4 月 27 日

[11] 授权公告号 CN 1199190C

[22] 申请日 1998. 11. 19 [21] 申请号 98122516.0

[30] 优先权

[32] 1997. 12. 17 [33] US [31] 992378

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 马丁·布罗克斯

审查员 谢雪闽

[74] 专利代理机构 北京市柳沈律师事务所

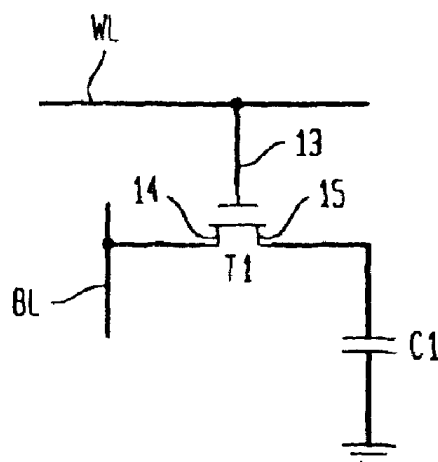
代理人 黄 敏

权利要求书 4 页 说明书 10 页 附图 5 页

[54] 发明名称 带有字线电压控制的存储器及其测试方法

[57] 摘要

在存储阵列中，解码电路向所选择的存储阵列的字线有选择地施加截止电压，以截止其栅电极连接到所选择的字线的晶体管主导通路径中的导通，并有选择地向所选择的字线施加增加的截止电压。施加不同的截止电压值可用来测试存储阵列对栅极感应漏极泄漏 (GIDL) 的灵敏度，并确定施加到字线的截止电压的最佳范围，以便在降低泄漏的情况下工作。



I S S N 1 0 0 8 - 4 2 7 4

1.一种存储器系统，包括：

5 以 M 行和 N 列排列的存储阵列单元，每行有一条行导线并且每列有一条列导线，单元形成在行导线和列导线的交叉点，每个单元包括一个晶体管和一个存储电容器，每个晶体管具有限定主导通路径端部的第一和第二电极和一个栅电极，每个晶体管使其栅电极连接到其对应的行导线，所述第一电极连接到其对应的列导线，而所述第二电极连接到其存储电容器；和

10 选择电路，所述选择电路有选择地向所选择的行导线施加截止电压，以截止栅电极连接到所选择的行导线的晶体管的主导通路径中的导通，和有选择地向所选择的行导线施加增加的截止电压，

其中，用于有选择地施加截止电压和增加的截止电压的所述选择电路包括：(a)连接在每个行导线和第一节点之间的行解码电路；和(b)用于有选择地向所述第一节点施加电压的装置，施加电压的值或是等于所述截止电压
15 的值或是等于所述增加截止电压的值。

2.根据权利要求 1 所述的存储器系统，其中所述行解码电路包括一个第一有选择选通的解码晶体管，该晶体管使其导通路径连接在其相关行导线和所述第一节点之间；其中用于向所述第一节点有选择地施加电压的所述装置包括：(a)耦合在所述第一节点和第一参考电位点之间的第一开关；(b)用于向所述第一参考电位点施加所述截止电压的装置；(c)耦合在第一节点和第二参考电位点之间的第二开关；(d)用于向所述第二参考电位点施加所述增加截止电压的装置；和(e)用于有选择地选通所述第一和第二开关装置之一的装置。

25 3.根据权利要求 2 所述的存储器系统，其中每个所述行解码器电路包括一个第二有选择地选通的解码晶体管，该晶体管使其导通路径与第一解码晶体管并联。

4.根据权利要求 2 所述的存储器系统，其中每个所述行解码器电路包括一个第二有选择地选通的解码晶体管，该晶体管使其导通路径连接在其行导线和一参考电位点之间。

30 5.根据权利要求 1 所述的存储器系统，其中每个存储单元晶体管是一个 N 型晶体管；其中所述截止电压是地电位；和其中所述增加的截止电压比

地电位更偏负。

6.一种存储器系统, 包括:

一个第一晶体管, 其导通路径连接在一个第一信号端和一个输出端之间;

5 把输出端连接到一行存储单元的栅电极的装置;

一个第二晶体管, 其导通路径连接在所述输出端和一个第二端之间;

用于向所述第一和第二晶体管的栅电极施加第一解码信号的装置;

用于向第一信号端施加第二解码信号的装置;

10 用于向所述第二端有选择地施加第一电压或第二电压的装置, 所述第一电压具有截止其栅电极连接到所述输出端的任何存储单元晶体管的幅度和极性, 和所述第二电压具有进一步截止所述存储单元晶体管的幅度和极性。

7.根据权利要求 6 所述的存储器系统, 其中所述第一晶体管为第一导电类型; 和其中所述第二晶体管为第二导电类型。

15 8.根据权利要求 7 所述的存储器系统, 其中用于施加第一或第二电压的装置包括:(a)一个使其导通路径连接在所述第二端和被施加所述第一电压的第一电位点之间的第三晶体管; (b)一个使其导通路径连接在所述第二端和被施加所述第二电压的第二电位点之间的第四晶体管; 和(c)连接到所述第三和第四晶体管以便一次仅导通它们中的一个的装置。

20 9.根据权利要求 7 所述的存储器系统, 进一步包括一个其导通路径与第二晶体管的导通路径并联的第五晶体管。

10.根据权利要求 7 所述的存储器系统, 进一步包括一个其导通路径的一端连接到所述输出端, 其另一端连接到一个参考电位点, 并响应导通信号把输出端箝位到所述参考电位点的第五晶体管。

25 11.一种存储器系统, 包括:

以 M 行和 N 列排列的存储阵列单元, 每行有一条行导线并且每列有一条列导线, 单元形成在行导线和列导线的交叉点, 每个单元包括一个晶体管和一个存储电容器, 每个晶体管具有限定导通路径端部的第一和第二电极和一个栅电极, 每个晶体管使其栅电极连接到其对应的行导线, 其导通路径的一端连接到其对应的列导线, 其导通路径的另一端连接到其存储电容器;

30

一个具有 M 个输出端的行解码器和驱动器，每个输出端连接到一个对应的行导线，所述行解码器包括用于向其输出端的每一个有选择地提供用于选通其栅极连接到对应的行导线的存储晶体管的第一电压，和用于截止这些存储晶体管的第二电压的装置；和

- 5 所述行解码器和驱动器包括用于有选择地提供具有一个极性和幅度的第三电压以进一步截止存储晶体管的装置。

12.根据权利要求 11 所述的存储器系统，其中所述行解码器和驱动器包括按所述 M 个输出的每一个有一个的驱动器电路，每个驱动器电路包括：

- 10 一个第一晶体管，其导通路径连接在一个第一信号端和一个输出端之间；

把输出端连接到一条连接一行存储单元的栅电极的行导线的装置；

一个第二晶体管，其导通路径连接在所述输出端和一个第二端之间；

用于向所述第一和第二晶体管的栅电极施加第一解码信号的装置；

用于向第一信号端施加第二解码信号的装置；

- 15 用于向所述第二端有选择地施加第一电压或第二电压的装置，所述第一电压具有截止其栅电极连接到所述输出端的任何存储单元晶体管的幅度和极性，和所述第二电压具有进一步截止所述存储单元晶体管的幅度和极性。

- 13.一种用于测试动态随机存取存储器存储单元的数据保持能力的方法，其中存储单元以 M 行和 N 列排列，每行有一条字线并且每列有一条位线，存储单元形成在每条字线和位线的交叉点，每个存储单元包括一个晶体管和一个存储电容器，每个晶体管具有限定主导通路径端部的第一和第二电极和一个栅电极，每个晶体管具有：(a)其栅电极连接到其对应的字线；
20 (b)其导通路径的一端连接到其对应的位线；和(c)其导通路径的另一端连接到其存储电容器；其中动态随机存取存储器包括耦合到位线的写入/读出电路，用于向所选择的存储单元写入信息，或从所选择的存储单元读取信息；
25 和其中用于测试的方法包括步骤：

向所选择的存储单元写入信息；

- 30 向所选择的存储单元的字线施加第一截止电压达第一时间周期，以使所选择的存储单元晶体管截止达第一时间周期；

在所述第一时间周期后读出对所选择的存储单元内存储的保留信息；

在读出操作后向所选择的存储单元写入信息；

向所选择的存储单元的字线施加第二截止电压达第二时间周期，以使所选择的存储单元晶体管截止达第二时间周期；其中第二电压的截止幅度比所述第一截止电压的幅度大；和

在所述第二时间周期后读出对所选择的存储单元内存储的保留信息。

带有字线电压控制的存储器及其测试方法

5 技术领域

本发明涉及诸如动态随机存取存储器(DRAM)之类的存储器件，特别是用于读出和/或控制与 DRAM 的存储单元相关的某些漏泄电流的方法和装置。

10 背景技术

为了更好地理解申请人所面临的某些问题，及本发明对这些问题的解决方案，首先参考图 1 所示的由存储单元 11 构成的存储阵列 10。为了说明起见，示出阵列 10 具有 M 行和 N 列，每行有一条行导线或字线(WL)，每列有一条列导线或位线(BL)。存储单元 11 位于每个行和列导线的交叉点。

15 行导线，或字线由一个行解码器和驱动器电路 20 驱动，列导线，或位线由一个列解码器和驱动器电路 30 驱动。写入/读出电路 40 包括用于向位线上写入信息以便传输到所选择的存储单元的电路，和读出从所选择的存储单元读取的信息并耦合到位线上的电路。

通常，在图 1 的存储阵列的操作中，存储单元晶体管是 N 导电型 MOS
20 晶体管，施加到存储器的工作电位是 VDD 伏(例如+5 伏)和地电位(例如零伏)，字线由施加到此的"高"电压(例如，VDD 伏)启动(选择或选通)，并且字线由施加到此的"低"电压(例如零伏)去启动(不选择、截止或备用状态)。在图 1 中，通过具有 M 个解码器/驱动器电路的行驱动器电路 20 有选择地选通阵列 10 的 M 条字线，每个解码器/驱动器电路可以是图 2 所示的类型。

25 图 2 的解码器驱动器包括一个 P 型晶体管 P1，晶体管 P1 的源极至漏极路径连接在信号端 211 和输出端 213 之间，输出端 213 连接到其相关字线(WL)。P1 的衬底 212 连接到被施加固定电位(例如 VDD 伏)的端子 214。晶体管 N1 和 N2 的源极至漏极路径并联在连接到一条字线(WL)的输出端 213 和被施加地电位的端子 216 之间。N1 和 N2 的衬底 217 还回到地电位。第一部分解码信号 RDEC 施加到晶体管 P1 和 N1 的栅极，第二部分解码信号 WLD 施加到信号端 211。信号 WLK(通常是 WLD 的倒相)施加到 N2 的栅极，以选通在某些输入信号状态下被有选择地箝位到地电位的字线。

30

图 2 的电路用于启动选择的字线。当信号 RDEC 为"低"电平和信号 WLD 为"高"电平(WLK 为"低"电平)时,向该字线施加"高"电平,将其启动并选通其栅极连接到该字线的存储单元晶体管。当信号 RDEC 为"高"电平和/或当信号 WLK 为"高"电平时,向该字线施加"低"电平(地电位),并且由于其栅极连接到字线的存储单元晶体管截止,则认为该字线被"不选择"或"去启动"。因此,图 2 的电路可用来向字线施加启动(导通)电压(例如 VDD 伏)或向字线施加去启动(截止)电压(例如零伏)。

施加单一的固定截止电压的能力在某些应用中不能令人满意。通过指出 DRAM 存储单元受可破坏 DRAM 存储单元中存储的数据的漏泄电流的支配能最恰当地说明这种情况。因此,需要测试存储阵列的单元以确保其泄漏在容许限度内。例如,在存储单元晶体管为 N 导电型的情况下,一般通过向存储阵列的字线施加高电压首先启动存储阵列的字线并通过把单元的存储电容器充电到高电压将"高"电平写入单元来进行测试。然后通过已知时间周期向字线施加零伏电压去启动该字线。在经过已知时间周期后有选择地读出存储单元以确定其数据保持。借助图 2 的电路,当一条字线去启动时,在其不选择时把一个单一、固定的截止电压,例如零伏施加到一条字线。

如图 4 所示,由于存储单元晶体管的泄漏与施加到其栅极的截止电压的幅度和极性按函数关系变化,这是不能令人满意的。因此,图 2 的电路不允许针对施加到字线的不同截止电压值测试存储单元的泄漏。

发明内容

因此,本发明的一个目的是提供能够向存储阵列的字线施加不同截止电压值的电路。

本发明的另一个目的是针对不同的字线电压值读出诸如存储单元晶体管的栅极感应漏极泄漏(GIDL)之类的漏泄电流。

本发明的再一个目的是确定某个截止电压是降低还是增加诸如 GIDL 之类的漏泄电流。

按照本发明的一个方面,提供了一种存储器系统,包括:以 M 行和 N 列排列的存储阵列单元,每行有一条行导线并且每列有一条列导线,单元形成在行导线和列导线的交叉点,每个单元包括一个晶体管和一个存储电容

器,每个晶体管具有限定主导通路端部的第一和第二电极和一个栅电极,每个晶体管使其栅电极连接到其对应的行导线,所述第一电极连接到其对应的列导线,而所述第二电极连接到其存储电容器;和选择电路,所述选择电路有选择地向所选择的行导线施加截止电压,以截止栅电极连接到所选择的行导线的晶体管的主导通路中的导通,和有选择地向所选择的行导线施加增加的截止电压,其中,用于有选择地施加截止电压和增加的截止电压的所述选择电路包括:(a)连接在每个行导线和第一节点之间的行解码电路;和(b)用于有选择地向所述第一节点施加电压的装置,施加电压的值或是等于所述截止电压的值或是等于所述增加截止电压的值。

- 10 按照本发明的另一个方面,提供了一种存储器系统,包括:一个第一晶体管,其导通路连接在一个第一信号端和一个输出端之间;把输出端连接到一行存储单元的栅电极的装置;一个第二晶体管,其导通路连接在所述输出端和一个第二端之间;用于向所述第一和第二晶体管的栅电极施加第一解码信号的装置;用于向第一信号端施加第二解码信号的装置;
- 15 用于向所述第二端有选择地施加第一电压或第二电压的装置,所述第一电压具有截止其栅电极连接到所述输出端的任何存储单元晶体管的幅度和极性,和所述第二电压具有进一步截止所述存储单元晶体管的幅度和极性。

- 按照本发明的另一个方面,提供了一种存储器系统,包括:以M行和N列排列的存储阵列单元,每行有一条行导线并且每列有一条列导线,单元形成在行导线和列导线的交叉点,每个单元包括一个晶体管和一个存储电容器,每个晶体管具有限定导通路端部的第一和第二电极和一个栅电极,每个晶体管使其栅电极连接到其对应的行导线,其导通路的一端连接到其对应的列导线,其导通路的另一端连接到其存储电容器;一个具有M个输出端的行解码器和驱动器,每个输出端连接到一个对应的行导线,
- 20 所述行解码器包括用于向其输出端的每一个有选择地提供用于选通其栅极连接到对应的行导线的存储晶体管的第一电压,和用于截止这些存储晶体管的第二电压的装置;和所述行解码器和驱动器包括用于有选择地提供具有一个极性和幅度的第三电压以进一步截止存储晶体管的装置。

- 按照本发明的另一个方面,提供了一种用于测试动态随机存取存储器(DRAM)存储单元的数据保持能力的方法,其中存储单元以M行和N列排列,每行有一条字线并且每列有一条位线,存储单元形成在每条字线和位
- 30

线的交叉点，每个存储单元包括一个晶体管和一个存储电容器，每个晶体管具有限定主导通路端部的第一和第二电极和一个栅电极，每个晶体管具有：(a)其栅电极连接到其对应的字线；(b)其导通路径的一端连接到其对应的位线；和(c)其导通路径的另一端连接到其存储电容器；其中 DRAM 包括

5 耦合到位线的写入/读出电路，用于向所选择的存储单元写入信息，或从所选择的存储单元读取信息；和其中用于测试的方法包括步骤：向所选择的存储单元写入信息；向所选择的存储单元的字线施加第一截止电压达第一时间周期，以使所选择的存储单元晶体管截止达第一时间周期；在所述第一时间周期后读出对所选择的存储单元内存储的保留信息；在读出操作后

10 向所选择的存储单元写入信息；向所选择的存储单元的字线施加第二截止电压达第二时间周期，以使所选择的存储单元晶体管截止达第二时间周期；其中第二电压的截止幅度比所述第一截止电压的幅度大；和在所述第二时间周期后读出对所选择的存储单元内存储的保留信息。

申请人的发明部分在于认识到可能希望和/或需要通过向存储阵列的字线施加不同截止电压值来测试或操作存储阵列。特别是，申请人认识到最好通过向存储单元晶体管的栅极施加幅度和极性超过施加到其栅极的正常截止电压的截止电压来测试存储单元晶体管的泄漏。

15

申请人还认识到可能希望和/或需要制造包括能向存储阵列的字线施加不同截止电压的电路的存储阵列。

20 申请人的发明还在于用于向存储单元晶体管的栅极施加正常截止电压(例如对于 N 型晶体管为零伏)或是大于正常截止电压(例如对于 N 型晶体管为 -1 伏)的电路。

体现本发明的存储器系统包括用于向所选择的字线施加第一截止电压，以便截止其栅极连接到这些字线的存储单元晶体管的主导通路中的

25 电流导通，和用于向所选择的字线有选择地施加升高的截止电压，以便更急剧地截止其栅极连接到这些字线的存储单元晶体管。

在本发明的一个实施例中，向字线施加其值在一定范围内的截止电压，以测试存储单元对栅极感应漏极泄漏(GIDL)电流的灵敏度。对于升高施加到字线的截止电压的第一范围，其栅极连接到所述字线的晶体管的漏泄电

30 流降低。对于施加到字线的截止电压的进一步升高，其栅极连接到所述字线的晶体管的漏泄电流增加。确定泄漏为最小值的截止电压的范围和泄漏

增加的范围可用来设定截止电压幅度的极限和选择适当的截止电压范围。另外，趋于增加漏泄电流的截止电压可用来测试存储单元晶体管对栅极感应漏极泄漏(GIDL)电流的灵敏度。该测试能检测和校正或去除可能有缺陷的存储器产品，从而导致制造出更可靠的产品。

- 5 实施本发明的方法包括步骤:(a)把要存储的某个信号状态(例如高电平)写入存储阵列的存储单元; (b)在第一时间周期向所选择的存储阵列字线施加第一截止电压; (c)读出存储单元的内容以通过第一截止电压确定漏泄电流对所选择的存储单元的影响, 如果有的话; (d)在存储阵列中重新写入该特定信号状态; (e)在通常等于所述第一时间周期的时间周期施加第二截止电压; 和(f)读出存储单元的内容以针对第二截止电压值确定漏泄电流对所选择的存储单元的影响; 和其中所述第一和第二截止电压之一的幅度大于另一个的幅度。
- 10

- 因此, 实施本发明的存储系统包括用于测试存储单元对作为截止电压函数的栅极感应漏极泄漏(GIDL)的灵敏度的电路。对存储单元的测试可用来设定字线截止电压和/或用冗余行和列替换有缺陷的行和列, 和/或去除有缺陷的存储阵列。
- 15

附图说明

在附图中相同的标号表示相同部件。

- 20 图 1 是现有技术的 DRAM 存储阵列的方框图;
图 2 是现有技术的解码器/驱动器电路的示意图;
图 3A 是单个存储单元的简化示意图;
图 3B 是图 3A 所示存在寄生结的电路的截面图;
图 3C 是图 3A 中包括图 3B 所示寄生二极管的存储器的示意图;
- 25 图 4 是与存储单元晶体管相关作为栅极电压函数的主电流(IDS)和漏泄电流(IL)的示意图;
图 5 是表示 TM 的测试信号;
图 6A 是实施本发明的一种解码器/驱动器电路的示意图; 和
图 6B 是实施本发明的另一种解码器/驱动器电路的示意图。

30

具体实施方式

为了更好地理解本发明下面的说明, 首先分析主要涉及的泄漏机理。

图 1 所示的存储阵列 10 的一个存储单元 11 包括一个晶体管 T1 和一个存储电容器 C1。如图 3A、3B 和 3C 中进一步详细描述, 晶体管(T1)有一个连接到其相关字线(WL)的栅电极 13, 一个作为源极或漏极连接到其相关位线(BL)的第一电极 14, 和一个同样作为漏极或源极连接到存储电容器 C1 一端的第二电极 15。图 3B 是图 3A 的存储单元的截面图并示出在 P 衬底 16 中形成的 N 区 14 和 15。区 14 和 15 定义衬底 16 中主导通路径的端部。N 区 14 还通过被标为"寄生"二极管 D1 的衬底 16 形成一个 PN 结, N 区 15 同样通过被标为"寄生"二极管 D2 的衬底 16 形成一个 PN 结。这些寄生二极管 D1 和 D2 可能是如下所述的泄漏源。通过保持衬底电压比源漏区 14 和 15 的电压更偏负使二极管 D1 和 D2 在反向偏置状态中正常工作。在图 3B 中, 所示衬底 16 接地。然而, 一个小 V_{bb} 伏(例如 V_{bb} 等于 -1 伏)负偏置可施加到衬底 16。图 3C 是图 3B 包括寄生二极管 D1 和 D2 的存储单元的示意图。为了在下面的讨论中便于说明, 假设存储单元晶体管(T1)是 N 导电型金属氧化物半导体(MOS)晶体管。N 型晶体管仅作为实例, 可使用不同类型的晶体管(例如 P 型)代替。

为了在下面的讨论中便于说明, 应指出 MOS 晶体管是具有下列结构的器件:(a)限定主导通路径端部的源和漏电极; 和(b)叠加在主导通路径上的栅电极, 施加到栅电极的电压控制主导通路径的导通性。当一个 N 型晶体管的栅极电位超过其源极电位大于该晶体管的阈值电压(V_t)时该 N 型晶体管导通。N 型晶体管的源电极限定为第一和第二电极中被施加较低电位的一个电极。由于 N 型晶体管(以及 P 型晶体管)作为选通晶体管工作时能双向导通, 哪个电极是源极和哪个电极是漏极随施加到这些电极的电位而改变。

正如本领域中所熟知的, 可将逻辑"0"或逻辑"1"写入并存储在存储单元 11 中。到存储阵列的工作电位是 V_{DD} 伏(例如 5 伏)和地电位(例如零伏), 为了说明起见, 可假设:(a)逻辑"0"或低信号是具有零值, 或接近零伏的信号; 和(b)逻辑"1"或高信号是具有 V_{DD} 值, 或接近 V_{DD} 伏的信号。

当其选通晶体管选通(例如通过向连接到其栅极 13 的 WL 施加 V_{DD} 伏电压导通)时, 信息写入存储单元 11。然后可通过向连接到电极 14 的位线施加零伏电压把逻辑零写入存储单元。然后, 电容器 C1 可经由晶体管 T1 的漏极至源极路径放电到地电位。此后, 通过向连接到其栅极的 WL 施加

零伏电压可使 T1 截止并且 C1 将保持或接近零伏。

如上面指出的,当其 T1 导通并通过向连接到其漏电极的位线施加 VDD 伏电压时,逻辑"1"写入一个存储单元。电容器 C1 经由 T1 的源极至漏极导通路径被充电到 VDD。然后通过向其栅极施加零伏电压可使 T1 截止。电容器 C1 将保持在高电位($[VDD-V_t]$ 伏)充电,除存在趋于使 C1 放电到地电位的漏泄电流外,该高电位对 C1 充电。为说明起见,假设在逻辑"1"写入存储单元 11 时,存储电容器 C1 被充电到例如+5 伏电压。在单元 11 中写入一个"1"(或一个"0")之后,用"低"电平(例如零伏)驱动存储单元晶体管 T1 的栅极电压以使晶体管 T1 截止。晶体管 T1 将保持截止(即处在"备用"状态)直到下一次读取、刷新或再写入操作为止,期望电容器 C1 保持充电到或接近+5 伏。然而,当 T1 的栅极电压为零而其漏极处在+5 伏时,栅极相对于其漏极为负 5 伏。对于极小规模 of 晶体管,该电压在漏极 15 到衬底 16 的结感应高电场。该高电场使漏泄电流从漏极 15 流向衬底 16,趋于使电容器 C1 放电。参考图 3C,电容器 C1 借助从电容器 C1 通过 D2 的反向路径流向衬底 16 的漏泄电流(IL)放电。如果泄漏太多电荷,存储单元对下一次读出将不能产生正确输出。

当 T1 的栅极所连接的 WL 为零伏时, T1 截止。只有亚阈值电流在位于 T1 的源极和漏极区之间的"主导通"路径中流动。因此,漏泄电流可从 C1 经由二极管 D2 流入衬底。这些漏泄电流趋于使 C1 放电,并且如果电容放电,由于存储单元中存储的数据比特的值被破坏,足够的幅度将导致故障。图 4 是表明电流(I_{DS})在晶体管的主导通路径中的流动随栅极电压而改变和提高施加到栅极的截止电压对漏泄电流(例如栅极感应漏极泄漏 GIDL 电流)流动的影响的示范图。当栅极至源极电压(VGS)低于阈值电压时,只有亚阈值电流在源极至漏极路径中流动。该电流随着截止电压升高而降低到如图 4 所示的(-)VA 伏栅极电压。申请人还认识到,当使栅极至源极电压在延伸到(-)VA 伏的范围内略微偏负时,亚阈值电流继续降低。(-)VA 的值可以在从-1V 到-3V 的范围;实际数值主要取决于制造晶体管的技术和工艺。然而,如图 4 所示,如果使 N 型晶体管的栅极至源极电压比-VA 伏电压明显地更偏向负值(即当截止电压的幅度提高到某个电平之上时),通过寄生二极管,特别是在当存储电容器上的电荷正向偏置漏极时通过二极管 D2 的漏泄电流明显增加。

如上面指出的, 申请人的发明在于部分认识到可针对不同的截止电压值测试存储阵列的存储单元晶体管的泄漏, 以确定漏泄电流如何作为增加和降低截止电压值的函数而变化。对于 N 型晶体管, 这些是使晶体管的栅极相对于其源极为负的电压。该测试能检测有缺陷单元的位置, 以便使用来自冗余行或列(未示出)的单元替换有缺陷单元。作为替换, 如果有缺陷单元太多, 以致冗余行或列不够, 将会去除该存储器芯片。该测试还能确定最佳截止栅极电压或存储器晶体管的最佳设计。

申请人的发明还在于诸如图 6A 所示的解码器电路, 该电路能把不同电压(例如地电位或 V_{bb} 伏)有选择地施加到所选择的字线。图 6A 包括一个如图 2 所示的晶体管 P1, 用于有选择地向字线(WL)提供高电压。然而, 与图 2 相反, 在图 6A 的电路中, 晶体管 N1 和 N2 形成在一个绝缘 P 阱 51 中, 以便能使 V_{bb} 伏的负偏置电压在 P 阱 51 的一端连接到 P 阱 51。 V_{bb} 可以例如等于 -1 伏。然而, 可以选择 V_{bb} 为 V_t 和 $-V_A$ 伏之间的任何电压。N1 和 N2 的源电极 53s 和 54s 连接到节点 41。图 6A 的电路能够向节点 41 施加地电位或 V_{bb} 伏电压。当晶体管 N1 和 N2 选通时, 其功能是把节点 41 出现的任何电压耦合到字线(WL)。

晶体管 N3 的源极至漏极路径连接在节点 41 和被施加 V_{bb} 伏电压的节点 42 之间。另外, 晶体管 N4 的源极至漏极路径连接在节点 41 和被施加地电位的节点 43 之间。晶体管 N3 和 N4 的衬底以及 N3 的源极连接到被施加 V_{bb} 伏电压的一端 55。表示为 TM 的测试信号, 如图 5 所示施加到 N3 的栅极和倒相器 46 的输入端 45, 倒相器 46 的输出施加到 N4 的栅极并且其工作电位是 VDD 和 V_{bb} 。

图 6A 电路的工作如下。假设可以把测试信号 TM 施加到字线, 该测试信号 TM 具有定义"标准"或"正常"状态的"低" V_{bb} 伏电压值, 或定义增加截止电压的"测试"状态的"高"VDD 伏电压值。因此, 在标准工作状态期间, 当 TM 为低电平时, 倒相器 46 的输出为高电平并且该高电平施加到晶体管 N4 的栅极使其导通。N4 导通时, 把节点 41 箝位到地电位。同时, V_{bb} 伏电压施加到 N3 的栅极使其截止。因此, 在标准工作状态期间, 晶体管 N1 和 N2 的源极经由 N4 相对低的源极至漏极阻抗回到地电位。当晶体管 N1 和/或 N2 导通时, 节点 41 的地电位则施加到字线(WL)。

测试工作状态期间, 信号 TM 升高到 VDD 伏。施加到倒相器 46 输入

端的 TM 高电平信号使其输出端达到 Vbb 伏, 该电压施加到 N4 的栅极, 使其截止。同时, 高电平 TM 信号施加到晶体管 N3 的栅极使其导通。N3 导通时, 把节点 41 箝位到 Vbb 伏电压, 施加到端子 55 的。从而可在晶体管 N1 和 N2 的源极获得 Vbb 伏电压。

- 5 因此, 图 6A 的解码器电路的工作可概括如下。对于 RDEC 或 WLK(或二者)为高电平的状态, 经由 N1 和 N2 中的一个或两个都把字线(WL)箝位到节点 41。如果 TM 为低, 节点 41 的电压则等于地电位, 或是如果 TM 为高, 节点 41 的电压则为 Vbb 伏电压。因此, 图 6A 的电路能够把地电位或 Vbb 伏电压施加到字线。对于 RDEC 和 WLK 为低电平且 WLD 为高电平(例如
- 10 VDD)时的状态, 向 WL 施加高电平以导通其栅极连接到 WL 的 N 型存储单元晶体管。

通过把图 6A 的电路插入图 1 的行解码器和驱动器电路 20, 当负电压施加到某条(或所有)字线时, 可在标准操作状态(向所选择的、或所有字线施加地电位)下或在"测试"状态下测试存储阵列 10 的泄漏。

- 15 在标准操作模式, 信号 TM 设定为"低"值(例如 Vbb 伏电压)。通过把其存储电容器充电到或接近 VDD 伏电压可向阵列的所有(或只有所选择的)存储单元写入"高"电平(例如 VDD 伏电压)。在"高"电平写入操作后, 解码器把零伏电压耦合到存储阵列的某条(或所有)字线达预定时间周期。在预定时间周期之后, 可把被写入"高"电平的存储单元读出到位线上和读出放大器, 以
- 20 确定泄漏电平和/或是否仍保持存储单元中存储的数据。

- 在"测试"模式状态中, 信号 TM 设定为"高"值(例如 VDD 伏电压)。这样能使解码器电路连续向字线施加 Vbb 伏(例如-1 伏)电压。通过把其存储电容器充电到或接近 VDD 伏电压可向阵列的所有(或只有所选择的)存储单元写入"高"值(例如 VDD 伏)。在"高"值写入操作后, 解码器把 Vbb 伏电压
- 25 耦合到存储阵列的某条(或所有)字线达预定时间周期。在预定时间周期之后, 可把被写入"高"值的存储单元读出到位线上和其对应的读出放大器, 以确定泄漏电平和/或存储单元中存储的数据仍保持的程度。可针对在从 V_t 伏到 -VA 伏(甚至更偏负)的范围内变化的许多不同的截止电压增加值重复对存储阵列 10 的测试。可以把在标准状态下对存储单元的测试结果与一个或
- 30 多个"测试"状态下获得的结果比较。该比较可用来检测呈现太多泄漏的弱或不良单元的位置, 或对泄漏的灵敏度, 并用冗余行和列的"良好"单元将其替

换。作为替换，该测试可用来去除有缺陷芯片。此外，该测试指示范围在 V_t 和 $-V_A$ 之间变化的施加到存储系统以使泄漏操作最低的栅极电压的最佳范围。

很显然，图 6A 的电路便于向阵列的字线施加不同值的截止电压。在测试存储阵列期间，电压 V_{bb} 可在例如从 V_t 伏扩展到 -3 伏，或更大的范围逐步变化。这样便于确定使漏泄电流最小、和安全工作所需界限而施加的最佳截止电压。同样很明显，作为测试结果，存储芯片可装配有电路(未示出)，以使字线电压在 V_{DD} (导通)和可以是除零伏之外的最佳截止电压之间变化。

可以把图 6A 的电路改进成如图 6B 所示，其中 N_{2a} 的源极连接到地，而 N_1 的源极仍然连接到节点 41，节点 41 与 N_3 和 N_4 的漏极连接。在图 6B 的电路中，当信号 TM 为高值时 N_2 必须截止，以避免分配 V_{bb} 伏电压。

已假设存储单元晶体管(T_1)为 N 导电型晶体管描述了电路和其操作。然而，应该理解，可通过适当改变施加电压用 P 型晶体管代替，(例如当其栅极电压等于或比其源极电压更偏正时 P 型晶体管截止，并且 P 型晶体管的源极是被施加更偏正的电位的电极)。

图 1

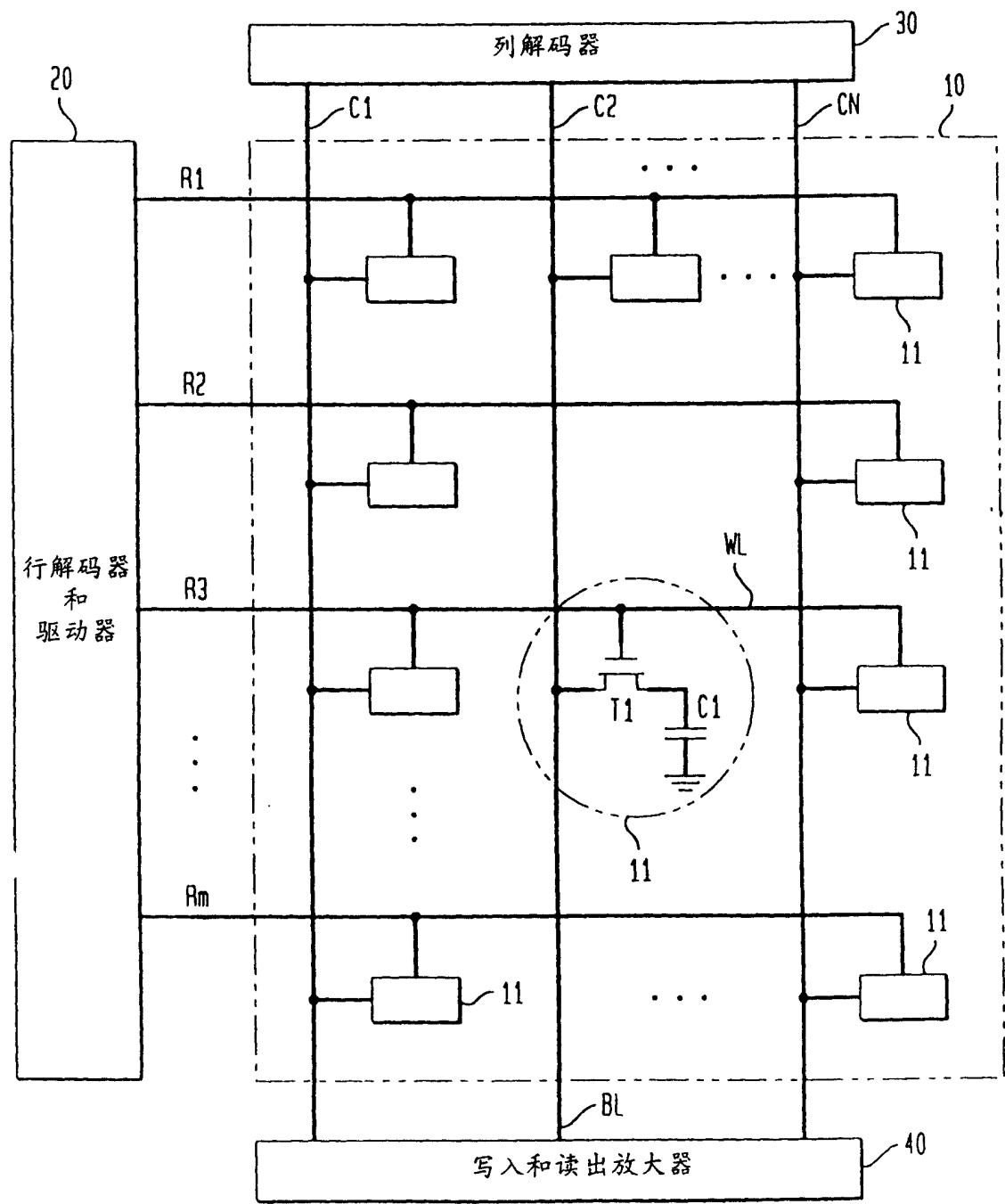


图 2

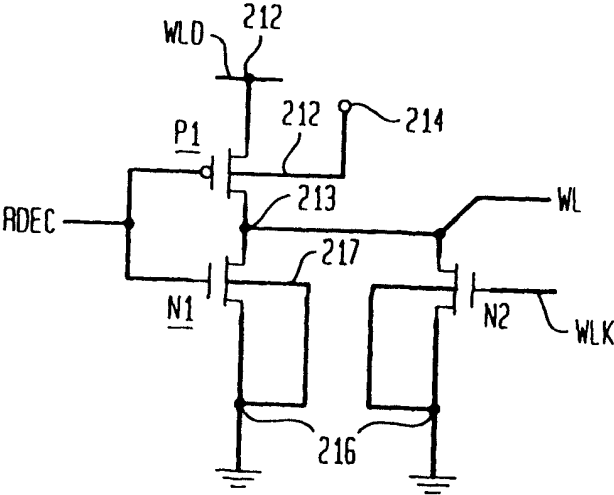


图 3A

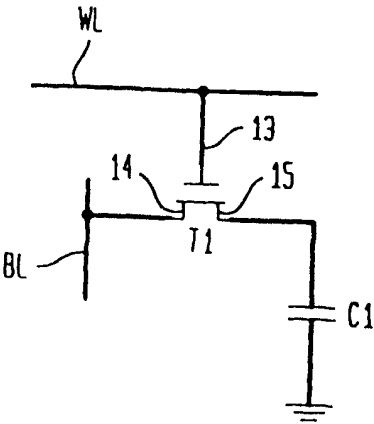


图 3B

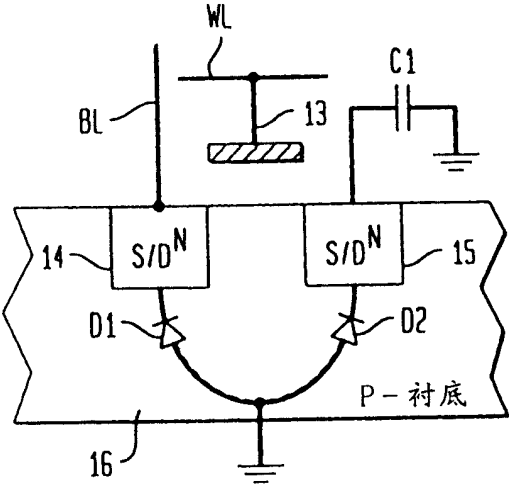


图 3C

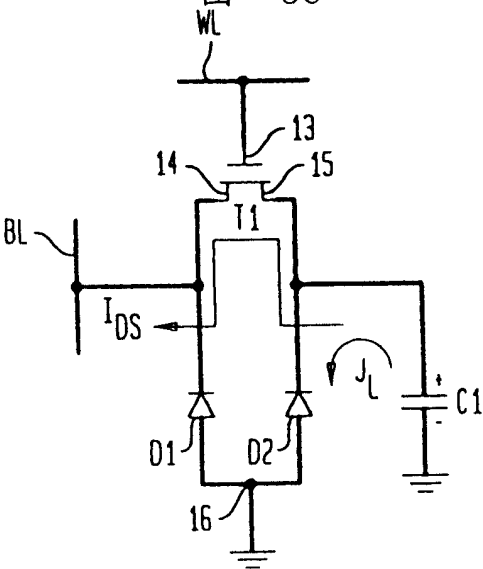


图 4

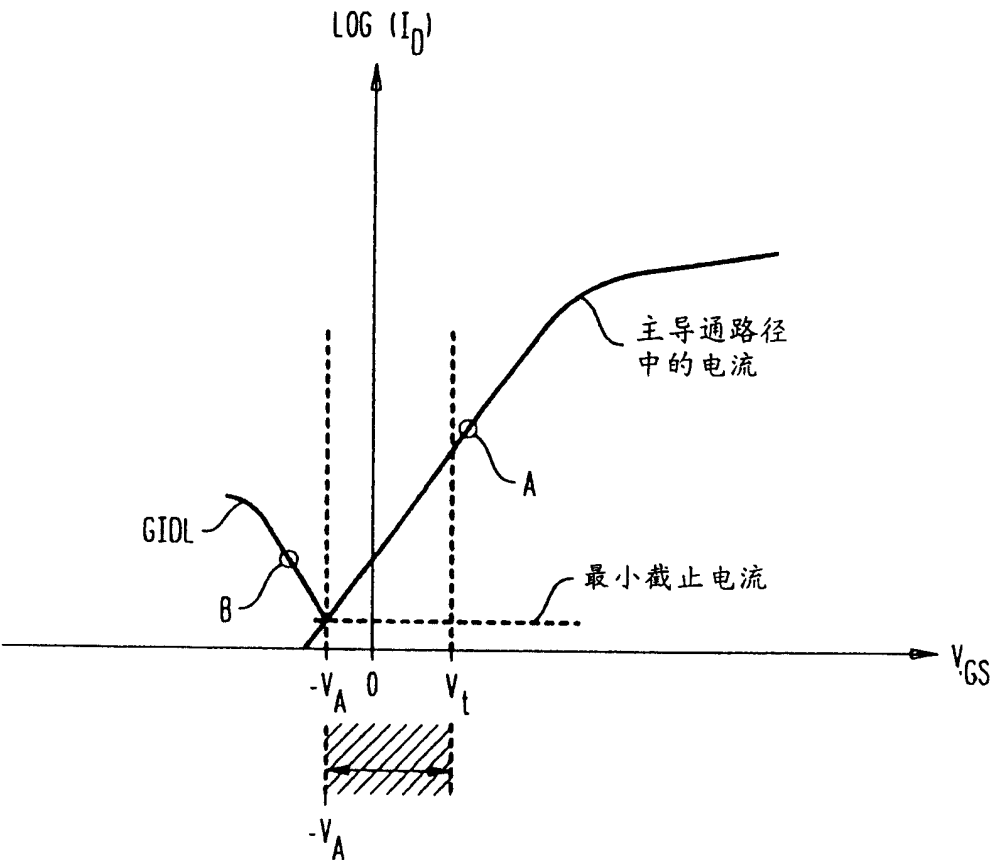


图 5

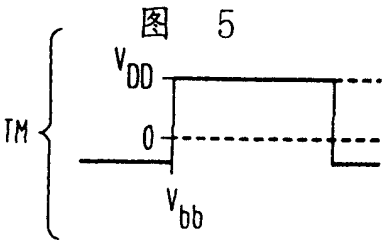


图 6A

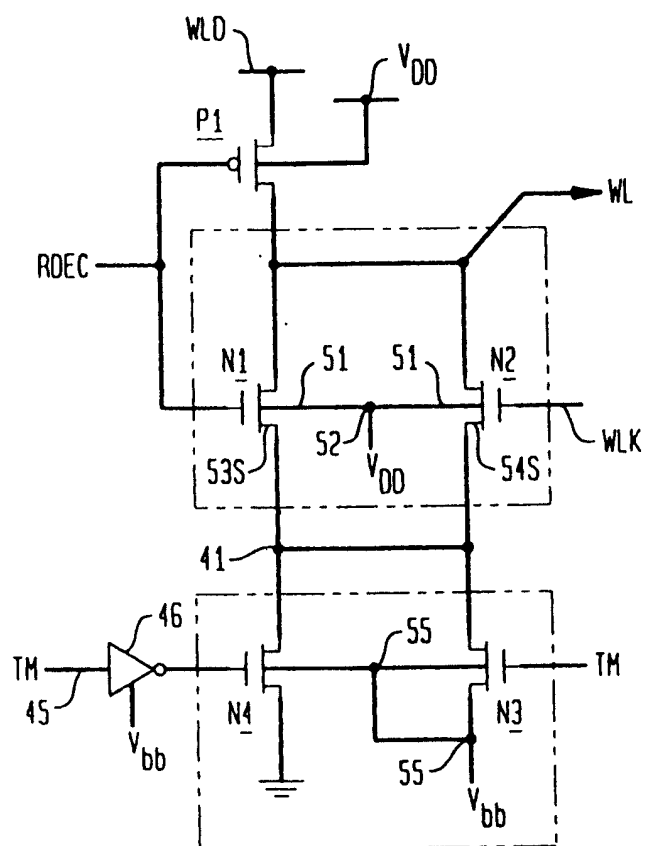


图 6B

