【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】令和6年7月19日(2024.7.19)

【公開番号】特開2023-17380(P2023-17380A)
【公開日】令和5年2月7日(2023.2.7)
【年通号数】公開公報(特許)2023-024
【出願番号】特願2021-121626(P2021-121626)
【国際特許分類】
G06F 12/00(2006.01)
G06F 13/362(2006.01)
【ＦＩ】
Ｇ０６Ｆ １２/００ ５６０Ｄ
Ｇ０６Ｆ １２/００ ５７２Ａ
Ｇ０６Ｆ １２/００ ５７１Ｂ
Ｇ０６Ｆ １３/３６２５１０Ｇ

【手続補正書】
【提出日】令和6年7月10日(2024.7.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
メモリと、
前記メモリに書き込みトランザクションを発行する第１のバスマスタと、
前記メモリに読み出しトランザクションを発行する第２のバスマスタと、
前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合、クロックサイクルごとに、前記メモリにデータを書き込む書き込み処理と、前記メモリからデータを読み出す読み出し処理とが交互に繰り返されるように制御する調停部と
を有することを特徴とする電子機器。
【請求項２】
前記調停部は、前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合において、前回の処理が書き込み処理である場合には、読み出し処理を行うように制御し、前回の処理が読み出し処理である場合には、書き込み処理を行うように制御することを特徴とする請求項１に記載の電子機器。
【請求項３】
前記調停部は、前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合、フラグに応じて、書き込み処理または読み出し処理を行うように制御することを特徴とする請求項１または２に記載の電子機器。
【請求項４】
前記メモリは、シングルポートＳＲＡＭであることを特徴とする請求項１から３のいずれか１項に記載の電子機器。
【請求項５】
前記調停部はクロック信号に同期して動作し、

前記クロックサイクルは、前記クロック信号のクロックサイクルであることを特徴とする請求項１から４のいずれか１項に記載の電子機器。
【請求項６】
前記第１のバスマスタは画像処理を行う第１の画像処理部であり、前記第２のバスマスタは画像処理を行う第２の画像処理部であり、
前記第１の画像処理部は前記調停部を介してデータの書き込みとデータの読み出しとを行い、前記第２の画像処理部は前記調停部を介してデータの書き込みとデータの読み出しとを行うことを特徴とする請求項１から５のいずれか１項に記載の電子機器。
【請求項７】
前記メモリは、複数のメモリバンクを有し、
前記調停部は、前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合において、前記第１のバスマスタが発行する書き込みトランザクションの対象であるメモリバンクと、前記第２のバスマスタが発行する読み出しトランザクションの対象であるメモリバンクとが同じ場合には、クロックサイクルごとに、前記メモリバンクにデータを書き込む書き込み処理と、前記メモリバンクからデータを読み出す読み出し処理とが交互に繰り返されるように制御することを特徴とする請求項１または２に記載の電子機器。
【請求項８】
前記調停部は、前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合において、前記第１のバスマスタが発行する書き込みトランザクションの対象であるメモリバンクと、前記第２のバスマスタが発行する読み出しトランザクションの対象であるメモリバンクとが異なる場合には、前記異なるメモリバンクに対して書き込みと読み出しを並列に行うように制御することを特徴とする請求項７に記載の電子機器。
【請求項９】
前記複数のメモリバンクは、それぞれ、シングルポートＳＲＡＭであることを特徴とする請求項７または８に記載の電子機器。
【請求項１０】
前記調停部は、第１の制御と第２の制御とを選択的に行い、
前記第１の制御では、前記調停部は、前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合、前記クロックサイクルごとに、前記メモリにデータを書き込む書き込み処理と、前記メモリからデータを読み出す読み出し処理とが交互に繰り返されるように制御し、
前記第２の制御では、前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合において、前記読み出しトランザクションよりも前記書き込みトランザクションが先に入力された場合には、前記書き込みトランザクションに基づく書き込みが完了した後に、前記読み出しトランザクションに基づく読み出しが行われるように制御し、前記書き込みトランザクションよりも前記読み出しトランザクションが先に入力された場合には、前記読み出しトランザクションに基づく読み出しが完了した後に、前記書き込みトランザクションに基づく書き込みが行われるように制御することを特徴とする請求項１から６のいずれか１項に記載の電子機器。
【請求項１１】
メモリと、前記メモリに書き込みトランザクションを発行する第１のバスマスタと、前記メモリに読み出しトランザクションを発行する第２のバスマスタとを有する電子機器の制御方法であって、
前記第１のバスマスタが発行する書き込みトランザクションと、前記第２のバスマスタが発行する読み出しトランザクションとが競合する場合、クロックサイクルごとに、前記メモリにデータを書き込む書き込み処理と、前記メモリからデータを読み出す読み出し処理とが交互に繰り返されるように制御するステップ

を有することを特徴とする制御方法。