

公告本

90年6月28日 修正
補充

申請日期	89. 5. 20
案 號	89109874
類 別	H01C 2/02 ; H01C 2/85

A4
C4

460930

說明書修正本(90年6月)

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有耐熔金屬伴同障壁之複合性鉱-金屬-氧障壁及其製造方法
	英 文	COMPOSITE IRIIDIUM-METAL-OXYGEN BARRIER STRUCTURE WITH REFRACTORY METAL COMPANION BARRIER AND METHOD FOR SAME
二、發明 創作人	姓 名	1. 張 風 燕 2. 馬 澤 先 3. 許 勝 籐 4. 莊 維 偉
	國 籍	1. 4. 均中國 2. 3. 均美國
	住、居所	1. 美國 華盛頓州98683 凡庫弗市 東南32街 16804號 2. 美國 華盛頓州98684 凡庫弗市 所羅門東南街 1511號 3. 美國 華盛頓州98607 坎馬斯市 樽魚西北街 2216號 4. 美國 華盛頓州98684 凡庫弗市 東南161街 2404號
三、申請人	姓 名 (名稱)	日商夏普股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	町田 勝 彥

460930

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 美 1999.05.21. 09/316,661

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景與概述

本發明大體上是關於積體電路(ICs)之製造，且更特別是關於使用包括鉍、氧與過渡金屬之複合薄膜以及包括過渡金屬之毗鄰障壁之高度穩定性之導電性電極障壁之製造。

鉑(Pt)與其他之貴重金屬係使用於ICs鐵電電容器之製造。貴重金屬之使用係起因於其天生之化學阻抗。在例如見於鐵電電容器製造者之高溫氧氣之退火條件下，此性質是特別需要的。此外，貴重金屬與例如為鈣鈦礦金屬氧化物之鐵電材料間之化學作用可以忽略。

前述所提之貴重金屬係使用以作為被鐵電材料所分開之導電性電極對。此電極之一或二個通常係連結至電晶體電極、或至IC中之導電的足跡。如已熟知，這些鐵電裝置可以根據施加至電極之電壓、以及遲滯迴路中電荷與電壓間之關係以偏極化，當使用於記憶裝置時，可以使用偏極化之鐵電裝置以代表"1"或"0"。這些記憶裝置通常係稱為鐵-RAM或FeRAM。鐵電裝置係非揮發性的，亦即即使電力從鐵電所嵌入之IC移開後，該裝置仍將維持偏極化。

這些金屬之使用亦會有問題，即使是廣為使用之貴重金屬Pt之貴重金屬電極亦會允許氧之擴散、特別是在高溫之退火方法中。氧穿過Pt之擴散會造成鄰近之障壁與基板材料之氧化。典型上，鄰近之基板材料係矽或二氧化矽。氧化會造成Pt與鄰近層間較差之黏合。氧化亦可以干擾鄰近基板層間之導電性。矽基板特別容易發生由氧擴散所造成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

之問題。最終之結果可能是具有退化之記憶性質之鐵電裝置。此外，IC退火方法之溫度必須限制以防止鐵電裝置之退化。

有各種策略曾嘗試以改善與IC製造中使用貴重金屬作為導電性薄膜有關之互相擴散、黏合與導電性問題。鈦(Ti)、二氧化鈦(TiO_2)、與氮化鈦(TiN)層曾被置於貴重金屬與矽(Si)基板間以抑制氧之互相擴散。不過，Ti層通常只在低於 $600^\circ C$ 之退火溫度下才有效。超過 $600^\circ C$ 之退火後，Pt將擴散穿過Ti層與矽反應而生成矽化物產物。再者，Pt無法停止氧之擴散。在高溫之退火後，氧化矽之薄層可能會在矽基板上生成，其會隔絕矽與電極間之接觸。

其他與Pt金屬薄膜退火有關之問題係剝落與小丘的生成。這二個問題皆與高溫退火過程中Pt和鄰近之IC層之熱膨脹與應力之差異有關。已知覆蓋在Pt薄膜上之Ti層可以降低Pt薄膜之應力以抑制小丘的生成。

Ir曾使用於嘗試解決氧互相擴散之問題。Ir係化學穩定的且具有高熔點。與Pt相比，Ir對氧的擴散更有阻抗。再者，即使當氧化時，氧化鉱仍為導電性。當緊接著Ti成層時，Ir/Ti障壁對氧互相擴散係非常不透過的。不過，Ir可以與Ti反應。如同Pt、Ir與矽或二氧化矽非常有反應性。因此，雙層Ir/Ti或Ir/TiN之障壁並非是理想的障壁金屬。

由Zhang等人所發明且於1999年5月5日所申請之標題為”鉱導電性電極/障壁結構與其製造方法”之審查中之美國專利案號第09/263,595號中揭示對互相擴散具有阻抗之多層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

之Ir/Ta薄膜。

由Zhang等人所發明且於1999年3月5日所申請之標題為”
鈹複合障壁結構與其製造方法”之審查中之美國專利案號第
09/263,970號中揭示對互相擴散具有阻抗且於高溫退火過
程中高度穩定之鈹複合薄膜。

由Zhang等人所發明且於1999年5月21日所申請之標題
為”具有氧化後之耐熔金屬伴同障壁之複合性鈹障壁結構及
其製造方法”之審查中之美國專利案號第09/316,646號中揭
示對互相擴散具有阻抗且於高溫退火過程中高度穩定之具
有氧化後之過渡金屬障壁層之鈹複合薄膜。

若在IC製造中將Ir使用作為導體、導電性障壁、或電極
之替代方法可以發展將是有利的。若Ir可以在不與底下之
Si基板作用之情況下使用將是有利的。

若Ir薄膜可以取代其他之導電性材料以改善互相擴散性
質與結構穩定度將是有利的。再者，若此改良型之Ir薄膜
可以與插入之薄膜成層以防止Ir與矽基板間之反應將會是
有利的。

若前述所提之Ir-金屬薄膜在高退火溫度下可以阻抗氧之
互相擴散將是有利的。若Ir-金屬薄膜不會遭遇剝落問題與
小丘生成將是有利的。

若Ir-金屬薄膜在高溫退火與氧環境之條件後仍維持導電
性將是有利的。

因此，其係提供一種用於積體電路之高溫穩定之導電性
障壁層。此障壁係含有底下之矽基板、包括耐熔金屬障壁

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

覆蓋在基板上之第一障壁薄膜、以及覆蓋在第一障壁薄膜上之銱-耐熔金屬-氧(Ir-M-O)複合薄膜。典型上，第一障壁薄膜係選自由Ta、Ti、Nb、Zr、Hf、TiN、TaN、NbN、ZrN、AlN與HfN所構成的材料。第一障壁薄膜具有範圍為從約10至100毫微米(nm)之厚度。第一障壁薄膜可防止Ir互相擴散至Si或SiO₂基板。其亦可以防止第一複合薄膜與基板間之其他反應。

該Ir-M-O複合薄膜在氧環境下之高溫退火方法後仍可維持導電性。再者，Ir-M複合薄膜可阻抗小丘的生成以及阻抗剝落。特別的是該Ir複合薄膜包括下述之材料：Ir-Ta-O、Ir-Hf-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O與Ir-Zr-O。典型上該Ir-M複合薄膜具有範圍從約10至500毫微米之厚度。前述所提之過渡金屬以及氧係加入第一複合薄膜中以填滿Ir複晶晶界以改善其穩定度，以及阻抗障壁穿透與小丘生成。

在本發明之某些方面中，包括貴重金屬之第二障壁薄膜係覆蓋在第一障壁薄膜上，以限制氧擴散進入第一複合薄膜。第二障壁於退火方法中可幫助防止第一障壁之氧化。第二障壁薄膜係選自由二氧化銱(IrO₂)、二氧化鈦(RuO₂)、Ir、鉑(Pt)與鈦(Ru)所構成的材料。

在本發明之某些方面中，包括貴重金屬之第三障壁薄膜係覆蓋在Ir-M-O複合薄膜上。第三障壁材料係選自由IrO₂、RuO₂、Ir、Ru與Pt所構成的材料。第三障壁可改善第一複合薄膜與例如為鐵電薄膜之隨後沉積薄膜間之界面，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

以改善結晶朝向且改善隨後生成之鐵電裝置之洩漏電流與疲乏特性。

在本發明之某些方面中，該障壁係使用於鐵電裝置中以作為電極。然後，一鐵電薄膜係覆蓋該Ir-M-O薄膜。一由前述所提之Ir-M複合薄膜或其他多層之導電性頂部電極之貴重金屬所製備之導電性金屬薄膜係覆蓋在鐵電薄膜上。該鐵電薄膜可以在頂部與Ir-M-O電極間儲存電荷。

此外亦提供者係一用於生成覆蓋在積體電路基板上之高度溫度穩定導電性障壁之方法。該方法含有步驟：

a) 如前所述，經由PVD(物理蒸汽沉積法)、CVD(化學蒸汽沉積法)、或MOCVD(金屬有機化學蒸汽沉積法)方法將第一障壁層覆蓋在基板上；

b) 如前所述，經由PVD、CVD與MOCVD方法將包括銻、過渡金屬與氧之第一複合薄膜覆蓋在第一障壁層上至範圍約10至500毫微米之厚度；且

b1) 在選自由氧、 N_2 、Ar所構成之氣體與真空之環境下退火第一複合薄膜，其中該退火溫度係在約400至1000°C之範圍，藉此以改善第一複合薄膜之導電性且穩定第一複合薄膜之厚度。

在本發明之某些方面中，在步驟a)後有一額外之步驟；

a) 如前所述，經由CVD、PVD、或MOCVD方法將包括貴重金屬之第二障壁層覆蓋在第一障壁層上。第二障壁層可阻抗氧擴散進入第一障壁薄膜。

在本發明之生成鐵電電容器之某些方面中，在步驟b)後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

有一額外之步驟；

c) (選用的)使用PVD、CVD與MOCVD沉積方法將前述所提之貴重金屬材料之第三障壁層覆蓋在Ir-M-O複合薄膜上至範圍約10至200毫微米之厚度，以改善第一複合薄膜與隨後之沉積材料間之界面；

d) 沉積鐵電材料以覆蓋在第一複合薄膜上；以及

e) 在鐵電材料上沉積導電性頂部電極，藉此以生成鐵電電容器。

濺鍍是使用以沉積複合與障壁薄膜之一種PVD方法。例如，第一障壁材料可以從直徑4英吋之標靶藉步驟a)中之濺鍍、在範圍從約50至800瓦特之能量、2-100毫陶爾(mT)之壓力之Ar氣下以沉積。步驟c)可以包括以範圍從約50至800瓦特之能量共濺鍍Ir與金屬標靶。該標靶係選自由Ta、Ti、Nb、Zr、Al與Hf所構成的金屬。該氣體係具有流量比範圍為約1:5至5:1之Ar-O₂、且氣體壓力係約2至100 mT。當金屬氮化物沉積時，步驟a)包括建立Ar-N₂氣體。

此外，步驟b)包括經由PVD沉積法、以單一、複合之來源、在氧氣之環境下沉積第一複合薄膜。該單一之複合來源係選自由Ir、Ta、Ti、Nb、Zr、Al、Hf與前述所提之材料之氧化物所構成的材料。

圖示之簡要說明

圖1-4係說明使用於積體電路中之已完成之高溫穩定導電性障壁層之步驟。

圖5(a)-(d)係說明本發明之導電性障壁薄膜結構在氧氣中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

之高溫退火後之X光繞射光譜圖。

圖6係說明某些本發明之複合薄膜在氧氣中之高溫退火後之薄片阻抗改變。

圖7係說明用於生成例如使用於鐵電電容器之高溫穩定導電性障壁層之方法步驟之流程。

圖8係描述使用本發明之導電性障壁Ir複合薄膜以生成鐵電電容器之步驟之流程。

較佳具體實施例之詳述

圖1-4係說明使用於積體電路中之已完成之高溫穩定導電性障壁層之步驟。特別地是，該導電性障壁可以使用於鐵電電容器中以作為電極。圖1描述含有基板12、第一障壁薄膜14、導電性障壁10、包括選自Ta、Ti、Nb、Zr、Al與Hf的群集所構成的金屬覆蓋在基板12上。包括銨與氧之第一複合薄膜16係覆蓋在第一障壁薄膜14上。第一複合薄膜16在氧氣環境中之高溫退火後仍維持導電性。

基板12係選自由矽、多晶矽、二氧化矽與矽-鍍化合物所構成的材料，藉此第一障壁層14可防止Ir矽化物的生成。第一障壁薄膜14之材料亦是選自過渡金屬之氮化物所構成的群集，其包括TaN、TiN、NbN、ZrN、AlN與HfN。第一障壁層14具有範圍從約10至100毫微米(nm)之厚度18。

特別地是，數種第一複合薄膜16係可能的。通常，第一複合薄膜16係包括Ir、氧與過渡金屬。導電性障壁層10包括選自由Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Hf-O與Ir-Zr-O所構成的群集之第一複合薄膜16。電極層之導電性可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

以藉改變金屬、Ir、O之相對成份比以變化。當使用濺鍍時，成份比係藉調整施加至Ir與金屬標靶之能量、或藉改變Ar與O₂氣體之比或分壓以變化。

第一複合薄膜16具有厚度範圍從約10至500毫微米之Ir-M-O。第一複合薄膜16與第一障壁層14典型上包括選自Ta、Ti、Nb、Zr、Al與Hf所構成的群集的共用材料。亦即，當第一複合薄膜16包括Ti時，第一障壁層14亦包括Ti。同樣地，當第一複合薄膜16包括Nb時，第一障壁層14亦如此。當第一複合薄膜16包括Zr時，第一障壁層14亦如此。當第一複合薄膜16包括Hf時，第一障壁層14亦如此。不過，薄膜16與障壁14並不需要包括共同之材料。例如在本發明之某些方面，第一複合薄膜16係Ir-Ta-O，但第一障壁係Ti。

圖2係描述圖1之導電性障壁薄膜10之其他方面。導電性障壁層10係進一步含有覆蓋在第一障壁層14上之包括貴重金屬之第二障壁薄膜30。第二障壁薄膜30係限制氧擴散進入第一障壁14。第二障壁薄膜30係選自由二氧化鉍(IrO₂)、二氧化鈦(RuO₂)、Ir、鉑(Pt)與鈦(Ru)所構成的材料。第二障壁薄膜30係具有從約10至200毫微米之厚度32範圍。

圖3係描述本發明之障壁層10之其他方面。第三障壁層36係覆蓋在第一複合薄膜16上。第三障壁層36之材料係選自IrO₂、RuO₂、Ir、Pt與Ru。第二障壁薄膜係具有從約10至200毫微米之厚度38範圍。第三障壁36可改善Ir-M-O層16

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

與隨後沉積層間之界面。

圖4係說明圖1、2或3之導電性障壁10，其係作為鐵電電容器40之一部份。鐵電電容器40進一步包括覆蓋在第一複合薄膜16上之鐵電薄膜42。在本發明之某些方面中，第三障壁層36(未示)係覆蓋著第一複合薄膜16。在其他方面中(未示)，第二障壁層30係覆蓋著第一障壁層14。一導電性金屬薄膜頂部電極44係覆蓋著鐵電薄膜42。以此方式，鐵電薄膜42可以在頂部電極44與底部電極16間儲存電荷、或維持偏極化。頂部電極44係貴重金屬、多層之電極、以及在本發明之其他方面中與Ir複合薄膜16相同之材料。

前述所提之障壁結構可以使用在非揮發性記憶體、例如為MF MOS與MFMS類記憶體、DRAM、電容器、感測器、顯示器與轉能器應用中之矽、聚矽或二氧化矽基板上以作為導電性底部電極/障壁結構。

例如，用於非揮發性記憶體應用中而使用Ir-Ta-O/Ta以作為導電性底部電極/障壁結構之障壁結構具有令人訝異的優點，因為其可以承受1000°C之退火而不會失去其導電性與完整性。Ta障壁層14之氧化係藉置入薄Ir層以作為第二障壁層30以防止。

已經沉積之Ir-Ta-O薄膜16經O₂氣體下600-900°C之後沉積退火1-30分鐘後成為最具導電性。該結構之厚度可以藉在600°C或更高之溫度下退火1分鐘至2小時以穩定化。

圖5(a)-(d)係說明本發明之導電性障壁薄膜結構在氧氣中之高溫退火後之X光繞射光譜圖。第一障壁層係藉在室溫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明 (10)

下300瓦特與5毫陶爾之Ar濺鍍4英吋之標靶以在二氧化矽基板上沉積Ti、Nb或Zr。Ir-金屬-O之電極層係藉在對每一個標靶300瓦特且在Ar-O₂比為1:1之10毫陶爾壓力下共濺鍍Ir與金屬4英吋之標靶以得到。此處之金屬係包括Ti、Nb與Zr。對Ir-Al-O層，使用於Al標靶之能量係150瓦特。基本之壓力係約 1×10^{-7} 陶爾。在氧氣環境下之後沉積退火係在從800°C至900°C間進行，以研究這些結構之熱穩定性。

圖5(a)-(d)之實驗薄膜顯示已沉積之薄膜包括非常細微之Ir複晶。在800°C、O₂退火5分鐘後，結晶之IrO₂尖峰出現在所有的結構中。特別是，所研究之障壁結構包括Ir-Ti-O/Ti/SiO₂、Ir-Nb-O/Nb/SiO₂與Ir-Zr-O/Zr/SiO₂。IrO₂尖峰之強度在900°C、O₂退火後仍持續增高。Ir尖峰幾乎從Ir-Ti-O、Ir-Nb-O與Ir-Zr-O中消失。在900°C退火後，強Ir尖峰仍存在於Ir-Al-O中，此係因為Al標靶中所使用之較小標靶能量，其會造成Ir-Al-O薄膜中較少之Al成份。即使在900°C、O₂退火後，在Ir-Ti-O/Ti/SiO₂中仍觀察不到結晶之TiO₂尖峰。在Ir-Zr-O/Zr/SiO₂結構中，在一步驟之900°C O₂退火後會出現ZrO₂尖峰。在Ir-Nb-O/Nb/SiO₂結構中，在一步驟之900°C O₂退火後亦會出現Nb₂O₅尖峰，但Nb₂O₅尖峰之強度較弱。

圖6係說明某些本發明之複合薄膜在氧氣中之高溫退火後之薄片阻抗改變。所有的Ir-金屬-O薄膜在900°C之氧氣退火5分鐘後仍維持導電性。Ir-Nb-O與Ir-Ti-O薄膜之薄片阻抗在900°C之退火後開始增高，而Ir-Zr-O與Ir-Al-O之薄片

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (11)

阻抗則在 900 °C 之退火後較相同之薄膜在 800 °C 之退火後為低。在 XRD 光譜中未觀察到鉍矽化物或金屬矽化物之尖峰。所以，對此 Ir-金屬-O/金屬或金屬氮化物障壁結構可以維持良好之障壁性質，其中該金屬包括 Ta、Ti、Nb、Al、Hf 與 Zr。

此處所用之符號"/"係定義一薄膜層，故 Ir/Ta 係 Ir 薄膜覆蓋在 Ta 薄膜上。此處所用之符號"- "係定義元素之合併或混合物，故 Ir-Ta 薄膜係包括元素 Ir 與 Ta 之複合薄膜。

圖 7 係說明用於生成例如使用於鐵電電容器之高溫穩定導電性障壁層之方法步驟之流程。步驟 100 係提供積體電路基板。該基板係選自由矽、多晶矽、二氧化矽與矽-鍍化合物所構成的材料。步驟 102 係生成包括選自 Ta、Ti、Nb、Zr 與 Hf 的群集所構成的金屬之第一障壁層，其係覆蓋在基板上。步驟 102 包括生成選自由 TaN、TiN、NbN、ZrN、AlN 與 HfN 所構成的材料之第一障壁。步驟 102 包括經由選自由 CVD、PVD 與 MOCVD 所構成的群集的沉積方法以沉積第一障壁層。可瞭解的是 PVD 方法包括 dc 與 RF 濺鍍沉積方法。在本發明之某些方面中，步驟 102 包括在約室溫下沉積第一障壁層。步驟 102 亦包括沉積第一障壁層至約 10 至 100 毫微米之厚度範圍。

步驟 104 包括生成覆蓋在第一障壁層上之鉍與氧之第一複合薄膜。步驟 104 包括經由選自由 PVD、CVD 與 MOCVD 所構成的群集的沉積方法以沉積第一複合薄膜。在本發明之某些方面中，步驟 104 包括在約室溫下沉積 Ir-M-O 複合薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

份

五、發明說明(12)

至約10至500毫微米之厚度範圍。步驟104包括選自由Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Hf-O與Ir-Zr-O所構成的群集之第一複合薄膜。步驟106係產物，其中係生成可阻抗與基板之作用之多層結構。

在本發明之某些方面中，步驟102包括藉在包括Ar壓力範圍在2至100毫陶爾之氣體中約50-800瓦特下濺鍍以沉積第一障壁材料金屬(Ta、Ti、Nb、Zr與Hf)。金屬氮化物第一障壁材料係藉在Ar與N₂之氣體中濺鍍前述所提之耐熔金屬、或Al以生成。藉著較大之標靶，能量程度範圍係約2至20仟瓦。

當使用濺鍍時，步驟100典型上包括建立低於 1×10^{-5} 且較佳係 1×10^{-7} 陶爾之基本、預沉積之系統壓力。在本發明之某些方面中，步驟104包括經由PVD沉積法以沉積第一複合薄膜。特別的是，其係使用具有分開之Ir與金屬標靶之dc共濺鍍。該濺鍍係在Ar-O₂流量比或分壓範圍約1:5至5:1之氣體中進行。沉積壓力係從約2改變至100毫陶爾。再者，步驟104包括在50至800瓦特之能量範圍下、以4英吋之標靶同時濺鍍該標靶。對例如為11英吋之較大標靶，該能量需跟著放大。對較大標靶之適當能量範圍係約2至20仟瓦(kW)，此外，該能量係表示成在約數百伏特下之約10至100毫安培(mA)之電流密度範圍。該金屬標靶係選自Ta、Ti、Nb、Zr、Al與Hf。當使用金屬氧化物標靶時，包括來自前述所提之群集之金屬、典型上係使用RF濺鍍而非dc濺鍍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

此外，步驟 104 包括經由 PVD 沉積法以沉積第一複合薄膜，其係在氧氣環境中使用以單一、複合標靶之濺鍍。特別地是，該單一、複合來源係使用 Ir 與選自 Ta、Ti、Nb、Zr、Al、Hf 與前述所提之金屬材料之氧化物之其他來源材料之標靶。典型上，該濺鍍係在氧氣中進行，雖然當標靶材料含有形式為金屬氧化物之氧時，氧氣環境係較不重要的。

在本發明之某些方面中，在步驟 104 後有一額外之步驟。步驟 104a 包括退火第一複合薄膜以改善導電性且穩定第一複合薄膜之厚度。其係使用快速熱退火 (RTA) 與火爐退火方法。該退火係在選自由 N_2 、 O_2 、Ar 所構成之氣體與真空之環境，且退火溫度係在約 400 至 1000 °C 之範圍下進行約 1 至 120 分鐘之時間範圍。

本發明之某些方面在步驟 102 後包括一額外之步驟。步驟 102a 係生成覆蓋在第一障壁層上之包括貴重金屬之第二障壁層，藉此第二障壁層可阻抗氧擴散進入第一複合薄膜。步驟 102a 包括沉積選自 Ir、Ru、 IrO_2 、Pt 與 RuO_2 之第二障壁層。步驟 102a 包括沉積第二障壁層至約 10 至 200 毫微米之厚度範圍。第二障壁層係經由選自由 PVD、CVD 與 MOCVD 所構成的群集的沉積方法以沉積。在本發明之某些方面中，步驟 102a 包括在約室溫下沉積第二障壁層。

本發明之某些方面在步驟 104 後包括一額外之步驟。步驟 104b 係生成覆蓋在第一複合薄膜上之選自由 Ir、Ru、 IrO_2 、Pt 與 RuO_2 所構成之群集之第三障壁層，藉此第三障壁可改

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

善第一複合薄膜與隨後之沉積材料間之界面。結果，隨後沉積之薄膜、通常係鐵電薄膜會生成具有改良之漏電與疲乏性質之裝置，且具有改良之結晶結構之薄膜。步驟 104b 包括沉積第三障壁薄膜至約 10 至 200 毫微米之厚度範圍。第三障壁層之沉積方法係選自 PVD、CVD 與 MOCVD。在本發明之某些方面中，步驟 104b 包括在約室溫下沉積第三障壁層。

圖 8 係描述使用本發明之導電性障壁第一複合薄膜以生成鐵電電容器之步驟之流程。步驟 200 至 204 係重複圖 7 中之步驟 100 至 104。在本發明之某些方面中(未示)，一額外之步驟係在第一障壁上生成第二障壁層。在本發明之某些方面中(未示)，一額外之步驟係在第一複合薄膜上生成第三障壁層。步驟 206 係生成一覆蓋在第一複合層上之鐵電材料。步驟 208 如前所述在鐵電材料上生成導電性頂部電極。步驟 210 係產物，其係生成鐵電電容器。

一可以使用於生成鐵電電容器之電極之 Ir-M-O 複合薄膜已提供。該複合薄膜包括各種過渡金屬與氧、以及鉍。該 Ir-M-O 複合薄膜結構上非常穩定且可阻抗氧環境下之高溫退火。當與底下之過渡金屬障壁層一起使用時，所生成之導電性障壁亦可抑制 Ir 擴散進任何底下之 Si 基板。結果，會使電極界面特性衰退之 Ir 矽化物產物不會生成。該 Ir 複合薄膜即使是在氧環境下之高溫退火方法中仍然為導電性且可阻抗剝落與小丘的生成。前述所提之 Ir 複合薄膜係可使用於非揮發性記憶體、例如為金屬鐵電金屬氧化物矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

(MF MOS)、金屬鐵電金屬矽(MFMS)、DRAM、電容器、焦熱電紅外線偵測器、光學顯示器、光學開關、壓電變換器與表面聲波(SAW)裝置之製造中。此外，該Ir複合薄膜可以使用於其他之高溫氧化環境中。例如，在航空太空應用中，此一材料可使用於火箭引擎的製造。其他的變化與具體實施例將由熟習該項技藝之人士所想起。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 具有耐熔金屬伴同障壁之複合性鉱-金屬-氧障壁及其製造方法)

提供一種可以使用於生成鐵電電容器之電極之 Ir-M-O 複合薄膜，其中 M 係包括各種耐熔金屬。該 Ir 合併薄膜係可阻抗氧環境下之高溫退火。當與底下由相同之各種 M 過渡金屬所製造之障壁層組合使用時，所生成之導電性障壁亦可抑制 Ir 擴散進入任何底下之 Si 基板。結果，未生成會退化電極界面特性之 Ir 矽化物產物。亦即，即使在氧氣中之高溫退火過程中，Ir 合併薄膜仍維持導電性，不會剝落或生成小丘。該 Ir-M-O 導電性電極/障壁結構可以使用於非揮發性 FeRAM 裝置、DRAM、電容器、焦熱電紅外線偵測器、光學顯示器、光學開關、壓電變換器與表面聲波裝置中。其亦提供一種用於生成 Ir-M-O 複合薄膜障壁層與 Ir-M-O 複合薄膜鐵電電極之方法。

英文發明摘要(發明之名稱： COMPOSITE IRIDIUM-METAL-OXYGEN BARRIER STRUCTURE WITH REFRACTORY METAL COMPANION BARRIER AND METHOD FOR SAME)

An Ir-M-O composite film has been provided that is useful in forming an electrode of a ferroelectric capacitor, where M includes a variety of refractory metals. The Ir combination film is resistant to high temperature annealing in oxygen environments. When used with an underlying barrier layer made from the same variety of M transition metals, the resulting conductive barrier also suppresses to diffusion of Ir into any underlying Si substrate. As a result, Ir silicide products are not formed, which degrade the electrode interface characteristics. That is, the Ir combination film remains conductive, not peeling or forming hillocks, during high temperature annealing processes, even in oxygen. The Ir-M-O conductive electrode/barrier structures are useful in nonvolatile FeRAM devices, DRAMs, capacitors, pyroelectric infrared sensors, optical displays, optical switches, piezoelectric transducers, and surface acoustic wave devices. A method for forming an Ir-M-O composite film barrier layer and an Ir-M-O composite film ferroelectric electrode are also provided.

六、申請專利範圍

1. 一種在積體電路中高度溫度穩定之導電性障壁，其係含有：
一基板；
覆蓋在該基板上且包括選自 Ta、Ti、Nb、Zr、Al 與 Hf 所構成的群集的金屬的第一障壁層；
覆蓋在第一障壁層上且包括鉍與氧之第一複合薄膜，藉此該第一複合薄膜在氧環境下之高溫退火後仍可維持導電性。
2. 根據申請專利範圍第 1 項之導電性障壁，其係進一步含有：
覆蓋在該第一障壁層上且包括貴重金屬之第二障壁層，藉此該第二障壁層可限制氧擴散進入該第一障壁層。
3. 根據申請專利範圍第 2 項之導電性障壁，其中該第二障壁層係選自由二氧化鉍 (IrO_2)、二氧化鈦 (RuO_2)、Ir、鉑 (Pt) 與鈦 (Ru) 所構成的材料。
4. 根據申請專利範圍第 3 項之導電性障壁，其中該第二障壁層係具有約 10 至 200 毫微米之厚度範圍。
5. 根據申請專利範圍第 1 項之導電性障壁，其中該基板係選自由由矽、聚矽、二氧化矽與矽-鍍化合物所構成的材料，藉此該第一障壁層可防止 Ir 矽化物的生成。
6. 根據申請專利範圍第 1 項之導電性障壁，其中該第一障壁層係選自由 TiN、TaN、NbN、ZrN、AlN 與 HfN 所構成的材料。
7. 根據申請專利範圍第 1 項之導電性障壁，其中該第一障

六、申請專利範圍

壁層係具有約10至100毫微米之厚度範圍。

8. 根據申請專利範圍第1項之導電性障壁，其中該第一複合薄膜係選自 Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Hf-O 與 Ir-Zr-O。
9. 根據申請專利範圍第1項之導電性障壁，其中該第一複合薄膜與該第一障壁層係包括選自由 Ta、Ti、Nb、Zr、Al 與 Hf 所構成的材料群集的共同材料。
10. 根據申請專利範圍第1項之導電性障壁，其中該第一複合薄膜係具有約10至500毫微米之厚度範圍。
11. 根據申請專利範圍第1項之導電性障壁，其進一步含有覆蓋在該第一複合薄膜上之第三障壁層，該第三障壁層係選自由 IrO₂、RuO₂、Ir、Ru 與 Pt 所構成的群集的材料，藉此該第三障壁可改善與隨後沉積薄膜層間之界面。
12. 根據申請專利範圍第11項之導電性障壁，其中該第三障壁層係具有約10至200毫微米之厚度範圍。
13. 根據申請專利範圍第1項之導電性障壁，其中係生成鐵電電容器，其進一步含有：
覆蓋在該第一複合薄膜上之鐵電薄膜；以及
覆蓋在該鐵電薄膜上之導電性金屬薄膜頂部電極，藉此以生成鐵電電容器，其係能夠在該第一複合薄膜與該頂部電極間儲存電荷。
14. 一種生成覆蓋在積體電路基板上之高度溫度穩定導電性障壁之方法，該方法含有步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- a) 生成覆蓋在該基板上且包括選自由 Ta、Ti、Nb、Al、Hf 與 Zr 所構成的群集的金屬的第一障壁層；以及
- b) 生成覆蓋在第一障壁層上且包括鈹與氧之第一複合薄膜，藉此以生成可阻抗與基板之作用之多層結構。
15. 根據申請專利範圍第 14 項之方法，其在步驟 a) 後包括一額外之步驟：
- a1) 生成覆蓋在第一障壁層上且包括貴重金屬之第二障壁層，藉此第二障壁層可阻抗氧擴散進入第一障壁層。
16. 根據申請專利範圍第 15 項之方法，其中步驟 a1) 包括經由選自由 CVD、PVD 與 MOCVD 所構成的群集的沉積方法以沉積第二障壁層。
17. 根據申請專利範圍第 15 項之方法，其中步驟 a1) 包括沉積選自由 Ir、Ru、IrO₂、Pt 與 RuO₂ 所構成的群集的第二障壁層。
18. 根據申請專利範圍第 15 項之方法，其中步驟 a1) 包括在約室溫下沉積第二障壁層。
19. 根據申請專利範圍第 15 項之方法，其中步驟 a1) 係包括沉積具有約 10 至 200 毫微米 (nm) 之厚度範圍之第二障壁層。
20. 根據申請專利範圍第 14 項之方法，其在步驟 b) 後包括一額外之步驟：
- c) 生成覆蓋在第一複合薄膜上且選自由 IrO₂、RuO₂、Ir、Ru 與 Pt 所構成的材料群集之第三障壁層，藉此以改善第一複合薄膜與隨後沉積材料間之界面。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

21. 根據申請專利範圍第20項之方法，其中步驟c)包括使用CVD、PVD與MOCVD沉積方法以沉積第三障壁層至約10至200毫微米之厚度範圍。
22. 根據申請專利範圍第20項之方法，其中步驟c)包括在約室溫下沉積第三障壁層。
23. 根據申請專利範圍第14項之方法，其中步驟b)包括沉積第一複合薄膜至約10至500毫微米之厚度範圍。
24. 根據申請專利範圍第14項之方法，其中步驟b)包括經由選自由PVD、CVD與MOCVD所構成的群集的沉積方法以沉積第一複合薄膜。
25. 根據申請專利範圍第24項之方法，其中步驟b)包括使用約2至20仟瓦特之能量程度範圍以dc共濺鍍分開之Ir與金屬標靶，其中該金屬標靶係選自由Ta、Ti、Nb、Zr、Al與Hf所構成的金屬群集，其中氣體中之Ar-O₂比範圍約1:5至5:1，且其中氣體壓力範圍係約2至100毫陶爾。
26. 根據申請專利範圍第24項之方法，其中步驟b)包括使用約2至20仟瓦特之能量程度範圍以RF共濺鍍分開之Ir與金屬標靶，其中該金屬氧化物標靶係包括由Ta、Ti、Nb、Zr、Al與Hf所構成的群集所選出之金屬，其中氣體中之Ar-O₂比範圍約1:5至5:1，且其中氣體壓力範圍係約2至100毫陶爾。
27. 根據申請專利範圍第24項之方法，其中步驟b)包括經由PVD沉積法，在氧環境中以單一、複合來源共濺鍍而沉

六、申請專利範圍

積第一複合薄膜。

28. 根據申請專利範圍第27項之方法，其中步驟b)包括單一、複合來源係Ir與選自由Ir、Ta、Ti、Nb、Zr、Al、Hf與前述所提之材料之氧化物所構成的材料群集之來源材料之標靶。
29. 根據申請專利範圍第14項之方法，其中步驟b)包括選自由Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Hf-O與Ir-Zr-O所構成的材料群集之第一複合薄膜。
30. 根據申請專利範圍第14項之方法，其中步驟b)包括在約室溫下沉積第一複合薄膜。
31. 根據申請專利範圍第14項之方法，其中步驟b)包括經由選自由PVD、CVD與MOCVD所構成的群集的沉積方法以沉積第一障壁層。
32. 根據申請專利範圍第31項之方法，其中步驟a)包括藉在約2至20仟瓦特之能量範圍，氣體Ar壓力範圍係約2至100毫陶爾(mT)下濺鍍以沉積第一障壁材料。
33. 根據申請專利範圍第14項之方法，其中步驟a)包括生成由TaN、TiN、NbN、AlN、HfN與ZrN所構成的材料群集所選出之第一障壁。
34. 根據申請專利範圍第33項之方法，其中步驟a)包括在Ar-N₂常壓下濺鍍由Ta、Ti、Nb、Al、Hf與Zr所構成的群集所選出的金屬。
35. 根據申請專利範圍第14項之方法，其中步驟a)包括在約室溫下沉積第一障壁層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

36. 根據申請專利範圍第14項之方法，其中步驟a)包括沉積第一障壁層至約10至100毫微米之厚度範圍。
37. 根據申請專利範圍第14項之方法，其中係生成鐵電電容器，在步驟b)後包括額外之步驟：
- d) 生成覆蓋在第一複合薄膜上之鐵電材料；以及
 - e) 生成覆蓋在鐵電材料上之導電性頂部電極，藉此以生成鐵電電容器。
38. 根據申請專利範圍第14項之方法，其在步驟b)後包括額外之步驟：
- b1) 退火第一複合薄膜，藉此以改善第一複合薄膜之導電性且穩定第一複合薄膜之厚度。
39. 根據申請專利範圍第38項之方法，其中步驟b1)包括在選自由氧、 N_2 、Ar所構成之氣體與真空之環境，且其中退火溫度係在約400至1000°C之範圍下進行約1至120分鐘之時間範圍內退火。
40. 根據申請專利範圍第14項之方法，其中該基板係選自由矽、多晶矽、二氧化矽與矽-鍍化合物所構成的材料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

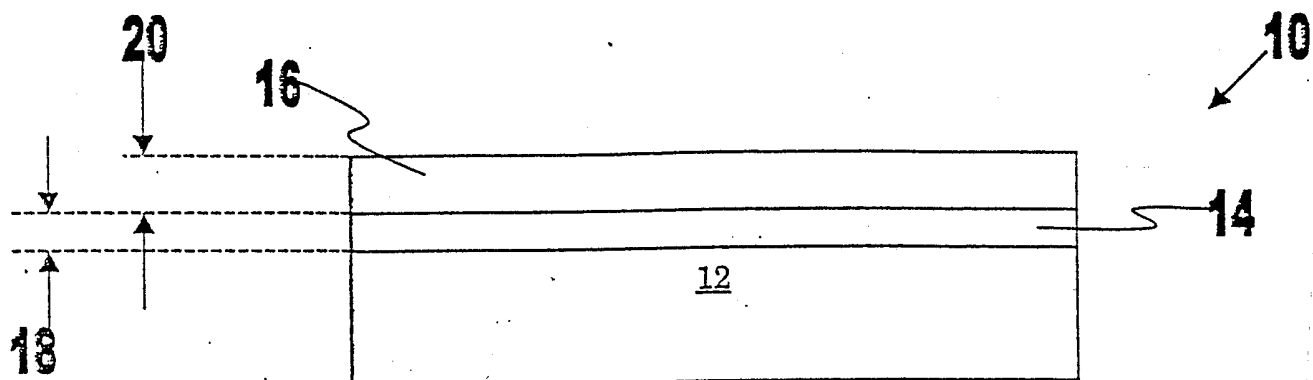


圖 1

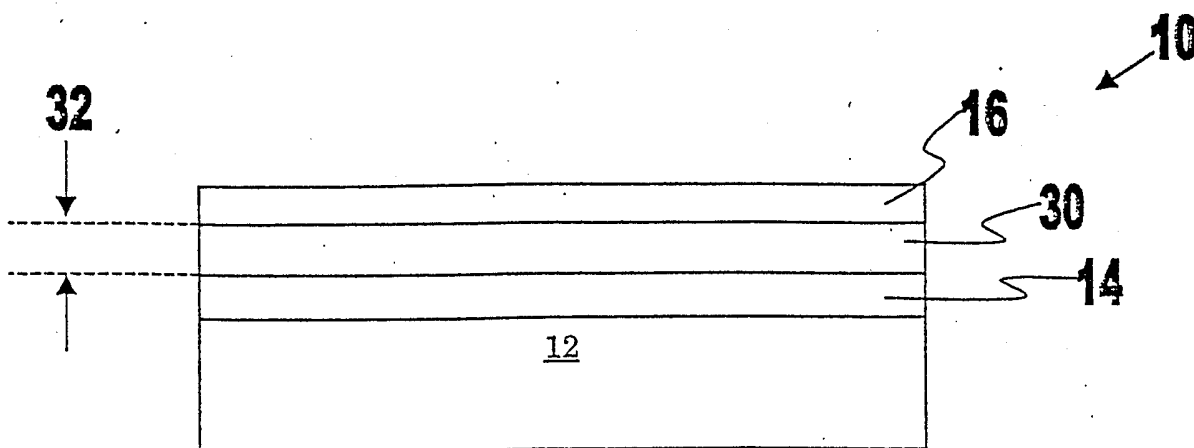


圖 2

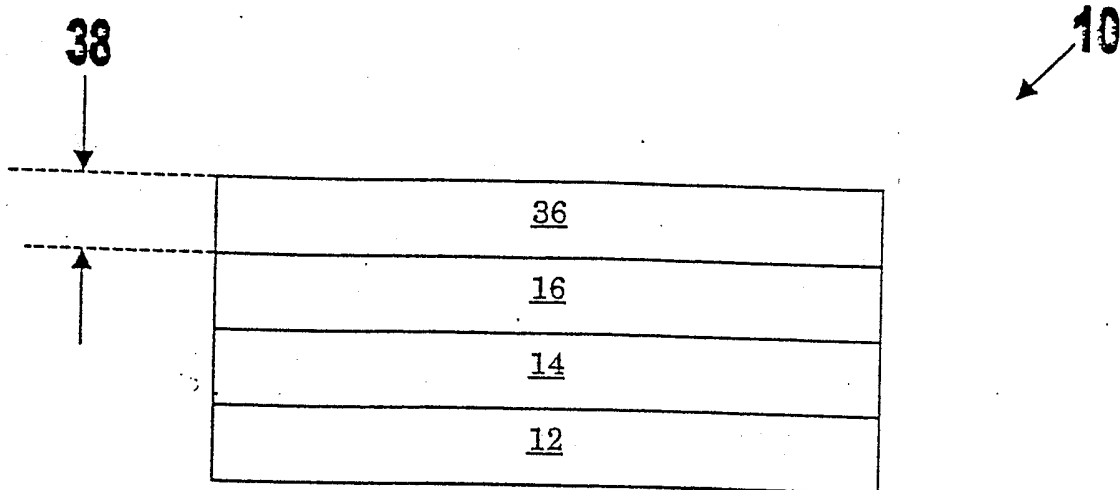


圖 3

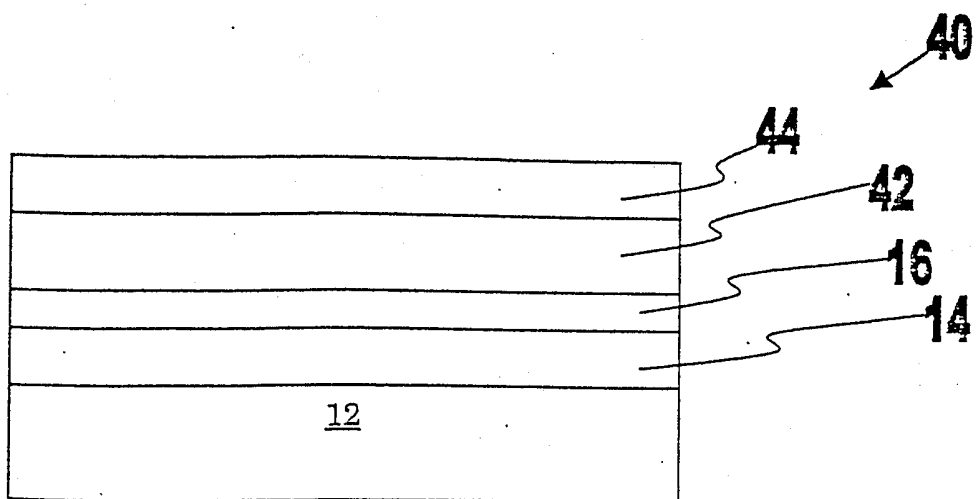
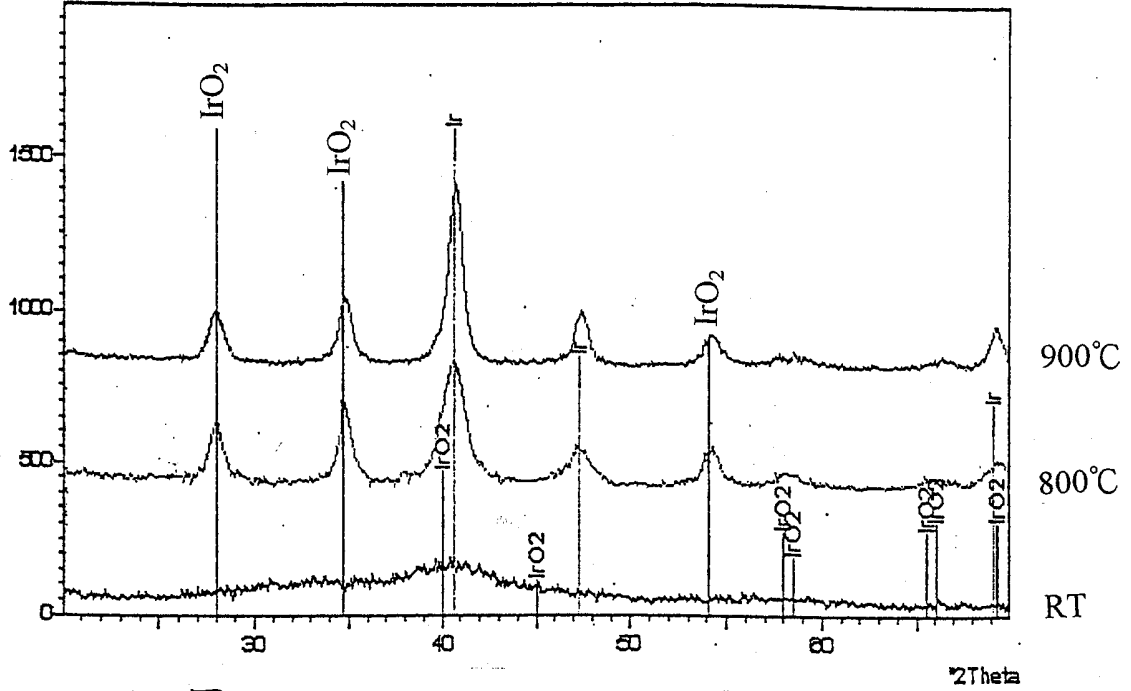


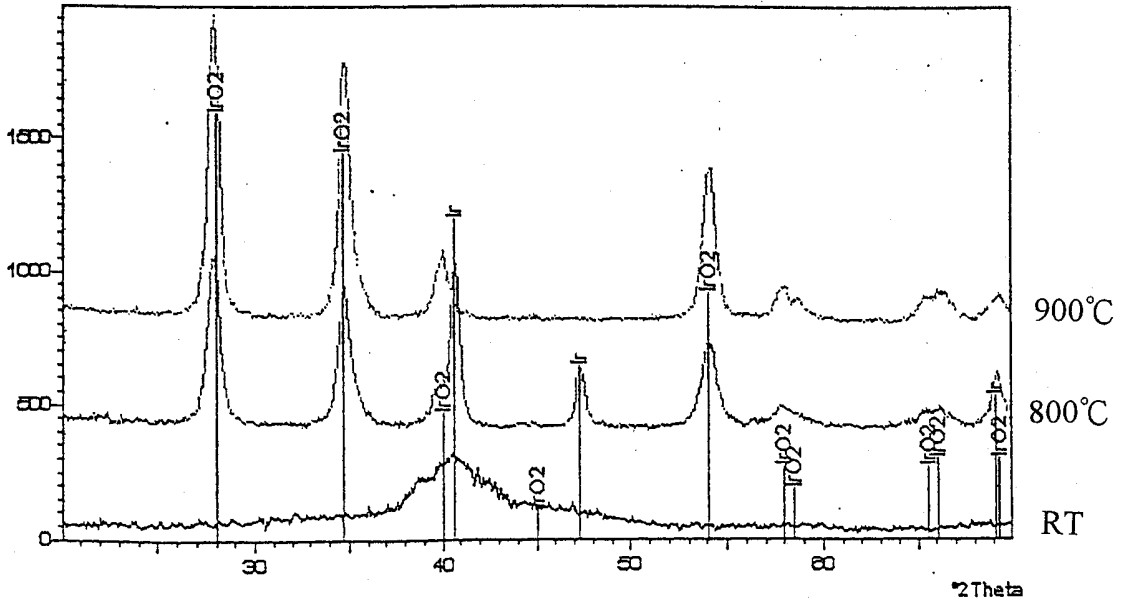
圖 4

計數/秒



(a) Ir-Al-O 圖 5(a)

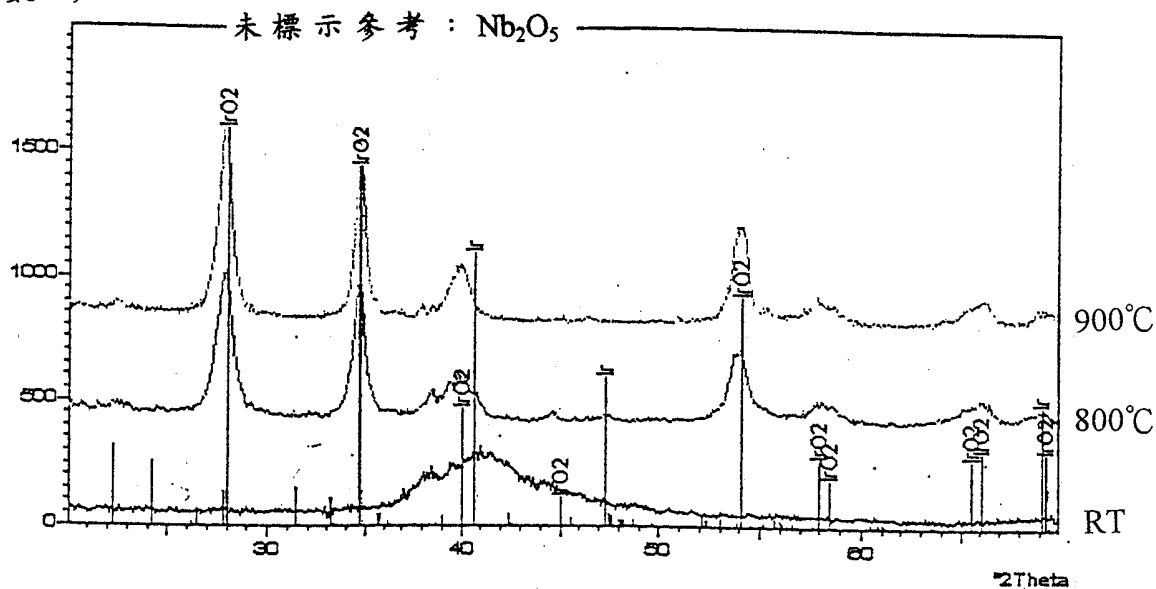
計數/秒



(b) Ir-Ti-O

圖 5(b)

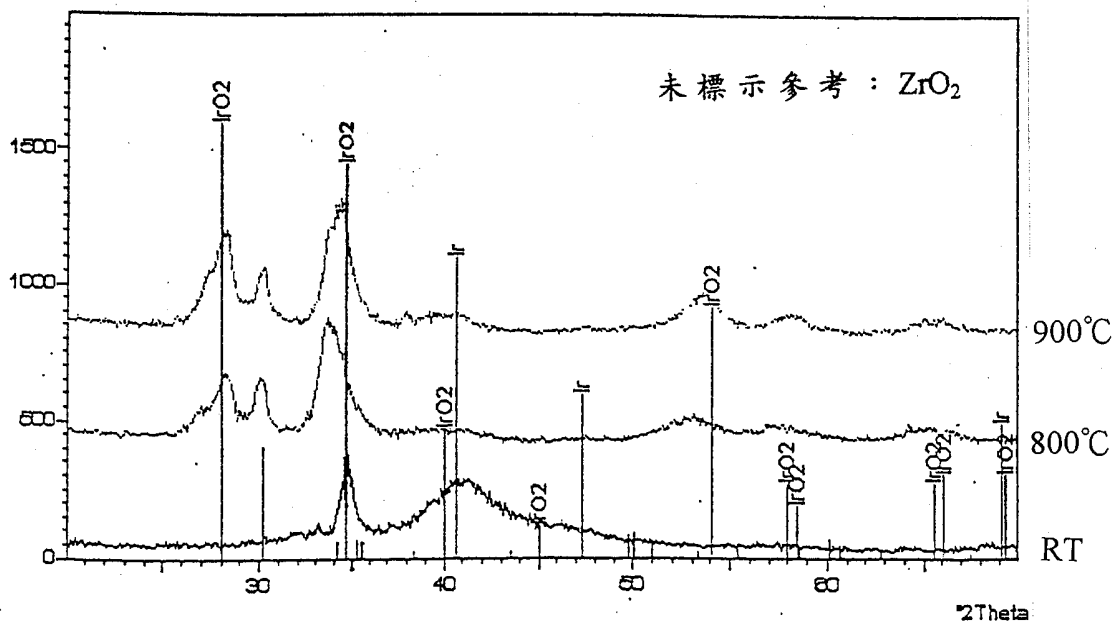
計數 / 秒



(c) Ir-Nb-O

圖 5(c)

計數 / 秒



(d) Ir-Zr-O

圖 5(d)

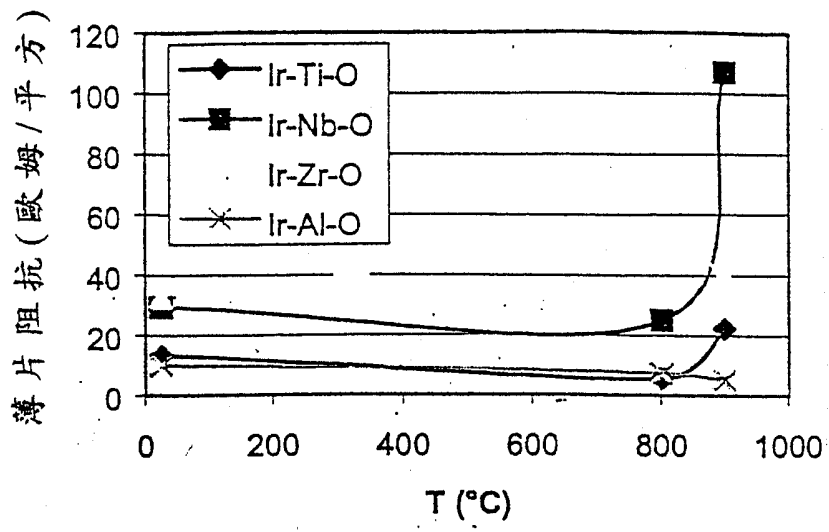


圖 6

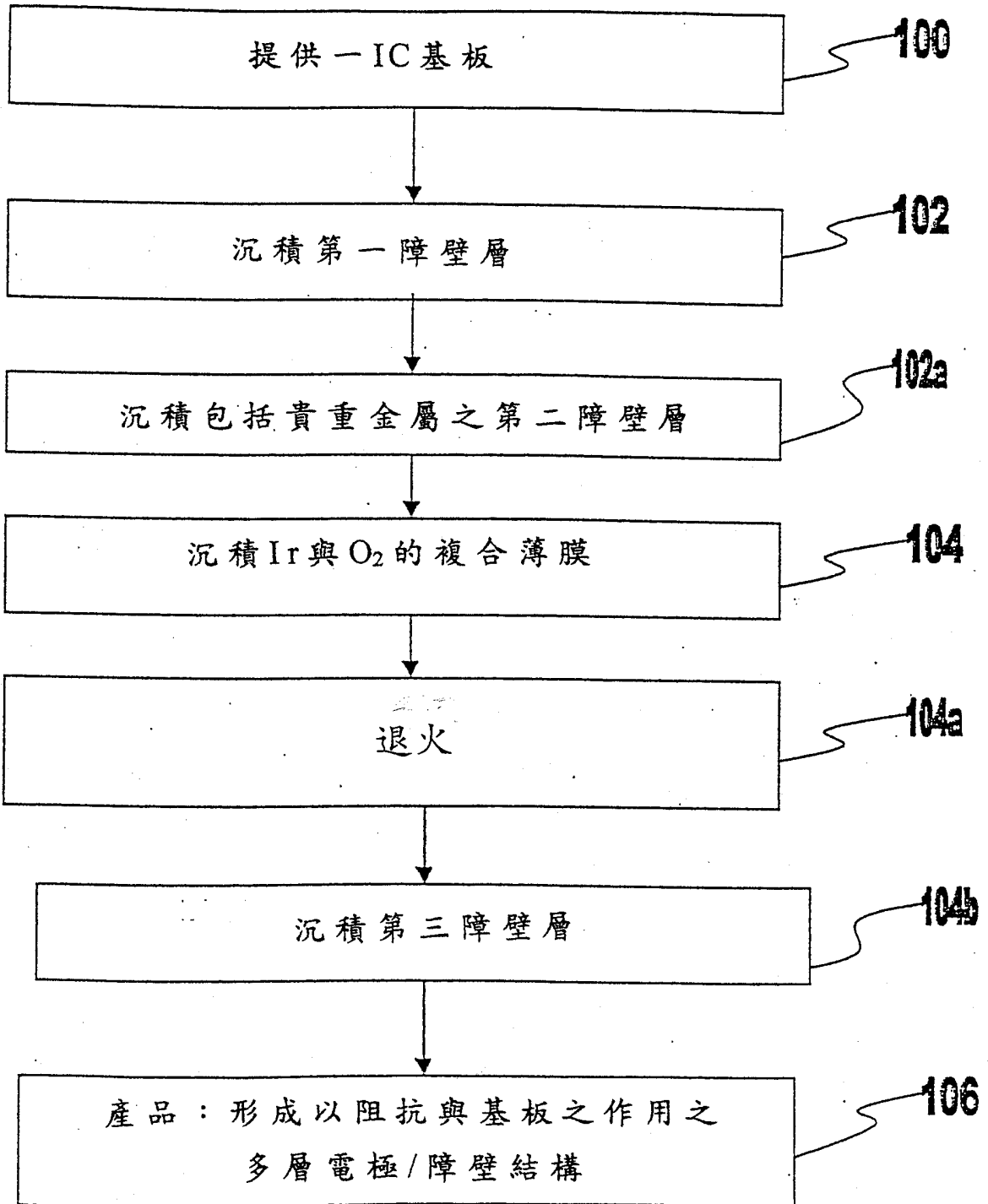


圖7

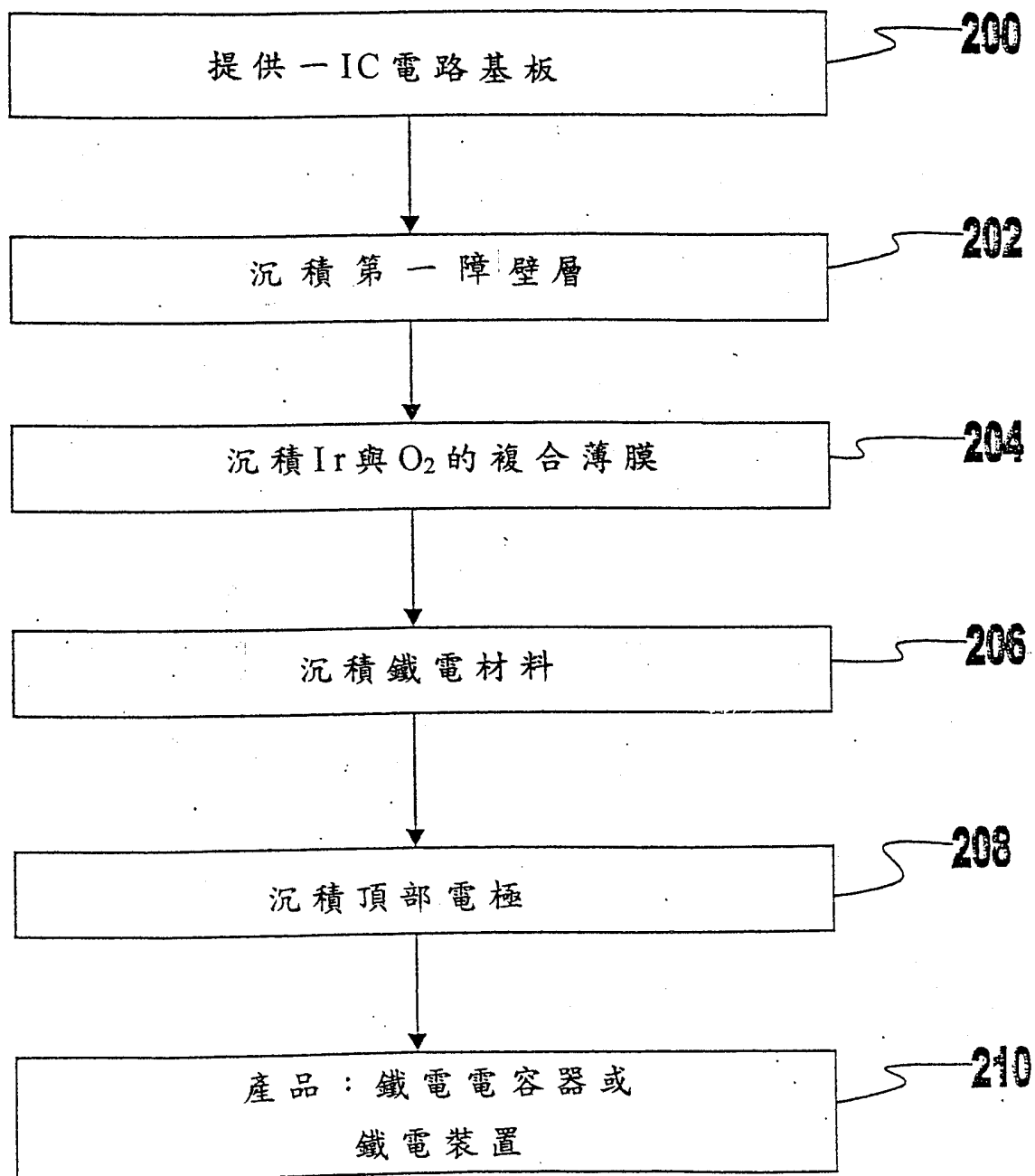


圖 8

公告本

90年6月28日 修正
補充

申請日期	89. 5. 20
案 號	89109874
類 別	H01C 2/02 ; H01C 2/85

A4
C4 460930

說明書修正本(90年6月)

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有耐熔金屬伴同障壁之複合性鉱-金屬-氧障壁及其製造方法
	英 文	COMPOSITE IRIIDIUM-METAL-OXYGEN BARRIER STRUCTURE WITH REFRACTORY METAL COMPANION BARRIER AND METHOD FOR SAME
二、發明 創作人	姓 名	1. 張 風 燕 2. 馬 澤 先 3. 許 勝 籐 4. 莊 維 偉
	國 籍	1. 4. 均中國 2. 3. 均美國
	住、居所	1. 美國 華盛頓州98683 凡庫弗市 東南32街 16804號 2. 美國 華盛頓州98684 凡庫弗市 所羅門東南街 1511號 3. 美國 華盛頓州98607 坎馬斯市 樽魚西北街 2216號 4. 美國 華盛頓州98684 凡庫弗市 東南161街 2404號
三、申請人	姓 名 (名稱)	日商夏普股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	町田 勝 彥

經濟部智慧財產局員工消費合作社印製

裝 訂 線

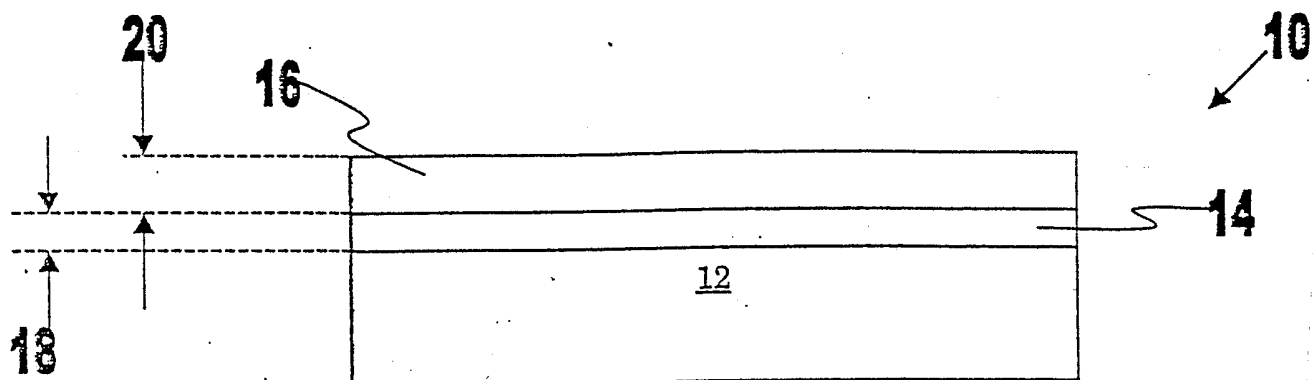


圖 1

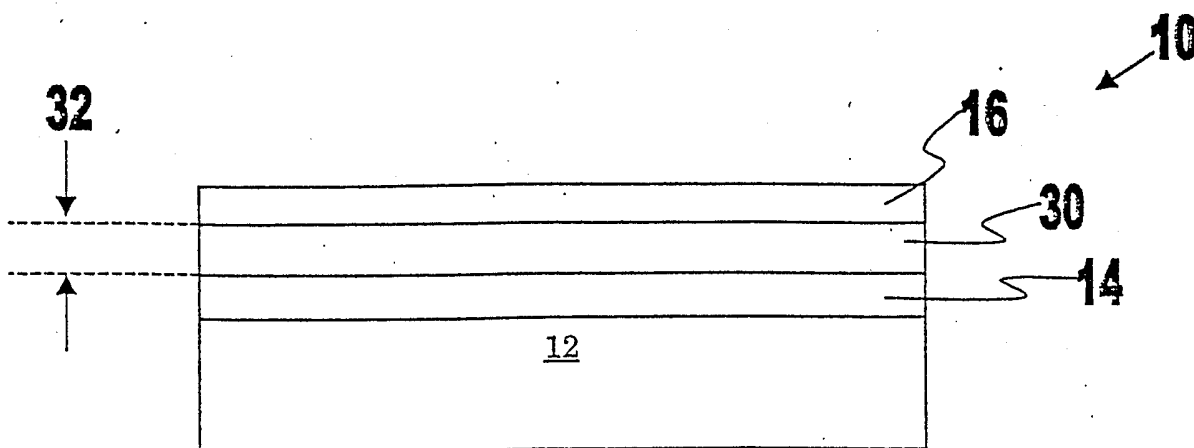


圖 2