

I312647

(此處由本局於收
文時黏貼條碼)

760515

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95103797

※申請日期：95年02月03日

※IPC分類：H05K 1/09

一、發明名稱：

(中) 陶瓷配線基板、和該製造方法、及使用此之半導體裝置
(英)

二、申請人：(共 2 人)

1. 姓 名：(中) 東芝股份有限公司

(英) KABUSHIKI KAISHA TOSHIBA

代表人：(中) 1. 西田厚聰

(英) 1. NISHIDA, ATSUTOSHI

地 址：(中) 日本國東京都港區芝浦一丁目一番一號

(英) 1-1, Shibaura 1-chome, Minato-ku, Tokyo 105-8001, Japan

國籍：(中英) 日本 JAPAN

2. 姓 名：(中) 東芝高新材料公司

(英) TOSHIBA MATERIALS CO., LTD.

代表人：(中) 1. 山口守衛

(英) 1. YAMAGUCHI, MORIE

地 址：(中) 日本國神奈川縣橫濱市磯子區新杉田町八番地

(英) 8, Shinsugita-cho, Isogo-ku, Yokohama-shi, Kanagawa-ken,
Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 中村美保

(英) NAKAMURA, MIHO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 福田悅幸

(英) FUKUDA, YOSHIYUKI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2005/02/07 ; 2005-030092 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關一種使用作為半導體元件的搭載基板等的陶瓷配線基板、和該製造方法、以及使用其之半導體裝置。

【先前技術】

使用氮化鋁基板或氮化矽基板等的絕緣性陶瓷基板，作為以雷射二極體或光二極體等的光半導體元件為始的各種半導體元件的搭載基板。將陶瓷基板應用在光半導體元件的副安裝基板等，在其表面應用真空蒸鍍法或濺鍍法的PVD法，或CVD法等之薄膜形成技術，以形成配線層(例如參照專利文獻1)。

第4圖係表示以往的陶瓷配線基板的構造之剖面圖。在該圖中，1係例如由氮化鋁燒結體所構成的絕緣性陶瓷基板，在其表面隔著由Ti所構成的基材金屬層2和由Pt所構成的第1擴散防止層3，形成有由Au所構成的主導體層4。在主導體層4的半導體元件之連接部(電極連接部)，隔著由Pt等所構成的第2擴散防止層5，形成有由Au-Sn合金所構成的銲錫層6。為了防止銲錫層6的表面氧化，而有以AU層7覆蓋的情況。

此外，在第4圖所示的陶瓷配線基板中，在絕緣性陶瓷基板1的下面側，設置有依序層積形成：基材金屬層2、第1擴散防止層3、Au層(主導體層)4的導體層。

(2)

下面側的導體層，係在將絕緣性陶瓷基板 1 安裝於外部電路基板上或封裝體內時，作為接合用金屬層。下面側的導體層亦有作為接地導體層等使用之情況。

介存在上述主導體層 4 和鉚錫層 6 之間的第 2 擴散防止層 5，在隔著鉚錫層 6 的 Au-Sn 合金等接合固定半導體元件時，防止主導體層 4 的 Au 從 Au-Sn 合金等所構成的鉚錫層 6 中擴散。當主導體層 4 的 Au 擴散到鉚錫層 6 的 Au-Sn 鉚錫合金中時，導致合金組成 Au 過多 (Au Rich) 而導致融點的上昇，無法以鉚接溫度 (加熱溫度) 完全溶融 Au-Sn 合金。結果，導致接合強度的降低等。

然而，在以往的陶瓷配線基板中，為了接合半導體元件而加熱配線基板時，將使構成鉚錫層 6 中的 Sn 和第 2 擴散防止層 5 之 Pt 的濕潤性變差，導致接合強度降低。再者，已知藉由加熱，使鉚錫層 6 中的 Sn 擴散到第 2 擴散防止層 5 中，而在鉚錫層 6 和第 2 擴散防止層 5 的界面附近產生空孔。當產生這種空孔時，將導致配線基板和半導體元件強固接合變為困難。再者，由於空孔使連接部的電性阻抗增大，因此有導致半導體元件的動作電流上升之虞。

特別是，在將雷射二極體等的光半導體元件搭載於配線基板上時，如上所述，主要使用 Au-Sn 合金。由於 Au-Sn 合金較硬且脆，因此因為接合時的熱負荷等，將有導致半導體元件產生特性劣化之慮。為了避免這種問題，而檢討應用比 Sn-Cu 合金或 Sn-Ag 合金等的 Au-Sn 合金軟

(3)

的 Sn 合金。但這些 Sn 合金一般由於 Sn 濃度高於 Au-Sn 合金，因此容易引起與擴散防止層的反應 (Sn 擴散到擴散防止層內)，結果在界面附近容易產生空孔。

[專利文獻 1]日本特開 2002-252316 號公報。

【發明內容】

[發明之揭示]

本發明的目的係提供一種陶瓷配線基板、和該製造方法，係於陶瓷配線基板上隔著鉕錫層，接合半導體元件，依據鉕錫層與擴散防止層的反應，抑制空孔的產生，可防止半導體元件的接合強度降低，更提供一種使用該陶瓷配線基板的半導體裝置。

本發明之一樣態的陶瓷配線基板，係具備有：陶瓷基板、及具備：配線部，係具有依序層積於前述陶瓷基板的表面的基材金屬層、第 1 擴散防止層及第 1 Au 鋁層的配線部；和具有形成於前述配線部上且依序被層積的第 2 擴散防止層、空孔抑制層、及至少含有 Sn 的鉕錫層之連接部的配線層。

本發明之另一樣態的陶瓷配線基板的製造方法，係具有：依序於陶瓷基板的表面層積基材金屬層、第 1 擴散防止層及第 1 鋁層，形成前述配線層的配線部之步驟；及於前述配線部上依序層積第 2 擴散防止層、空孔抑制層、及至少包含 Sn 的鉕錫層，形成前述配線層的連接部之步驟。

(4)

本發明之另一樣態的半導體元件，係隔著前述銲錫層，電及機械性連接於與本發明之樣態的陶瓷配線基板、和前述陶瓷配線基板的前述配線層上。

【實施方式】

以下，參照圖面說明用來實施本發明的形態。此外，雖然依據圖面敘述本發明的實施形態，但此等圖面僅提供用於圖解的目的，本發明並不限定於此等圖面。

第 1 圖係表示本發明的一實施形態的陶瓷配線基板的構成之剖面圖。第 1 圖所示的陶瓷配線基板 10 係具有作為絕緣性基板的陶瓷基板 11。在陶瓷基板 11 例如使用以氮化鋁 (AlN)、氮化矽 (Si_3N_4) 等為主成分的氮化物系陶瓷 (燒結體)，又，以氧化鋁 (Al_2O_3) 為主成分的氧化物系陶瓷 (燒結體)。由於此等之熱傳導性等優良，因此應用氮化物系陶瓷較佳。又，從熱傳導性的點來看，碳化矽 (SiC) 亦適合應用於基板。但因碳化矽具有導電性，故於表面形成絕緣膜，而應用在基板 11。

在陶瓷基板 11 的主表面 11a 上形成配線層 12。配線層 12 例如藉由真空蒸鍍法、濺鍍法、離子噴鍍法、分子線磊晶法 (MBE 法)、雷射層積法、離子光束層積法的 PVD 法、熱 CVD 法、電漿 CVD 法、光 CVD 法的 CVD 法，藉由電鍍法等之薄膜形成法加以形成。配線層 12 係具有配線部 13 和連接部 14。配線部 13 係具有依序層積形成在陶瓷基板 11 上的基材金屬層 15、第 1 擴散防止層 16、作

(5)

為主導體層的第 1Au 層 17。

基材金屬層 15 係有助於陶瓷基板 11 和配線層 12 的密接性或密接強度的提升等。在基材金屬層 15 使用以例如 Ti、Zr、Hf、Nb、Cr、Ta 及 Ni 中選出來至少 1 種，或以此等為基礎的合金。這些金屬中，於陶瓷基板 11 應用氮化物系陶瓷時，以應用 Ti、Zr、Hf、Nb 等的活性金屬較為理想。雖然基材金屬層 15 的厚度沒有特別限定，但是例如以 0.1 至 0.4 μm 的範圍較為理想。

第 1 擴散防止層 16 係用來防止在陶瓷基板 11 或基材金屬層 15 和第 1Au 層 17 之間的元素的擴散。第 1 擴散防止層 16 例如使用從 Pt、Pd 及 Ni 中選出至少一種，或以此等為基礎的合金。第 1 擴散防止層 16 係藉由基材金屬層 15 的構成元素等適當選擇。在基材金屬層 15 應用 Ni 時，使用除此以外的元素。第 1 擴散防止層 16 的厚度，例如以設為 0.1 至 0.4 μm 的範圍較佳。

第 1Au 層 17 係作為配線部 13 的主導體層的功能。第 1Au 層 17 的厚度，例如以設為 0.1 至 0.3 μm 的範圍較佳。當第 1Au 層 17 的厚度未滿 0.1 μm 時，有導致主導體層的功能降低之慮。即使第 1Au 層 17 的厚度超過 0.3 μm 而變厚時，不僅沒有辦法獲得以上的效果，亦成為製造成本上升的主要因素。配線部 13 例如具有因應期望的電路形狀的配線圖案。

在與配線部 13 的半導體元件之連接位置，設置具有鍍錫層 18 的連接部 14。連接部 14 以期望的形狀，設置

(6)

在接合搭載於陶瓷配線基板 10 上的半導體元件的電極對應的位置，具有電及機械性連接配線部 13 和半導體元件的功能。連接部 14 係具有與半導體元件的電極對應的形狀，例如為矩形或圓形等形狀，其大小也相同。這種連接部 14 具有依序層積形成在配線部 13 上的期望位置的第 2 擴散防止層 19、空孔抑制層 20、銲錫層 18。

銲錫層 18 至少由包含 Sn 的銲錫材料所構成。這種銲錫層 18 係使用包含 Sn 單體、或從 Au、Ag、Al、Bi、Cu、Cr、Ga、Ge、Ni、Pt、Si、Ti 及 Zn 中選出至少 1 種的 Sn 合金。其中，銲錫層 18 係以 Sn 合金構成為佳。組合 Sn 合金中的 Sn 量，因應所使用元素的種類等適當的選擇，例如一般為 15 至 99.9 質量%的範圍。這種 Sn 合金(銲錫合金)的代表例有：Au-Sn 合金、Ag-Sn 合金、Cu-Sn 合金等。

銲錫層 18 的厚度，例如以 1 至 5 μ m 的範圍較佳。銲錫層 18 的厚度在未滿 1 μ m 時，與半導體元件接合之際，與設置在半導體元件的電極之 Au 膜反應(混合銲錫層和 Au 膜)，而容易引起組成的偏差。該組成偏差的結果，將使接合層硬化而產生應力，導致在半導體元件(例如雷射二極體)引起裂縫等不良的原因。另外，即使超過 5 μ m 的厚度，亦無法獲得以上的接合效果，而成為引起製造成本上升的主要原因。

銲錫層 18 係不限於藉由 1 種類的 Sn 合金而形成，例如亦可以組成不同的 2 種類以上之 Sn 合金的積層膜加以

(7)

構成。此時，所應用的 Sn 合金不限於構成元素不同的 2 種類以上的 Sn 合金，亦可為相同構成元素的組成體不同的 2 種類以上的 Sn 合金。例如，藉由以組成比不同的 2 種類以上的 Au-Sn 合金，亦即以熔融溫度不同的 Au-Sn 合金的層積膜，構成銲錫層 18，可控制銲錫層 18 的熔融狀態。

第 2 擴散防止層 19 係用來防止作為主導體層的第 1Au 層 17、和例如由 Sn 合金構成的銲錫層 18 之間的元素的擴散。特別係，在由 Sn 合金等構成的銲錫層 18 中，使主導體層的 Au 擴散，可防止合金組成變成 Au 過剩。第 2 擴散防止層 19 和第 1 擴散防止層 16 相同，藉由從 Pt、Pd 以及 Ni 中選擇至少 1 種，或以此等為基礎的合金形成較佳。

第 2 擴散防止層 19 的厚度以設為 0.05 至 1 μ m 的範圍較佳。在第 2 擴散防止層 19 的厚度未滿 0.05 μ m 時，有無法充分獲得用來防止上述元素的擴散的效果之顧慮。另外，即使將第 2 擴散防止層 19 的厚度設定為超過 1 μ m，亦無法獲得以上的效果，反而導致製造成本的上升等。

介存在第 2 擴散防止層 19 和銲錫層 18 之間的空孔抑制層 20，係於加熱熔融銲錫層 18 以接合半導體元件之際，使第 2 擴散防止層 19 的構成元素(Pt、Pd、Ni 等)和銲錫層 18 中的 Sn 反應，而抑制在界面附近產生空孔。在有效獲得這種效果時，空孔抑制層 20 以 Au 或含有 85 質量%以上之 Au 的 Au-Sn 合金形成較佳。

(8)

根據由 Au 構成的空孔抑制層 20，由於可以抑制第 2 擴散防止層 19 的構成元素與銲錫層 18 中的 Sn 反應，因此可再現性佳的抑制界面附近的空孔生成。即使藉由包含 85 質量%以上之 Au 的 Au 過多的 Au-Sn 合金，可獲得和 Au 層相同的效果。在構成空孔抑制層 20 的 Au-Sn 合金中，當合金中的 Au 量未滿 85 質量%時，其本身的 Sn 與反應相關而產生空孔。換言之，若 Au 量為 85 質量%以上，則可防止產生空孔的 Sn 的反應。

由上述 Au 或 Au 過多的 Au-Sn 合金所構成的空孔抑制層 20 的厚度，以設為 30 至 500nm 的範圍較佳。當空孔抑制層 20 的厚度未滿 30nm 時，無法完全抑制 Sn 的擴散，有導致空孔的生成抑制效果降低之慮。另外，當 Au 或 Au 過多的 Au-Sn 合金所構成的空孔抑制層 20 的厚度超過 500nm 時，雖依賴銲錫層 18 的厚度，而混合空孔抑制層 20 中的 Au 和銲錫層 18，亦有引起銲錫層 18 的組成偏差之慮。空孔抑制層 20 的厚度以設為 100 至 300nm 的範圍較為理想。

如此，將由的 Au 或 Au 過多的 Au-Sn 合金所構成且厚度為 30 至 500nm 的範圍的空孔抑制層 20，介存在第 2 擴散防止層 19 和銲錫層 18 之間，不會因為銲錫層 18 的組成變動引起融點的上升等，依據第 2 擴散防止層 19 的構成元素和銲錫層 18 中的 Sn 反應等(Sn 的擴散)，可抑制空孔的生成。因而，可提高半導體元件等的接合強度，並且可防止連接部 14 的阻抗增大或因此導致半導體元件的

(9)

動作電流上升。此係對於半導體元件的信賴性或動作特性的提升有幫助。

在此，第 1 圖雖表示第 2 擴散防止層 19 及空孔抑制層 20 與銲錫層 18 具有相同形狀的構造，但是第 2 擴散防止層 19 如第 2 圖所示，亦可具有比銲錫層 18 寬度更寬的形狀。亦即，第 2 擴散防止層 19 的外周部具有從銲錫層 18 的端部超出的形狀。第 2 擴散防止層 19 的外周部，在全周上雖以從銲錫層 18 的端部超出為佳，但其一部分亦可從銲錫層 18 的端部超出。

根據具有這種形狀的第 2 擴散防止層 19，因加熱接合時的銲錫層 18 的濕潤延展引起和第 1Au 層 17 的反應，以及可依據此抑制不良產生。亦即，銲錫層 18 在半導體元件等接合時加熱熔融，而濕潤擴張。此時，根據寬度比銲錫層 18 寬的第 2 擴散防止層 19，可抑制銲錫層 18 的濕潤擴張。換言之，將銲錫層 18 的濕潤擴張區域僅設於與 Sn 合金等相對濕潤性低的第 2 擴散防止層 19 上。

如此，藉由第 2 擴散防止層 19 的外周部應用從銲錫層 18 的端部超出的形狀，可抑制因銲錫層 18 的濕潤擴張引起與第 1Au 層 17 的反應，而因此使 Sn 合金的組成變動及融點上升。藉此，依據 Sn 合金的融點上升，可抑制熔融不良(不完全熔融)等。再者，藉著限制銲錫層 18 的濕潤擴張區域，由於可抑制銲錫層 18 的高度變動，故可防止半導體元件等高度方向的位置不良等。第 2 擴散防止層 19 的形狀在獲得 18 的濕潤擴張區域的放大抑制效果

(10)

時，其外周部以從銲錫層 18 的端部超出 $1\mu\text{m}$ 以上、 $100\mu\text{m}$ 以下的範圍較佳。

當從第 2 擴散防止層 19 的銲錫層 18 的端部之超出量小於 $1\mu\text{m}$ 時，在銲錫層 18 熔融之際，將有超過第 2 擴散防止層 19 而濕潤擴張之慮。此外，即使超出量超過 $100\mu\text{m}$ ，濕潤擴張的抑制效果亦沒有改變，但是由於第 2 擴散防止層 19 的寬度無端的浪費擴張，故亦有妨礙配線或電極的高密度化之慮。第 2 擴散防止層 19 的超出量與銲錫層 18 的高度相等或高於其以上較佳。當考慮連接部 14 的形成密度等時，第 2 擴散防止層 19 的超出量以設為 $50\mu\text{m}$ 以下較佳。

銲錫層 18 的表面如第 2 圖所示，亦可以 Au 層(第 3Au 層)21 覆蓋。Au 層 21 係作為銲錫層 18 的氧化防止層等的功能。再者，在該實施形態中，僅說明於陶瓷基板 11 的主表面 11 a 形成配線層(金屬積層膜)12 的構造，但如第 2 圖所示，亦可在陶瓷基板 11 的背面 11 b 側依序層積形成：基材金屬層 15、第 1 擴散防止層 16、作為主導體層的第 1Au 層 17。陶瓷基板 11 的背面 11 b 側的導體層，係作為將陶瓷基板 11 安裝在外部電路基板上或封裝體內之時的接合用金屬層或接地導體層等。

然後，參照第 3 圖說明本發明的一實施形態之半導體裝置。第 3 圖係表示應用本發明的半導體裝置的雷射裝置的構成。在第 3 圖中，30 係 2 波長型雷射二極體。2 波長型雷射二極體 30 係例如具有發光波長為 650nm 的第 1 發

(11)

光元件部 31、和發光波長為 780nm 的第 2 發光元件部 32。此等發光元件部 31、32 係藉著在 GaAs 基板 33 上分別結晶成長半導體層而形成。各發光元件部 31、32 分別個別具有電極 34、35。在 GaAs 基板 33 的背面側形成有共同電極 36。

這種 2 波長型雷射二極體 30 係搭載於前述實施形態的陶瓷配線基板 10 上。陶瓷配線基板 10 係具備第 1 配線層 12A 和第 2 配線層 12B，分別具有配線部 13 和連接部 14。在第 1 配線層 12A 的連接部 14，接合有第 1 發光元件部 31 的電極 34。在第 2 配線層 12B 的連接部 14 接合有第 2 發光元件部 32 的電極 35。2 波長型雷射二極體 30 係隔著陶瓷配線基板 10 的第 1 及第 2 配線層 12A、12B、和連接部 14 電及機械性連接。據此，構成應用本發明的半導體裝置的雷射裝置。

在上述實施形態的雷射裝置中，於陶瓷配線基板 10 上接合搭載雷射二極體 30，可抑制因構成連接部 14 的鉚錫層 18 和第 2 擴散防止層 19 的反應而產生空孔。因此，對於陶瓷配線基板 10 可強固的接合雷射二極體 30，並且可防止連接部 14 的阻抗增大、或依據此使雷射二極體 30 的動作電流上升。亦即，可高品質且再現性佳的提供高信賴性的雷射裝置。

此外，第 3 圖係表示接合搭載於陶瓷配線基板上的半導體元件，應用雷射二極體的實施形態，但本發明的半導體裝置不限定於此。本發明的半導體裝置係可將各種半導

(12)

體元件搭載於陶瓷配線基板上的半導體裝置，特別對於搭載雷射二極體或光二極體等的光半導體元件之半導體裝置較為有效。

然後，敘述本發明的具體實施例及其評價結果。

實施例 1 至 7

首先，準備直徑 75mm ×高度 0.2mm 的氮化鋁質燒結體製基板作為陶瓷基板 11。再清洗該陶瓷基板 11 之後，藉由濺鍍法於其表面依序層積：由厚度 $0.1\mu\text{m}$ 的 Ti 膜所構成的基材金屬層 15、厚度 $0.2\mu\text{m}$ 的 Pt 膜構成的第 1 擴散防止層 16，作為主導體膜厚度為 $0.5\mu\text{m}$ 的第 1Au 層 17。

然後，在作為主導體層的第 1Au 層 17 上，形成具有 1mm × 0.5mm 之矩形的開口部的抗蝕劑後，藉由濺鍍法依序層積第 2 擴散防止層 19 和空孔抑制層 20。此等各層 19、20 的構成材料及厚度分別表示於表 1。然後，在空孔抑制層 20 的上面，藉由真空蒸鍍法形成由 70 質量% Au-30 質量% Sn 組成的 Sn 合金所構成的厚度 $2\mu\text{m}$ 的銲錫層 18。將各試料切割為 2mm × 2mm 後，分別提供至後述的特性評價。

實施例 8 至 11

除了變更第 2 擴散防止層 19 的構成材料以外，與上述實施例 1 至 7 相同，製作試料，並提供後述的特性評

(13)

價。實施例 8 至 11 的第 2 擴散防止層 19 的構成材料如表 1 所示。

實施例 12 至 16

除了變更鉕錫層 18 的組成以外，與上述實施例 1 至 7 相同，製作試料，提供後述的特性評價。實施例 12 至 16 的鉕錫層 18 的組成，如表 1 所示。

實施例 17 至 20

除了變更空孔抑制層 20 的構成材料及厚度之外，另外製作與上述實施例 1 至 7 相同的試料，提供後述的特性評價。實施例 17 至 20 的空孔抑制層 20 的構成材料及厚度，如表 1 所示。

比較例 1 至 3

除了省略空孔抑制層 20 的形成以外，與上述實施例 1 至 7 相同，製作試料，提供後述的特性評價。此外，比較例 1 係於鉕錫層 18 應用 70 質量% Au 至 30 質量% Sn 組成的合金之例。比較例 2 係在鉕錫層 18 應用 82 質量% Au 至 18 質量% Sn 組成的合金之例。比較例 3 係在鉕錫層 18 應用 95 質量% Au 至 5 質量% Ag 組成的合金之例。

(14)

[表 1]

	第 2 擴散防止層		空孔抑制層		鍍錫層
	材質	膜厚 (μm)	材質 (質量%)	膜厚 (μm)	組成 (質量%)
實施例 1	Pt	0.2	Au	30	70Au-30Sn
實施例 2	Pt	0.2	Au	100	70Au-30Sn
實施例 3	Pt	0.2	Au	500	70Au-30Sn
實施例 4	Pt	0.05	Au	100	70Au-30Sn
實施例 5	Pt	0.5	Au	100	70Au-30Sn
實施例 6	Pt	1.0	Au	100	70Au-30Sn
實施例 7	Pt	0.2	Au	10	70Au-30Sn
實施例 8	Ni	0.2	Au	100	70Au-30Sn
實施例 9	Pd	0.2	Au	100	70Au-30Sn
實施例 10	Pt-Sn	0.2	Au	100	70Au-30Sn
實施例 11	Pt-Au	0.2	Au	100	70Au-30Sn
實施例 12	Pt	0.2	Au	100	65Au-35Sn
實施例 13	Pt	0.2	Au	100	100Sn
實施例 14	Pt	0.2	Au	100	99.3Sn-0.7Cu
實施例 15	Pt	0.2	Au	100	96.5Sn-3.5Ag
實施例 16	Pt	0.2	Au	100	96.5Sn-3Ag-0.5Bi
實施例 17	Pt	0.2	85Au-15Sn	30	70Au-30Sn
實施例 18	Pt	0.2	90Au-10Sn	30	70Au-30Sn
實施例 19	Pt	0.2	95Au-5Sn	100	70Au-30Sn
實施例 20	Pt	0.2	95Au-5Sn	100	96.5Sn-3.5Cu
比較例 1	Pt	0.2	無	—	70Au-30Sn
比較例 2	Pt	0.2	無	—	82Au-18Sn
比較例 3	Pt	0.2	無	—	95Sn-5Ag

(15)

上述實施例 1 至 20 及比較例 1 至 3 的各陶瓷配線基板(在表 1 表示構成的各試料)，如以下，測定且評價連接部內部的空孔之有無、及半導體元件的密接性。將各例的評價結果表示於表 2。

[連接部內部的空孔之有無]

對於具有 Au-Sn 鉚錫合金層之例，在保持 330 至 350 °C 左右之溫度的加熱區塊上，放置各配線基板，在約 5 秒後，於配線基板上載置 Si 晶片而接合。在具有 Ag-Sn 鉚錫合金層之例中，加熱到 250 至 260°C 左右的溫度，在具有 Cu-Sn 鉚錫合金層之例中，加熱到 240 至 260°C 左右的溫度，分別接合 Si 晶片。Si 晶片係在與配線基板的接合面依序覆蓋形成有厚度 0.05 μ m 的 Ti 膜、厚度 0.1 μ m 的 Pt 膜、厚度 1.0 μ m 的 Au 膜，其形狀設為 0.9mm $\times$ 0.3mm $\times$ 高度 0.4mm。Si 晶片的搭載在各例中分別實施 4 個配線基板。

如此，在搭載 Si 晶片的配線基板冷卻之後，使 Si 晶片及配線基板與接合面相對而垂直切斷、研磨，根據來自剖面方向的電子顯微鏡觀察，評價接合層內部的空孔之有無。接合層內部的空孔之有無的判斷，係以全部的觀察試料沒有看見空孔者為○；在觀察試料 4 個中，於 1 個以上的試料，在 1/3 以下的長度之剖面觀察到空孔者為△；以 1 個以上的樣本，在 1/3 以上之長度的剖面觀察到空孔者為×；在 4 個全部觀察試料的剖面都有空孔者為××。

(16)

[與半導體元件的密接性]

與上述空孔的有無之評價相同，在各例的配線基板上搭載 Si 晶片後，從 Si 晶片的橫方向進行施加荷重的剪力試驗 (Shear Test)。剪力試驗係在各例中 6 個 6 個地進行。在剪力試驗中，密接性良好時，表示 Si 晶片內部的破壞模式。此時，由於 Si 的破壞強度因材料強度而不同，因此剪力強度的數值有大的偏差。因此，當密接性的判斷為一定強度以上的值 (在該尺寸中為 1200kgf)，表示 Si 破壞模式時，判斷為密接性良好，將全部試料良好者設為○；將 3 至 5 個試料良好者設為△；將良好的試料為兩個以下時設為×。與剪力強度的平均值合併，將評價結果顯示於表 2。

(17)

[表 2]

	接合層內部之 空孔的有無	與半導體元件的密接性	
		密接性評價	剪力強度(kgf)
實施例 1	○	○	1767
實施例 2	○	○	1986
實施例 3	○	○	2234
實施例 4	○	○	1873
實施例 5	○	○	2158
實施例 6	○	○	1697
實施例 7	△	△	659
實施例 8	○	○	2286
實施例 9	○	○	2041
實施例 10	○	○	1971
實施例 11	○	○	1865
實施例 12	○	○	2207
實施例 13	○	○	1677
實施例 14	○	○	2103
實施例 15	○	○	1584
實施例 16	○	○	1428
實施例 17	○	○	2123
實施例 18	○	○	1733
實施例 19	○	○	2324
實施例 20	○	○	2104
比較例 1	xx	x	242
比較例 2	x	△	821
比較例 3	x	x	178

(18)

從表 2 可清楚得知，在使用各實施例的配線基板時，於接合層內部沒有空孔，結果可知與半導體元件的密接性優良。此外，由於實施例 7 將空孔抑制層的厚度設為 10nm，因此在接合層內部確認若干的空孔。從包含實施例 7 的各實施例的結果來看，可知空孔抑制層的厚度以設為 30 至 500nm 的範圍較佳。另外，不應用空孔抑制層的比較例 1 至 3，生成任意的空孔，結果使與半導體元件的密接性變差。

實施例 21 至 22

與上述實施例相同，在陶瓷基板 11 上依序層積厚度為 0.1 μ m 的 Ti 膜所構成的基材金屬層 15、厚度 0.2 μ m 的 Pt 膜所構成的第 1 擴散防止層 16、作為主導體層厚度為 0.5 μ m 的第 1Au 層 17。然後，在作為主導體層的第 1Au 層 17 上，藉由真空蒸鍍法依序形成：由厚度 0.1 μ m 的 Pt 膜所構成的第 2 擴散防止層 19、由厚度 100nm 的 Au 所構成的空孔抑制層 20、由厚度 2 μ m 的 65 質量%的 Au 至 35 質量%的 Sn 組成的 Sn 合金膜所構成的銲錫層 18。

此時，第 2 擴散防止層 19 的形狀僅從銲錫層 18 的端部超出特定的長度。第 2 擴散防止層 19 與銲錫層 18 相對的超出量為：實施例 21 設為 10 μ m、實施例 22 設為 50 μ m。將這種各試料切割為 2mm $\times$ 2mm 之後，與前述實施例相同，測定並評價特性。再者，如以下，測定並評價銲錫層的完全熔融時間及濕潤擴張狀態。將各例的評價結果

(19)

顯示於表 3。銲錫層的評價亦可於上述比較例 1 實施。

[銲錫層的完全熔融時間]

與上述空孔的有無評價相同，將各例的配線基板放置在加熱區塊上，以在表面不會形成氧化膜的方式吹送惰性氣體，藉由約 60 秒的時間觀察銲錫層表面的光澤變化，評價銲錫層的熔融性(濕潤性)。此為當銲錫層的融點比保持溫度上升時，析出高融點相，利用表面光澤變弱的現象。銲錫層的完全熔融時間的判定，以維持表面光澤的時間評價。

[銲錫層的濕潤擴張狀態]

對於實施上述銲錫層的完全熔融時間試驗的各試料，以金屬顯微鏡(100 倍)，觀察且評價銲錫層的濕潤擴張狀態。當銲錫層的濕潤擴張區域僅於第 2 擴散防止層上時為○，當銲錫層的濕潤擴張區域超出到第 1Au 層上時，評價為×。

(20)

[表 3]

	接合層內部之 空孔的有無	銲錫層的濕 潤擴張狀態	銲錫層的完全 熔融時間(sec)	與半導體元件的密接性	
				密接性評價	剪力強度(kgf)
實施例 21	○	○	≥ 60	○	1892
實施例 22	○	○	≥ 60	○	2075
比較例 1	xx	x	13	x	242

從表 3 可清楚得知，藉由設為使第 2 擴散防止層 19 從銲錫層 18 的端部超出的形狀，依據銲錫層 18 與第 1Au 層的反應，可抑制融點上升。藉此，可再現性佳的提高半導體元件的密接性。

[產業上利用的可能性]

本發明的陶瓷配線基板，由於在第 2 擴散防止層和含有 Sn 的銲錫層之間，介存有空孔抑制層，故可抑制因空孔的產生而導致半導體元件的接合強度的降低，或動作電流的上升。這種陶瓷配線基板作為導體元件的搭載用基板，甚為有用。在此，藉由使用本發明的陶瓷配線基板，可再現性佳地提供一種信賴性或動作特性優良的半導體裝置。

【圖式簡要說明】

第 1 圖係表示本發明的一實施形態的陶瓷配線基板的構成之剖面圖。

(21)

第 2 圖係表示第 1 圖所示的陶瓷配線基板的變形例之剖面圖。

第 3 圖係表示本發明的一實施形態的半導體裝置的構成之圖。

第 4 圖係表示以往的陶瓷配線基板的主要部份構成之剖面圖。

【主要元件符號說明】

10：陶瓷配線基板

11：陶瓷基板

13：配線部

14：連接部

15：基材金屬層

16：第 1 擴散防止層

17：第 1 Au 層

18：鉚錫層

19：第 2 擴散防止層

20：空孔抑制層

30：雷射二極體

31、32：發光元件部

34、35：個別電極

36：共同電極

五、中文發明摘要

發明之名稱：陶瓷配線基板、和該製造方法、及使用此之半導體裝置

本發明係提供一種陶瓷配線基板 10，係具備：陶瓷基板 11、和形成於其上的配線層 12。配線層 12 係具備：具有依序層積於陶瓷基板 11 的表面的基材金屬層 15、第 1 擴散防止層 16 及第 1 鋁層 17 的配線部 13；及依序層積於配線部 13 上的期望位置的第 2 擴散防止層 19、空孔抑制層 20 及鍍錫層 18 的連接部 14。空孔抑制層 20 例如藉由 Au 或含有 85 質量%以上的 Au 之 Au-Sn 合金所構成。

六、英文發明摘要

發明之名稱：

(1)

十、申請專利範圍

1. 一種陶瓷配線基板，其特徵為具備有：

陶瓷基板、及

具備：具有依序層積於前述陶瓷基板的表面的基材金屬層、第 1 擴散防止層及第 1 Au 層之配線部；和具有形成於前述配線部上，依序被層積的第 2 擴散防止層、空孔抑制層、及至少含有 Sn 的銲錫層之連接部的配線層。

2. 如申請專利範圍第 1 項之陶瓷配線基板，其中，前述空孔抑制層係由 85 質量%以上的 Au 之 Au-Sn 合金所構成。

3. 如申請專利範圍第 2 項之陶瓷配線基板，其中，前述空孔抑制層係具有 30nm 以上 500nm 以下之範圍的厚度。

4. 如申請專利範圍第 1 項之陶瓷配線基板，其中，前述銲錫層係從 Au、Ag、Al、Bi、Cu、Cr、Ga、Ge、Ni、Pt、Si、Ti 及 Zn 中選擇至少含有一種的 Sn 合金所構成。

5. 如申請專利範圍第 1 項之陶瓷配線基板，其中，前述第 1 及第 2 擴散防止層係由：Pt、Pd、Ni 及以此等為基礎的合金中選擇至少一種而構成。

6. 如申請專利範圍第 1 項之陶瓷配線基板，其中，前述第 2 擴散防止層係具有 0.05 μ m 以上 1 μ m 以下之範圍的厚度。

7. 如申請專利範圍第 1 項之陶瓷配線基板，其中，

(2)

前述第 2 擴散防止層係具有比前述鍍錫層更寬的寬度。

8. 如申請專利範圍第 7 項之陶瓷配線基板，其中，前述第 2 擴散防止層，係具有其外周部從前述鍍錫層的端部，超出 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下之範圍的形狀。

9. 如申請專利範圍第 1 項之陶瓷配線基板，其中，前述基材金屬層係從 Ti、Zr、Hf、Nb、Cr、Ta、Ni、及以此等為基礎的合金中選擇至少一種而構成。

10. 如申請專利範圍第 1 項之陶瓷配線基板，其中，前述連接部更具有形成於前述鍍錫層上的第 3 鋁層。

11. 一種陶瓷配線基板的製造方法，係製造具有配線層的陶瓷配線基板的方法，其特徵為具有：

依序於陶瓷基板的表面層積基材金屬層、第 1 擴散防止層及第 1 鋁層，形成前述配線層的配線部之步驟；及

於前述配線部上依序層積第 2 擴散防止層、空孔抑制層、及至少包含 Sn 的鍍錫層，形成前述配線層的連接部之步驟。

12. 如申請專利範圍第 11 項之陶瓷配線基板的製造方法，其中，藉由 PVD 法、CVD 法或電鍍法，形成前述配線部及前述連接部。

13. 如申請專利範圍第 11 項之陶瓷配線基板的製造方法，其中，前述空孔抑制層係由 Au 或包含 85 質量%以上的 Au 之 Au-Sn 合金所構成。

14. 如申請專利範圍第 13 項之陶瓷配線基板的製造方法，其中，前述空孔抑制層係具有 30nm 以上 500nm 以

(3)

下的範圍之厚度。

15. 如申請專利範圍第 11 項之陶瓷配線基板的製造方法，其中，前述銲錫層係從 Au、Ag、Al、Bi、Cu、Cr、Ga、Ge、Ni、Pt、Si、Ti 及 Zn 中，選擇至少含有一種的 Sn 合金所構成。

16. 如申請專利範圍第 11 項之陶瓷配線基板的製造方法，其中，前述第 1 及第 2 擴散防止層係由：Pt、Pd、Ni 及以此等為基礎的合金中選擇至少一種而構成。

17. 如申請專利範圍第 11 項之陶瓷配線基板的製造方法，其中，前述第 2 擴散防止層係具有 $0.05\mu\text{m}$ 以上 $1\mu\text{m}$ 以下之範圍的厚度。

18. 如申請專利範圍第 11 項之陶瓷配線基板的製造方法，其中，以使前述第 2 擴散防止層之外周部從前述銲錫層的端部超出而形成。

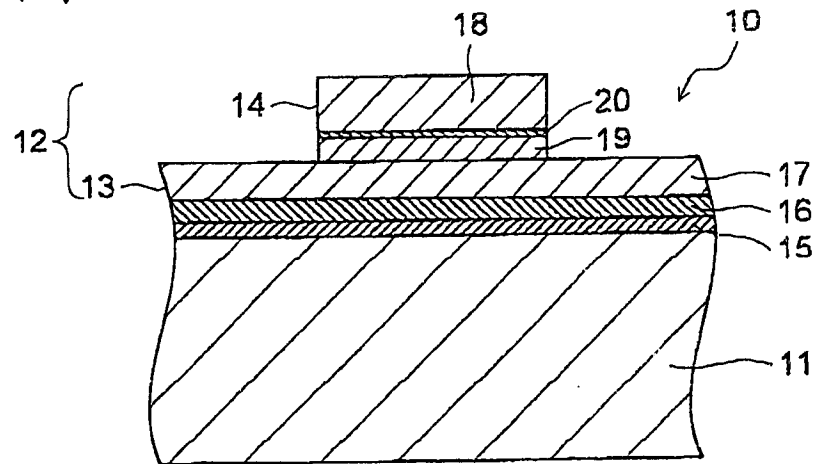
19. 一種半導體裝置，其特徵為具備：

申請專利範圍第 1 項之陶瓷配線基板；及

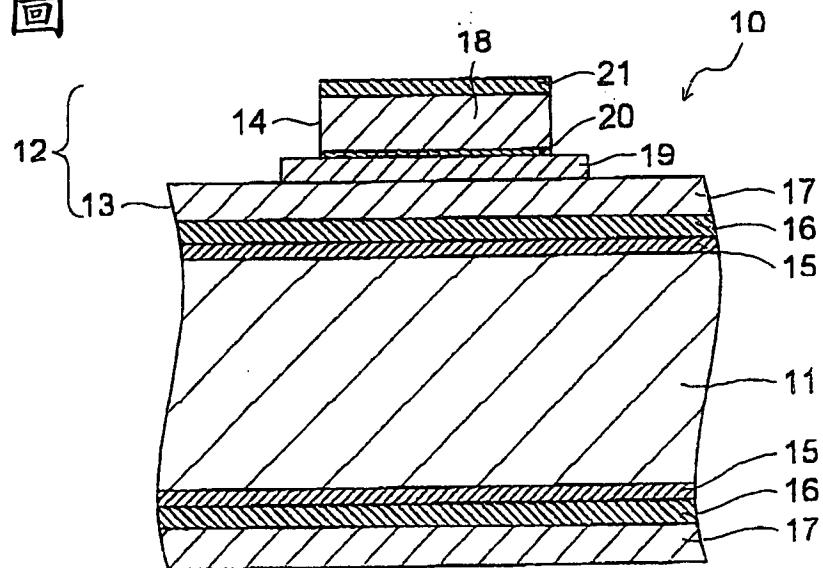
介由前述銲錫層，電性及機械性連接於前述陶瓷配線基板之前述配線層上的半導體元件。

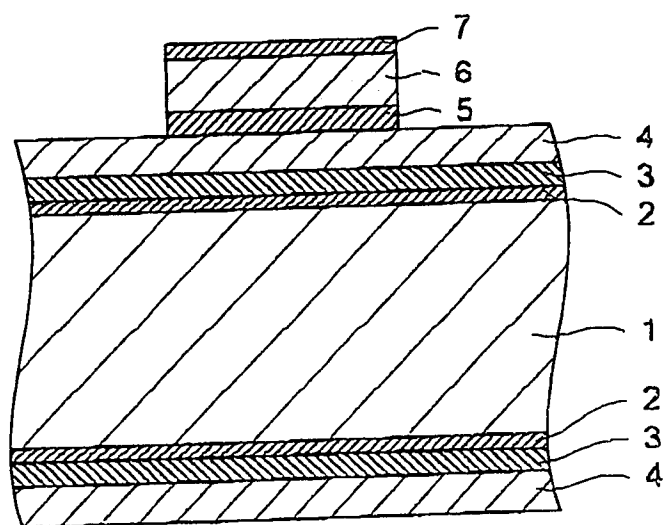
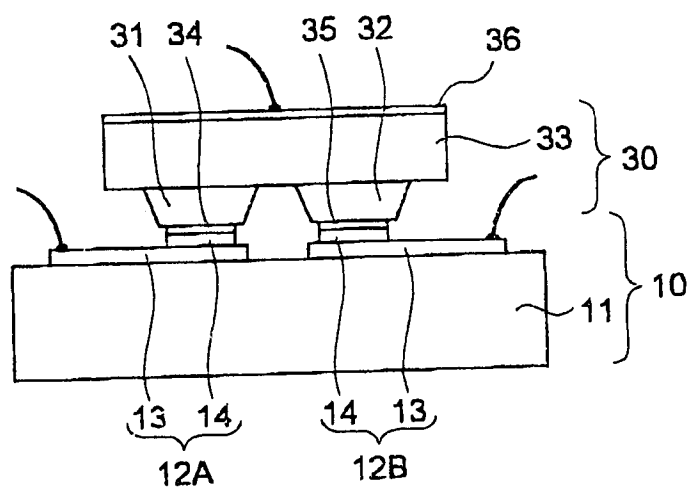
20. 如申請專利範圍第 19 項之半導體裝置，其中，前述半導體元件為光半導體元件。

第1圖



第2圖





七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

10：陶瓷配線基板

11：陶瓷基板

12：配線層

13：配線部

14：連接部

15：基材金屬層

16：第 1 擴散防止層

17：第 1Au 層

18：鍍錫層

19：第 2 擴散防止層

20：空孔抑制層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無