

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3810375号
(P3810375)

(45) 発行日 平成18年8月16日(2006.8.16)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int. Cl.			F I		
HO 1 L	27/04	(2006.01)	HO 1 L	27/04	H
HO 1 L	21/822	(2006.01)	HO 1 L	29/74	F
HO 1 L	29/74	(2006.01)	HO 1 L	27/06	3 1 1 C
HO 1 L	27/06	(2006.01)	HO 1 L	29/74	G

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2003-69044 (P2003-69044)	(73) 特許権者	000116024
(22) 出願日	平成15年3月14日(2003.3.14)		ローム株式会社
(65) 公開番号	特開2004-281590 (P2004-281590A)		京都府京都市右京区西院溝崎町2-1番地
(43) 公開日	平成16年10月7日(2004.10.7)	(74) 代理人	100085501
審査請求日	平成15年12月26日(2003.12.26)		弁理士 佐野 静夫
前置審査		(72) 発明者	小島 敏明
			京都市右京区西院溝崎町2-1番地 ローム株式会社内
		審査官	棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

p型半導体基板と、該p型半導体基板に形成された低濃度n型半導体領域と、該低濃度n型半導体領域に形成されて第1電極に直接接続される第1高濃度p型半導体領域と、同じく前記低濃度n型半導体領域に内包して形成されて抵抗素子を介して第1電極に接続される第1高濃度n型半導体領域と、該第1高濃度n型半導体領域の側方に隣接して形成された低濃度p型半導体領域と、前記p型半導体基板に形成されて第2電極に接続される第2高濃度n型半導体領域及び第2高濃度p型半導体領域と、前記低濃度p型半導体領域と第2高濃度n型半導体領域の間に形成された素子分離部と、を有して成る半導体装置であって、前記低濃度p型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記p型半導体基板の外部に形成され、第1電極と第1高濃度n型半導体領域の間に、両者を結ぶ方向に対して垂直に設けられ、一端に第1電極と電気的に接続される第1コンタクトを有し、他端に第1高濃度n型半導体領域と電気的に接続される第2コンタクトを有して成ることを特徴とする半導体装置。

10

【請求項2】

0.18 μ mルール以下のプロセスルールで形成された半導体装置であって、ゲート破壊電圧よりも低い入力電圧で導通するサイリスタ回路を前記半導体装置の端子の保護回路として有することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記サイリスタ回路は、該サイリスタ回路を構成する各トランジスタのベース間に、前記

20

サイリスタ回路のアノード端子側にカソードが接続され、前記サイリスタ回路のカソード端子側にアノードが接続されたトリガダイオードを有することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記トリガダイオードのカソードと前記サイリスタ回路のアノード端子との間に抵抗素子が形成されていることを特徴とする請求項 3 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電気保護回路を有する半導体装置（シリコン制御整流素子 S C R [Silicon Control Rectifier] ）に関するものである。 10

【0002】

【従来の技術】

一般に、C M O S [Complementary Metal-Oxide Semiconductor] プロセスで形成された半導体装置は、ゲート酸化膜が薄いため、静電気放電（以下、E S D [ElectroStatic Discharge] と呼ぶ）に対する耐性が弱い。そのため、C M O S プロセスで形成された半導体装置の多くは、その入出力部（入出力端子・接地端子間や電源端子・接地端子間等）に静電気保護回路を有して成る。図 1 1 は静電気保護回路として機能する半導体装置の従来構造を示す縦断面図である。

【0003】

本図（a）の半導体装置は、p 型 [p--] 半導体基板 7 1 と、p 型半導体基板 7 1 に形成された低濃度 n 型 [n-] 半導体領域 7 2 と、低濃度 n 型半導体領域 7 2 に形成され、アノード端子 T a と接続された高濃度 n 型 [n+] 半導体領域 7 3 及び高濃度 p 型 [p+] 半導体領域 7 4 と、p 型半導体基板 7 1 と n 型半導体器領域 7 2 に跨がって形成された高濃度 n 型 [n+] 半導体領域 7 5 と、p 型半導体基板 7 1 に形成された低濃度 n 型 [n-] 半導体領域 7 6 と、低濃度 n 型半導体領域 7 6 の上方に隣接して形成され、カソード端子 T c と接続された高濃度 n 型 [n+] 半導体領域 7 7 と、高濃度 n 型半導体領域 7 5 と高濃度 n 型半導体領域 7 7 の間を絶縁する絶縁体 7 8 と、を有して成る（特許文献 1 を参照）。 20

【0004】

本図（b）に示す半導体装置は、p 型 [p--] 半導体基板 8 1 と、p 型半導体基板 8 1 に形成された低濃度 n 型 [n-] 半導体領域 8 2 と、低濃度 n 型半導体領域 8 2 に形成され、アノード端子 T a と接続された高濃度 n 型 [n+] 半導体領域 8 3 及び高濃度 p 型 [p+] 半導体領域 8 4 と、同じく低濃度 n 型半導体領域 8 2 に形成された高濃度 n 型 [n+] 半導体領域 8 5 と、p 型半導体基板 8 1 と低濃度 n 型半導体領域 8 2 に跨がって形成された高濃度 p 型 [p+] 半導体領域 8 6 と、p 型半導体基板 8 1 に形成され、カソード端子 T c と接続された高濃度 n 型 [n+] 半導体領域 8 7 及び高濃度 p 型 [p+] 半導体領域 8 8 と、高濃度 n 型半導体領域 8 5 と高濃度 p 型半導体領域 8 6 の間に形成されたポリシリコン部 8 9 a と、高濃度 p 型半導体領域 8 6 と高濃度 n 型半導体領域 8 7 の間を絶縁する素子分離領域 8 9 b と、を有して成る（特許文献 2 を参照）。 30

【0005】

【特許文献 1】

米国特許第 5 5 0 2 3 1 7 号明細書

【特許文献 2】

特開 2 0 0 1 - 1 8 5 7 3 8 号公報（第 1 3 図）

【0006】

【発明が解決しようとする課題】

確かに、上記構造から成る半導体装置であれば、アノード端子 T a に E S D サージ電圧が印加され、p 型半導体基板 7 1 と高濃度 n 型半導体領域 7 5 から成るトリガ用のダイオード、或いは高濃度 p 型半導体領域 8 6 と高濃度 n 型半導体領域 8 5 から成るトリガ用のダイオードがブレイクダウンすると、アノード端子 T a とカソード端子 T c 間が短絡状態と 40 50

なるので、ゲート酸化膜を静電破壊から保護することができる。

【0007】

しかしながら、上記構成から成る半導体装置は、一般的な $0.18[\mu\text{m}]$ プロセスで形成されたゲート酸化膜を保護対象として設計されたものであり、静電気保護回路としてのトリガ電圧 V_t が $10[\text{V}]$ 前後となるように、トリガ用ダイオードを形成するp型半導体とn型半導体の配置や不純物濃度が調整されていた。そのため、半導体製造プロセスの微細化(例えば $0.13/0.1[\mu\text{m}]$ プロセスの採用)によってゲート酸化膜が薄型化(例えば膜厚 $30[\text{Å}]$ 以下)され、該ゲート酸化膜のゲートブレイクダウン電圧 V_{gbd} がトリガ電圧 V_t を下回るまで(例えば $5\sim 6[\text{V}]$ まで)低下した場合には、該ゲート酸化膜を静電破壊前に保護することができなくなるという課題を有していた。

10

【0008】

また、上記構成から成る半導体装置は、トリガダイオードをアノード端子 T_a に直接接続せず、低濃度n型半導体領域 72 、 82 を介して接続することで、アノード端子 T_a とトリガダイオードの間に、低濃度n型半導体領域 72 、 82 の抵抗成分を挿入し、該抵抗成分を調整して静電気保護回路のスイッチング特性を制御する構成であった。そのため、その抵抗値制御が難しく、半導体製造プロセスの微細化に伴って要求が厳しくなるスイッチング特性向上を実現することが困難であるという課題も有していた。

【0009】

本発明は、上記の問題点に鑑み、静電気保護回路のスイッチング特性を高精度に制御することができ、保護対象であるゲート酸化膜の薄型化に対応することが可能な半導体装置を提供することを目的とする。

20

【0010】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る半導体装置は、p型半導体基板と、該p型半導体基板に形成された低濃度n型半導体領域と、該低濃度n型半導体領域に形成されて第1電極に接続される第1高濃度p型半導体領域と、同じく前記低濃度n型半導体領域に形成されて抵抗素子を介して第1電極に接続される第1高濃度n型半導体領域と、該第1高濃度n型半導体領域に隣接して形成された低濃度p型半導体領域と、前記p型半導体基板に形成されて第2電極に接続される第2高濃度n型半導体領域及び第2高濃度p型半導体領域と、前記低濃度p型半導体領域と第2高濃度n型半導体領域の間に形成された素子分離部と、を有して成る構成としている。

30

【0011】

なお、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記p型半導体基板の外部に形成されている構成にするとよい。

【0012】

また、上記構成から成る半導体装置において、第1高濃度n型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記p型半導体基板の外部に形成されている構成にするとよい。

【0013】

また、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、第1高濃度n型半導体領域の側方に隣接して形成されている構成にするとよい。

40

【0014】

また、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、第1高濃度n型半導体領域の下方に隣接して形成されている構成にするとよい。

【0015】

また、上記構成から成る半導体装置において、前記抵抗素子は、第1電極と第1高濃度n型半導体領域の間に、両者を結ぶ方向に対して垂直または平行に設けられ、一端に第1電極と電氣的に接続される第1コンタクトを有し、他端に第1高濃度n型半導体領域と電氣的に接続される第2コンタクトを有して成る構成にするとよい。

50

【 0 0 1 6 】

また、上記構成から成る半導体装置では、前記低濃度 p 型半導体領域は、前記 p 型半導体基板と前記低濃度 n 型半導体領域に跨って形成されており、前記抵抗素子は、前記低濃度 n 型半導体領域の内部に形成されている構成にするとよい。

【 0 0 1 7 】

また、上記構成から成る半導体装置では、第 1 高濃度 n 型半導体領域は、前記 p 型半導体基板と前記低濃度 n 型半導体領域に跨って形成されており、前記抵抗素子は、前記低濃度 n 型半導体領域の内部に形成されている構成にするとよい。

【 0 0 1 8 】

また、上記構成から成る半導体装置において、前記低濃度 p 型半導体領域は、第 1 高濃度 n 型半導体領域の側方に隣接して形成されている構成にするとよい。 10

【 0 0 1 9 】

また、上記構成から成る半導体装置において、前記低濃度 p 型半導体領域は、第 1 高濃度 n 型半導体領域の下方に隣接して形成されている構成にするとよい。

【 0 0 2 0 】

また、本発明に係る半導体装置は、 $0.18 \mu\text{m}$ ルール以下のプロセスルールで形成された半導体装置であって、ゲート破壊電圧よりも低い入力電圧で導通するサイリスタ回路を前記半導体装置の端子の保護回路として有する構成である。

【 0 0 2 1 】

なお、上記構成から成る半導体装置において、前記サイリスタ回路は、該サイリスタ回路を構成する各トランジスタのベース間に、前記サイリスタ回路のアノード端子側にカソードが接続され、前記サイリスタ回路のカソード端子側にアノードが接続されたトリガダイオードを有する構成にするとよい。 20

【 0 0 2 2 】

また、上記構成から成る半導体装置は、前記トリガダイオードのカソードと前記サイリスタ回路のアノード端子との間に抵抗素子が形成されている構成にするとよい。

【 0 0 2 3 】

【 発明の実施の形態 】

まず、本発明に係る半導体装置の第 1 実施形態について説明する。図 1 は本発明に係る半導体装置の第 1 実施形態を示す縦断面図である。本図 (a) ~ (c) に示すように、本実施形態の半導体装置は、p 型 [p--] 半導体基板 1 1 (以下、p 基板 1 1 と呼ぶ) と、p 基板 1 1 に形成された低濃度 n 型 [n-] 半導体領域 1 2 (以下、n ウェル 1 2 と呼ぶ) と、n ウェル 1 2 に形成され、アノード端子 T a と接続された第 1 高濃度 p 型 [p+] 半導体領域 1 3 (以下、p + 領域 1 3 と呼ぶ) と、同じく n ウェル 1 2 に形成され外部抵抗 R e x t を介してアノード端子 T a と接続された第 1 高濃度 n 型 [n+] 半導体領域 1 4 (以下、n + 領域 1 4 と呼ぶ) と、n + 領域 1 4 に隣接し、かつ p 基板 1 1 と n ウェル 1 2 に跨がって形成された低濃度 p 型 [p-] 半導体領域 1 5 (以下、p - 領域 1 5 と呼ぶ) と、p 基板 1 1 に形成され、カソード端子 T c と接続された第 2 高濃度 n 型 [n+] 半導体領域 1 6 及び第 2 高濃度 p 型 [p+] 半導体領域 1 7 (以下、n + 領域 1 6 及び p + 領域 1 7 と呼ぶ) と、p - 領域 1 5 と n + 領域 1 6 の間 (すなわち、アノード・カソード間) を分離する素子分離部 1 8 a ~ 1 8 c と、を有して成る。なお、本実施形態では、素子分離部 1 8 a ~ 1 8 c として、各々口コス部 1 8 a、トレンチ部 1 8 b、ゲート部 1 8 c を用いている。 30 40

【 0 0 2 4 】

上記構造から成る半導体装置では、p 基板 1 1、n ウェル 1 2、及び p + 領域 1 3 によって p n p 型バイポーラトランジスタ Q a が形成され、n ウェル 1 2、p 基板 1 1、及び n + 領域 1 6 によって n p n 型バイポーラトランジスタ Q b が形成される。また、上記構造から成る半導体装置では、n + 領域 1 4 と p - 領域 1 5 によってトリガダイオード D a が形成される。なお、トランジスタ Q b のベース幅は、素子分離部 1 8 a ~ 1 8 c の素子幅によって制御することができる。

【 0 0 2 5 】

図2は本実施形態の半導体装置の等価回路図である。本図に示すように、トランジスタQaのエミッタは、アノード端子Taに接続されている。トランジスタQaのコレクタは、基板抵抗Rsubを介してカソード端子Tcに接続される一方、トリガダイオードDaのアノードと、トランジスタQbのベースにも各々接続されている。トランジスタQaのベースは、外部抵抗Rextを介してアノード端子Taに接続される一方、トリガダイオードDaのカソードと、トランジスタQbのコレクタにも各々接続されている。トランジスタQbのエミッタは、カソード端子Tcに接続されている。

【0026】

上記構成から成る半導体装置において、アノード端子Taに正のESDサージ電圧が印加されると、トリガダイオードDaには外部抵抗Rextを介して逆バイアスが加わり、該逆バイアスがトリガダイオードDaのブレイクダウン電圧よりも高い場合には、トリガダイオードDaにおいて、アノードからカソード方向にブレイクダウン電流が流れるようになる。該ブレイクダウン電流が接地されたカソード端子Tcに流れ込むと、基板抵抗RsubによってトランジスタQbのベース電位が持ち上げられ、トランジスタQbがオン状態となる。トランジスタQbにコレクタ電流が流れると、外部抵抗RextによってトランジスタQaのベース電位が引き下げられ、トランジスタQaがオン状態となる。トランジスタQaのコレクタ電流は、トランジスタQbのベース電流となるので、上記動作に正帰還がかかり、静電気保護動作（アノード端子Taとカソード端子Tc間の短絡経路形成動作）が維持される。

【0027】

図3は本実施形態の半導体装置における静電気保護回路のスイッチング特性を示すTLP [Transmission Line Pulse] カーブであり、実線で本実施形態のTLPカーブを示し、破線で従来のTLPカーブを参考までに示している。なお、本図の横軸は電圧値を示し、縦軸は電流値を示している。また、横軸上のパラメータとして、VDDは電源電圧、Vhはホールド電圧（静電気保護動作を維持するための電圧）、Vgbdはゲートブレイクダウン電圧（保護対象であるCMOSゲート酸化膜の破壊が生じる電圧）、Vt、Vt'はトリガ電圧（静電気保護動作を開始する電圧）、をそれぞれ示している。

【0028】

上記したように、本実施形態の半導体装置では、従来採用されていたp基板とn+領域の組み合わせ（図11(a)参照）や、所定間隔を設けて配置されたp+領域とn+領域の組み合わせ（図11(b)参照）ではなく、隣接するn+領域14とp-領域15によってトリガダイオードDaのp-/n+接合面を形成している。このような構造を採用することにより、p-領域15の不純物濃度を調整するだけで、トリガ電圧Vtを従来のトリガ電圧Vt'よりも低く、かつゲートブレイクダウン電圧Vgbdより低い値まで下げることができる。従って、半導体製造プロセスの微細化によってゲート酸化膜が薄型化され、該ゲート酸化膜のゲートブレイクダウン電圧Vgbdが低下した場合であっても、確実かつ容易に、それ以下までトリガ電圧Vtを下げることで、該ゲート酸化膜を静電破壊前に保護することが可能となる。

【0029】

なお、従来所定間隔を設けて配されていたトリガダイオードのp+領域とn+領域を単に隣接させるだけでは、トリガ電圧Vtが下がり過ぎて電源電圧VDDを下回ることで、ラッチアップが生じてしまう。従って、電源電圧VDDからゲートブレイクダウン電圧Vgbdの間（例えば4~8[V]の間）で適切にトリガを掛けるには、本実施形態に示すように、低ドーパドレイン方式等で形成されたp-領域15（不純物濃度は 10^{18} [cm⁻³]程度）をn+領域14に隣接させることが必要である。

【0030】

また、本実施形態の半導体装置では、アノード端子とトリガダイオードの間にnウェル抵抗成分を挿入し、該抵抗成分を調整して静電気保護回路のスイッチング特性を制御するといった従来構成ではなく、トリガダイオードDaのカソードを外部抵抗Rextを介して直接アノード端子Taに接続する構造を採用している。このように、トランジスタQaの

10

20

30

40

50

スイッチング制御に重要なベース抵抗を外部抵抗 R_{ext} とした構造であれば、その抵抗値制御を容易に行うことができるので、トランジスタ Q_a のベース抵抗を確実に所望値とすることが可能となる。従って、半導体製造プロセスが微細化されても、素子特性を決めるトリガ電圧 V_t やホールド電圧 V_h を簡単に決めることができるようになるので、スイッチング特性向上や、最適なマージン確保及び歩留まり向上を実現することができる。

【0031】

また、本実施形態の半導体装置は、通常の CMOS プロセスで製造することができるので、不必要にコストアップすることがない。また、従来使われていた gg_nMOS [Grande Gate nMOS] 型の保護素子と比較すると、SCR 構造により面積を小さくできる。

【0032】

続いて、外部抵抗 R_{ext} の配置レイアウトについて説明する。図4は外部抵抗 R_{ext} の配置レイアウトの一例を示す上面図である。本図(a)、(b)では、紙面左から右に向けて、アノード端子 T_a 、外部抵抗 R_{ext} 、 $p+$ 領域13、 $n+$ 領域14、 $p-$ 領域15、 $n+$ 領域16、 $p+$ 領域17、及びカソード端子 T_c 、の順で素子が配列された場合を示している。なお、端子 T_a 、 T_c は電極(パッド)の場合もある。

【0033】

本図(a)の半導体装置において、外部抵抗 R_{ext} は、アノード端子 T_a と $n+$ 領域14の間に、両者を結ぶ方向に対して垂直に設けられ、一端に配線 L_{2a} を介してアノード端子 T_a と電氣的に接続される第1コンタクト T_x を有し、他端に配線 L_{2b} を介して $n+$ 領域14と電氣的に接続される第2コンタクト T_y を有して成る。また、本図(b)の半導体装置において、外部抵抗 R_{ext} はアノード端子 T_a と $n+$ 領域14の間に、両者を結ぶ方向に対して平行に設けられ、一端にアノード端子 T_a と電氣的に接続される第1コンタクト T_x を有し、他端に配線 L_2 を介して $n+$ 領域14と電氣的に接続される第2コンタクト T_y を有して成る。またいずれの配置レイアウトでも、 $p+$ 領域13は、配線 L_1 を介してアノード端子 T_a に接続されており、 $n+$ 領域16及び $p+$ 領域17は、配線 L_3 を介してカソード端子 T_c に接続されている。

【0034】

このような配置レイアウトとすることにより、半導体装置の面積効率を向上してチップ規模縮小を図ることが可能となる。なお、本配置レイアウトは、2層メタルプロセスでも実現可能であるが、レイアウトの面積効率から鑑みれば、3層メタルプロセスを採用することが望ましい。また、外部抵抗 R_{ext} は、 n ウェル抵抗やポリシリコン抵抗等を用いることで、数 $[k]$ の抵抗値を持つように形成すればよい。

【0035】

次に、本発明に係る半導体装置の第2実施形態について説明する。図5は本発明に係る半導体装置の第2実施形態を示す縦断面図である。本図(a)~(c)に示すように、本実施形態の半導体装置は、 p 基板21と、 p 基板21に形成された n ウェル22と、 n ウェル22に形成され、アノード端子 T_a と接続された $p+$ 領域23と、 p 基板21と n ウェル22に跨がって形成され、外部抵抗 R_{ext} を介してアノード端子 T_a と接続された $n+$ 領域24と、該 $n+$ 領域24の側方に隣接して p 基板21に形成された $p-$ 領域25と、 p 基板21に形成されカソード端子 T_c と接続された $n+$ 領域26及び $p+$ 領域27と、 $p-$ 領域25と $n+$ 領域26の間を分離する素子分離部28a~28cと、を有して成る。なお、本実施形態における半導体装置の等価回路は、前出の第1実施形態と同様になる(図2を参照)。このような構造とすることにより、前出の第1実施形態と同様、通常の CMOS プロセスで製造することができるので、不必要なコストアップを招くことなく、上記と同様の効果を得ることが可能である。

【0036】

次に、本発明に係る半導体装置の第3実施形態について説明する。図6は本発明に係る半導体装置の第3実施形態を示す縦断面図である。本図(a)~(c)に示すように、本実施形態の半導体装置は、 p 基板31と、 p 基板31に形成された n ウェル32と、 n ウェル32に形成され、アノード端子 T_a と接続された $p+$ 領域33と、 p 基板31と n ウェ

10

20

30

40

50

ル32に跨がって形成され、外部抵抗 R_{ext} を介してアノード端子 T_a と接続された $n+$ 領域34と、該 $n+$ 領域34の下方に隣接して p 基板31に形成された $p-$ 領域35と、 p 基板31に形成されカソード端子 T_c と接続された $n+$ 領域36及び $p+$ 領域37と、 $p-$ 領域35と $n+$ 領域36の間を分離する素子分離部38a~38cと、を有して成る。なお、本実施形態における半導体装置の等価回路は、前出の第1実施形態と同様になる(図2を参照)。このように、 $p-$ 領域35を p 基板31に深く打ち込むことで、 $n+$ 領域34の側方ではなく、下方に隣接して設けることにより、前出の第1、2実施形態に比べて横方向のチップ規模縮小を実現しながら、上記と同様の効果を得ることが可能となる。

【0037】

次に、本発明に係る半導体装置の第4実施形態について説明する。図7は本発明に係る半導体装置の第4実施形態を示す縦断面図である。本図(a)~(c)に示すように、本実施形態の半導体装置は、 p 型 $[p-]$ 半導体基板41(以下、 p 基板41と呼ぶ)と、 p 基板41に形成された低濃度 n 型 $[n-]$ 半導体領域42(以下、 n ウェル42と呼ぶ)と、 n ウェル42に形成され、アノード端子 T_a と接続された第1高濃度 n 型 $[n+]$ 半導体領域43及び第1高濃度 p 型 $[p+]$ 半導体領域44(以下、 $n+$ 領域43及び $p+$ 領域44と呼ぶ)と、同じく n ウェル42に形成された第2高濃度 n 型 $[n+]$ 半導体領域45(以下 $n+$ 領域45と呼ぶ)と、 $n+$ 領域45に隣接し、かつ p 基板41と n ウェル42に跨がって形成された低濃度 p 型 $[p-]$ 半導体領域46(以下、 $p-$ 領域46と呼ぶ)と、 p 基板41に形成され、カソード端子 T_c と接続された第3高濃度 n 型 $[n+]$ 半導体領域47及び第2高濃度 p 型 $[p+]$ 半導体領域48(以下、 $n+$ 領域47及び $p+$ 領域48と呼ぶ)と、 $p-$ 領域46と $n+$ 領域47の間(すなわち、アノード・カソード間)を分離する素子分離部49a~49cと、を有して成る。なお、本実施形態では、素子分離部49a~49cとして、各々口コス部49a、トレンチ部49b、ゲート部49cを用いている。

【0038】

上記構成から成る半導体装置では、 p 基板41、 n ウェル42、及び $p+$ 領域44によって pnp 型バイポーラトランジスタ Q_a が形成され、 n ウェル42、 p 基板41、及び $n+$ 領域47によって npn 型バイポーラトランジスタ Q_b が形成される。また、上記構成から成る半導体装置では、 $n+$ 領域45と $p-$ 領域46によってトリガダイオード D_a が形成される。なお、トランジスタ Q_b のベース幅は、素子分離部49a~49cの素子幅によって制御することができる。

【0039】

図8は本実施形態の半導体装置の等価回路図である。本図に示すように、トランジスタ Q_a のエミッタは、アノード端子 T_a に接続されている。トランジスタ Q_a のコレクタは、基板抵抗 R_{sub} を介してカソード端子 T_c に接続される一方、トリガダイオード D_a のアノードと、トランジスタ Q_b のベースにも各々接続されている。トランジスタ Q_a のベースは、 n ウェル抵抗 R_{well} を介してアノード端子 T_a に接続される一方、トリガダイオード D_a のカソードと、トランジスタ Q_b のコレクタにも各々接続されている。トランジスタ Q_b のエミッタは、カソード端子 T_c に接続されている。

【0040】

上記構成から成る半導体装置において、アノード端子 T_a に正のESDサージ電圧が印加されると、トリガダイオード D_a には n ウェル抵抗 R_{well} を介して逆バイアスが加わり、該逆バイアスがトリガダイオード D_a のブレイクダウン電圧よりも高い場合には、トリガダイオード D_a において、アノードからカソード方向にブレイクダウン電流が流れるようになる。該ブレイクダウン電流が接地されたカソード端子 T_c に流れ込むと、基板抵抗 R_{sub} によってトランジスタ Q_b のベース電位が持ち上げられ、トランジスタ Q_b がオン状態となる。トランジスタ Q_b にコレクタ電流が流れると、 n ウェル抵抗 R_{well} によってトランジスタ Q_a のベース電位が引き下げられ、トランジスタ Q_a がオン状態となる。トランジスタ Q_a のコレクタ電流は、トランジスタ Q_b のベース電流となるので、上記動作に正帰還がかかり、静電気保護動作(アノード端子 T_a とカソード端子 T_c

10

20

30

40

50

間の短絡経路形成動作)が維持される。

【0041】

上記したように、本実施形態の半導体装置では、従来採用されていたp基板とn+領域の組み合わせ(図11(a)参照)や、所定間隔を設けて配置されたp+領域とn+領域の組み合わせ(図11(b)参照)ではなく、隣接するn+領域45とp-領域46によってトリガダイオードDaのp-/n+接合面を形成している。このような構造を採用することにより、p-領域46の不純物濃度を調整するだけで、トリガ電圧Vtを従来のトリガ電圧Vt'よりも低く、かつゲートブレイクダウン電圧Vgbdより低い値まで下げることができる。従って、半導体製造プロセスの微細化によってゲート酸化膜が薄型化され、該ゲート酸化膜のゲートブレイクダウン電圧Vgbdが低下した場合であっても、確実に、かつ容易に、それ以下までトリガ電圧Vtを下げることもできるので、該ゲート酸化膜を静電破壊前に保護することが可能となる。

10

【0042】

なお、従来所定間隔を設けて配されていたトリガダイオードのp+領域とn+領域を単に隣接させるだけでは、トリガ電圧Vtが下がり過ぎて電源電圧VDDを下回るので、ラッチアップが生じてしまう。従って、電源電圧VDDからゲートブレイクダウン電圧Vgbdの間(例えば4~8[V]の間)で適切にトリガを掛けるには、本実施形態に示すように、低ドープドレイン方式等で形成されたp-領域46(不純物濃度は 10^{18} [cm⁻³]程度)をn+領域45に隣接させることが必要である。

【0043】

また、本実施形態の半導体装置は、アノード端子TaとトリガダイオードDaの間にnウェル抵抗Rnwel1を挿入し、該抵抗成分を調整して静電気保護回路のスイッチング特性を制御する構成であるため、前出した第1~第3実施形態に比べてトランジスタQaのベース抵抗値を制御しにくくなるが、その代わりに該ベース抵抗をp基板41の外部に設ける必要がなくなるので、製造プロセスの簡略化やコストダウンを図ることが可能となる。

20

【0044】

また、本実施形態の半導体装置は、通常のCMOSプロセスで製造することができるので、不必要にコストアップすることがない。また、従来使われていたggNMOS型の保護素子と比較すると、SCR構造により面積を小さくできる。

30

【0045】

次に、本発明に係る半導体装置の第5実施形態について説明する。図9は本発明に係る半導体装置の第6実施形態を示す縦断面図である。本図(a)~(c)に示すように、本実施形態の半導体装置は、p基板51と、p基板51に形成されたnウェル52と、nウェル52に形成され、アノード端子Taと接続されたn+領域53及びp+領域54と、p基板51とnウェル52に跨がって形成されたn+領域55と、該n+領域55の側方に隣接してp基板51に形成されたp-領域56と、p基板51に形成されカソード端子Tcと接続されたn+領域57及びp+領域58と、p-領域56とn+領域57の間を分離する素子分離部59a~59cと、を有して成る。なお、本実施形態における半導体装置の等価回路は、前出の第4実施形態と同様になる(図8を参照)。このような構造とすることにより、前出の第1実施形態と同様、通常のCMOSプロセスで製造することができるので、不必要なコストアップを招くことなく、上記と同様の効果を得ることが可能である。

40

【0046】

最後に、本発明に係る半導体装置の第6実施形態について説明する。図10は本発明に係る半導体装置の第5実施形態を示す縦断面図である。本図の(a)~(c)に示す通り、本実施形態の半導体装置は、p基板61と、p基板61に形成されたnウェル62と、nウェル62に形成され、アノード端子Taと接続されたn+領域63及びp+領域64と、p基板61とnウェル62に跨がって形成されたn+領域65と、該n+領域65の下方に隣接してp基板61に形成されたp-領域66と、p基板61に形成されカソード端

50

子Tcと接続されたn+領域67及びp+領域68と、p-領域66とn+領域67の間を分離する素子分離部69a~69cと、を有して成る。なお、本実施形態における半導体装置の等価回路は、前出の第4実施形態と同様になる(図8を参照)。このように、p-領域66をp基板61に深く打ち込むことで、n+領域65の側方ではなく下方に隣接して設けることにより、前出の第5、6実施形態に比べて横方向のチップ規模縮小を実現しながら、上記と同様の効果を得ることが可能となる。

【0047】

【発明の効果】

上記したように、本発明に係る半導体装置は、p型半導体基板と、該p型半導体基板に形成された低濃度n型半導体領域と、該低濃度n型半導体領域に形成されて第1電極に接続される第1高濃度p型半導体領域と、同じく前記低濃度n型半導体領域に形成されて抵抗素子を介して第1電極に接続される第1高濃度n型半導体領域と、該第1高濃度n型半導体領域に隣接して形成された低濃度p型半導体領域と、前記p型半導体基板に形成されて第2電極に接続される第2高濃度n型半導体領域及び第2高濃度p型半導体領域と、前記低濃度p型半導体領域と第2高濃度n型半導体領域の間に形成された素子分離部と、を有して成る構成としている。

10

【0048】

なお、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記p型半導体基板の外部に形成されている構成にするとよい。また、上記構成から成る半導体装置において、第1高濃度n型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記p型半導体基板の外部に形成されている構成にしてもよい。

20

【0049】

このような構成とすることにより、静電気保護回路のスイッチング特性を高精度に制御することができ、保護対象であるゲート酸化膜の薄型化に対応することが可能となる。

【0050】

また、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、第1高濃度n型半導体領域の側方に隣接して形成されている構成にするとよい。このような構成から成る半導体装置であれば、従来のCMOSプロセスで製造することができるので、不必要なコストアップを招くことがない。

30

【0051】

また、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、第1高濃度n型半導体領域の下方に隣接して形成されている構成にするとよい。このような構成とすることにより、上記構成に比べて横方向のチップ規模縮小を実現しながら、上記と同様の効果を得ることが可能となる。

【0052】

また、上記構成から成る半導体装置において、前記外部抵抗素子は、第1電極と第1高濃度n型半導体領域の間に、両者を結ぶ方向に対して垂直または平行に設けられ、一端に第1電極と電氣的に接続される第1コンタクトを有し、他端に第1高濃度n型半導体領域と電氣的に接続される第2コンタクトを有して成る構成としている。このような配置レイアウトとすることにより、半導体装置の面積効率を向上して、チップ規模の縮小を図ることが可能となる。

40

【0053】

また、上記構成から成る半導体装置において、前記低濃度p型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記低濃度n型半導体領域の内部に形成されている構成にするとよい。或いは、上記構成から成る半導体装置において、第1高濃度n型半導体領域は、前記p型半導体基板と前記低濃度n型半導体領域に跨って形成されており、前記抵抗素子は、前記低濃度n型半導体領域の内部に形成された構成としてもよい。このような構成であれば、保護対象であるゲート酸

50

化膜の薄型化に対応することが可能となる。

【0054】

また、上記構成から成る半導体装置において、前記低濃度 p 型半導体領域は、第 1 高濃度 n 型半導体領域の側方に隣接して形成されている構成にするとよい。このような構成から成る半導体装置であれば、従来の CMOS プロセスで製造することができるので、 unnecessary コストアップを招くことがない。

【0055】

また、上記構成から成る半導体装置において、前記低濃度 p 型半導体領域は、第 1 高濃度 n 型半導体領域の下方に隣接して形成されている構成にするとよい。このような構成とすることにより、上記構成に比べて横方向のチップ規模縮小を実現しながら、上記と同様の効果を得ることが可能となる。

10

【0056】

また、本発明に係る半導体装置は、 $0.18\ \mu\text{m}$ ルール以下のプロセスルールで形成された半導体装置において、ゲート破壊電圧よりも低い入力電圧で導通するサイリスタ回路を前記半導体装置の端子の保護回路として有する構成である。なお、上記構成から成る半導体装置において、前記サイリスタ回路は、該サイリスタ回路を構成する各トランジスタのベース間に、前記サイリスタ回路のアノード端子側にカソードが接続され、前記サイリスタ回路のカソード端子側にアノードが接続されたトリガダイオードを有する構成にするとよい。また、上記構成から成る半導体装置は、前記トリガダイオードのカソードと前記サイリスタ回路のアノード端子との間に抵抗素子が形成されている構成にするとよい。このような構成とすることにより、トリガダイオードの不純物濃度を調整することで容易にサイリスタ回路のトリガ電圧を制御することができるので、保護対象であるゲート酸化膜の薄型化に対応することが可能となる。

20

【図面の簡単な説明】

【図 1】 本発明に係る半導体装置の第 1 実施形態を示す縦断面図である。

【図 2】 第 1 実施形態の半導体装置の等価回路図である。

【図 3】 本実施形態の半導体装置における静電気保護回路のスイッチング特性を示す TLP カーブである。

【図 4】 外部抵抗 R_{ext} の配置レイアウトの一例を示す上面図である。

【図 5】 本発明に係る半導体装置の第 2 実施形態を示す縦断面図である。

30

【図 6】 本発明に係る半導体装置の第 3 実施形態を示す縦断面図である。

【図 7】 本発明に係る半導体装置の第 4 実施形態を示す縦断面図である。

【図 8】 第 4 実施形態の半導体装置の等価回路図である。

【図 9】 本発明に係る半導体装置の第 5 実施形態を示す縦断面図である。

【図 10】 本発明に係る半導体装置の第 6 実施形態を示す縦断面図である。

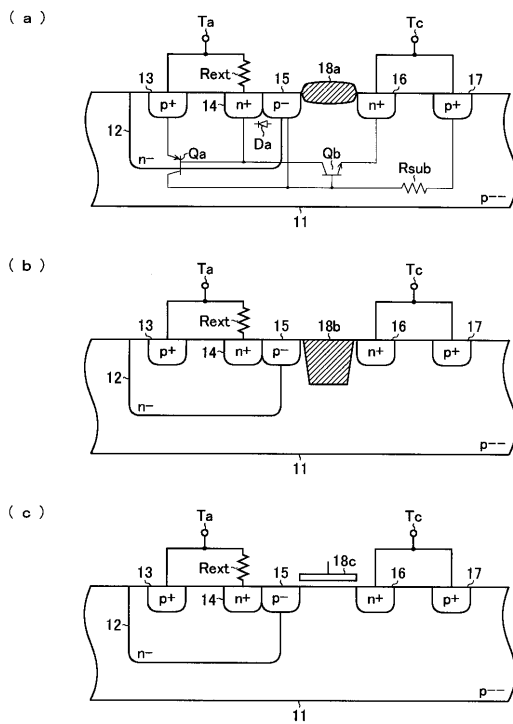
【図 11】 静電気保護回路として機能する半導体装置の従来構造を示す縦断面図である。

【符号の説明】

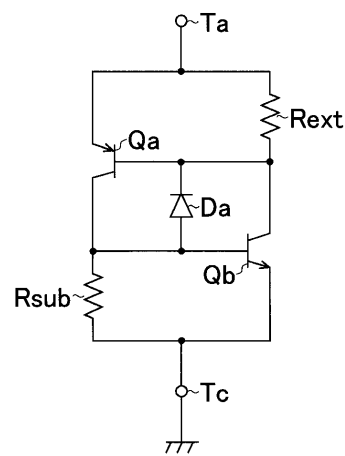
1 1、2 1、3 1	p 型半導体基板 (p 基板)	
1 2、2 2、3 2	低濃度 n 型半導体領域 (n ウェル)	40
1 3、2 3、3 3	高濃度 p 型半導体領域 (p + 領域)	
1 4、2 4、3 4	高濃度 n 型半導体領域 (n + 領域)	
1 5、2 5、3 5	低濃度 p 型半導体領域 (p - 領域)	
1 6、2 6、3 6	高濃度 n 型半導体領域 (n + 領域)	
1 7、2 7、3 7	高濃度 p 型半導体領域 (p + 領域)	
1 8 a、2 8 a、3 8 a	口コス部	
1 8 b、2 8 b、3 8 b	トレンチ部	
1 8 c、2 8 c、3 8 c	ゲート部	
4 1、5 1、6 1	p 型半導体基板 (p 基板)	
4 2、5 2、6 2	低濃度 n 型半導体領域 (n ウェル)	50

- 4 3、5 3、6 3 高濃度 n 型半導体領域 (n + 領域)
- 4 4、5 4、6 4 高濃度 p 型半導体領域 (p + 領域)
- 4 5、5 5、6 5 高濃度 n 型半導体領域 (n + 領域)
- 4 6、5 6、6 6 低濃度 p 型半導体領域 (p - 領域)
- 4 7、5 7、6 7 高濃度 n 型半導体領域 (n + 領域)
- 4 8、5 8、6 8 高濃度 p 型半導体領域 (p + 領域)
- 4 9 a、5 9 a、6 9 a ココス部
- 4 9 b、5 9 b、6 9 b トレンチ部
- 4 9 c、5 9 c、6 9 c ゲート部
- T a アノード端子
- T c カソード端子
- Q a p n p 型バイポーラトランジスタ
- Q b n p n 型バイポーラトランジスタ
- D a トリガダイオード
- R e x t 外部抵抗
- R s u b 基板抵抗
- R n w e l l n ウェル抵抗
- T x、T y 第 1、第 2 コンタクト
- L 1、L 2 a、L 2 b、L 3 配線

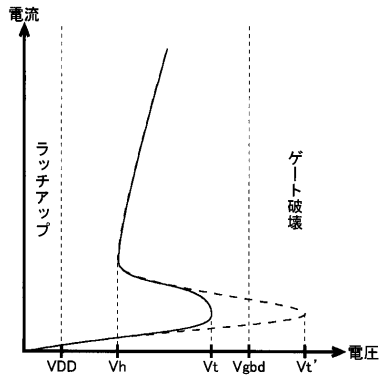
【 図 1 】



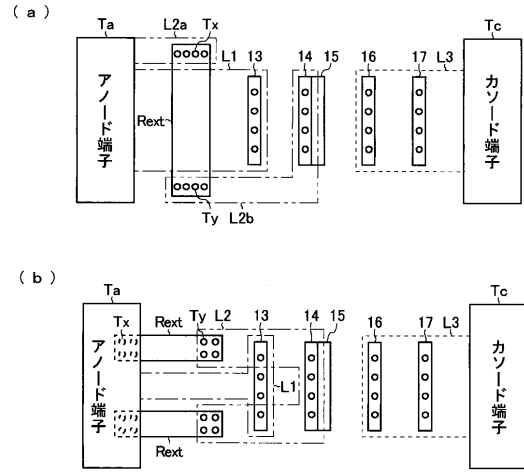
【 図 2 】



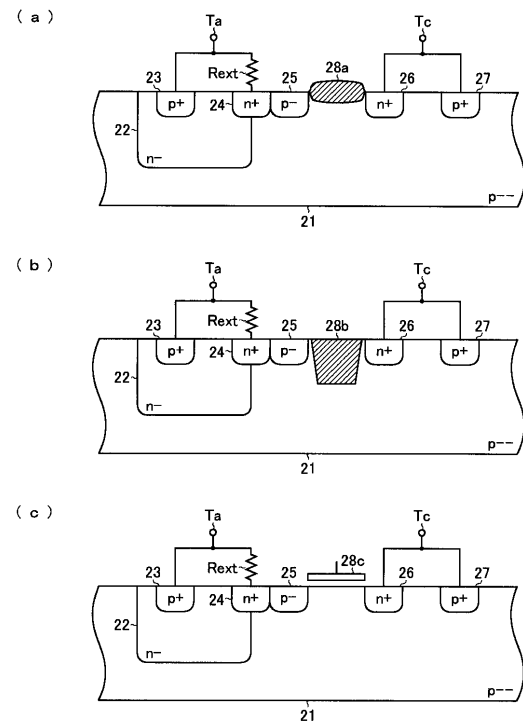
【 図 3 】



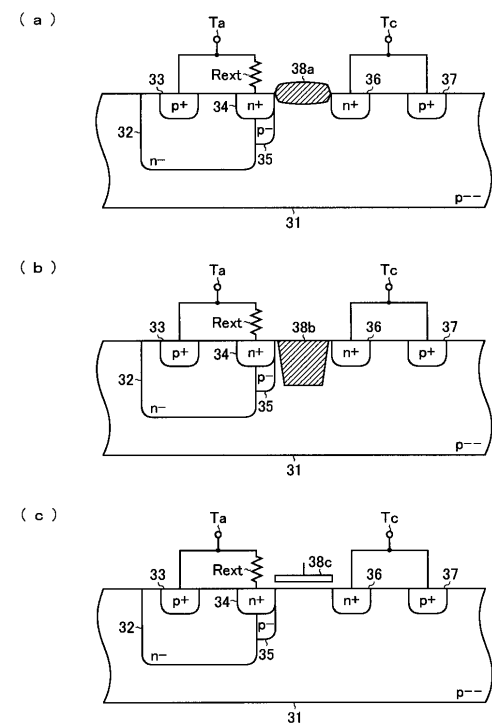
【 図 4 】



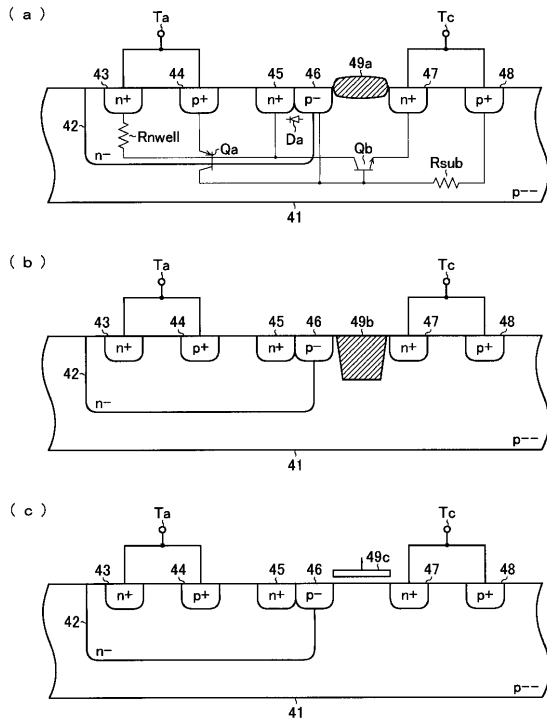
【 図 5 】



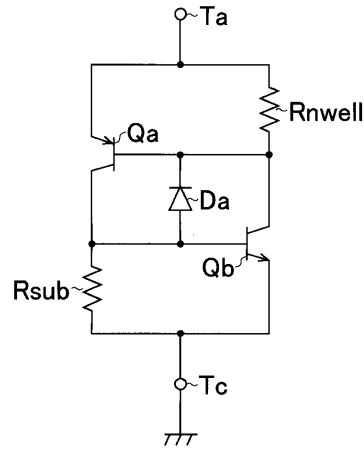
【 図 6 】



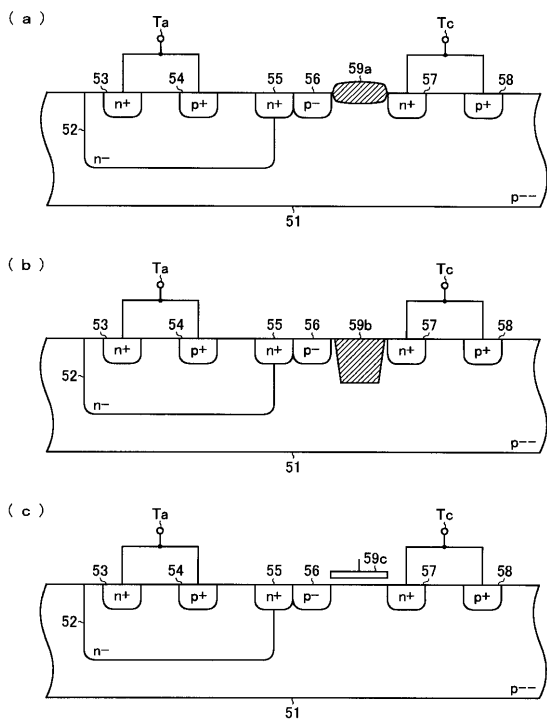
【 図 7 】



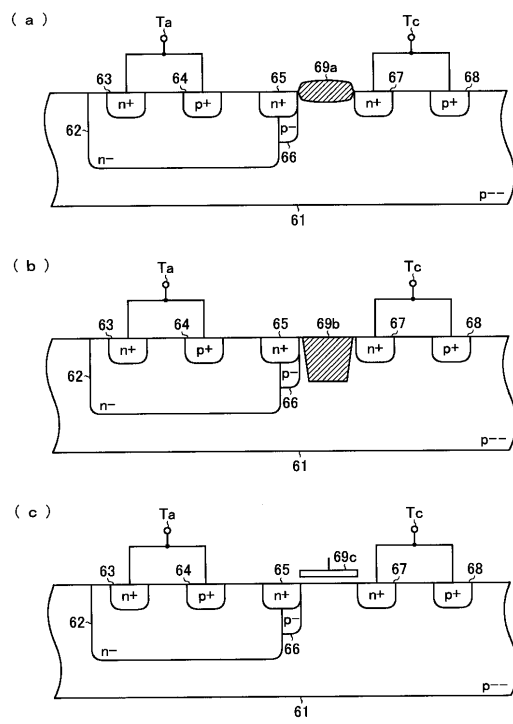
【 図 8 】



【 図 9 】

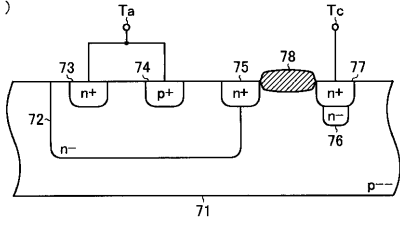


【 図 10 】

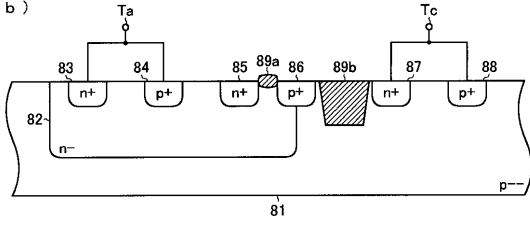


【 図 1 1 】

(a)



(b)



フロントページの続き

- (56)参考文献 特開平06 - 062529 (JP, A)
特開平01 - 114068 (JP, A)
特開平09 - 293881 (JP, A)
特開2001 - 291836 (JP, A)
特開2001 - 085534 (JP, A)
特開平09 - 045862 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 27/04
H01L 27/06
H01L 29/74