

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 9 月 23 日 (23.09.2021)



(10) 国际公布号
WO 2021/185040 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) **H01L 49/02** (2006.01)

(21) 国际申请号: PCT/CN2021/077837

(22) 国际申请日: 2021 年 2 月 25 日 (25.02.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010181067.5 2020 年 3 月 16 日 (16.03.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 陆勇 (LU, Yong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY); 中国上海市静安区俞泾港路 11 号金座 11 层 1102 室, Shanghai 200070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR STRUCTURE FORMING METHOD AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的形成方法及半导体结构

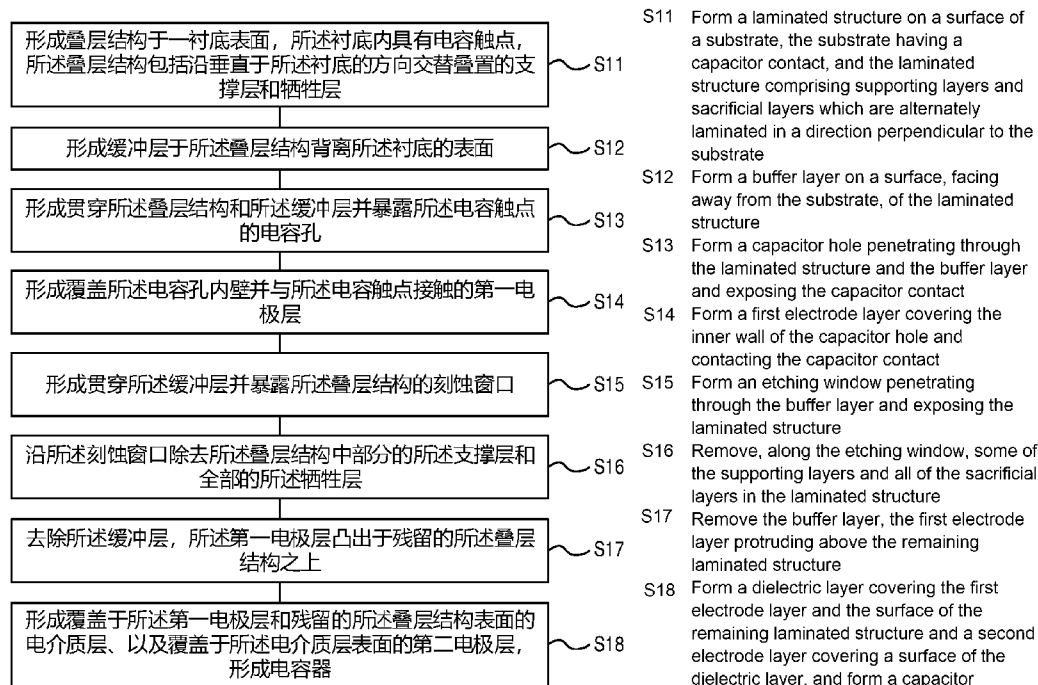


图 1

(57) Abstract: A semiconductor structure forming method and a semiconductor structure. The semiconductor structure forming method comprises the following steps: forming a laminated structure on a surface of a substrate, the laminated structure comprising supporting layers and sacrificial layers which are alternately laminated; forming a buffer layer (25) on a surface, facing away from the substrate, of the laminated structure; forming a capacitor hole (26) penetrating through the laminated structure and the buffer layer (25) and exposing a capacitor contact; forming a first electrode layer (27) covering the inner wall of the capacitor hole (26); forming an etching window

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则
4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则
4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

penetrating through the buffer layer (25); removing, along the etching window, some of the supporting layers and all of the sacrificial layers in the laminated structure; removing the buffer layer (25), the first electrode layer (27) protruding above the remaining laminated structure; and forming a dielectric layer (32) and a second electrode layer (33), and forming a capacitor. The semiconductor structure improves the lateral stability of a capacitor array area, and can effectively increase the capacitance value of a capacitor.

(57) 摘要: 一种半导体结构的形成方法及半导体结构。所述半导体结构的形成方法包括如下步骤: 形成叠层结构于一衬底表面, 所述叠层结构包括交替叠置的支撑层和牺牲层; 形成缓冲层(25)于所述叠层结构背离所述衬底的表面; 形成贯穿所述叠层结构和所述缓冲层(25)并暴露电容触点的电容孔(26); 形成覆盖所述电容孔(26)内壁的第一电极层(27); 形成贯穿所述缓冲层(25)的刻蚀窗口; 沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层; 去除所述缓冲层(25), 所述第一电极层(27)凸出于残留的所述叠层结构之上; 形成电介质层(32)、以及第二电极层(33), 形成电容器。所述半导体结构提高了电容阵列区域横向的稳定性, 并能有效提高电容器的电容值。

半导体结构的形成方法及半导体结构

相关申请引用说明

本申请要求于 2020 年 3 月 16 日递交的中国专利申请号 202010181067.5、申请名为“半导体结构的形成方法及半导体结构”的优先权，其全部内容以引用的形式附录于此。

技术领域

本申请涉及半导体制造技术领域，尤其涉及一种半导体结构的形成方法及半导体结构。

背景技术

动态随机存储器（Dynamic Random Access Memory，DRAM）是计算机等电子设备中常用的半导体结构，其由多个存储单元构成，每个存储单元通常包括晶体管和电容器。所述晶体管的栅极与字线电连接、源极与位线电连接、漏极与电容器电连接，字线上的字线电压能够控制晶体管的开启与关闭，从而通过位线能够读取存储在电容器中的数据信息，或者将数据信息写入到电容器中。

随着半导体器件尺寸的微缩，其在衬底上的横向面积减小。为了提高或者维持电容器具有足够高的电容值，可以采用的做法是增加下电极（bottom electrode）的高度或者是减小下电极的厚度。但是，增加下电极的高度或者是减小下电极的厚度会导致下电极的长径比较高，厚度较薄，从而对电容阵列区域的性能可靠性造成影响。比如，会引起下电极的坍塌或者倾覆，导致相邻的下电极短路。为了解决这一问题，可以通过添加电极的横向连续支撑层，以增加下电极的稳定性。但是，单层横向支撑层有其高度极限，从而使得电容器的电容值受到电极高度的限制，电极倾覆和成片坍塌的风险依然存在。

因此，如何解决电容阵列区域横向不稳定的问题，减小下电极坍塌或者倾覆的风险，提高半导体器件的性能稳定性，是目前亟待解决的技术问题。

发明内容

本申请提供一种半导体结构的形成方法及半导体结构，用于解决半导体结构中电容阵列区域横向稳定性较差的问题，以减小下电极坍塌或者倾覆的风险，提高半导体器件的性能稳定性。

为了解决上述问题，本申请提供了一种半导体结构的形成方法，包括如下步骤：

形成叠层结构于一衬底表面，所述衬底内具有电容触点，所述叠层结构包括沿垂直于所述衬底的方向交替叠置的支撑层和牺牲层；

形成缓冲层于所述叠层结构背离所述衬底的表面；

形成贯穿所述叠层结构和所述缓冲层并暴露所述电容触点的电容孔；

形成覆盖所述电容孔内壁并与所述电容触点接触的第一电极层；

形成贯穿所述缓冲层并暴露所述叠层结构的刻蚀窗口；

沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层，至少残留三层所述支撑层与所述第一电极层的侧壁连接；

去除所述缓冲层，所述第一电极层凸出于残留的所述叠层结构之上；

形成覆盖于所述第一电极层和残留的所述叠层结构表面的电介质层、以及覆盖于所述电介质层表面的第二电极层，形成电容器。

可选的，形成叠层结构于一衬底表面的具体步骤包括：

提供一衬底，所述衬底内部具有电容触点；

沿垂直于所述衬底的方向依次沉积第一支撑层、第一牺牲层、第二支撑层、第二牺牲层和第三支撑层。

可选的，所述第一电极层覆盖所述电容孔内壁和所述缓冲层表面；形成贯穿所述缓冲层并暴露所述叠层结构的刻蚀窗口的具体步骤包括：

形成覆盖所述第一电极层表面的掩膜层，所述掩膜层中具有暴露所述第一电极层的刻蚀图案；

沿所述刻蚀图案依次刻蚀所述第一电极层和所述缓冲层，形成暴露所述第三支撑层的刻蚀窗口。

可选的，沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层的具体步骤包括：

沿所述刻蚀窗口刻蚀部分的所述第三支撑层，形成暴露所述第二牺牲层的第一开口，残留的所述第三支撑层与所述第一电极层的侧壁连接；

沿所述第一开口去除所述第二牺牲层，暴露所述第二支撑层；

沿所述第一开口刻蚀部分的所述第二支撑层，形成暴露所述第一牺牲层的

第二开口；

沿所述第二开口去除所述第一牺牲层。

可选的，一个所述刻蚀窗口与三个及以上的所述电容孔交叠。

可选的，形成暴露所述第二牺牲层的第一开口的具体步骤包括：

去除与所述刻蚀图案交叠区域的部分所述第一电极层；

沿所述刻蚀图案去除部分的所述缓冲层；

沿所述刻蚀图案去除部分的所述第三支撑层，形成暴露所述第二牺牲层的第一开口。

可选的，沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层的具体步骤还包括：

沿所述刻蚀窗口刻蚀部分所述第三支撑层的同时、刻蚀部分所述掩膜层；

沿所述第一开口刻蚀部分的所述第二支撑层的同时、刻蚀掉残留的所述掩膜层，暴露所述第一电极层；

去除覆盖于所述缓冲层表面的所述第一电极层，暴露所述缓冲层。

可选的，形成覆盖于所述第一电极层和残留的所述叠层结构表面的电介质层、以及覆盖于所述电介质层表面的第二电极层的具体步骤包括：

形成覆盖所述第一电极层、残留的所述第三支撑层、残留的所述第二支撑层、以及所述第一支撑层表面的电介质层；

形成覆盖所述电介质层表面的第二电极层；

形成覆盖所述第二电极层表面的导电层。

可选的，所述第三支撑层的厚度大于所述第二支撑层的厚度。

为了解决上述问题，本申请还提供了一种半导体结构，采用如上述任一项所述的半导体结构的形成方法形成。

本申请提供的半导体结构的形成方法及半导体结构，通过叠层结构的表面形成缓冲层，从而在刻蚀过程中能够对顶部的支撑层进行保护，使得初始形成的叠层结构中的所有支撑层都能至少保留部分于第一电极层的侧壁，使得最终形成的电容器具有足够的高度，避免了现有技术中的单层横向支撑层对电容器高度的限制，提高了电容阵列区域横向的稳定性，从而改善了半导体结构的电学性能。而且，通过设置多层横向支撑层，有助于进一步减小第一电极层的厚

度，从而有效提高电容器的电容值。

附图说明

附图 1 是本申请具体实施方式中半导体结构的形成方法流程图；

附图 2A-2P 是本申请具体实施方式在形成半导体结构的过程中主要的工艺截面示意图。

具体实施方式

下面结合附图对本申请提供的半导体结构的形成方法及半导体结构的具体实施方式做详细说明。

本具体实施方式提供了一种半导体结构的形成方法，附图 1 是本申请具体实施方式中半导体结构的形成方法流程图，附图 2A-2P 是本申请具体实施方式在形成半导体结构的过程中主要的工艺截面示意图。如图 1、图 2A-图 2P 所示，本具体实施方式提供的半导体结构的形成方法，包括如下步骤：

步骤 S11，形成叠层结构于一衬底表面，所述衬底内具有电容触点，所述叠层结构包括沿垂直于所述衬底的方向交替叠置支撑层和牺牲层，如图 2A 所示。

所述叠层结构中叠置的所述支撑层和所述牺牲层的具体层数，本领域技术人员可以根据实际需要进行设置。在本具体实施方式中，为了后续能够形成多层支撑层以支撑电容器中的电极结构，所述叠层结构中所述支撑层的层数至少为三层，相应的，所述牺牲层的层数至少为两层。为了进一步简化半导体结构的制造工序，可选的，形成叠层结构于一衬底表面的具体步骤包括：

提供一衬底，所述衬底内部具有电容触点（图中未示出）；

沿垂直于所述衬底的方向依次沉积第一支撑层 20、第一牺牲层 21、第二支撑层 22、第二牺牲层 23 和第三支撑层 24 于所述衬底表面，如图 2A 所示。

具体来说，所述衬底内部具有呈阵列排布的多个有源区，所述电容触点电连接所述有源区。在沿所述衬底指向所述叠层结构的方向上，所述第一支撑层 20、所述第一牺牲层 21、所述第二支撑层 22、所述第二牺牲层 23、所述第三支撑层 24 依次叠置。所述第一支撑层 20、所述第二支撑层 22 和所述第三支撑层 24 的材料可以相同，例如均为氮化物材料（例如氮化硅）。所述第一牺牲层 21 与所述第二牺牲层 23 的材料也可以相同，例如均为氧化物材料（例如氧化

硅)。

步骤 S12，形成缓冲层 25 于所述叠层结构背离所述衬底的表面，如图 2A 所示。

具体来说，所述缓冲层 25 的材料可以为有机材料，例如碳。

步骤 S13，形成贯穿所述叠层结构和所述缓冲层 25 并暴露所述电容触点的电容孔 26，如图 2B、图 2C 所示，图 2B 是图 2C 沿虚线方向的截面示意图。

具体来说，在形成覆盖所述叠层结构的所述缓冲层 25 之后，可以采用干法刻蚀工艺或者湿法刻蚀工艺沿垂直于所述衬底的方向形成贯穿所述缓冲层 25 和所述叠层结构的所述电容孔 26，通过所述电容孔暴露所述衬底内的所述电容触点。

步骤 S14，形成覆盖所述电容孔 26 内壁并与所述电容触点接触的第一电极层 27，如图 2D、图 2E 所示，图 2D 是图 2E 沿虚线方向的截面示意图。

步骤 S15，形成贯穿所述缓冲层 25 并暴露所述叠层结构的刻蚀窗口。

具体来说，可以采用化学气相沉积工艺或者物理气相沉积工艺沉积所述第一电极层 27 于所述电容孔 26 的侧壁、底壁以及所述缓冲层 25 背离所述第三支撑层 24 的表面。所述第一电极层 27 的材料可以是但不限于氮化钛，所述第一电极层 27 的厚度本领域技术人员可以根据实际需要进行设置。

可选的，所述第一电极层 27 覆盖所述电容孔 26 内壁和所述缓冲层 25 表面，如图 2D、图 2E 所示；形成贯穿所述缓冲层 25 并暴露所述叠层结构的刻蚀窗口的具体步骤包括：

形成覆盖所述第一电极层 27 表面的掩膜层，所述掩膜层中具有暴露所述第一电极层 27 的刻蚀图案；

沿所述刻蚀图案依次刻蚀所述第一电极层 27 和所述缓冲层 25，形成暴露所述第三支撑层 24 的刻蚀窗口。

具体来说，在形成所述第一电极层 27 之后，形成掩膜层于位于所述缓冲层 25 顶面的所述第一电极层 27 之上，并封闭所述电容孔 26，以便于后续对所述第三支撑层 24 进行刻蚀。所述掩膜层可以为硬掩膜层，且所述掩膜层可以为单层掩膜层，也可以为多层掩膜层构成的叠层。在本具体实施方式中以所述掩膜层包括第一子掩膜层 28 和第二子掩膜层 29 为例进行说明。所述第一子掩

膜层 28 的材料可以为氮化物材料，例如氮化硅；所述第二子掩膜层 29 的材料可以为氧化物或者氮氧化物材料。

在形成所述第一子掩膜层 28 和所述第二子掩膜层 29 之后，形成光阻层 30 于所述第二子掩膜层 29 背离所述第一子掩膜层 28 的表面，所述光阻层 30 中具有暴露所述第二子掩膜层 29 的刻蚀开口 301，如图 2G、图 2H 所示，图 2G 是图 2H 沿虚线方向的截面示意图。接着，沿所述刻蚀开口 301 刻蚀所述第二子掩膜层 29 和所述第一子掩膜层 28，形成贯穿所述第二子掩膜层 29 和所述第一子掩膜层 28 的刻蚀图案，所述刻蚀图案暴露所述第一电极层 27。然后，继续沿所述刻蚀图案刻蚀所述第一电极层 27 和所述缓冲层 25，形成暴露所述第三支撑层 24 的刻蚀窗口。

在本具体实施方式中，以一个所述刻蚀开口 301 与三个所述电容孔 26 交叠为例进行说明，如图 2G、图 2H 所示。在其他具体实施方式中，本领域技术人员也可以根据实际需要设置一个所述刻蚀开口 301 与一个、两个或者三个以上的所述电容孔交叠。

步骤 S16，沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层，如图 2L 所示。

可选的，沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层的具体步骤包括：

沿所述刻蚀窗口刻蚀部分的所述第三支撑层 24，形成暴露所述第二牺牲层 23 的第一开口 31，残留的所述第三支撑层 24 与所述第一电极层 27 的侧壁连接，如图 2I 所示；

沿所述第一开口 31 去除所述第二牺牲层 23，暴露所述第二支撑层 22，如图 2J 所示；

沿所述第一开口 31 刻蚀部分的所述第二支撑层 22，形成暴露所述第一牺牲层 21 的第二开口，如图 2K 所示；

沿所述第二开口去除所述第一牺牲层 21，如图 2L 所示。

可选的，形成暴露所述第二牺牲层 23 的第一开口 31 的具体步骤包括：

去除与所述刻蚀图案交叠区域的部分所述第一电极层 27；

沿所述刻蚀图案去除部分的所述缓冲层 25；

沿所述刻蚀图案去除部分的所述第三支撑层 24, 形成暴露所述第二牺牲层 23 的第一开口 31。

具体来说, 沿所述刻蚀窗口选择性的刻蚀所述第一电极层 27, 使得与所述刻蚀图案交叠区域的所述第一电极层 27 的顶面与所述第三支撑层 24 的底面平齐, 以便于后续对所述缓冲层 25 和所述第三支撑层 24 进行刻蚀。之后, 继续沿所述刻蚀图案选择性的刻蚀所述缓冲层 25 和所述第三支撑层 24, 形成暴露所述第二牺牲层 23 的第一开口 31。

在沿所述刻蚀图案去除部分的所述缓冲层 25、部分的所述第三支撑层 24 和部分的所述第一电极层 27 的过程中, 与所述刻蚀图案交叠区域的所述第一电极层 27 的高度降低, 低于未与所述刻蚀图案交叠区域的所述第一电极层 27 的高度。未与所述刻蚀图案交叠区域的部分, 由于所述第一电极层 27 以及所述缓冲层 25 的覆盖, 所述第三支撑层 24 得以保留, 从而使得在刻蚀结束之后, 残留的所述第三支撑层 24 (如图 2I 中虚线框中所示的第三支撑层 24) 与所述第一电极层 27 的侧壁垂直连接, 以支撑所述第一电极层。

在形成所述第一开口 31 之后, 可以先去除所述第二子掩膜层 29。然后, 采用湿法刻蚀工艺自所述第一开口 31 去除所有的所述第二牺牲层 23, 得到如图 2J 所示的结构。之后, 继续沿所述第一开口 31 刻蚀部分的所述第二支撑层 22, 形成暴露所述第一牺牲层 21 的第二开口, 如图 2K 所示。残留的所述第二支撑层 22 与所述第一电极层 27 的侧壁垂直连接, 以支撑所述第一电极层 27。接着, 采用湿法刻蚀工艺自所述第二开口去除所有的所述第一牺牲层 21, 得到如图 2L 所示的结构。

可选的, 沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层的具体步骤还包括:

沿所述刻蚀窗口刻蚀部分所述第三支撑层 24 的同时、刻蚀部分所述掩膜层;

沿所述第一开口 31 刻蚀部分的所述第二支撑层 22 的同时、刻蚀掉残留的所述掩膜层 28, 暴露所述第一电极层 27;

去除覆盖于所述缓冲层 25 表面的所述第一电极层 27, 暴露所述缓冲层 25。

举例来说, 所述叠层结构中的所述第一支撑层 20、所述第二支撑层 22、

所述第三支撑层 24 和所述第一子掩膜层 28 均采用相同的氮化物材料（例如氮化硅）制成。在沿所述刻蚀窗口刻蚀所述第三支撑层 24 的过程中，部分的所述第一子掩膜层 28 也被刻蚀掉，而被所述缓冲层 25 覆盖、且未与所述刻蚀窗口交叠区域的所述第三支撑层 24 不被刻蚀。在沿所述第一开口 31 刻蚀部分的所述第二支撑层 22 的过程中，剩余的所述第一子掩膜层 28 也被刻蚀掉，从而暴露出位于所述缓冲层 25 顶面的所述第一电极层 27，以所述缓冲层 25 为刻蚀截止层，刻蚀掉覆盖于所述缓冲层 25 表面的所述第一电极层 27，暴露所述缓冲层 25。

本领域技术人员也可以根据实际需要，将所述第一子掩膜层 28 的材料设置为与所述叠层结构中所述第三支撑层 24 和所述第二支撑层 22 的材料不同，从而将所述第一子掩膜层 28 的去除过程与所述第三支撑层 24、所述第二支撑层 22 的刻蚀过程分开进行。本具体实施方式对所述第一子掩膜层 28 与所述第三支撑层 24、所述第二支撑层 22、所述第二牺牲层 23、所述第一牺牲层 21 去除的先后顺序不作限定，本领域技术人员可以根据实际需要进行选择。

步骤 S17，去除所述缓冲层 25，所述第一电极层 27 凸出于残留的所述叠层结构之上，如图 2M 所示。

具体来说，以所述第三支撑层 24 作为刻蚀截止层刻蚀掉所述缓冲层 25，使得所述第一电极层 27 的部分凸出于残留的所述第三支撑层 24 之上，从而增加了所述第一电极层 27 的高度。另外，由于所述第一电极层 27 的侧壁仍然存在残留的所述第三支撑层 24 和残留的所述第二支撑层 22，因此，能够对具有较高高度的所述第一电极层 27 进行稳定的支撑，从而增强了电容阵列区域的横向稳定性。同时，由于残留的所述第三支撑层 24 和残留的所述第二支撑层 22 的存在，还可以相应减小所述第一电极层 27 的厚度，从而增加电容器的电容值。

步骤 S18，形成覆盖于所述第一电极层 27 和残留的所述叠层结构表面的电介质层 32、以及覆盖于所述电介质层 32 表面的第二电极层 33，形成电容器，如图 2N、图 2O 所示。

可选的，形成覆盖于所述第一电极层 27 和残留的所述叠层结构表面的电介质层 32、以及覆盖于所述电介质层 32 表面的第二电极层 33 的具体步骤包括：

形成覆盖所述第一电极层 27、残留的所述第三支撑层 24、残留的所述第二支撑层 22、以及所述第一支撑层 20 表面的电介质层 32，如图 2N 所示；

形成覆盖所述电介质层 32 表面的第二电极层 33，如图 2O 所示；

形成覆盖所述第二电极层 33 表面的导电层 34，如图 2P 所示。

具体来说，所述电介质层 32 的材料优选为具有较高介电常数的材料。所述第二电极层 33 的材料可以与所述第一电极层 27 的材料相同，例如均为氮化钛。所述导电层 34 的材料可以为但不限于多晶硅材料。

可选的，所述第三支撑层 24 的厚度大于所述第二支撑层 22 的厚度。

具体来说，将所述第三支撑层 24 的厚度设置为大于所述第二支撑层 22 的厚度，有助于对所述第一电极层 27 顶部的支撑，提高所述第一电极层 27 顶部的稳定性。本领域技术人员还可以根据需要将所述第一牺牲层 21 的厚度设置为大于所述第二牺牲层 23 的厚度，也有助于对所述第一电极层 27 顶部的支撑。

不仅如此，本具体实施方式还提供了一种半导体结构，采用如上述任一项所述的半导体结构的形成方法形成。本具体实施方式提供的半导体结构的示意图可参见图 2P。

本具体实施方式提供的半导体结构的形成方法及半导体结构，通过叠层结构的表面形成缓冲层，从而在刻蚀过程中能够对顶部的支撑层进行保护，使得初始形成的叠层结构中的所有支撑层都能至少保留部分于第一电极层的侧壁，使得最终形成的电容器具有足够的高度，避免了现有技术中的单层横向支撑层对电容器高度的限制，提高了电容阵列区域横向的稳定性，从而改善了半导体结构的电学性能。而且，通过设置多层横向支撑层，有助于进一步减小第一电极层的厚度，从而有效提高电容器的电容值。

以上所述仅是本申请的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

1. 一种半导体结构的形成方法，包括如下步骤：

形成叠层结构于一衬底表面，所述衬底内具有电容触点，所述叠层结构包括沿垂直于所述衬底的方向交替叠置的支撑层和牺牲层；

形成缓冲层于所述叠层结构背离所述衬底的表面；

形成贯穿所述叠层结构和所述缓冲层并暴露所述电容触点的电容孔；

形成覆盖所述电容孔内壁并与所述电容触点接触的第一电极层；

形成贯穿所述缓冲层并暴露所述叠层结构的刻蚀窗口；

沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层；

去除所述缓冲层，所述第一电极层凸出于残留的所述叠层结构之上；

形成覆盖于所述第一电极层和残留的所述叠层结构表面的电介质层、以及覆盖于所述电介质层表面的第二电极层，形成电容器。

2. 根据权利要求 1 所述的半导体结构的形成方法，其中，形成叠层结构于一衬底表面的具体步骤包括：

提供一衬底，所述衬底内部具有电容触点；

沿垂直于所述衬底的方向依次沉积第一支撑层、第一牺牲层、第二支撑层、第二牺牲层和第三支撑层。

3. 根据权利要求 2 所述的半导体结构的形成方法，其中，所述第一电极层覆盖所述电容孔内壁和所述缓冲层表面；形成贯穿所述缓冲层并暴露所述叠层结构的刻蚀窗口的具体步骤包括：

形成覆盖所述第一电极层表面的掩膜层，所述掩膜层中具有暴露所述第一电极层的刻蚀图案；

沿所述刻蚀图案依次刻蚀所述第一电极层和所述缓冲层，形成暴露所述第三支撑层的刻蚀窗口。

4. 根据权利要求 3 所述的半导体结构的形成方法，其中，沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层的具体步骤包括：

沿所述刻蚀窗口刻蚀部分的所述第三支撑层，形成暴露所述第二牺牲层的第一开口，残留的所述第三支撑层与所述第一电极层的侧壁连接；

沿所述第一开口去除所述第二牺牲层，暴露所述第二支撑层；

沿所述第一开口刻蚀部分的所述第二支撑层，形成暴露所述第一牺牲层的第二开口；

沿所述第二开口去除所述第一牺牲层。

5. 根据权利要求 4 所述的半导体结构的形成方法，其中，一个所述刻蚀窗口与三个及以上的所述电容孔交叠。

6. 根据权利要求 4 所述的半导体结构的形成方法，其中，形成暴露所述第二牺牲层的第一开口的具体步骤包括：

去除与所述刻蚀图案交叠区域的部分所述第一电极层；

沿所述刻蚀图案去除部分的所述缓冲层；

沿所述刻蚀图案去除部分的所述第三支撑层，形成暴露所述第二牺牲层的第一开口。

7. 根据权利要求 4 所述的半导体结构的形成方法，其中，沿所述刻蚀窗口除去所述叠层结构中部分的所述支撑层和全部的所述牺牲层的具体步骤还包括：

沿所述刻蚀窗口刻蚀部分所述第三支撑层的同时、刻蚀部分所述掩膜层；

沿所述第一开口刻蚀部分的所述第二支撑层的同时、刻蚀掉残留的所述掩膜层，暴露所述第一电极层；

去除覆盖于所述缓冲层表面的所述第一电极层，暴露所述缓冲层。

8. 根据权利要求 4 所述的半导体结构的形成方法，其中，形成覆盖于所述第一电极层和残留的所述叠层结构表面的电介质层、以及覆盖于所述电介质层表面的第二电极层的具体步骤包括：

形成覆盖所述第一电极层、残留的所述第三支撑层、残留的所述第二支撑层、以及所述第一支撑层表面的电介质层；

形成覆盖所述电介质层表面的第二电极层；

形成覆盖所述第二电极层表面的导电层。

9. 根据权利要求 2 所述的半导体结构的形成方法，其中，所述第三支撑层的厚度大于所述第二支撑层的厚度。
10. 一种半导体结构，其中，所述半导体结构采用如权利要求 1-9 中任一项所述的半导体结构的形成方法形成。

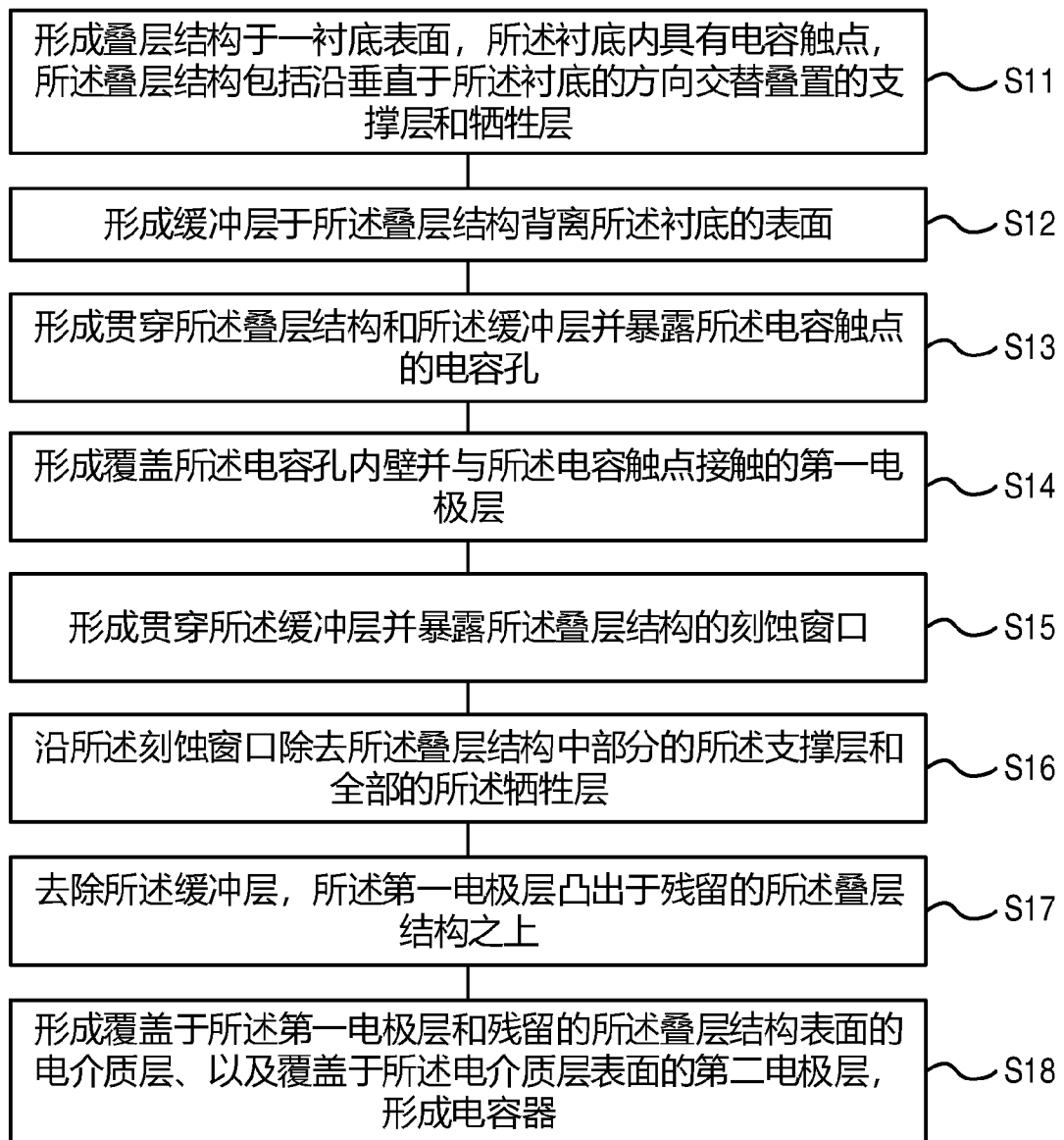


图 1

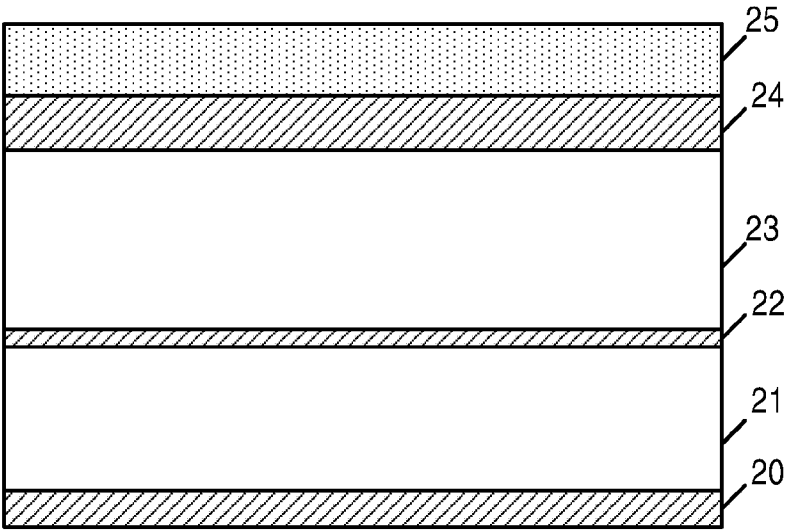


图 2A

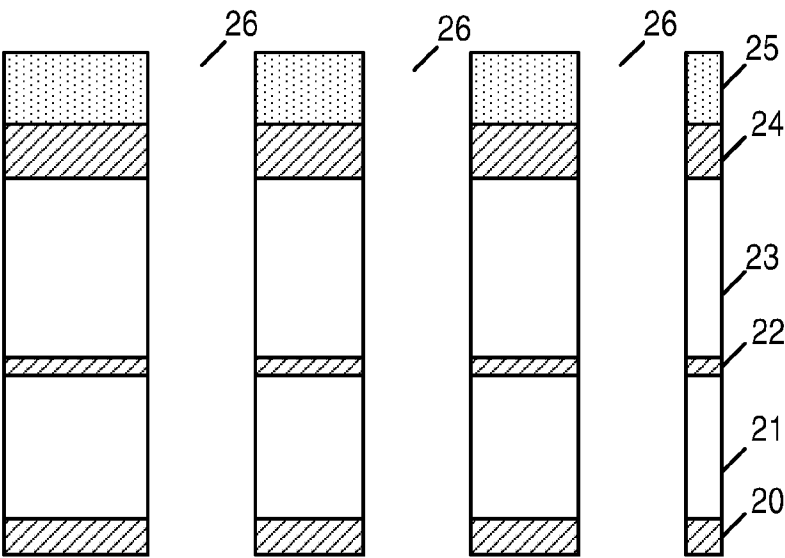


图 2B

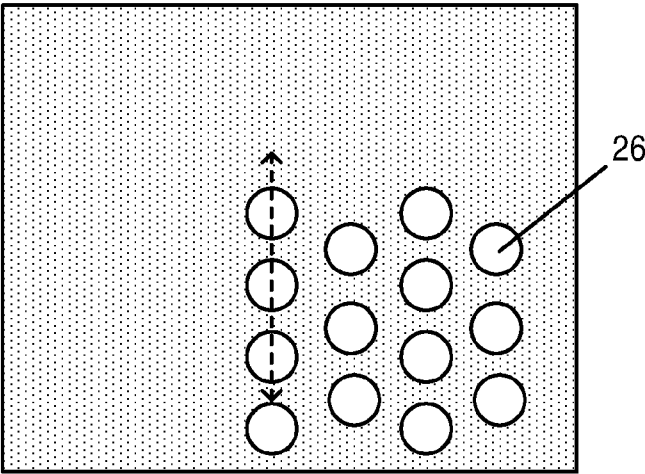


图 2C

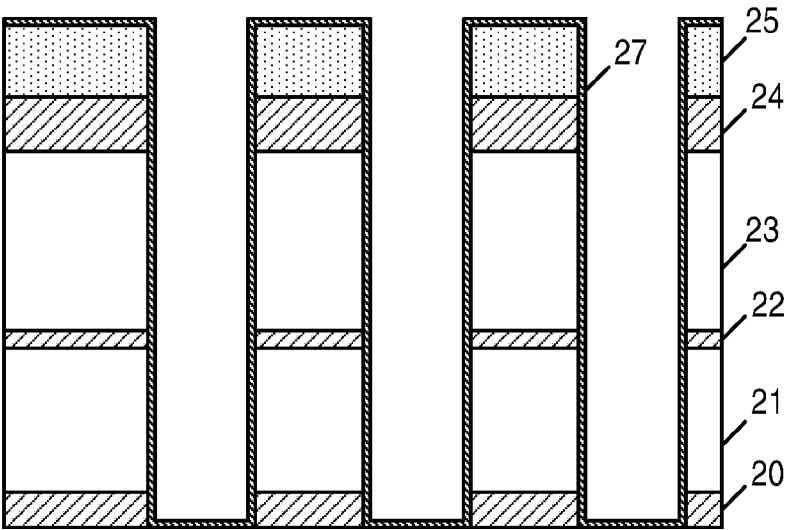


图 2D

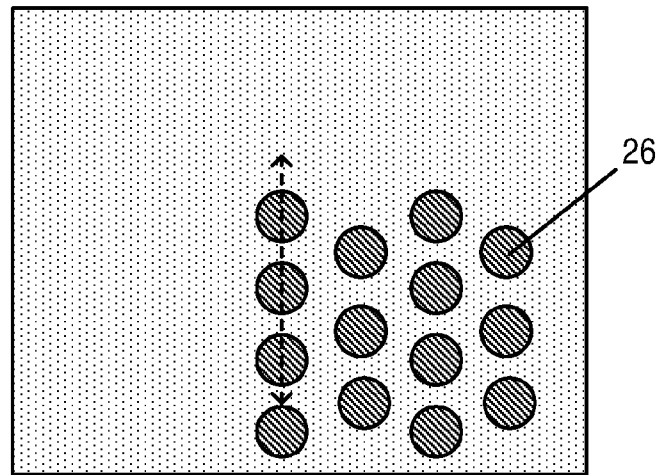


图 2E

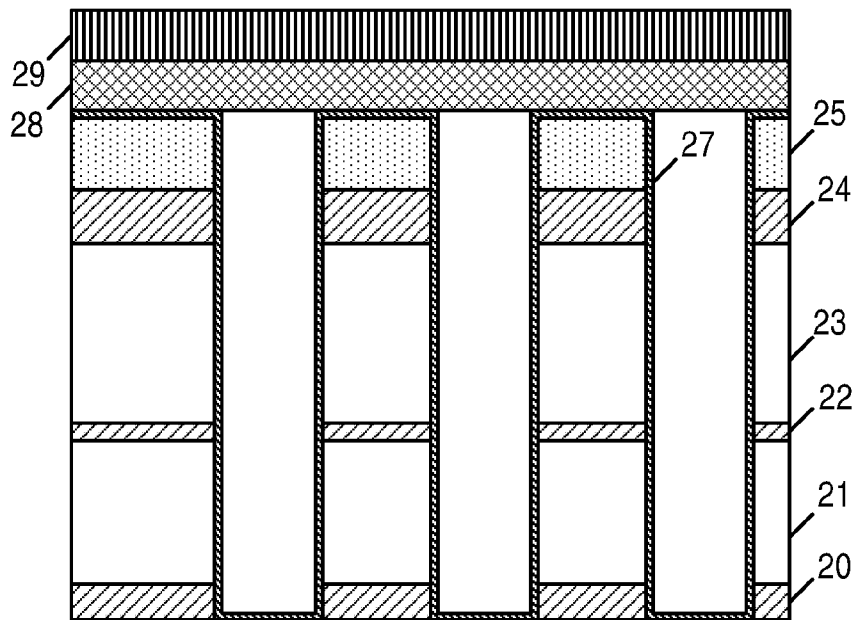


图 2F

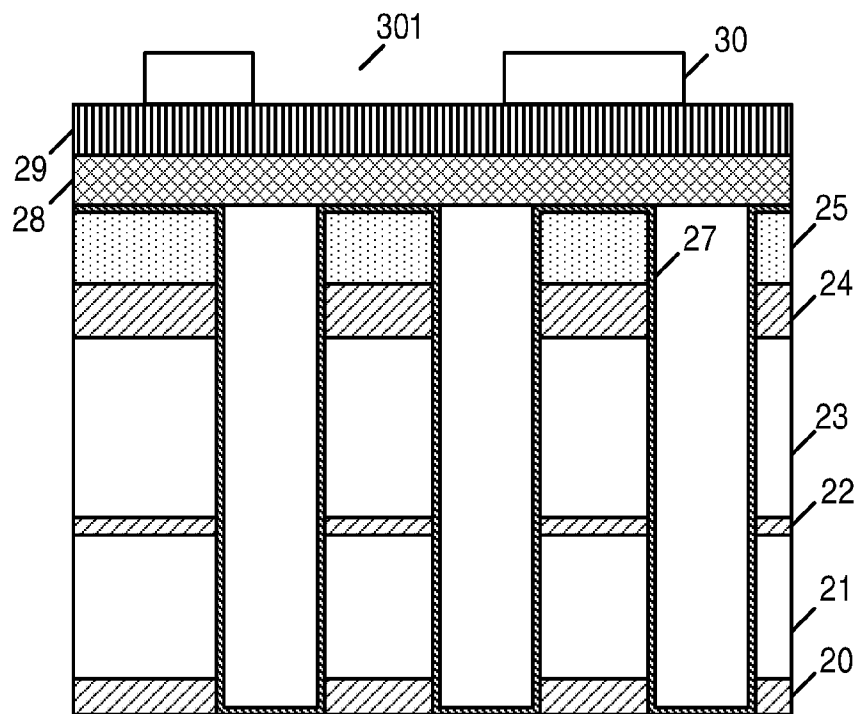


图 2G

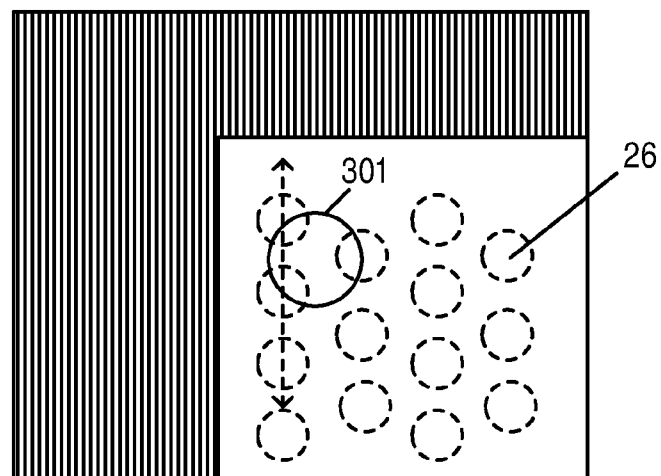


图 2H

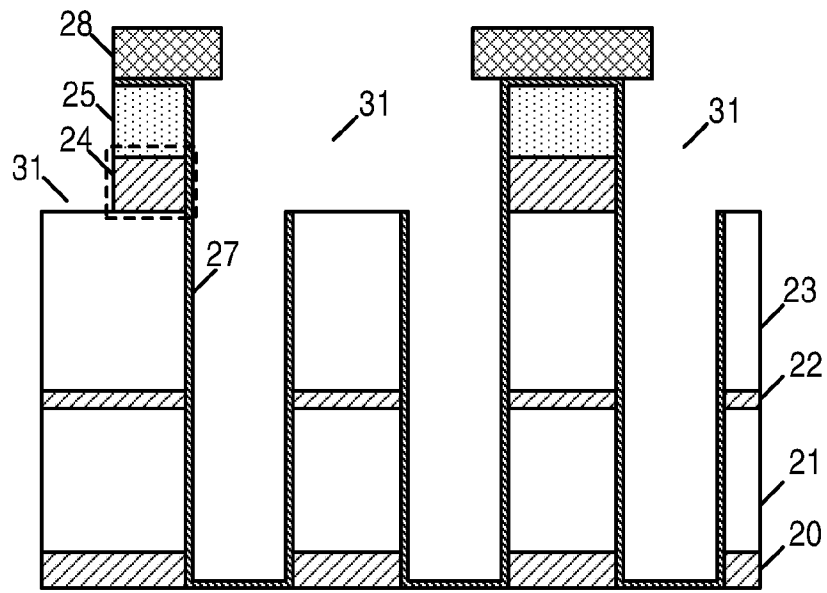


图 2I

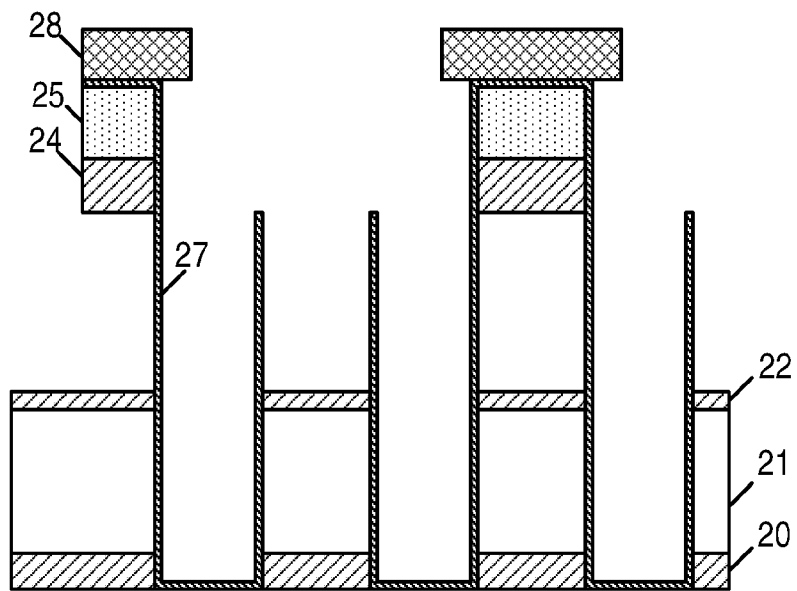


图 2J

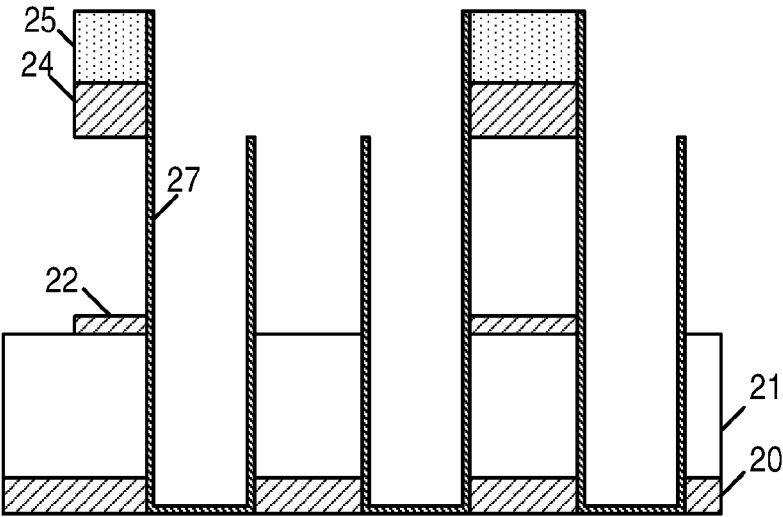


图 2K

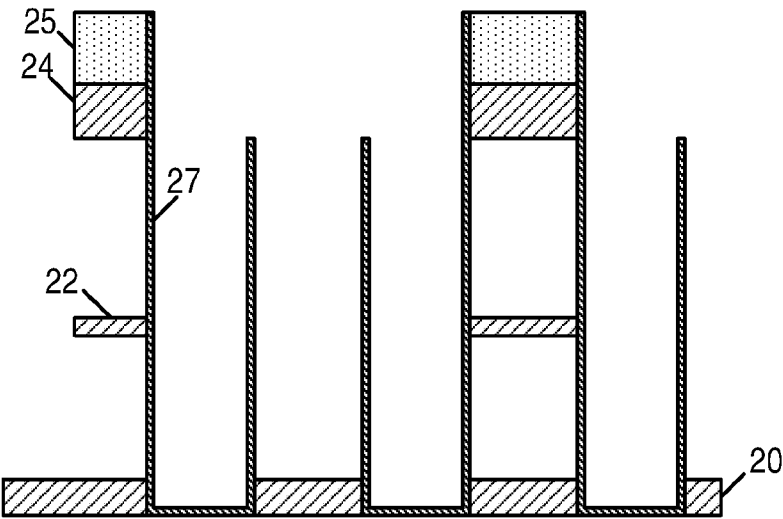


图 2L

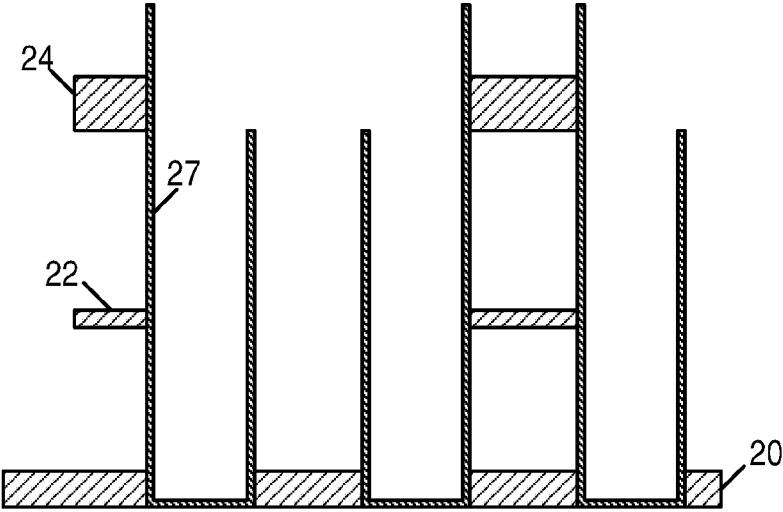


图 2M

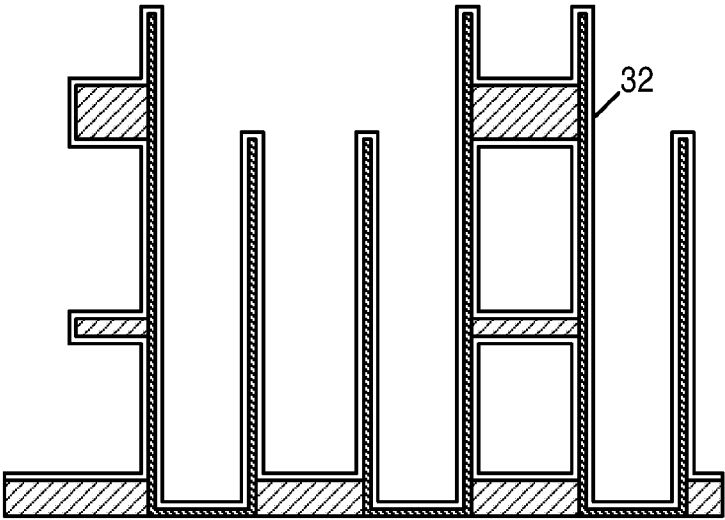


图 2N

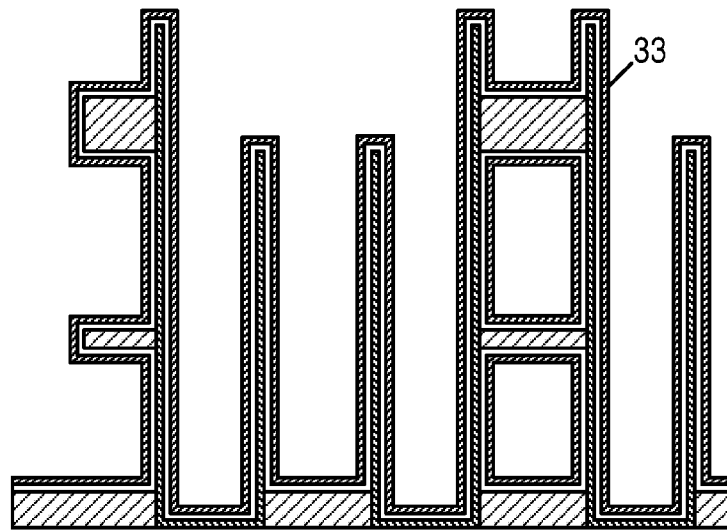


图 2O

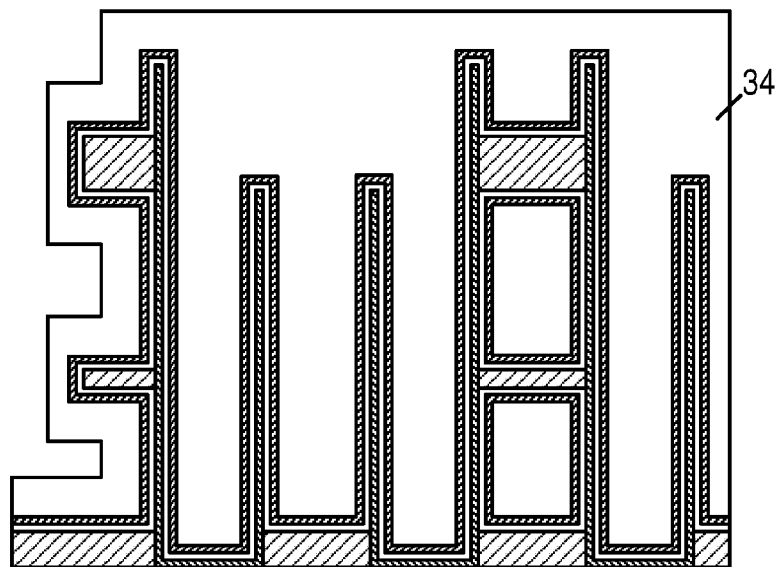


图 2P

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/077837

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 49/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNKI, CNPAT, IEEE: 存储器, 电容, 电极, 坍塌, memory, capacitor, electrode+, collapse+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013134556 A1 (ELPIDA MEMORY, INC.) 30 May 2013 (2013-05-30) description, paragraphs [0100]-[0141], and figures 1-5	1-10
A	CN 1655339 A (SAMSUNG ELECTRONICS CO., LTD.) 17 August 2005 (2005-08-17) entire document	1-10
A	US 2012235279 A1 (SAMSUNG ELECTRONICS CO., LTD.) 20 September 2012 (2012-09-20) entire document	1-10
A	US 2011092044 A1 (INOTERA MEMORIES, INC.) 21 April 2011 (2011-04-21) entire document	1-10
A	US 2009257169 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 15 October 2009 (2009-10-15) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 April 2021

Date of mailing of the international search report

26 May 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/077837

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2013134556	A1	30 May 2013	US	8384143 B2	26 February 2013
				US	2009146254 A1	11 June 2009
				US	8884350 B2	11 November 2014
				US	2012187537 A1	26 July 2012
				US	RE46798 E	17 April 2018
				US	8169015 B2	01 May 2012
				JP	2008283026 A	20 November 2008
CN	1655339	A	17 August 2005	TW	200527585 A	16 August 2005
				DE	102004053095 B4	10 June 2010
				US	2005176210 A1	11 August 2005
				US	7153740 B2	26 December 2006
				DE	102004053095 A1	25 August 2005
				JP	4704014 B2	15 June 2011
				JP	2005229097 A	25 August 2005
				KR	20050080670 A	17 August 2005
				TW	I333680 B	21 November 2010
				KR	100568733 B1	07 April 2006
				US	2006211178 A1	21 September 2006
				CN	100481393 C	22 April 2009
US	2012235279	A1	20 September 2012	US	9449977 B2	20 September 2016
				KR	20120104810 A	24 September 2012
				US	9853032 B2	26 December 2017
				US	2015102462 A1	16 April 2015
				US	2016343716 A1	24 November 2016
				KR	101800419 B1	23 November 2017
				US	8912629 B2	16 December 2014
US	2011092044	A1	21 April 2011	TW	I396260 B	11 May 2013
				US	8288224 B2	16 October 2012
				TW	201115688 A	01 May 2011
US	2009257169	A1	15 October 2009	TW	I357132 B	21 January 2012
				TW	200943493 A	16 October 2009
				US	8134823 B2	13 March 2012

国际检索报告

国际申请号

PCT/CN2021/077837

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 49/02(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNKI, CNPAT, IEEE:存储器, 电容, 电极, 坍塌, memory, capacitor, electrode+, collaps+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2013134556 A1 (ELPIDA MEMORY, INC.) 2013年 5月 30日 (2013 - 05 - 30) 说明书第[0100]-[0141]段, 图1-5	1-10
A	CN 1655339 A (三星电子株式会社) 2005年 8月 17日 (2005 - 08 - 17) 全文	1-10
A	US 2012235279 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2012年 9月 20日 (2012 - 09 - 20) 全文	1-10
A	US 2011092044 A1 (INOTERA MEMORIES, INC.) 2011年 4月 21日 (2011 - 04 - 21) 全文	1-10
A	US 2009257169 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2009年 10月 15日 (2009 - 10 - 15) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 4月 25日

国际检索报告邮寄日期

2021年 5月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

赵凤瑗

电话号码 (86-10) 53961478

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/077837

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2013134556	A1	2013年 5月 30日	US	8384143	B2	2013年 2月 26日
				US	2009146254	A1	2009年 6月 11日
				US	8884350	B2	2014年 11月 11日
				US	2012187537	A1	2012年 7月 26日
				US	RE46798	E	2018年 4月 17日
				US	8169015	B2	2012年 5月 1日
				JP	2008283026	A	2008年 11月 20日
CN	1655339	A	2005年 8月 17日	TW	200527585	A	2005年 8月 16日
				DE	102004053095	B4	2010年 6月 10日
				US	2005176210	A1	2005年 8月 11日
				US	7153740	B2	2006年 12月 26日
				DE	102004053095	A1	2005年 8月 25日
				JP	4704014	B2	2011年 6月 15日
				JP	2005229097	A	2005年 8月 25日
				KR	20050080670	A	2005年 8月 17日
				TW	1333680	B	2010年 11月 21日
				KR	100568733	B1	2006年 4月 7日
				US	2006211178	A1	2006年 9月 21日
				CN	100481393	C	2009年 4月 22日
US	2012235279	A1	2012年 9月 20日	US	9449977	B2	2016年 9月 20日
				KR	20120104810	A	2012年 9月 24日
				US	9853032	B2	2017年 12月 26日
				US	2015102462	A1	2015年 4月 16日
				US	2016343716	A1	2016年 11月 24日
				KR	101800419	B1	2017年 11月 23日
				US	8912629	B2	2014年 12月 16日
US	2011092044	A1	2011年 4月 21日	TW	1396260	B	2013年 5月 11日
				US	8288224	B2	2012年 10月 16日
				TW	201115688	A	2011年 5月 1日
US	2009257169	A1	2009年 10月 15日	TW	1357132	B	2012年 1月 21日
				TW	200943493	A	2009年 10月 16日
				US	8134823	B2	2012年 3月 13日