

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5374546号
(P5374546)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年9月27日(2013.9.27)

(51) Int.Cl. F I
 H O 1 L 21/336 (2006.01) H O 1 L 29/78 3 7 1
 H O 1 L 29/788 (2006.01) H O 1 L 27/10 4 3 4
 H O 1 L 29/792 (2006.01) G 1 1 C 17/00 6 2 3 Z
 H O 1 L 21/8247 (2006.01)
 H O 1 L 27/115 (2006.01)

請求項の数 14 (全 54 頁) 最終頁に続く

(21) 出願番号	特願2011-136165 (P2011-136165)	(73) 特許権者	302062931
(22) 出願日	平成23年6月20日(2011.6.20)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2006-139823 (P2006-139823)		神奈川県川崎市中原区下沼部1753番地
	の分割	(74) 代理人	100080001
原出願日	平成18年5月19日(2006.5.19)		弁理士 筒井 大和
(65) 公開番号	特開2011-228729 (P2011-228729A)	(72) 発明者	岡 保志
(43) 公開日	平成23年11月10日(2011.11.10)		東京都千代田区丸の内二丁目4番1号 株
審査請求日	平成23年6月20日(2011.6.20)		式会社ルネサステクノロジ内
(31) 優先権主張番号	特願2005-265548 (P2005-265548)	(72) 発明者	志波 和佳
(32) 優先日	平成17年9月13日(2005.9.13)		東京都千代田区丸の内二丁目4番1号 株
(33) 優先権主張国	日本国(JP)		式会社ルネサステクノロジ内

審査官 小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1主面およびその裏側の第2主面を有する半導体基板と、
 前記半導体基板の第1主面に配置された主回路形成領域と、
 前記半導体基板の第1主面に配置された不揮発性メモリ領域とを備え、
 前記不揮発性メモリ領域には、
 前記半導体基板の主面に形成された第1導電型の第1ウエルと、
 前記第1導電型とは反対の導電型を有する第2導電型のウエルであって、前記第1ウエルに内包されるように配置された第2ウエルと、

前記第2導電型のウエルであって、前記第2ウエルとは電氣的に分離された状態で、前記第2ウエルに対して沿うように、前記第1ウエルに内包されるように配置された第3ウエルと、

前記第2導電型のウエルであって、前記第2ウエルおよび前記第3ウエルとは電氣的に分離された状態で、前記第2ウエルに対して沿うように、前記第1ウエルに内包されるように配置された第4ウエルと、

前記第2ウエル、前記第3ウエルおよび前記第4ウエルに平面的に重なるように配置された不揮発性メモリセルとを備え、

前記不揮発性メモリセルは、

前記第2ウエル、前記第3ウエルおよび前記第4ウエルに平面的に重なるように第1方向に延在して配置された浮遊ゲート電極と、

10

20

前記浮遊ゲート電極が前記第 2 ウエルに平面的に重なる第 1 位置に形成されたデータ書き込みおよび消去用の素子と、

前記浮遊ゲート電極が前記第 3 ウエルに平面的に重なる第 2 位置に形成されたデータ読み出し用の電界効果トランジスタと、

前記浮遊ゲート電極が前記第 4 ウエルに平面的に重なる第 3 位置に形成された容量素子とを有し、

前記データ書き込みおよび消去用の素子は、

前記浮遊ゲート電極の前記第 1 位置に形成される第 1 電極と、前記第 1 電極および前記半導体基板の間に形成される第 1 絶縁膜と、前記第 2 ウエル内において前記第 1 電極を挟み込む位置に形成される一対の半導体領域と、前記第 2 ウエルとを有し、

10

前記データ読み出し用の電界効果トランジスタは、

前記浮遊ゲート電極の前記第 2 位置に形成される第 2 電極と、前記第 2 電極および前記半導体基板の間に形成される第 2 絶縁膜と、前記第 3 ウエル内において前記第 2 電極を挟み込む位置に形成された第 1 導電型の一対の半導体領域とを有し、

前記容量素子は、

前記浮遊ゲート電極の前記第 3 位置に形成される第 3 電極と、前記第 3 電極および前記半導体基板の間に形成される第 3 絶縁膜と、前記第 4 ウエル内において前記第 3 電極を挟み込む位置に形成される一対の半導体領域と、前記第 4 ウエルとを有し、

前記データ書き込みおよび消去用の素子の前記一対の半導体領域は、互いに逆の導電型とされており、

20

前記容量素子の前記一対の半導体領域は、いずれも前記第 2 導電型とされていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記データ書き込みおよび消去用の素子の配置領域の前記浮遊ゲート電極には、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との両方が形成されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記データ書き込みおよび消去用の素子の配置領域の前記浮遊ゲート電極の前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とは、

30

前記浮遊ゲート電極の導電型が、前記第 1 方向に交差する第 2 方向に沿って前記第 1 導電型と前記第 2 導電型とに分かれ、

前記浮遊ゲート電極の導電型が、前記第 1 方向に沿って前記第 1 導電型と前記第 2 導電型とに分かれないように配置されていることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記データ書き込みおよび消去用の素子の配置領域の前記浮遊ゲート電極の前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との境界は、前記第 2 方向における前記浮遊ゲート電極の中央に配置されていることを特徴とする半導体装置。

40

【請求項 5】

請求項 2 記載の半導体装置において、

前記データ書き込みおよび消去用の素子の前記一対の半導体領域と、前記容量素子の前記一対の半導体領域の上面にはシリサイド層が形成されており、

前記浮遊ゲート電極の上面には絶縁膜が形成されシリサイド層が形成されていないことを特徴とする半導体装置。

【請求項 6】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、

前記半導体基板の第 1 主面に配置された主回路形成領域と、

前記半導体基板の第 1 主面に配置された不揮発性メモリ領域とを備え、

50

前記不揮発性メモリ領域には、

前記半導体基板の主面に形成された第 1 導電型の第 1 ウエルと、

前記第 1 導電型とは反対の導電型を有する第 2 導電型のウエルであって、前記第 1 ウエルに内包されるように配置された第 2 ウエルと、

前記第 2 導電型のウエルであって、前記第 2 ウエルとは電氣的に分離された状態で、前記第 2 ウエルに対して沿うように、前記第 1 ウエルに内包されるように配置された第 3 ウエルと、

前記第 2 導電型のウエルであって、前記第 2 ウエルおよび前記第 3 ウエルとは電氣的に分離された状態で、前記第 2 ウエルに対して沿うように、前記第 1 ウエルに内包されるように配置された第 4 ウエルと、

10

前記第 2 ウエル、前記第 3 ウエルおよび前記第 4 ウエルに平面的に重なるように配置された不揮発性メモリセルとを備え、

前記不揮発性メモリセルは、

前記第 2 ウエル、前記第 3 ウエルおよび前記第 4 ウエルに平面的に重なるように第 1 方向に延在して配置された浮遊ゲート電極と、

前記浮遊ゲート電極が前記第 2 ウエルに平面的に重なる第 1 位置に形成されたデータ書き込みおよび消去用の素子と、

前記浮遊ゲート電極が前記第 3 ウエルに平面的に重なる第 2 位置に形成されたデータ読み出し用の電界効果トランジスタと、

前記浮遊ゲート電極が前記第 4 ウエルに平面的に重なる第 3 位置に形成された容量素子とを有し、

20

前記データ書き込みおよび消去用の素子は、

前記浮遊ゲート電極の前記第 1 位置に形成される第 1 電極と、前記第 1 電極および前記半導体基板の間に形成される第 1 絶縁膜と、前記第 2 ウエル内において前記第 1 電極を挟み込む位置に形成される一対の半導体領域と、前記第 2 ウエルとを有し、

前記データ読み出し用の電界効果トランジスタは、

前記浮遊ゲート電極の前記第 2 位置に形成される第 2 電極と、前記第 2 電極および前記半導体基板の間に形成される第 2 絶縁膜と、前記第 3 ウエル内において前記第 2 電極を挟み込む位置に形成された第 1 導電型の一対の半導体領域とを有し、

前記容量素子は、

30

前記浮遊ゲート電極の前記第 3 位置に形成される第 3 電極と、前記第 3 電極および前記半導体基板の間に形成される第 3 絶縁膜と、前記第 4 ウエル内において前記第 3 電極を挟み込む位置に形成される一対の半導体領域と、前記第 4 ウエルとを有し、

前記容量素子の前記一対の半導体領域は、互いに逆の導電型とされており、

前記データ書き込みおよび消去用の素子の前記一対の半導体領域は、いずれも前記第 2 導電型とされていることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記容量素子の配置領域の前記浮遊ゲート電極には、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との両方が形成されていることを特徴とする半導体装置。

40

【請求項 8】

請求項 7 記載の半導体装置において、

前記容量素子の配置領域の前記浮遊ゲート電極の前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とは、

前記浮遊ゲート電極の導電型が、前記第 1 方向に交差する第 2 方向に沿って前記第 1 導電型と前記第 2 導電型とに分かれ、

前記浮遊ゲート電極の導電型が、前記第 1 方向に沿って前記第 1 導電型と前記第 2 導電型とに分かれないように配置されていることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

50

前記容量素子の配置領域の前記浮遊ゲート電極の前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との境界は、前記第 2 方向における前記浮遊ゲート電極の中央に配置されていることを特徴とする半導体装置。

【請求項 10】

請求項 7 記載の半導体装置において、

前記データ書き込みおよび消去用の素子の前記一対の半導体領域と、前記容量素子の前記一対の半導体領域の上面にはシリサイド層が形成されており、

前記浮遊ゲート電極の上面には絶縁膜が形成されシリサイド層が形成されていないことを特徴とする半導体装置。

【請求項 11】

第 1 主面およびその裏側の第 2 主面を有する半導体基板と、

前記半導体基板の第 1 主面に配置された主回路形成領域と、

前記半導体基板の第 1 主面に配置された不揮発性メモリ領域とを備え、

前記不揮発性メモリ領域には、

前記半導体基板の主面に形成された第 1 導電型の第 1 ウエルと、

前記第 1 導電型とは反対の導電型を有する第 2 導電型のウエルであって、前記第 1 ウエルに内包されるように配置された第 2 ウエルと、

前記第 2 導電型のウエルであって、前記第 2 ウエルとは電氣的に分離された状態で、前記第 2 ウエルに対して沿うように、前記第 1 ウエルに内包されるように配置された第 3 ウエルと、

前記第 2 導電型のウエルであって、前記第 2 ウエルおよび前記第 3 ウエルとは電氣的に分離された状態で、前記第 2 ウエルに対して沿うように、前記第 1 ウエルに内包されるように配置された第 4 ウエルと、

前記第 2 ウエル、前記第 3 ウエルおよび前記第 4 ウエルに平面的に重なるように配置された不揮発性メモリセルとを備え、

前記不揮発性メモリセルは、

前記第 2 ウエル、前記第 3 ウエルおよび前記第 4 ウエルに平面的に重なるように第 1 方向に延在して配置された浮遊ゲート電極と、

前記浮遊ゲート電極が前記第 2 ウエルに平面的に重なる第 1 位置に形成されたデータ書き込みおよび消去用の素子と、

前記浮遊ゲート電極が前記第 3 ウエルに平面的に重なる第 2 位置に形成されたデータ読み出し用の電界効果トランジスタと、

前記浮遊ゲート電極が前記第 4 ウエルに平面的に重なる第 3 位置に形成された容量素子とを有し、

前記データ書き込みおよび消去用の素子は、

前記浮遊ゲート電極の前記第 1 位置に形成される第 1 電極と、前記第 1 電極および前記半導体基板の間に形成される第 1 絶縁膜と、前記第 2 ウエル内において前記第 1 電極を挟み込む位置に形成される一対の半導体領域と、前記第 2 ウエルとを有し、

前記データ読み出し用の電界効果トランジスタは、

前記浮遊ゲート電極の前記第 2 位置に形成される第 2 電極と、前記第 2 電極および前記半導体基板の間に形成される第 2 絶縁膜と、前記第 3 ウエル内において前記第 2 電極を挟み込む位置に形成された第 1 導電型の一対の半導体領域とを有し、

前記容量素子は、

前記浮遊ゲート電極の前記第 3 位置に形成される第 3 電極と、前記第 3 電極および前記半導体基板の間に形成される第 3 絶縁膜と、前記第 4 ウエル内において前記第 3 電極を挟み込む位置に形成される一対の半導体領域と、前記第 4 ウエルとを有し、

前記容量素子の前記一対の半導体領域は、互いに逆の導電型とされており、

前記データ書き込みおよび消去用の素子の前記一対の半導体領域は、互いに逆の導電型とされており、

前記データ書き込みおよび消去用の素子と前記容量素子との配置領域の前記浮遊ゲート

10

20

30

40

50

電極には、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との両方が形成されていることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 1 記載の半導体装置において、

前記データ書き込みおよび消去用の素子と前記容量素子との配置領域の前記浮遊ゲート電極の前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とは、

前記浮遊ゲート電極の導電型が、前記第 1 方向に交差する第 2 方向に沿って前記第 1 導電型と前記第 2 導電型とに分かれ、

前記浮遊ゲート電極の導電型が、前記第 1 方向に沿って前記第 1 導電型と前記第 2 導電型とに分かれないように配置されていることを特徴とする半導体装置。

10

【請求項 1 3】

請求項 1 2 記載の半導体装置において、

前記データ書き込みおよび消去用の素子と前記容量素子との配置領域の前記浮遊ゲート電極の前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との境界は、前記第 2 方向における前記浮遊ゲート電極の中央に配置されていることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 1 記載の半導体装置において、

前記データ書き込みおよび消去用の素子の前記一対の半導体領域と、前記容量素子の前記一対の半導体領域の上面にはシリサイド層が形成されており、

前記浮遊ゲート電極の上面には絶縁膜が形成されシリサイド層が形成されていないことを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置技術に関し、特に、不揮発性メモリを有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

半導体装置の中には、その内部に、例えばトリミング時、救済時およびLCD (Liquid Crystal Device) の画像調整時に使用する情報や半導体装置の製造番号等のように比較的小容量の情報を記憶するための不揮発性メモリ回路部を有するものがある。

30

【0003】

この種の不揮発性メモリ回路部を有する半導体装置については、例えば特開 2001 - 185633 号公報 (特許文献 1) に記載がある。この文献には、半導体基板上に絶縁層によって絶縁して配置された単一導電層上に構成されるEEPROM (Electric Erasable Programmable Read Only Memory) デバイスにおいて、ビット当たりの面積を小さくできる単一レベル・ポリEEPROM デバイスが開示されている。

【0004】

また、例えば特開 2001 - 257324 号公報 (特許文献 2) には、単層ポリフラッシュ技術で形成された不揮発性記憶素子において、長期の情報保持性能を向上させることのできる技術が開示されている。

40

【0005】

さらに、例えばUSP 6788574 (特許文献 3) のFig. 7 には、容量部、書き込みトランジスタ、読み出しトランジスタが、それぞれnウエルで分離されている構成が開示されている。また、特許文献 3 のFig. 4A - 4C、column 6 - 7 には、書き込み/消去はFNTunnel電流で行う構成が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2001 - 185633 号公報

50

【特許文献2】特開2001-257324号公報

【特許文献3】USP6788574のFig.7, Fig.4A-4C

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、本発明者は上記不揮発性メモリにおいて、書き込み用電界効果トランジスタにチャンネル全面のFNトンネル電流によりデータを書き込むことについて検討した。その結果、上記FNトンネル電流によりデータ書き込みを行うと、書き込み用電界効果トランジスタのソース・ドレイン用の半導体領域とウエルとの接合耐圧が持たずブレイクダウンし書き込み用電界効果トランジスタが劣化する問題、データ書き換えが不安定になる問題およびデータを上手く書き込むことができない問題等が生じることを見出した。

10

【0008】

そこで、本発明の目的は、不揮発性メモリセルのデータ書き込みおよび消去用の素子において、チャンネル全面のFNトンネル電流によりデータを書き換えることのできる技術を提供することにある。

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

20

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】

すなわち、本発明は、共通の浮遊ゲート電極をゲート電極とするデータ書き込みおよび消去用の素子とデータ読み出し用のトランジスタとを有する不揮発性メモリセルにおいて、上記データ書き込みおよび消去用の素子とデータ読み出し用のトランジスタとを互いに電氣的に分離された同一導電型のウエル内に設け、データ書き込みおよび消去用の素子の一对の半導体領域をウエルと同一導電型の半導体領域により形成したものである。

【発明の効果】

【0012】

30

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0013】

すなわち、共通の浮遊ゲート電極をゲート電極とするデータ書き込みおよび消去用の素子とデータ読み出し用のトランジスタとを有する不揮発性メモリセルにおいて、上記データ書き込みおよび消去用の素子とデータ読み出し用のトランジスタとを互いに電氣的に分離された同一導電型のウエル内に設け、データ書き込みおよび消去用の素子の一对の半導体領域をウエルと同一導電型の半導体領域により形成する。これにより、不揮発性メモリセルのデータ書き込みおよび消去用の素子において、チャンネル全面のFNトンネル電流によりデータを書き換えることができる。

40

【図面の簡単な説明】

【0014】

【図1】本発明者が検討した不揮発性メモリのメモリセルの平面図である。

【図2】図1のY1-Y1線の断面図である。

【図3】図1のY1-Y1線の断面図である。

【図4】本発明者が検討した不揮発性メモリのデータ消去動作時における電圧印加のタイミングを示す説明図である。

【図5】本発明者が検討した不揮発性メモリのデータ消去動作時における電圧印加のタイミングを示す説明図である。

【図6】本発明者が検討した不揮発性メモリのデータ消去動作時における電圧印加のタイ

50

ミングを示す説明図である。

【図 7】本発明の一実施の形態である半導体装置における不揮発性メモリの要部回路図である。

【図 8】図 7 の不揮発性メモリのデータ書き込み動作時における各部への印加電圧を示す回路図である。

【図 9】図 7 の不揮発性メモリのデータ一括消去動作時における各部への印加電圧を示す回路図である。

【図 10】図 7 の不揮発性メモリのデータ・ビット単位消去動作時における各部への印加電圧を示す回路図である。

【図 11】図 7 の不揮発性メモリのデータ読み出し動作時における各部への印加電圧を示す回路図である。 10

【図 12】本発明の一実施の形態である半導体装置における不揮発性メモリの 1 ビット分のメモリセルの平面図である。

【図 13】図 12 の Y2 - Y2 線の断面図である。

【図 14】本発明の一実施の形態である半導体装置における不揮発性メモリのデータ書き込み動作時のメモリセルでの各部への印加電圧の一例を示す図 12 の Y2 - Y2 線の断面図である。

【図 15】本発明の一実施の形態である半導体装置の不揮発性メモリのデータ消去動作時における各部への印加電圧を示す図 12 の Y2 - Y2 線の断面図である。

【図 16】本発明の一実施の形態である半導体装置の不揮発性メモリのデータ読み出し動作時における各部への印加電圧を示す図 12 の Y2 - Y2 線の断面図である。 20

【図 17】本発明の他の実施の形態である半導体装置の製造工程中の主回路形成領域の半導体基板の要部断面図である。

【図 18】図 17 と同一工程時の不揮発性メモリ領域の半導体基板の要部断面図である。

【図 19】図 17 および図 18 に続く半導体装置の製造工程中の主回路形成領域の半導体基板の要部断面図である。

【図 20】図 19 と同一工程時の不揮発性メモリ領域の半導体基板の要部断面図である。

【図 21】図 19 および図 20 に続く半導体装置の製造工程中の主回路形成領域の半導体基板の要部断面図である。

【図 22】図 21 と同一工程時の不揮発性メモリ領域の半導体基板の要部断面図である。 30

【図 23】図 21 および図 22 に続く半導体装置の製造工程中の主回路形成領域の半導体基板の要部断面図である。

【図 24】図 23 と同一工程時の不揮発性メモリ領域の半導体基板の要部断面図である。

【図 25】図 23 および図 24 に続く半導体装置の製造工程中の主回路形成領域の半導体基板の要部断面図である。

【図 26】図 25 と同一工程時の不揮発性メモリ領域の半導体基板の要部断面図である。

【図 27】図 25 および図 26 に続く半導体装置の製造工程中の主回路形成領域の半導体基板の要部断面図である。

【図 28】図 27 と同一工程時の不揮発性メモリ領域の半導体基板の要部断面図である。

【図 29】本発明の他の実施の形態である半導体装置の主回路形成領域の半導体基板の断面図である。 40

【図 30】図 29 と同じ半導体装置の不揮発性メモリ領域の半導体基板の断面図である。

【図 31】図 29 および図 30 の半導体装置のデータ書き込み特性および消去特性の説明図である。

【図 32】本発明の他の実施の形態である半導体装置の主回路形成領域の半導体基板の断面図である。

【図 33】図 32 と同じ半導体装置の不揮発性メモリ領域の半導体基板の断面図である。

【図 34】本発明の他の実施の形態である半導体装置の主回路形成領域の半導体基板の断面図である。

【図 35】図 34 と同じ半導体装置の不揮発性メモリ領域の半導体基板の断面図である。 50

【図 3 6】本発明の他の実施の形態である半導体装置の主回路形成領域の半導体基板の断面図である。

【図 3 7】図 3 6 と同じ半導体装置の不揮発性メモリ領域の半導体基板の断面図である。

【図 3 8】本発明の他の実施の形態である半導体装置の主回路形成領域の半導体基板の断面図である。

【図 3 9】図 3 8 と同じ半導体装置の不揮発性メモリ領域の半導体基板の断面図である。

【図 4 0】本発明のさらに他の実施の形態である半導体装置の不揮発性メモリ領域の平面図である。

【図 4 1】本発明の他の実施の形態である半導体装置におけるフラッシュメモリのメモリセルの一例の平面図である。

10

【図 4 2】図 4 1 の Y 3 - Y 3 線の断面図である。

【図 4 3】本発明の他の実施の形態である半導体装置におけるフラッシュメモリのメモリセルの一例の平面図である。

【図 4 4】図 4 3 の Y 4 - Y 4 線の断面図である。

【図 4 5】本発明の実施の形態である半導体装置のメモリセルの電荷注入放出部の半導体基板の断面図である。

【図 4 6】本発明の他の実施の形態である半導体装置のメモリセルの電荷注入放出部の半導体基板の断面図である。

【図 4 7】本発明の実施の形態である半導体装置のメモリセルの容量部の半導体基板の断面図である。

20

【図 4 8】本発明の他の実施の形態である半導体装置のメモリセルの容量部の半導体基板の断面図である。

【図 4 9】本発明の他の実施の形態である半導体装置のデータの書き込み・消去特性を比較して示したグラフ図である。

【図 5 0】本発明の他の実施の形態である半導体装置のデータ書き込み特性を示すグラフ図である。

【図 5 1】本発明の他の実施の形態である半導体装置のデータ消去特性を示すグラフ図である。

【図 5 2】本発明の他の実施の形態である半導体装置の製造工程中の半導体基板の主面のメモリセル形成領域の平面図である。

30

【図 5 3】半導体装置の製造工程中の半導体基板の主面のメモリセル形成領域の平面図である。

【図 5 4】本発明の他の実施の形態である半導体装置の製造工程中の半導体基板の主面のメモリセル形成領域の平面図である。

【図 5 5】本発明の他の実施の形態である半導体装置のフラッシュメモリにおけるメモリセルに n 型の半導体領域および p 型の半導体領域を形成する際のマスクを示したメモリセルの平面図である。

【図 5 6】本発明の他の実施の形態である半導体装置のフラッシュメモリにおけるメモリセルの電荷注入放出部の半導体基板の第 2 方向 X に沿った要部断面図である。

【図 5 7】本発明の他の実施の形態である半導体装置のフラッシュメモリにおけるメモリセルの容量部の半導体基板の第 2 方向 X に沿った要部断面図である。

40

【図 5 8】本発明の他の実施の形態である半導体装置のフラッシュメモリにおけるメモリセルのデータ書き込み時の容量部の半導体基板の第 2 方向 X に沿った要部断面図である。

【図 5 9】本発明の他の実施の形態である半導体装置のフラッシュメモリにおけるメモリセルのデータ消去時の容量部の半導体基板の第 2 方向 X に沿った要部断面図である。

【発明を実施するための形態】

【0015】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。ま

50

た、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

10

【0016】

（実施の形態1）

まず、本発明者が検討したフラッシュメモリの構成およびそのフラッシュメモリにおけるデータ書き込み時の問題について説明する。図1は本発明者が検討したフラッシュメモリのメモリセルMCの平面図、図2および図3は図1のY1-Y1線の断面図であってチャネル全面のFNトンネル電流によりデータ書き込みを行う場合のそれぞれ異なる例を示したものである。なお、符号のYは第1方向でローカルデータ線の延在方向、符号のXは第1方向に直交する第2方向でワード線の延在方向を示している。

20

【0017】

半導体チップを構成する半導体基板（以下、単に基板という）1Sは、例えばp型（第2導電型）のシリコン（Si）単結晶により形成されている。この基板1Sの主面には分離部TIが配置されている。この分離部TIは、活性領域L（L1, L2, L3, L4, L5）を規定する部分である。ここでは分離部TIが、例えば基板1Sの主面に掘られた浅溝内に酸化シリコン等からなる絶縁膜を埋め込むことで形成された、いわゆるSGI（Shallow Groove Isolation）またはSTI（Shallow Trench Isolation）と称する溝形の分離部とされている。

【0018】

上記基板1Sには、その主面から所望の深さに渡ってn型（第1導電型）の埋込ウエルDNWが形成されている。この埋込ウエルDNWには、p型のウエルHPWa, HPWbおよびn型のウエルHNWが形成されている。p型のウエルHPWa, HPWbは、n型のウエルHNWにより互いに電氣的に分離された状態で埋込ウエルDNWに内包されている。

30

【0019】

このp型のウエルHPWa, HPWbには、例えばホウ素等のようなp型を示す不純物が含有されている。このp型のウエルHPWaの上層一部には、p⁺型の半導体領域4aが形成されている。p⁺型の半導体領域4aには、p型のウエルHPWaと同じ不純物が含有されているが、p⁺型の半導体領域4aの不純物濃度の方が、p型のウエルHPWaの不純物濃度よりも高くなるように設定されている。このp⁺型の半導体領域4aの表層一部には、例えばコバルトシリサイド（CoSi_x）等のようなシリサイド層5aが形成されている。このp⁺型の半導体領域4aは、シリサイド層5aを介して、基板1Sの主面上の絶縁層6に形成されたコンタクトホールCT内の導体部7aに電氣的に接続されている。絶縁層6は、絶縁層6aとその上に堆積された絶縁層6bとを有している。下層の絶縁層6aは、例えば窒化シリコン（Si₃N₄）からなり、上層の絶縁層6bは、例えば酸化シリコン（SiO₂）からなる。

40

【0020】

また、上記n型のウエルHNWには、例えばリン（P）またはヒ素（As）等のようなn型を示す不純物が含有されており、その不純物濃度は、上記の埋込ウエルDNWよりも高い濃度で形成されている。このn型のウエルHNWの上層一部には、n⁺型の半導体領

50

域 8 a が形成されている。n⁺型の半導体領域 8 a には、n 型のウエル H N W と同じ不純物が含有されているが、n⁺型の半導体領域 8 a の不純物濃度の方が、n 型のウエル H N W の不純物濃度よりも高くなるように設定されている。この n⁺型の半導体領域 8 a は、その表層一部に形成されたシリサイド層 5 a を介して、上記絶縁層 6 に形成されたコンタクトホール C T 内の導体部 7 b に電氣的に接続されている。

【 0 0 2 1 】

上記フラッシュメモリのメモリセル M C は、浮遊ゲート電極 F G と、データ書き込み・消去用の M I S ・ F E T (Metal Insulator Semiconductor Field Effect Transistor) Q W と、データ読み出し用の M I S ・ F E T Q R と、容量部 C とを有している。

【 0 0 2 2 】

浮遊ゲート電極 F G は、情報の記憶に寄与する電荷を蓄積する部分である。この浮遊ゲート電極 F G は、例えば低抵抗な多結晶シリコン等のような導電体膜からなり、電氣的に浮遊状態（他の導体と絶縁された状態）で形成されている。また、この浮遊ゲート電極 F G は、図 1 に示すように、互いに隣接する上記 p 型のウエル H P W a , H P W b の両方に平面的に重なるように第 1 方向 Y に沿って延在した状態で形成されている。

【 0 0 2 3 】

この浮遊ゲート電極 F G が p 型のウエル H P W a の活性領域 L 1 に平面的に重なる位置には、上記データ書き込み・消去用の M I S ・ F E T Q W が配置されている。データ書き込み・消去用の M I S ・ F E T Q W は、ゲート電極 F G W と、ゲート絶縁膜 1 0 a と、一対のソース用の n 型の半導体領域 1 1 S W およびドレイン用の n 型の半導体領域 1 1 D W とを有している。データ書き込み・消去用の M I S ・ F E T Q W のチャンネルは、上記ゲート電極 F G W と活性領域 L 1 とが平面的に重なる上記 p 型のウエル H P W a の上層に形成される。

【 0 0 2 4 】

ゲート電極 F G W は、上記浮遊ゲート電極 F G の一部により形成されている。上記ゲート絶縁膜 1 0 a は、例えば酸化シリコンからなり、ゲート電極 F G W と基板 1 S (p 型のウエル H P W a) との間に形成されている。ゲート絶縁膜 1 0 a の厚さは、例えば 1 3 . 5 n m 程度である。上記ソース用の半導体領域 1 1 S W およびドレイン用の半導体領域 1 1 D W は、p 型のウエル H P W a 内においてゲート電極 F G W を挟み込む位置にゲート電極 F G W に対して自己整合的に形成されている。この半導体領域 1 1 S W , 1 1 D W は、それぞれチャンネル側の n⁻型の半導体領域と、その各々に接続された n⁺型の半導体領域とを有している。この n⁻型の半導体領域および n⁺型の半導体領域には、例えばリンまたはヒ素 (A s) 等のような同一導電型の不純物が含有されているが、n⁺型の半導体領域の不純物濃度の方が、n⁻型の半導体領域の不純物濃度よりも高くなるように設定されている。このような半導体領域 1 1 S W , 1 1 D W は、その表層一部に形成されたシリサイド層 5 a を介して、上記絶縁層 6 に形成されたコンタクトホール C T 内の導体部 7 c に電氣的に接続されている。

【 0 0 2 5 】

また、上記浮遊ゲート電極 F G が p 型のウエル H P W a の活性領域 L 2 に平面的に重なる位置には、上記データ読み出し用の M I S ・ F E T Q R が配置されている。データ読み出し用の M I S ・ F E T Q R は、ゲート電極 F G R と、ゲート絶縁膜 1 0 b と、一対の n 型の半導体領域 1 2 R , 1 2 R とを有している。データ読み出し用の M I S ・ F E T Q R のチャンネルは、上記ゲート電極 F G R と活性領域 L 2 とが平面的に重なる上記 p 型のウエル H P W a の上層に形成される。

【 0 0 2 6 】

ゲート電極 F G R は、上記浮遊ゲート電極 F G の一部により形成されている。上記ゲート絶縁膜 1 0 b は、例えば酸化シリコンからなり、ゲート電極 F G R と基板 1 S (p 型のウエル H P W) との間に形成されている。ゲート絶縁膜 1 0 b の厚さは、例えば 1 3 . 5 n m 程度である。上記一対の n 型の半導体領域 1 2 R , 1 2 R は、p 型のウエル H P W a 内においてゲート電極 F G R を挟み込む位置にゲート電極 F G R に対して自己整合的に形

10

20

30

40

50

成されている。一对の n 型の半導体領域 $12R$ 、 $12R$ は、それぞれチャネル側の n^- 型の半導体領域と、その各々に接続された n^+ 型の半導体領域とを有している。この n^- 型の半導体領域および n^+ 型の半導体領域には、例えばリン(P)またはヒ素(As)等のような同一導電型の不純物が含有されているが、 n^+ 型の半導体領域の不純物濃度の方が、 n^- 型の半導体領域の不純物濃度よりも高くなるように設定されている。このような半導体領域 $12R$ 、 $12R$ は、その表層一部に形成されたシリサイド層 $5a$ を介して、上記絶縁層 6 に形成されたコンタクトホール CT 内の導体部 $7d$ に電氣的に接続されている。

【0027】

また、上記浮遊ゲート電極 FG が上記 p 型のウエル $HPWb$ に平面的に重なる位置には、上記容量部 C が形成されている。この容量部 C は、制御ゲート電極 CGW と、容量電極 FGC と、容量絶縁膜 $10c$ と、 p^+ 型の半導体領域 $13a$ とを有している。

10

【0028】

制御ゲート電極 CGW は、浮遊ゲート電極 FG が対向する p 型のウエル $HPWb$ 部分により形成されている。一方、容量電極 FGC は、上記制御ゲート電極 CGW に対向する浮遊ゲート電極 FG 部分により形成されている。このようにメモリセル MC のゲート構成を単層構成とすることにより、フラッシュメモリのメモリセル MC と主回路の素子との製造上の整合を容易にすることができるので、半導体装置の製造時間の短縮や製造コストの低減を図ることができる。

【0029】

また、容量電極 FGC の第2方向 X の長さは、上記データ書き込み・消去用の $MIS \cdot FETQW$ や上記データ読み出し用の $MIS \cdot FETQR$ のゲート電極 FGW 、 FGR の第2方向 X の長さよりも長くなるように形成されている。これにより、容量電極 FGC の平面積を大きく確保できるので、カップリング比を高めることができ、制御ゲート配線 CGW からの電圧供給効率を向上させることが可能となっている。

20

【0030】

上記容量絶縁膜 $10c$ は、例えば酸化シリコンからなり、上記制御ゲート電極 CGW と容量電極 FGC との間に形成されている。この容量絶縁膜 $10c$ は、上記ゲート絶縁膜 $10a$ 、 $10b$ を形成するための熱酸化工程により同時に形成されており、その厚さは、例えば $13.5nm$ 程度である。また、上記ゲート絶縁膜 $10a$ 、 $10b$ および容量絶縁膜 $10c$ は、主回路における相対的に厚いゲート絶縁膜を持つ高耐圧 $MISFET$ と相対的に薄いゲート絶縁膜を持つ低耐圧 $MISFET$ のうち、高耐圧 $MISFET$ のゲート絶縁膜と同工程により形成されている。これにより、フラッシュメモリの信頼性を向上させることができる。

30

【0031】

上記 p^+ 型の半導体領域 $13a$ は、 p 型のウエル $HPWb$ 内において容量電極 FGC を挟み込む位置に容量電極 FGC に対して自己整合的に形成されている。この半導体領域 $13a$ には、例えばホウ素(B)等のような上記 p 型のウエル $HPWb$ と同一導電型の不純物が含有されているが、 p^+ 型の半導体領域 $13a$ の不純物濃度の方が、 p 型のウエル $HPWb$ の不純物濃度よりも高くなるように設定されている。この半導体領域 $13a$ は、その表層一部に形成されたシリサイド層 $5a$ を介して、上記絶縁層 6 に形成されたコンタクトホール CT 内の導体部 $7e$ に電氣的に接続されている。

40

【0032】

ところで、このような構成のフラッシュメモリの書き込み・消去用の $MIS \cdot FETQW$ において、チャネル全面の FN トンネル電流により、データを書き込む際には、図2および図3に示すように、書き込み・消去用の $MIS \cdot FETQW$ のソースおよびドレイン用の n 型の半導体領域 $11SW$ 、 $11DW$ を、例えばオープン(OPEN)に設定するか、または $9V$ に設定する。しかし、オープンにする場合(図2)は、ソースおよびドレイン用の n 型の半導体領域 $11SW$ 、 $11DW$ の両側にカットオフするためのトランジスタが必要となり半導体装置の小型化を阻害する問題があることを見出した。一方、 n 型の半導体領域 $11SW$ 、 $11DW$ に $9V$ を印加する場合は(図3)、ソースおよびドレイン用

50

のn型の半導体領域11SW, 11DWの接合耐圧が9Vより低いと、接合耐圧が持たずブレークダウンし書き込み・消去用のMIS・FETQWが劣化する問題が生じる。また、データ書き換え領域とデータ読み出し領域とが同一のウエル内に形成されていること等により、データ書き換えが不安定になりデータを上手く書き込むことができない問題が生じることを見出した。

【0033】

そこで、上記構成のフラッシュメモリでは、ソースおよびドレイン用のn型の半導体領域11SW, 11DWに耐圧以上の電圧がかからないようにタイミング設計が必要となる。図4～図6はフラッシュメモリのデータ消去動作時における電圧印加のタイミングを示す説明図を示している。まず、図4に示すように、p型のウエルHPWaに9Vの電圧が印加されるのに先立ってデータ書き込み・消去用のMIS・FETQWのドレインに9Vの電圧を印加する。また、データ書き込み・消去用のMIS・FETQWのドレイン電圧を0Vに戻すのに先立ってp型のウエルHPWaの電圧を0Vに戻すと、双方の電位差V1が上記接合耐圧を超えてしまい接合破壊を引き起こしてしまう。そこで、データ消去動作時には、図5および図6に示すようなタイミングでp型のウエルHPWaおよびデータ書き込み・消去用のMIS・FETQWのドレイン(n型半導体領域11DW)に電圧を印加し、双方の電位差V1が約7V以上とならないようにする。

【0034】

例えば図5に示すように、p型のウエルHPWaの電圧を立ち上げるのに先立ってMIS・FETQWのドレインの電圧を立ち上げる。この時、双方の電圧は、急峻に立ち上げずに緩やかに上昇させ、双方の電位差V1が上記接合耐圧を超えないようにする。また、MIS・FETQWのドレイン電圧を0Vに戻すのに先立ってp型のウエルHPWaの電圧を0Vに戻し、この時の双方の電圧変化も急峻とならないようにすることにより、双方の電位差V1が上記接合耐圧を超えないようにする。

【0035】

また、例えば図6に示すように、p型のウエルHPWaの電圧を立ち上げるのに先立ってMIS・FETQWのドレインの電圧を立ち上げ、9Vまで上昇させる前に4Vもしくは5Vとし、その間にp型のウエルHPWaの電圧を立ち上げて良い。この時、p型のウエルHPWaの電圧は、タイミングが異なるだけでMIS・FETQWのドレインの電圧と同様に变化させる。それにより、双方の電位差V1が上記接合耐圧を超えないようにすることができる。また、MIS・FETQWのドレイン電圧およびp型のウエルHPWaの電圧を0Vに戻す際には、MIS・FETQWのドレイン電圧を低下させるのに先立ってp型のウエルHPWaの電圧を低下させ、その際の電圧変化は、電圧を上昇させる際の変化過程を逆に経るようにすれば良い。

【0036】

このように上記構成のフラッシュメモリの書き込み・消去用のMIS・FETQWにおいてチャンネル全面のFNトンネル電流によりデータの書き換えを行うべく、そのソースおよびドレイン用のn型の半導体領域11SW, 11DWに9Vを印加する場合、上記のようなタイミング設計が必要となる。しかし、上記のようなタイミング設計を実現するためには、同一の基板1S上に形成する周辺回路の規模が大きくなり、半導体装置の小型化を阻害する問題があることを見出した。

【0037】

次に、本実施の形態1の半導体装置について説明する。

【0038】

本実施の形態1の半導体装置は、同一の半導体チップに、主回路と、その主回路に関する比較的小容量の所望の情報を記憶するフラッシュメモリ(不揮発性メモリ)とが形成されているものである。上記主回路には、例えばDRAM(Dynamic Random Access Memory)、やSRAM(Static RAM)等のようなメモリ回路、CPU(Central Processing Unit)やMPU(Micro Processing Unit)等のような論理回路、これらメモリ回路および論理回路の混在回路あるいはLCD(Liquid Crystal Device)ドライバ回路等がある。

また、上記所望の情報には、例えば半導体チップ内のトリミングの際に使用する有効（使用）素子の配置アドレス情報、メモリやLCDの救済の際に使用する有効メモリセル（不良のないメモリセル）や有効LCD素子の配置アドレス情報、LCD画像調整時に使用する調整電圧のトリミングタップ情報あるいは半導体装置の製造番号等がある。この半導体装置（半導体チップ、半導体基板）の外部から供給される外部電源は、単一電源とされている。単一電源の電源電圧は、例えば3.3V程度である。

【0039】

図7は本実施の形態1の半導体装置におけるフラッシュメモリの要部回路図を示している。このフラッシュメモリは、メモリセルアレイMRと周辺回路領域PRとを有している。メモリセルアレイMRには、第1方向Yに延在する複数のデータ書き込み・消去用のビット線WBL（WBL0，WBL1・・・）と、データ読み出し用のビット線RBL（RBL0，RBL2・・・）とが第2方向Xに沿って配置されている。また、メモリセルアレイMRには、上記ビット線WBL，RBLに対して直交する第2方向Xに沿って延在する複数の制御ゲート配線（ワード線）CG（CG0，CG1・・・）と、複数のソース線SLと、複数の選択線GSとが第1方向Yに沿って配置されている。

【0040】

各データ書き込み・消去用のビット線WBLは、上記周辺回路領域PRに配置されたデータ（0/1）入力用のインバータ回路INVに電氣的に接続されている。また、各データ読み出し用のビット線RBLは、上記周辺回路領域PRに配置されたセンスアンプ回路SAに電氣的に接続されている。センスアンプ回路SAは、例えばカレントミラー形とされている。そして、このようなビット線WBL，RBLと、制御ゲート配線CG、ソース線SLおよび選択線GSとの格子状交点の近傍に、1ビット分のメモリセルMCが電氣的に接続されている。ここでは、1ビットが2つのメモリセルMCで構成されている場合が例示されている。

【0041】

各メモリセルMCは、データ書き込み・消去用の容量部（電荷注入放出部）CWEと、データ読み出し用のMIS・FETQRと、容量部Cと、選択MIS・FETQSとを有している。各ビットの2つのメモリセルMCの各々のデータ書き込み・消去用の容量部CWE，CWEは、互いに並列になるように電氣的に接続されている。その各々のデータ書き込み・消去用の容量部CWEの一方の電極は、データ書き込み・消去用のビット線WBLに電氣的に接続されている。また、その各々のデータ書き込み・消去用の容量部CWEの他方の電極（浮遊ゲート電極FG）は、それぞれ別々のデータ読み出し用のMIS・FETQR，QRのゲート電極（浮遊ゲート電極FG）に電氣的に接続されるとともに、容量部C，Cの一方の電極（浮遊ゲート電極FG）に電氣的に接続されている。そして、その容量部C，Cは他方の電極（制御ゲート電極CGW）は制御ゲート配線CGに電氣的に接続されている。一方、各ビットの2つのメモリセルMCのデータ読み出し用のMIS・FETQR，QRは、互いに直列に電氣的に接続されており、そのドレインは、選択MIS・FETQSを介してデータ読み出し用のビット線RBLに電氣的に接続され、ソースはソース線SLに電氣的に接続されている。選択MIS・FETQSのゲート電極は、選択線GSに電氣的に接続されている。

【0042】

次に、このようなフラッシュメモリにおけるデータ書き込み動作例を図8～図11により説明する。図8は図7のフラッシュメモリのデータ書き込み動作時における各部への印加電圧を示している。破線S1はデータ書き込み対象のメモリセルMC（以下、選択メモリセルMCsという）を示している。なお、ここでは、電子を浮遊ゲート電極に注入することをデータ書き込みと定義するが、その逆に浮遊ゲート電極の電子を抜き取ることをデータ書き込みと定義することもできる。

【0043】

データの書き込み時には、上記選択メモリセルMCsの上記容量部Cの他方の電極が接続されている制御ゲート配線CG0（CG）に、例えば9V程度の正の制御電圧を印加す

10

20

30

40

50

る。それ以外の制御ゲート配線CG1(CG)には、例えば0Vの電圧を印加する。また、選択メモリセルMCsの上記データ書き込み・消去用の容量部CWEの一方の電極が電氣的に接続されているデータ書き込み・消去用のビット線WBL0(WBL)に、例えば-9V程度の負の電圧を印加する。それ以外のデータ書き込み・消去用のビット線WBL1(WBL)には、例えば0Vの電圧を印加する。また、選択線GS、ソース線SLおよびデータ書き込み用のビット線RBLに、例えば0Vを印加する。これにより、選択メモリセルMCsのデータ書き込み・消去用の容量部CWE、CWEの浮遊ゲート電極にチャネル全面のFNTトンネル電流により電子を注入し、データを書き込む。

【0044】

次に、図9は図7のフラッシュメモリのデータ一括消去動作時における各部への印加電圧を示している。破線S2はデータ一括消去対象の複数のメモリセルMC(以下、選択メモリセルMCse1という)を示している。なお、ここでは、浮遊ゲート電極の電子を引き抜くことをデータ消去と定義するが、その逆に浮遊ゲート電極に電子を注入することをデータ消去と定義することもできる。

【0045】

データ一括消去時には、上記複数の選択メモリセルMCse1の上記容量部Cの他方の電極が接続されている制御ゲート配線CG0(CG)に、例えば-9V程度の負の制御電圧を印加する。また、選択メモリセルMCse1の上記データ書き込み・消去用の容量部CWEの一方の電極が電氣的に接続されているデータ書き込み・消去用のビット線WBL0,WBL1(WBL)に、例えば9V程度の負の電圧を印加する。また、選択線GS、ソース線SLおよびデータ書き込み用のビット線RBLに、例えば0Vを印加する。これにより、データ一括消去を行う複数の選択メモリセルMCse1のデータ書き込み・消去用の容量部CWE、CWEの浮遊ゲート電極に蓄積された電子をチャネル全面のFNTトンネル電流により放出し、複数の選択メモリセルMCse1のデータを一括消去する。

【0046】

次に、図10は図7のフラッシュメモリのデータ・ビット単位消去動作時における各部への印加電圧を示している。破線S3はデータ一括消去対象のメモリセルMC(以下、選択メモリセルMCse2という)を示している。

【0047】

データ・ビット単位消去時には、上記選択メモリセルMCse2の上記容量部Cの他方の電極が接続されている制御ゲート配線CG0(CG)に、例えば-9V程度の負の制御電圧を印加する。それ以外の制御ゲート配線CG1(CG)には、例えば0Vの電圧を印加する。また、選択メモリセルMCse2の上記データ書き込み・消去用の容量部CWEの一方の電極が電氣的に接続されているデータ書き込み・消去用のビット線WBL0(WBL)に、例えば9V程度の正の電圧を印加する。それ以外のデータ書き込み・消去用のビット線WBL1(WBL)には、例えば0Vの電圧を印加する。また、選択線GS、ソース線SLおよびデータ書き込み用のビット線RBLに、例えば0Vを印加する。これにより、データ消去対象の選択メモリセルMCse2のデータ書き込み・消去用の容量部CWE、CWEの浮遊ゲート電極に蓄積された電子をチャネル全面のFNTトンネル電流により放出し、データ消去対象の選択メモリセルMCse2のデータを消去する。

【0048】

次に、図11は図7のフラッシュメモリのデータ読み出し動作時における各部への印加電圧を示している。破線S4はデータ読み出し対象のメモリセルMC(以下、選択メモリセルMCrという)を示している。

【0049】

データ読み出し時には、上記選択メモリセルMCrの上記容量部Cの他方の電極が接続されている制御ゲート配線CG0(CG)に、例えば3V程度の制御電圧を印加する。それ以外の制御ゲート配線CG1(CG)には、例えば0Vの電圧を印加する。また、選択メモリセルMCrの上記データ書き込み・消去用の容量部CWEの一方の電極が電氣的に

10

20

30

40

50

接続されているデータ書き込み・消去用のビット線 $WBL0$ 、 $WBL0(WBL)$ に、例えば $0V$ 程度の電圧を印加する。また、上記選択メモリセル MCr の選択 $MIS \cdot FE TQR$ のゲート電極が電氣的に接続されている選択線 GS に、例えば $3V$ 程度の電圧を印加する。そして、データ書き込み用のビット線 RBL に、例えば $1V$ 程度の電圧を印加する。さらに、ソース線 SL に、例えば $0V$ を印加する。これにより、データ読み出し対象の選択メモリセル MCr のデータ読み出し用の $MIS \cdot FE TQR$ をオン条件とし、そのデータ読み出し用の $MIS \cdot FE TQR$ のチャンネルにドレイン電流が流れるか否かにより、選択メモリセル MCr に記憶されているデータが $0/1$ のいずれなのかを読み出す。

【0050】

次に、図12は本実施の形態1の半導体装置におけるフラッシュメモリの1ビット分のメモリセル MC の平面図、図13は図12の $Y2 - Y2$ 線の断面図である。なお、図12では図面を見易くするために一部にハッチングを付した。

【0051】

p型の基板1Sの主面には、活性領域 $L(L1, L2, L3, L4, L5)$ を規定する上記溝形の分離部 TI が形成されている。この基板1Sに形成されたn型(第1導電型)の埋込ウエル(第1ウエル) DNW には、p型(第2導電型)のウエル $HPW1, HPW2, HPW3$ およびn型のウエル HNW が形成されている。p型のウエル $HPW1, HPW2, HPW3$ は、埋込ウエル DNW およびn型のウエル HNW により互いに電氣的に分離された状態で埋込ウエル DNW に内包されている。

【0052】

このp型のウエル $HPW1 \sim HPW3$ には、例えばホウ素(B)等のようなp型を示す不純物が含有されている。p型のウエル $HPW3$ の上層一部には、 p^+ 型の半導体領域4aが形成されている。 p^+ 型の半導体領域4aには、p型のウエル $HPW3$ と同じ不純物が含有されているが、 p^+ 型の半導体領域4aの不純物濃度の方が、p型のウエル $HPW3$ の不純物濃度よりも高くなるように設定されている。この p^+ 型の半導体領域4aは、基板1Sの主面上の絶縁層6に形成されたコンタクトホールCT内の導体部7aに電氣的に接続されている。この導体部7aが接する p^+ 型の半導体領域4aの表層一部に上記シリサイド層5aを形成しても良い。

【0053】

また、上記n型のウエル HNW には、例えばリン(P)またはヒ素(As)等のようなn型を示す不純物が含有されている。このn型のウエル HNW の上層一部には、 n^+ 型の半導体領域8aが形成されている。 n^+ 型の半導体領域8aには、n型のウエル HNW と同じ不純物が含有されているが、 n^+ 型の半導体領域8aの不純物濃度の方が、n型のウエル HNW の不純物濃度よりも高くなるように設定されている。 n^+ 型の半導体領域8aは、上記p型のウエル $HPW1 \sim HPW3$ に接触しないように、p型のウエル $HPW1 \sim HPW3$ から離れている。すなわち、 n^+ 型の半導体領域8aとp型のウエル $HPW1 \sim HPW3$ との間にはn型の埋込ウエル DNW の一部が介在されている。このような n^+ 型の半導体領域8aは、上記絶縁層6に形成されたコンタクトホールCT内の導体部7bに電氣的に接続されている。この導体部7bが接する n^+ 型の半導体領域8aの表層一部にシリサイド層5aを形成しても良い。

【0054】

本実施の形態1のフラッシュメモリのメモリセル MC は、浮遊ゲート電極FGと、データ書き込み・消去用の容量部CWEと、データ読み出し用の $MIS \cdot FE TQR$ と、容量部Cとを有している。

【0055】

浮遊ゲート電極FGは、情報の記憶に寄与する電荷を蓄積する部分である。この浮遊ゲート電極FGは、例えば低抵抗な多結晶シリコン等のような導電体膜からなり、電氣的に浮遊状態(他の導体と絶縁された状態)で形成されている。また、この浮遊ゲート電極FGは、図12に示すように、互いに隣接する上記p型のウエル $HPW1, HPW2, HPW3$ に平面的に重なるように第1方向Yに沿って延在した状態で形成されている。

【 0 0 5 6 】

この浮遊ゲート電極 F G が p 型のウエル（第 2 ウエル）H P W 2 の活性領域 L 2 に平面的に重なる第 1 位置には、上記データ書き込み・消去用の容量部 C W E が配置されている。データ書き込み・消去用の容量部 C W E は、容量電極（第 1 電極）F G C 1 と、容量絶縁膜（第 1 絶縁膜）1 0 d と、p 型の半導体領域 1 5 , 1 5 と、p 型のウエル H P W 2 とを有している。

【 0 0 5 7 】

容量電極 F G C 1 は、上記浮遊ゲート電極 F G の一部により形成されており、容量部 C W E の上記他方の電極を形成する部分である。上記容量絶縁膜 1 0 d は、例えば酸化シリコンからなり、容量電極 F G C 1 と基板 1 S（p 型のウエル H P W 2）との間に形成されている。容量絶縁膜 1 0 d の厚さは、例えば 1 0 n m 以上、2 0 n m 以下とされている。ただし、本実施の形態 1 の容量部 C W E では、データの書き換えにおいて、電子を p 型のウエル H P W 2 から容量絶縁膜 1 0 d を介して容量電極 F G C 1 に注入したり、容量電極 F G C 1 の電子を容量絶縁膜 1 0 d を介して p 型のウエル H P W 2 に放出したりするので、容量絶縁膜 1 0 d の厚さは薄く、具体的には、例えば 1 3 . 5 n m 程度の厚さに設定されている。容量絶縁膜 1 0 d の厚さを 1 0 n m 以上とする理由は、それより薄いと容量絶縁膜 1 0 d の信頼性を確保できないからである。また、容量絶縁膜 1 0 d の厚さを 2 0 n m 以下とする理由は、それより厚いと電子を通過させることが難しくなり、データの書き換えが上手くできないからである。

【 0 0 5 8 】

容量部 C W E の p 型の半導体領域 1 5 は、p 型のウエル H P W 2 内において容量電極 F G C 1 を挟み込む位置に容量電極 F G C 1 に対して自己整合的に形成されている。この半導体領域 1 5 は、それぞれチャネル側の p⁻型の半導体領域 1 5 a と、その各々に接続された p⁺型の半導体領域 1 5 b とを有している。この p⁻型の半導体領域 1 5 a および p⁺型の半導体領域 1 5 b には、例えばホウ素（B）等のような同一導電型の不純物が含有されているが、p⁺型の半導体領域 1 5 b の不純物濃度の方が、p⁻型の半導体領域 1 5 a の不純物濃度よりも高くなるように設定されている。この p 型の半導体領域 1 5 は、p 型のウエル H P W 2 と電気的に接続されている。p 型の半導体領域 1 5 および p 型のウエル H P W 2 は、容量部 C W E の上記一方の電極を形成する部分である。この p 型の半導体領域 1 5 は、上記絶縁層 6 に形成されたコンタクトホール C T 内の導体部 7 c に電気的に接続されている。この導体部 7 c は、上記データ書き込み・消去用のビット線 W B L に電気的に接続されている。この導体部 7 c が接する p⁺型の半導体領域 1 5 b の表層一部にシリサイド層 5 a を形成しても良い。

【 0 0 5 9 】

また、上記浮遊ゲート電極 F G が p 型のウエル（第 3 ウエル）H P W 3 の活性領域 L 1 に平面的に重なる第 2 位置には、上記データ読み出し用の M I S ・ F E T Q R が配置されている。データ読み出し用の M I S ・ F E T Q R の構成は図 1 ~ 図 3 で説明したものと同じである。すなわち、データ読み出し用の M I S ・ F E T Q R は、ゲート電極（第 2 電極）F G R と、ゲート絶縁膜（第 2 絶縁膜）1 0 b と、一対の n 型の半導体領域 1 2 , 1 2 とを有している。データ読み出し用の M I S ・ F E T Q R のチャネルは、上記ゲート電極 F G R と活性領域 L 1 とが平面的に重なる上記 p 型のウエル H P W 3 の上層に形成される。

【 0 0 6 0 】

ゲート電極 F G R は、上記浮遊ゲート電極 F G の一部により形成されている。上記ゲート絶縁膜 1 0 b は、例えば酸化シリコンからなり、ゲート電極 F G R と基板 1 S（p 型のウエル H P W 3）との間に形成されている。ゲート絶縁膜 1 0 b の厚さは、例えば 1 3 . 5 n m 程度である。上記データ読み出し用の M I S ・ F E T Q R の一対の n 型の半導体領域 1 2 , 1 2 は、p 型のウエル H P W 3 内においてゲート電極 F G R を挟み込む位置にゲート電極 F G R に対して自己整合的に形成されている。データ読み出し用の M I S ・ F E T Q R の一対の n 型の半導体領域 1 2 , 1 2 は、それぞれチャネル側の n⁻型の半導体領

域 1 2 a と、その各々に接続された n^+ 型の半導体領域 1 2 b とを有している。この n^- 型の半導体領域 1 2 a および n^+ 型の半導体領域 1 2 b には、例えばリン (P) またはヒ素 (As) 等のような同一導電型の不純物が含有されているが、 n^+ 型の半導体領域 1 2 b の不純物濃度の方が、 n^- 型の半導体領域 1 2 a の不純物濃度よりも高くなるように設定されている。このようなデータ読み出し用の M I S ・ F E T Q R の半導体領域 1 2 , 1 2 の一方は、上記絶縁層 6 に形成されたコンタクトホール C T 内の導体部 7 d に電氣的に接続されている。この導体部 7 d は、上記ソース線 S L に電氣的に接続されている。この導体部 7 d が接する n^+ 型の半導体領域 1 2 b の表層一部にシリサイド層 5 a を形成しても良い。一方、データ読み出し用の M I S ・ F E T Q R の半導体領域 1 2 , 1 2 の他方は、上記選択 M I S ・ F E T Q S のソースおよびドレイン用の n 型の半導体領域 1 2 の一方と共有とされている。

10

【 0 0 6 1 】

選択 M I S ・ F E T Q S は、ゲート電極 F G S と、ゲート絶縁膜 1 0 e と、ソース・ドレイン用の一対の n 型の半導体領域 1 2 , 1 2 とを有している。選択 M I S ・ F E T Q S のチャンネルは、上記ゲート電極 F G S と活性領域 L 1 とが平面的に重なる上記 p 型のウエル H P W 3 の上層に形成される。

【 0 0 6 2 】

上記ゲート電極 F G S は、例えば低抵抗な多結晶シリコンにより形成されている。このゲート電極 F G S は、上記絶縁層 6 に形成されたコンタクトホール C T 内の導体部 7 f に電氣的に接続されている。この導体部 7 f は、上記選択線 G S に電氣的に接続されている。上記ゲート絶縁膜 1 0 e は、例えば酸化シリコンからなり、ゲート電極 F G S と基板 1 S (p 型のウエル H P W 3) との間に形成されている。このゲート絶縁膜 1 0 e の厚さは、例えば 1 3 . 5 n m 程度である。選択 M I S ・ F E T Q S の一対の n 型の半導体領域 1 2 , 1 2 の構成は、上記データ読み出し用の M I S ・ F E T Q R の n 型の半導体領域 1 2 と同じである。選択 M I S ・ F E T Q S の他方の n 型の半導体領域 1 2 は、上記絶縁層 6 に形成されたコンタクトホール C T 内の導体部 7 g に電氣的に接続されている。この導体部 7 g には、上記データ読み出し用のビット線 R B L に電氣的に接続されている。この導体部 7 g が接する n^+ 型の半導体領域 1 2 b の表層一部にシリサイド層 5 a を形成しても良い。

20

【 0 0 6 3 】

また、上記浮遊ゲート電極 F G が上記 p 型のウエル (第 4 ウエル) H P W 1 に平面的に重なる位置には、上記容量部 C が形成されている。この容量部 C の構成は図 1 ~ 図 3 で説明したものと同一である。すなわち、この容量部 C は、制御ゲート電極 C G W と、容量電極 (第 3 電極) F G C 2 と、容量絶縁膜 (第 3 絶縁膜) 1 0 c と、 p 型の半導体領域 1 3 と、 p 型のウエル H P W 1 とを有している。

30

【 0 0 6 4 】

容量電極 F G C 2 は、上記制御ゲート電極 C G W に対向する浮遊ゲート電極 F G 部分により形成されており、上記容量部 C の一方の電極を形成する部分である。このようにメモリセル M C のゲート構成を単層構成とすることにより、フラッシュメモリのメモリセル M C と主回路の素子との製造上の整合を容易にすることができるので、半導体装置の製造時間の短縮や製造コストの低減を図ることができる。

40

【 0 0 6 5 】

また、容量電極 F G C 2 の第 2 方向 X の長さは、上記データ書き込み・消去用の容量部 C W E の容量電極 F G C 1 や上記データ読み出し用の M I S ・ F E T Q R のゲート電極 F G R の第 2 方向 X の長さよりも長くなるように形成されている。これにより、容量電極 F G C 2 の平面積を大きく確保できるので、カップリング比を高めることができ、制御ゲート配線 C G W からの電圧供給効率を向上させることが可能となっている。

【 0 0 6 6 】

上記容量絶縁膜 1 0 c は、例えば酸化シリコンからなり、容量電極 F G C 2 と基板 1 S (p 型のウエル H P W 1) との間に形成されている。容量絶縁膜 1 0 c は、上記ゲート絶

50

縁膜 10b, 10e、容量絶縁膜 10d を形成するための熱酸化工程により同時に形成されており、その厚さは、例えば 13.5 nm 程度である。

【0067】

容量部 C の p 型の半導体領域 13 は、p 型のウエル HPW1 内において容量電極 FGC2 を挟み込む位置に容量電極 FGC2 に対して自己整合的に形成されている。この半導体領域 13 は、それぞれチャネル側の p⁻ 型の半導体領域 13b と、その各々に接続された p⁺ 型の半導体領域 13a とを有している。この p⁻ 型の半導体領域 13b および p⁺ 型の半導体領域 13a には、例えばホウ素 (B) 等のような同一導電型の不純物が含有されているが、p⁺ 型の半導体領域 13a の不純物濃度の方が、p⁻ 型の半導体領域 13b の不純物濃度よりも高くなるように設定されている。この p 型の半導体領域 13 は、p 型のウエル HPW1 と電氣的に接続されている。p 型の半導体領域 13 および p 型のウエル HPW1 は、容量部 C の制御ゲート電極 CGW (上記他方の電極) を形成する部分である。この p 型の半導体領域 13 は、上記絶縁層 6 に形成されたコンタクトホール CT 内の導体部 7e に電氣的に接続されている。この導体部 7e は、上記制御ゲート配線 CG に電氣的に接続されている。この導体部 7c が接する p⁺ 型の半導体領域 15b の表層一部にシリサイド層 5a を形成しても良い。

10

【0068】

次に、図 14 は本実施の形態 1 のフラッシュメモリのデータ書き込み動作時の上記選択メモリセル M_{Cs} での各部への印加電圧の一例を示す図 12 の Y2 - Y2 線の断面図である。

20

【0069】

ここでは導体部 7b を通じて n 型のウエル HNW および n 型の埋込ウエル DNW に、例えば 9 V 程度の電圧を印加して基板 1S と p 型のウエル HPW1 ~ HPW3 との電氣的な分離を行う。また、上記制御ゲート配線 CG から導体部 7e を通じて容量部 C の制御ゲート電極 CGW に、例えば 9 V 程度の正の制御電圧を印加する。また、上記データ書き込み・消去用のビット線 WBL から導体部 7c を通じて容量部 CWE の一方の電極 (p 型の半導体領域 15 および p 型のウエル HPW2) に、例えば - 9 V 程度の負の電圧を印加する。また、導体部 7a を通じて、p 型のウエル HPW3 に、例えば 0 V を印加する。また、上記選択線 GS から導体部 7f を通じて選択 M_{IS}・FETQS のゲート電極 FGS に、例えば 0 V を印加する。また、上記ソース線 SL から導体部 7d を通じてデータ読み出し用の M_{IS}・FETQR の一方の n 型の半導体領域 12 に、例えば 0 V を印加する。また、データ書き込み用のビット線 RBL から導体部 7g を通じて、選択 M_{IS}・FETQS の一方の n 型の半導体領域 12 に、例えば 0 V を印加する。これにより、選択メモリセル M_{Cs} のデータ書き込み・消去用の容量部 CWE の p 型のウエル HPW2 の電子 e を、チャネル全面の FN トネル電流により容量絶縁膜 10d を通じて容量電極 FGC1 (浮遊ゲート電極 FG) に注入し、データを書き込む。

30

【0070】

次に、図 15 は本実施の形態 1 のフラッシュメモリのデータ消去動作時における各部への印加電圧を示す図 12 の Y2 - Y2 線の断面図である。

【0071】

40

ここでは導体部 7b を通じて n 型のウエル HNW および n 型の埋込ウエル DNW に、例えば 9 V 程度の電圧を印加して基板 1S と p 型のウエル HPW1 ~ HPW3 との電氣的な分離を行う。また、上記制御ゲート配線 CG から導体部 7e を通じて容量部 C の制御ゲート電極 CGW に、例えば - 9 V 程度の負の制御電圧を印加する。また、上記データ書き込み・消去用のビット線 WBL から導体部 7c を通じて容量部 CWE の一方の電極 (p 型の半導体領域 15 および p 型のウエル HPW2) に、例えば 9 V 程度の正の電圧を印加する。また、導体部 7a を通じて、p 型のウエル HPW3 に、例えば 0 V を印加する。また、上記選択線 GS から導体部 7f を通じて選択 M_{IS}・FETQS のゲート電極 FGS に、例えば 0 V を印加する。また、上記ソース線 SL から導体部 7d を通じてデータ読み出し用の M_{IS}・FETQR の一方の n 型の半導体領域 12 に、例えば 0 V を印加する。また

50

、データ書き込み用のビット線 R B L から導体部 7 g を通じて、選択 M I S ・ F E T Q S の一方の n 型の半導体領域 1 2 に、例えば 0 V を印加する。これにより、選択メモリセル M C s e 1 (M C s e 2) のデータ書き込み・消去用の容量部 C W E の容量電極 F G C 1 (浮遊ゲート電極 F G) に蓄積された電子 e を、チャネル全面の F N トンネル電流により容量絶縁膜 1 0 d を通じて p 型のウエル H P W 2 に放出し、データを消去する。

【 0 0 7 2 】

次に、図 1 6 は本実施の形態 1 のフラッシュメモリのデータ読み出し動作時における各部への印加電圧を示す図 1 2 の Y 2 - Y 2 線の断面図である。

【 0 0 7 3 】

ここでは導体部 7 b を通じて n 型のウエル H N W および n 型の埋込ウエル D N W に、例えば 3 V 程度の電圧を印加して基板 1 S と p 型のウエル H P W 1 ~ H P W 3 との電気的な分離を行う。また、上記制御ゲート配線 C G から導体部 7 e を通じて容量部 C の制御ゲート電極 C G W に、例えば 3 V 程度の正の制御電圧を印加する。これにより、データ読み出し用の M I S ・ F E T Q R のゲート電極 F G R に正の電圧を印加する。また、導体部 7 a を通じて、p 型のウエル H P W 3 に、例えば 0 V を印加する。また、上記選択線 G S から導体部 7 f を通じて選択 M I S ・ F E T Q S のゲート電極 F G S に、例えば 3 V を印加する。また、上記ソース線 S L から導体部 7 d を通じてデータ読み出し用の M I S ・ F E T Q R の一方の n 型の半導体領域 1 2 に、例えば 0 V を印加する。また、データ書き込み用のビット線 R B L から導体部 7 g を通じて、選択 M I S ・ F E T Q S の一方の n 型の半導体領域 1 2 に、例えば 1 V を印加する。また、上記データ書き込み・消去用のビット線 W B L から導体部 7 c を通じて容量部 C W E の一方の電極 (p 型の半導体領域 1 5 および p 型のウエル H P W 2) に、例えば 0 V の電圧を印加する。これにより、選択メモリセル M C r のデータ読み出し用の M I S ・ F E T Q R をオン条件とし、そのデータ読み出し用の M I S ・ F E T Q R のチャネルにドレイン電流が流れるか否かにより、選択メモリセル M C r に記憶されているデータが 0 / 1 のいずれなのかを読み出す。

【 0 0 7 4 】

このような本実施の形態 1 によれば、データ書き換え領域 (容量部 C W E)、データ読み出し領域 (データ読み出し用の M I S ・ F E T Q R) および容量結合領域 (容量部 C) をそれぞれ別々の p 型のウエル H P W 1 ~ H P W 3 内に形成し、それぞれを n 型のウエル H N W および n 型の埋込ウエル D N W により分離する。データ書き換えは、容量素子で行う。

【 0 0 7 5 】

これにより、フラッシュメモリのデータ書き換え領域において、上記カットオフ用のトランジスタを設ける必要がなくなるので、半導体装置の小型化を推進できる。

【 0 0 7 6 】

また、データ書き換え用の素子を容量素子で形成し、チャネル全面の F N トンネル電流によるデータ書き換えにおいて、p 型の半導体領域 1 5 と p 型のウエル H P W 2 とは同電位になるので、上記接合耐圧の問題が生じることもない。このため、フラッシュメモリのメモリセル M C の劣化を抑制または防止でき、フラッシュメモリの動作信頼性を向上させることができる。また、上記のようなタイミング設計が不要となるので、フラッシュメモリの周辺回路の規模を小さく抑えることができるので、半導体装置の小型化を推進できる。また、データ書き換えを、最も消費電流が小さく、低電圧における単一電源書き換えに適したチャネル全面の F N トンネル電流により行えるので、内部昇圧回路による、単一電源化が容易である。さらに、データ書き込みおよび消去において、ホール発生のないチャネル F N トンネル電流を使用するため、データの書き換え回数を向上させることができる。

【 0 0 7 7 】

また、データ書き換え領域 (容量部 C W E) と、データ読み出し領域 (データ読み出し用の M I S ・ F E T Q R) とをそれぞれ別々の p 型のウエル H P W 2 , H P W 3 内に形成したことにより、データ書き換えを安定化させることができる。このため、フラッシュメ

モリの動作信頼性を向上させることができる。

【 0 0 7 8 】

(実施の形態 2)

本実施の形態 2 では、例えば L C D ドライバ回路 (主回路) が形成された半導体チップに、その主回路に関する比較的小容量の所望の情報を記憶するフラッシュメモリが形成されている半導体装置の製造方法の一例を図 1 7 ~ 図 2 8 により説明する。

【 0 0 7 9 】

図 1 7 ~ 図 2 8 は、本実施の形態 2 の半導体装置の製造工程中における同一の基板 1 S (ここでは、半導体ウエハと証する平面円形状の半導体薄板) の要部断面図である。高耐圧部および低耐圧部は、L C D ドライバ回路を構成する M I S ・ F E T の形成領域である。高耐圧部の M I S ・ F E T の動作電圧は、例えば 2 5 V 程度である。また、低耐圧部の M I S ・ F E T の動作電圧は、例えば 6 . 0 V 程度である。また、低耐圧部の M I S ・ F E T には、上記の動作電圧が 6 . 0 V のものの他に、動作電圧が 1 . 5 V の M I S ・ F E T がある。この動作電圧が 1 . 5 V の M I S ・ F E T は、動作電圧が 6 . 0 V の M I S ・ F E T よりも高速に動作する目的で設けられ、他の M I S ・ F E T と共に上記の L C D ドライバ回路を構成する。また、動作電圧が 1 . 5 V の M I S ・ F E T は、そのゲート絶縁膜が動作電圧が 6 . 0 V の M I S ・ F E T のゲート絶縁膜よりも薄く、その膜厚が 1 ~ 3 n m 程度で構成されている。以降の図面および明細書文中では、説明の簡略化のため、主として動作電圧が 2 5 V の高耐圧部の M I S ・ F E T と、動作電圧が 6 . 0 V の低耐圧部の M I S ・ F E T とを図示し、動作電圧が 1 . 5 V の M I S ・ F E T は図示しない。なお、本実施の形態 2 の半導体装置 (半導体チップ、基板 1 S) においても外部から供給される電源は、単一電源とされている。

【 0 0 8 0 】

まず、図 1 7 および図 1 8 に示すように、p 型の基板 1 S (半導体ウエハ) を用意し、その高耐圧部に、p 型の埋込ウエル D P W をフォトリソグラフィ (以下、単にリソグラフィという) 工程およびイオン注入工程等により形成する。リソグラフィ工程は、フォトレジスト (以下、単にレジストという) 膜の塗布、露光および現像等により所望のレジストパターンを形成する一連の工程である。イオン注入工程では、リソグラフィ工程を経て基板 1 S の主面上に形成されたレジストパターンをマスクとして、基板 1 S の所望の部分に所望の不純物を選択的に導入する。ここでのレジストパターンは、不純物の導入領域が露出され、それ以外の領域が覆われるようなパターンとされている。

【 0 0 8 1 】

続いて、高耐圧部、低耐圧部およびフラッシュメモリのメモリセル形成領域に、n 型の埋込ウエル D N W をリソグラフィ工程およびイオン注入工程等により同時に形成する。その後、基板 1 S の主面の分離領域に分離溝を形成した後、その分離溝内に絶縁膜を埋め込むことにより、溝形の分離部 T I を形成する。これにより、活性領域を規定する。

【 0 0 8 2 】

次いで、図 1 9 および図 2 0 に示すように、高耐圧部の n チャネル型の M I S ・ F E T 形成領域に、n 型の半導体領域 N V をリソグラフィ工程およびイオン注入工程等により形成する。この n 型の半導体領域 N V は n 型の埋込ウエル D N W よりも高い不純物濃度を有する領域である。続いて、高耐圧部の p チャネル型の M I S ・ F E T 形成領域に、p 型の半導体領域 P V をリソグラフィ工程およびイオン注入工程等により形成する。この p 型の半導体領域 P V は p 型の埋込ウエル D P W よりも高い不純物濃度を有する領域である。

【 0 0 8 3 】

続いて、低耐圧部の n チャネル型の M I S ・ F E T 形成領域に、p 型のウエル P W をリソグラフィ工程およびイオン注入工程等により形成する。この p 型のウエル P W は p 型の埋込ウエル D P W よりも高い不純物濃度を有する領域であり、p 型の半導体領域 P V よりも高い不純物濃度を有する領域である。続いて、低耐圧部の p チャネル型の M I S ・ F E T 形成領域に、n 型のウエル N W をリソグラフィ工程およびイオン注入工程等により形成する。この n 型のウエル N W は n 型の埋込ウエル D N W よりも高い不純物濃度を有する領

域であり、 n 型の半導体領域 NV よりも高い不純物濃度を有する領域である。

【0084】

続いて、フラッシュメモリのメモリセル形成領域に、 p 型のウエル $HPW1 \sim HPW3$ をリソグラフィ工程およびイオン注入工程等により同時に形成する。この p 型のウエル $HPW1 \sim HPW3$ は p 型の埋込ウエル DPW よりも高い不純物濃度を有する領域であり、 p 型の半導体領域 PV と同程度の不純物濃度を有する領域である。

【0085】

また、これら n 型の埋込ウエル DNW 、 p 型の埋込ウエル DPW 、 n 型の半導体領域 NV 、 p 型の半導体領域 PV 、 n 型のウエル NW 、 p 型のウエル PW 、 p 型のウエル $HPW1 \sim HPW3$ の不純物濃度の大小関係は、後述の実施の形態においても同様である。

10

【0086】

その後、ゲート絶縁膜 $10b$ 、 $10e$ 、 $10f$ 、 $10g$ および容量絶縁膜 $10c$ 、 $10d$ を熱酸化法等により形成した後、基板 $1S$ （半導体ウエハ）の主面上に、例えば低抵抗な多結晶シリコンからなる導体膜 20 を CVD （Chemical Vapor Deposition）法等により形成する。このとき、高耐圧部の $MIS \cdot FET$ のゲート絶縁膜 $10f$ は、 $25V$ の耐圧に耐えられるように、低耐圧部の $MIS \cdot FET$ のゲート絶縁膜 $10g$ よりも厚い膜厚のゲート絶縁膜で形成する。高耐圧の $MIS \cdot FET$ のゲート絶縁膜 $10f$ の厚さは、例えば $50 \sim 100nm$ である。上記の熱酸化法による酸化膜の他に、 CVD 法などによって堆積した絶縁膜を積層させることも出来る。

【0087】

20

また、本実施の形態においては、不揮発性メモリのゲート絶縁膜 $10b$ 、 $10e$ および容量絶縁膜 $10c$ 、 $10d$ は、低耐圧部の $MIS \cdot FET$ （ここでは動作電圧が、例えば $6.0V$ の $MIS \cdot FET$ ）のゲート絶縁膜 $10g$ と同じ工程によって形成されており、不揮発性メモリのゲート絶縁膜 $10b$ 、 $10e$ および容量絶縁膜 $10c$ 、 $10d$ の厚さは、上記低耐圧部の $MIS \cdot FET$ のゲート絶縁膜 $10g$ と同じ厚さで形成されている。前述の実施の形態1の絶縁膜 $10a$ 等と同様の理由から、ゲート絶縁膜 $10b$ 、 $10e$ 、 $10g$ および容量絶縁膜 $10c$ 、 $10d$ の膜厚は $10nm$ 以上であって $20nm$ 以下が好ましく、例えば $13.5nm$ で形成されている。

【0088】

次いで、上記した導体膜 20 を図21および図22に示すように、リソグラフィ工程およびエッチング工程によりパターンングすることにより、ゲート電極 FGH 、 FGI 、 FGS および浮遊ゲート FG （ゲート電極 FGR および容量電極 $FGC1$ 、 $FGC2$ ）を同時に形成する。続いて、高耐圧部の p チャネル型の $MIS \cdot FET$ 形成領域、容量部 C の形成領域およびデータ書き込み・消去用の容量部 CWE の形成領域に、 p 型の半導体領域 $21a$ 、 $13b$ 、 $15a$ をリソグラフィ工程およびイオン注入法等により同時に形成する。続いて、高耐圧部の n チャネル型の $MIS \cdot FET$ 形成領域、データ読み出し用の $MIS \cdot FETQR$ の形成領域および選択 $MIS \cdot FETQS$ の形成領域に、 n 型の半導体領域 $22a$ 、 $12a$ をリソグラフィ工程およびイオン注入法等により同時に形成する。続いて、低耐圧部の p チャネル型の $MIS \cdot FET$ 形成領域に、 p 型の半導体領域 $23a$ をリソグラフィ工程およびイオン注入法等により形成する。続いて、低耐圧部の n チャネル型の $MIS \cdot FET$ 形成領域に、 n 型の半導体領域 $24a$ をリソグラフィ工程およびイオン注入法等により形成する。

30

40

【0089】

次いで、図23および図24に示すように、基板 $1S$ （半導体ウエハ）の主面上に、例えば酸化シリコンからなる絶縁膜を CVD 法等により堆積した後、それを異方性のドライエッチングによりエッチバックすることにより、ゲート電極 FGH 、 FGI 、 FGR 、 FGS および容量電極 $FGC1$ 、 $FGC2$ の側面にサイドウォール SW を形成する。

【0090】

続いて、高耐圧部および低耐圧部の p チャネル型の $MIS \cdot FET$ 形成領域と、容量部および書き込み・消去用容量部形成領域と、 p 型のウエル $HPW3$ の引き出し領域とに、

50

p⁺型の半導体領域21b, 23b, 13a, 15b, 4aをリソグラフィ工程およびイオン注入法等により同時に形成する。これにより、高耐圧部に、ソースおよびドレイン用のp型の半導体領域21を形成し、pチャネル型のMIS・FETQPHを形成する。また、低耐圧部に、ソースおよびドレイン用のp型の半導体領域23を形成し、pチャネル型のMIS・FETQPLを形成する。また、容量部形成領域に、p型の半導体領域13を形成し、容量部Cを形成する。また、書き込み・消去用容量部形成領域に、p型の半導体領域15を形成し、データ書き込み・消去用の容量部CWEを形成する。

【0091】

続いて、高耐圧部、低耐圧部、読み出し部および選択部のnチャネル型のMIS・FET形成領域に、n⁺型の半導体領域22b, 24b, 12bをリソグラフィ工程およびイオン注入法等により同時に形成する。これにより、高耐圧部に、ソースおよびドレイン用のn型の半導体領域22を形成し、nチャネル型のMIS・FETQNHを形成する。また、低耐圧部に、ソースおよびドレイン用のn型の半導体領域24を形成し、nチャネル型のMIS・FETQNLを形成する。また、読み出し部および選択部に、n型の半導体領域12を形成し、データ読み出し用のMIS・FETQRおよび選択MIS・FETQSを形成する。

10

【0092】

次いで、図25および図26に示すように、シリサイド層5aを選択的に形成する。このシリサイド層5aの形成工程に先立って、メモリセルMCの領域においては、浮遊ゲート電極FG（容量電極FGC1, FGC2、ゲート電極FGR）およびゲート電極FGSの上面にキャップ絶縁膜28を形成するとともに、基板1Sの一部上に絶縁膜を形成することで、その部分にシリサイド層5aが形成されないようにする。続いて、図27および図28に示すように、基板1S（半導体ウエハ）の主面上に、例えば窒化シリコンからなる絶縁層6aをCVD法等により堆積した後、その上に、例えば酸化シリコンからなる絶縁層6bを絶縁層6aよりも厚くCVD法等により堆積し、さらに絶縁層6bに化学的機械的研磨（Chemical Mechanical Polishing: CMP）処理を施し絶縁層6bの上面を平坦化する。その後、絶縁層6にコンタクトホールCTをリソグラフィ工程およびエッチング工程により形成する。その後、基板1S（半導体ウエハ）の主面上に、例えばタングステン（W）等からなる導体膜をCVD法等により堆積した後、それをCMP法等により研磨することでコンタクトホールCT内に導体部7a, 7c~7kを形成する。これ以降は通常の配線形成工程、検査工程および組立工程を経て半導体装置を製造する。

20

30

【0093】

本実施の形態2によれば、LCDドライバ回路用のMIS・FETQPH, QNH, QPL, QNLの構成部と、メモリセルMCの容量部C, CWEおよびMIS・FETQR, QSの構成部とを同時に形成することができるので、半導体装置の製造工程を簡略化することができる。これにより、半導体装置の製造時間を短縮できる。また、半導体装置のコストを低減できる。

【0094】

また、半導体装置の外部単一電源電圧（例えば3.3V）をLCDドライバ回路用の負電圧昇圧回路（内部昇圧回路）により、メモリセルMCのデータ書き込み時に使用する電圧（例えば-9V）に変換できる。また、外部単一電源電圧（例えば3.3V）をLCDドライバ回路用の正電圧昇圧回路（内部昇圧回路）により、メモリセルMCのデータ消去時に使用する電圧（例えば9V）に変換できる。すなわち、フラッシュメモリ用に新たに内部昇圧回路を設ける必要がない。このため、半導体装置の内部の回路規模を小さく抑えることができるので、半導体装置の小型化を推進できる。

40

【0095】

（実施の形態3）

図29は本実施の形態3の半導体装置のLCDドライバ回路（主回路）領域の要部断面図、図30は図29と同じ基板1Sに形成されたフラッシュメモリ領域の要部断面図を示している。

50

【 0 0 9 6 】

本実施の形態 3 では、図 2 9 および図 3 0 に示すように、容量部 C , C W E の p 型のウエル H P W 1 , H P W 2 内に p 型のウエル P W が形成されている。これにより、容量電極 F G C 1 , F G C 2 の直下の基板 1 S 部分の p 型不純物の濃度が高くなるので、データ書き換え（書き込み・消去）時において、容量電極 F G C 1 , F G C 2 の直下の基板 1 S 部分の空乏化を抑制または防止することができる。このため、容量絶縁膜 1 0 c , 1 0 d に印加される電圧を高くすることができるので、データの書き換え速度を速くすることができる。図 3 1 は、データの書き込み・消去特性を示している。実線 A 1 , B 1 はそれぞれ本実施の形態 3 の書き込み特性および消去を、実線 A 0 , B 0 はそれぞれ p 型のウエル H P W 1 , H P W 2 内に p 型のウエル P W を形成しない場合の書き込み特性および消去特を示している。本実施の形態 3 の場合、データの書き込み・消去時間を短縮できることが分かる。

10

【 0 0 9 7 】

このようなフラッシュメモリ領域における p 型のウエル H P W 1 , H P W 2 内の p 型のウエル P W は、L C D ドライバ回路領域の低耐圧部の n チャネル型の M I S ・ F E T Q N L の形成領域の p 型のウエル P W を形成する際に同時に形成されている。すなわち、フラッシュメモリ領域および低耐圧部の p 型のウエル P W の形成領域が露出され、それ以外の領域が覆われるようなレジストパターンを形成後、そのレジストパターンをマスクとして、p 型の不純物を基板 1 S に導入することで形成されている。これにより、p 型のウエル H P W 1 , H P W 2 内に p 型のウエル P W を形成するからといって製造工程が増えることもない。これ以外の製造工程は前記実施の形態 2 と同じである。また、上記以外の効果は、前記実施の形態 1 , 2 と同じなので説明を省略する。

20

【 0 0 9 8 】

（実施の形態 4）

図 3 2 は本実施の形態 4 の半導体装置の L C D ドライバ回路（主回路）領域の要部断面図、図 3 3 は図 3 2 と同じ基板 1 S に形成されたフラッシュメモリ領域の要部断面図を示している。

【 0 0 9 9 】

本実施の形態 4 では、図 3 2 および図 3 3 に示すように、容量部 C , C W E のウエルが、L C D ドライバ回路領域の低耐圧部の n チャネル型の M I S ・ F E T Q N L の形成領域のウエルである p 型のウエル P W により形成されている。この p 型のウエル P W の p 型の不純物濃度の方が、p 型のウエル H P W 3 の p 型の不純物濃度よりも高く設定されている。これにより、容量部 C , C W E の容量電極 F G C 1 , F G C 2 の直下の基板 1 S 部分の p 型不純物の濃度が高くなるので、データ書き換え（書き込み・消去）時において、容量電極 F G C 1 , F G C 2 の直下の基板 1 S 部分の空乏化を抑制または防止することができる。このため、容量絶縁膜 1 0 c , 1 0 d に印加される電圧を高くすることができるので、データの書き換え速度を速くすることができる。

30

【 0 1 0 0 】

このようなフラッシュメモリ領域における p 型のウエル P W は、前記実施の形態 3 と同様に、L C D ドライバ回路領域の低耐圧部の n チャネル型の M I S ・ F E T Q N L の形成領域の p 型のウエル P W を形成する際に同時に形成されている。これにより、メモリセル M C に p 型のウエル P W を形成するからといって製造工程が増えることもない。これ以外の製造工程は前記実施の形態 2 と同じである。また、上記以外の効果は、前記実施の形態 1 , 2 と同じなので説明を省略する。

40

【 0 1 0 1 】

（実施の形態 5）

図 3 4 は本実施の形態 5 の半導体装置の L C D ドライバ回路（主回路）領域の要部断面図、図 3 5 は図 3 4 と同じ基板 1 S に形成されたフラッシュメモリ領域の要部断面図を示している。

【 0 1 0 2 】

50

本実施の形態 5 では、図 3 4 および図 3 5 に示すように、容量部 C、CWE、データ読み出し用の MIS・FETQR および選択 MIS・FETQS のウエルが、LCD ドライバ回路領域の高耐圧部の p チャネル型の MIS・FETQPH の p 型の半導体領域 PV により形成されている。この容量部 C、CWE、データ読み出し用の MIS・FETQR および選択 MIS・FETQS のウエルを形成する p 型の半導体領域 PV は、LCD ドライバ回路領域の高耐圧部の p チャネル型の MIS・FETQPH の p 型の半導体領域 PV を形成する際に同時に形成されている。すなわち、フラッシュメモリ領域および高耐圧部の p 型の半導体領域 PV の形成領域が露出され、それ以外の領域が覆われるようなレジストパターンを形成後、そのレジストパターンをマスクとして、p 型の不純物を基板 1 S に導入することで形成されている。これにより、フラッシュメモリの上記 p 型のウエル HPW 1 ~ HPW 3 の形成のためのリソグラフィ工程（レジスト塗布、露光および現像等のような一連の処理および露光時に使用するフォトマスクの製造工程）を削減できるので、半導体装置の製造時間を短縮できる。また、半導体装置の製造コストを低減できる。

10

【0103】

これ以外の製造工程は前記実施の形態 2 と同じである。また、上記以外の効果は、前記実施の形態 1、2 と同じなので説明を省略する。

【0104】

（実施の形態 6）

図 3 6 は本実施の形態 6 の半導体装置の LCD ドライバ回路（主回路）領域の要部断面図、図 3 7 は図 3 6 と同じ基板 1 S に形成されたフラッシュメモリ領域の要部断面図を示している。

20

【0105】

本実施の形態 6 では、図 3 6 および図 3 7 に示すように、容量部 C、CWE、データ読み出し用の MIS・FETQR および選択 MIS・FETQS のウエルが、LCD ドライバ回路領域の高耐圧部の p チャネル型の MIS・FETQPH の p 型の半導体領域 PV により形成されている。この容量部 C、CWE、データ読み出し用の MIS・FETQR および選択 MIS・FETQS のウエルを形成する p 型の半導体領域 PV は、前記実施の形態 5 と同様に、LCD ドライバ回路領域の高耐圧部の p チャネル型の MIS・FETQPH の p 型の半導体領域 PV を形成する際に同時に形成されている。これにより、前記実施の形態 5 と同様に、フラッシュメモリの上記 p 型のウエル HPW 1 ~ HPW 3 の形成のためのリソグラフィ工程を削減できるので、半導体装置の製造時間を短縮できる。また、半導体装置の製造コストを低減できる。

30

【0106】

また、容量部 C、CWE のウエルを形成する p 型の半導体領域 PV 内に、p 型のウエル PW が形成されている。これにより、容量部 C、CWE の容量電極 FGC 1、FGC 2 の直下の基板 1 S 部分の p 型不純物の濃度が高くなるので、データ書き換え（書き込み・消去）時における、容量電極 FGC 1、FGC 2 の直下の基板 1 S 部分の空乏化を抑制または防止することができる。このため、容量絶縁膜 10c、10d に印加される電圧を高くすることができるので、データの書き換え速度を速くすることができる。

【0107】

40

また、メモリ領域の容量部 C、CWE の p 型の半導体領域 PV 内の p 型のウエル PW は、前記実施の形態 3 と同様に、LCD ドライバ回路領域の低耐圧部の n チャネル型の MIS・FETQNL の形成領域の p 型のウエル PW を形成する際に同時に形成されている。これにより、容量部 C、CWE のウエルを形成する p 型の半導体領域 PV 内に p 型のウエル PW を形成するからといって製造工程が増えることもない。これ以外の製造工程は前記実施の形態 2 と同じである。また、上記以外の効果は、前記実施の形態 1、2 と同じなので説明を省略する。

【0108】

（実施の形態 7）

図 3 8 は本実施の形態 7 の半導体装置の LCD ドライバ回路（主回路）領域の要部断面

50

図、図 39 は図 38 と同じ基板 1 S に形成されたフラッシュメモリ領域の要部断面図を示している。

【 0 1 0 9 】

本実施の形態 7 では、図 38 および図 39 に示すように、容量部 C、CWE のウエルが、LCD ドライバ回路領域の低耐圧部の n チャネル型の MIS・FETQNL の形成領域のウエルである p 型のウエル PW により形成されている。この p 型のウエル PW の p 型の不純物濃度の方が、上記 p 型のウエル HPW1 ~ HPW3 の p 型の不純物濃度よりも高く設定されている。これにより、容量部 C、CWE の容量電極 FGC1、FGC2 の直下の基板 1 S 部分の p 型不純物の濃度が高くなるので、データ書き換え（書き込み・消去）時において、容量電極 FGC1、FGC2 の直下の基板 1 S 部分の空乏化を抑制または防止

10

【 0 1 1 0 】

このようなフラッシュメモリ領域における p 型のウエル PW は、前記実施の形態 3 と同様に、LCD ドライバ回路領域の低耐圧部の n チャネル型の MIS・FETQNL の形成領域の p 型のウエル PW を形成する際に同時に形成されている。これにより、メモリセル MC に p 型のウエル PW を形成するからといって製造工程が増えることもない。

【 0 1 1 1 】

また、本実施の形態 7 では、データ読み出し用の MIS・FETQR および選択 MIS・FETQS のウエルが、LCD ドライバ回路領域の高耐圧部の p チャネル型の MIS・FETQPH の p 型の半導体領域 PV により形成されている。このデータ読み出し用の MIS・FETQR および選択 MIS・FETQS のウエルを形成する p 型の半導体領域 PV は、前記実施の形態 5 と同様に、LCD ドライバ回路領域の高耐圧部の p チャネル型の MIS・FETQPH の p 型の半導体領域 PV を形成する際に同時に形成されている。すなわち、本実施の形態 7 では、前記実施の形態 5 と同様に、フラッシュメモリの上記 p 型のウエル HPW1 ~ HPW3 の形成のためのリソグラフィ工程を削減できるので、半導体装置の製造時間を短縮できる。また、半導体装置の製造コストを低減できる。

20

【 0 1 1 2 】

これ以外の製造工程は前記実施の形態 2 と同じである。また、上記以外の効果は、前記実施の形態 1、2 と同じなので説明を省略する。

30

【 0 1 1 3 】

（実施の形態 8）

図 40 は本実施の形態 8 の半導体装置のフラッシュメモリ形成領域の要部平面図を示している。本実施の形態 8 の半導体装置の断面構成は前記実施の形態 1 ~ 7 で示したものと同じなので図示および説明を省略する。

【 0 1 1 4 】

本実施の形態 8 においては、半導体チップを構成する基板 1 S の主面（第 1 主面）のフラッシュメモリ領域には、例えば 8 × 2 ビット構成の複数の上記メモリセル MC がアレイ状（行列状）に規則的に並んで配置されている。

【 0 1 1 5 】

p 型のウエル HPW1 ~ HPW2 は、第 2 方向 X に延びて形成されている。p 型のウエル HPW1 には、複数のビット分の容量部 C が配置されている。また、p 型のウエル HPW2 には、複数のビット分のデータ書き込み・消去用の容量部 CWE が配置されている。また、p 型のウエル HPW3 には、複数のビット分のデータ読み出し用の MIS・FETQR および選択 MIS・FETQS が配置されている。

40

【 0 1 1 6 】

このようなアレイ構成にすることにより、フラッシュメモリの占有領域を縮小することができるので、主回路が形成された半導体チップのサイズ増大を招くことなく、半導体装置の付加価値を向上させることができる。

【 0 1 1 7 】

50

(実施の形態 9)

本実施の形態 9 においては、前記フラッシュメモリのメモリセルの選択 M I S ・ F E T を、例えば L C D ドライバ回路 (主回路) の動作電圧が 1 . 2 V (または 1 . 5 V) の相対的に低耐圧な M I S ・ F E T (以下、1 . 2 V 系の M I S ・ F E T ともいう) により形成した場合について説明する。

【0118】

前記実施の形態においては、前記フラッシュメモリのメモリセル M C の選択 M I S ・ F E T Q S が、作り易さを優先して、データ読み出し用の M I S ・ F E T Q R と同じく、動作電圧が 6 V の M I S ・ F E T (以下、6 V 系の M I S ・ F E T ともいう) により形成されている。

10

【0119】

しかし、本実施の形態のフラッシュメモリの構成においては、メモリセル M C のデータ読み出し用の M I S ・ F E T Q R に印加されるドレイン電圧が、例えば ~ 1 . 0 V 程度である。すなわち、データ読み出し用の M I S ・ F E T Q R の選択 M I S ・ F E T Q S のドレインには、例えば 1 . 0 V 程度しか印加されない。また、選択 M I S ・ F E T Q S のゲート電極はメモリセル M C の浮遊ゲート電極 F G とも接続されておらず電荷保持能力に対する影響が無い。

【0120】

そこで、本実施の形態 9 においては、図 4 1 および図 4 2 に示すように、データ読み出し用の M I S ・ F E T Q R の選択 M I S ・ F E T Q S 2 を、例えば L C D ドライバ回路の上記 1 . 2 V 系の M I S ・ F E T により形成した。

20

【0121】

図 4 1 は本実施の形態 9 の半導体装置におけるフラッシュメモリのメモリセル M C の一例の平面図、図 4 2 は図 4 1 の Y 3 - Y 3 線の断面図である。なお、図 4 1 では図面を見易くするために一部にハッチングを付した。

【0122】

基板 1 S の選択部には、p 型のウエル P W 2 が形成されている。この選択部の p 型のウエル P W 2 は、上記メモリセル M C の上記 p 型のウエル H P W 3 に取り囲まれている。すなわち、p 型のウエル P W 2 は、p 型のウエル H P W 3 に内包されている。

【0123】

この選択部の p 型のウエル P W 2 は、上記 L C D ドライバ回路の上記 1 . 2 V 系の M I S ・ F E T の配置領域の p 型のウエルと同じものである。すなわち、選択部の p 型のウエル P W 2 は、L C D ドライバ回路の 1 . 2 V 系の M I S ・ F E T 用の p 型のウエルと同工程時に p 型の不純物のホウ素が導入されることで形成されており、p 型のウエル P W 2 の不純物濃度は、L C D ドライバ回路の 1 . 2 V 系の M I S ・ F E T 用の p 型のウエルの不純物濃度と同じである。

30

【0124】

この p 型のウエル P W 2 には、上記選択 M I S ・ F E T Q S 2 のソース・ドレイン用の一対の n 型の半導体領域 1 2 , 1 2 を構成する n⁻型の半導体領域 1 2 c が形成されている。この n⁻型の半導体領域 1 2 c は、選択 M I S ・ F E T Q S 2 のチャネル形成領域を挟んでチャネル形成領域の両側に配置されており、n⁺型の半導体領域 1 2 b に電氣的に接続されている。この n⁻型の半導体領域 1 2 c および n⁺型の半導体領域 1 2 b には、例えばリン (P) またはヒ素 (A s) 等のような同一導電型の不純物が含有されているが、n⁺型の半導体領域 1 2 b の不純物濃度の方が、n⁻型の半導体領域 1 2 c よりも不純物濃度が高くなっている。

40

【0125】

本実施の形態 9 において選択 M I S ・ F E T Q S 2 の n⁻型の半導体領域 1 2 c の構成は、上記 L C D ドライバ回路の上記 1 . 2 V 系の M I S ・ F E T のソース・ドレイン用の一対の半導体領域を構成する n⁻型の半導体領域の構成と同じである。すなわち、選択 M I S ・ F E T Q S 2 の n⁻型の半導体領域 1 2 c は、L C D ドライバ回路の上記 1 . 2 V

50

系のMIS・FETのn⁻型の半導体領域と同工程時にn型の不純物が導入されることで形成されており、n⁻型の半導体領域12cの不純物濃度は、LCDドライバ回路の1.2V系のMIS・FET用のn⁻型の半導体領域の不純物濃度と同じである。

【0126】

上記p型のウエルPW2が形成された基板1Sの主面(チャネル形成領域)上には、選択MIS・FETQS2のゲート絶縁膜10hが形成されている。この選択MIS・FETQS2のゲート絶縁膜10hの構成は、上記LCDドライバ回路の上記1.2V系のMIS・FETのゲート絶縁膜の構成と同じである。すなわち、選択MIS・FETQS2のゲート絶縁膜10hは、例えば酸化シリコンにより形成されている。また、選択MIS・FETQS2のゲート絶縁膜10hは、LCDドライバ回路の1.2V系のMIS・FETのゲート絶縁膜と同工程時に形成されている。このため、選択MIS・FETQS2のゲート絶縁膜10hの厚さは、上記LCDドライバ回路の上記1.2V系のMIS・FETのゲート絶縁膜の厚さと等しい。ただし、選択MIS・FETQS2のゲート絶縁膜10hの厚さは、2種ゲートプロセスによって、上記選択MIS・FETQSのゲート絶縁膜10eや上記データ読み出し用のMIS・FETQRのゲート絶縁膜10bよりも薄く形成されている。

10

【0127】

2種ゲートプロセスは、例えば以下の工程を有している。まず、基板1Sに対して第1回目の熱酸化処理を施すことにより、基板1Sの厚膜部および薄膜部の両方の主面上に所定の厚さの第1ゲート絶縁膜を同時に形成する。続いて、薄膜部の第1ゲート絶縁膜のみを選択的に除去する。その後、厚膜部に第1ゲート絶縁膜を残したまま、基板1Sに対して第2回目の熱酸化処理等を施す。この第2回目の熱酸化処理では、薄膜部に形成するゲート絶縁膜の厚さが所望の厚さになるように酸化処理を施す。これにより、薄膜部に相対的に薄いゲート絶縁膜を形成すると同時に、厚膜部に相対的に厚いゲート絶縁膜を形成する。

20

【0128】

このようなゲート絶縁膜10h上には、選択MIS・FETQS2のゲート電極FGS2が形成されている。この選択MIS・FETQS2のゲート電極FGS2の構成は、上記LCDドライバ回路の上記1.2V系のMIS・FETのゲート電極の構成と同じである。すなわち、選択MIS・FETQS2のゲート電極FGS2は、例えば低抵抗なn⁺型の多結晶シリコンにより形成されている。また、選択MIS・FETQS2のゲート電極FGS2は、LCDドライバ回路の1.2V系のMIS・FETのゲート電極と同工程時に形成されている。この選択MIS・FETQS2のゲート電極FGS2のゲート長(ゲート電極FGS2の短方向の長さであって、ドレイン電流が流れる方向の長さ)Lgは、上記LCDドライバ回路の上記1.2V系のMIS・FETのゲート長さLg(ミニマム寸法)と等しく、上記選択MIS・FETQSのゲート長や上記データ読み出し用のMIS・FETQRのゲート長よりも小さい。

30

【0129】

また、本実施の形態9においては、浮遊ゲート電極FG(すなわち、容量電極FGC、ゲート電極FGW, FGR)の上面、サイドウォールSWの表面全体およびその外周の基板1Sの主面一部を覆うように、キャップ絶縁膜28bが形成されている。

40

【0130】

このキャップ絶縁膜28bは、例えば酸化シリコンからなり、窒化シリコンからなる絶縁層6aが浮遊ゲート電極FGの上面に直接接しないように、浮遊ゲート電極FGの上面と絶縁層6bとの間に形成されている。これは、以下の理由からである。すなわち、窒化シリコンからなる絶縁層6aをプラズマ化学気相成長(Chemical Vapor Deposition: CVD)法等により堆積する場合、絶縁層6aは、その堆積の初期段階においてシリコンリッチな膜になり易い。このため、絶縁層6aが浮遊ゲート電極FGの上面に直接接した状態で形成されていると、浮遊ゲート電極FG中の電荷が絶縁層6aのシリコンリッチな部分を通じて基板1S側に流れ、プラグを通じて放出されてしまう場合がある。その結果、フ

50

ラッシュメモリのデータ保持特性が低下するので、そのような不具合を抑制または防止するためである。

【0131】

また、このキャップ絶縁膜28bは、半導体基板1Sの他の領域に設けられた抵抗素子(図示せず)の上にも形成されている。この抵抗素子は、例えば、前述の容量電極FGCおよびゲート電極FGW、FGR、FGS、FGS2等と同工程で形成することができ、多結晶シリコン膜から成る。このような抵抗素子上にキャップ絶縁膜28bを設けることで、抵抗素子上にシリサイド層5aが形成される領域と形成されない領域とを選択的に作り分けることができ、これにより所望の抵抗値を有する抵抗素子を形成することができる。

10

【0132】

すなわち、本実施の形態では、キャップ絶縁膜28bを用いることで、抵抗素子上にシリサイド層5aを作り分けるための絶縁膜と、浮遊ゲート電極FG上の絶縁層6aとの間に設ける絶縁膜を同工程で形成している。これにより、各々の絶縁膜を別工程で形成する必要がなく、製造工程の簡略化を図れる。

【0133】

本実施の形態9では、浮遊ゲート電極FGの上面と絶縁層6bとの間にキャップ絶縁膜28bを形成したことにより、上記のような電荷の放出を抑制または防止することができるので、フラッシュメモリのデータ保持特性を向上させることができる。

【0134】

また、上記シリサイド層5aは、キャップ絶縁膜28bをパターン形成した後に形成されている。このため、シリサイド層5aは、基板1Sの主面(p⁺型の半導体領域13a、15b、n⁺型の半導体領域12b)上には形成されているが、浮遊ゲート電極FGの上面には形成されていない。

20

【0135】

このように本実施の形態9においては、前記実施の形態で得られた効果の他に、以下の効果を得ることができる。

【0136】

すなわち、選択MIS・FETQS2のゲート長が、上記選択MIS・FETQSのゲート長より小さく、また、ゲート絶縁膜10hの膜厚が、上記選択MIS・FETQSのゲート絶縁膜10eよりも薄いことにより、同じ電圧で駆動させた場合、より大きな電流(ドレイン電流I_{ds})を得ることができる。このため、データの読み出し電流を増大させることができるので、回路的なマージンを拡大することができる。

30

【0137】

また、選択MIS・FETQS2の占有面積を小さくすることができるので、フラッシュメモリの占有面積を小さくできる。特に、複数のメモリセルMCをアレイ状に配置する場合に、フラッシュメモリの占有面積を縮小することができる。

【0138】

(実施の形態10)

本実施の形態10においては、フラッシュメモリでのデータの消去時や書き込み時に基板1Sに空乏層が形成されるのを抑制または防止するための構成について説明する。

40

【0139】

図43は本実施の形態10の半導体装置におけるフラッシュメモリのメモリセルMCの一例の平面図、図44は図43のY4-Y4線の断面図である。なお、図43では図面を見易くするために一部にハッチングを付した。

【0140】

本実施の形態10においては、データ書き込み・消去用の容量部CWEに、p型の半導体領域15とn型の半導体領域30との異なる導電型の半導体領域が形成されている。すなわち、データ書き込み・消去用の容量部CWEにおいては、容量電極FGC1の左右の半導体領域の導電型が非対称になっている。

50

【 0 1 4 1 】

n型の半導体領域30は、互いに電氣的に接続されたn⁻型の半導体領域30aとn⁺型の半導体領域30bとを有している。n⁻型の半導体領域30aは、容量電極FGC1の一方の端部辺りから基板1Sの主面に沿ってサイドウォールSWの幅分程度延びて終端している。n⁺型の半導体領域30bは、上記n⁻型の半導体領域30aの終端で一部重なり、その重なり位置から基板1Sの主面に沿って所望の長さ分だけ延びて分離部TIで終端している。

【 0 1 4 2 】

このn⁻型の半導体領域30aおよびn⁺型の半導体領域30bには、例えばリン(P)またはヒ素(As)等のような同一導電型の不純物が含有されているが、n⁺型の半導体領域30bの不純物濃度の方が、n⁻型の半導体領域30aよりも不純物濃度が高くなっている。

10

【 0 1 4 3 】

本実施の形態10では、上記n型の半導体領域30が、図43に示すように、互いに隣接する2つの浮遊ゲート電極FGの隣接間に形成されている。すなわち、n型の半導体領域30は、2つのデータ書き込み・消去用の容量部CWEの共有領域になっている。

【 0 1 4 4 】

また、本実施の形態10においては、容量部Cに、p型の半導体領域13とn型の半導体領域31との異なる導電型の半導体領域が形成されている。すなわち、容量部Cにおいては、容量電極FGC2の左右の半導体領域の導電型が非対称になっている。

20

【 0 1 4 5 】

n型の半導体領域31は、互いに電氣的に接続されたn⁻型の半導体領域31aとn⁺型の半導体領域31bとを有している。n⁻型の半導体領域31aは、容量電極FGC2の一方の端部辺りから基板1Sの主面に沿ってサイドウォールSWの幅分程度延びて終端している。n⁺型の半導体領域31bは、上記n⁻型の半導体領域31aの終端で一部重なり、その重なり位置から基板1Sの主面に沿って所望の長さ分だけ延びて分離部TIで終端している。

【 0 1 4 6 】

このn⁻型の半導体領域31aおよびn⁺型の半導体領域31bには、例えばリン(P)またはヒ素(As)等のような同一導電型の不純物が含有されているが、n⁺型の半導体領域31bの不純物濃度の方が、n⁻型の半導体領域31aよりも不純物濃度が高くなっている。

30

【 0 1 4 7 】

本実施の形態10では、上記n型の半導体領域31が、図43に示すように、互いに隣接する2つの浮遊ゲート電極FGの隣接間に形成されている。すなわち、n型の半導体領域31は、2つの容量部Cの共有領域になっている。

【 0 1 4 8 】

上記したn⁻型の半導体領域30a, 31aは、上記データ読み出し用のMIS・FETQRおよび選択MIS・FETQSのn⁻型の半導体領域12aの形成工程時に同時に形成されている。また、上記したn⁺型の半導体領域30b, 31bは、上記データ読み出し用のMIS・FETQRおよび選択MIS・FETQSのn⁺型の半導体領域12bの形成工程時に同時に形成されている。

40

【 0 1 4 9 】

次に、このような構成にした理由を図45～図48により説明する。なお、図45～図48において、符号35は反転層、符号36は空乏層、e⁻は電子を示している。

【 0 1 5 0 】

まず、電荷注入放出部について説明する。図45は前記実施の形態のメモリセルMCの電荷注入放出部の基板1Sの第2方向Xに沿った断面図を示している。データ書き込みの際して、電荷注入放出部のp型のウエルHPW2には、例えば-9V程度の負電圧が印加される。このため、容量絶縁膜10dの直下に空乏層36が形成される。その結果、カッ

50

プリング容量が低下する。また、注入される電子も枯渇しており、注入効率が低下すると考えられる。したがって、データの書き込み速度が低下する。また、データの書き込み速度にバラツキが生じる。

【0151】

一方、図46は本実施の形態10のメモリセルMCの電荷注入放出部の基板1Sの第2方向Xに沿った断面図を示している。上記のように n^+ 型の半導体領域30bを追加したことにより、反転層35の形成が促進される。また、電子はp型半導体では少数キャリアであるのに対してn型半導体では多数キャリアである。このため、 n^+ 型の半導体領域30bを設けたことにより、注入電子を容量電極FGC1の直下の反転層35に容易に供給することができる。その結果、実効的なカップリング容量を増大させることができるので、容量電極FGC1（浮遊ゲート電極FG）の電位を効率的にコントロールすることができる。したがって、データの書き込み速度を向上させることができる。また、データ書き込み速度のバラツキも低減できる。

10

【0152】

次に、容量部について説明する。図47は前記実施の形態のメモリセルMCの容量部の基板1Sの第2方向Xに沿った断面図を示している。データ消去に際して、容量部のp型のウエルHPW1には、例えば-9V程度の負電圧が印加されるため、容量絶縁膜10cの直下に空乏層36が形成される。その結果、実質的なカップリング容量が低下し、データの消去が遅くなる。また、データの消去速度にバラツキが生じる。

【0153】

20

一方、図48は本実施の形態10のメモリセルMCの容量部の基板1Sの第2方向Xに沿った断面図を示している。上記のように n^+ 型の半導体領域31bを追加したことにより、電子を容量絶縁膜10cの直下にスムーズに供給することができる。このため、反転層35を素早く形成することができるので、p型のウエルHPW1を素早く-9Vに固定することができる。その結果、実効的なカップリング容量を増大させることができるので、容量電極FGC2（浮遊ゲート電極FG）の電位を効率的にコントロールすることができる。したがって、データ消去速度を向上させることができる。また、データ消去速度のバラツキも低減できる。

【0154】

このように本実施の形態10によれば、電荷注入放出部および容量部に、 p^+ 型の半導体領域15b、13bおよび n^+ 型の半導体領域30b、31bの両方を設けたことにより、電荷注入放出部では n^+ 型の半導体領域30bが電荷注入時の電子の供給源として作用し、容量部では n^+ 型の半導体領域31bが反転層への電子の供給源として作用するので、データの書き込み速度および消去速度を向上させることができる。

30

【0155】

ここで、図49は、本実施の形態10の場合と前記実施の形態の場合とでデータの書き込み・消去特性を比較して示している。また、図50はデータ書き込み特性を抜き出して示し、図51はデータ消去特性を抜き出して示している。

【0156】

実線A2、B2はそれぞれ本実施の形態10のデータ書き込み特性およびデータ消去特性を示し、実線A01、B01は n^+ 型の半導体領域30b、31bを形成せず、 p^+ 型の半導体領域15b、13bのみの場合のデータ書き込み特性およびデータ消去特性を示している。

40

【0157】

本実施の形態10の場合、データの書き込み時間を1.5桁ほど短くすることができた。また、データの消去時間を2桁ほど短くすることができた。

【0158】

以上の説明では、電荷注入放出部および容量部の両方において、 p^+ 型の半導体領域15b、13bおよび n^+ 型の半導体領域30b、31bの両方を設けた場合について説明したが、これに限定されるものではない。

50

【0159】

例えばデータの消去のみを高速化する場合、容量部にはp型の半導体領域13 (p⁺型の半導体領域13b) およびn型の半導体領域31 (n⁺型の半導体領域31b) の両方を設け、電荷注入放出部にはp型の半導体領域15 (p⁺型の半導体領域15b) のみを設けるようにしても良い。

【0160】

また、データの書き込みのみ高速化する場合、電荷注入放出部にはp型の半導体領域15 (p⁺型の半導体領域15b) およびn型の半導体領域30 (n⁺型の半導体領域30b) の両方を設け、容量部にはp型の半導体領域13 (p⁺型の半導体領域13b) のみを設けるようにしても良い。

10

【0161】

また、基板1Sの空乏化を抑制または防止する観点について、本実施の形態10で説明した構成と前記実施の形態3で説明した構成とを組み合わせても良い。すなわち、本実施の形態10においても、容量部C、CWEのp型のウエルHPW1、HPW2内にp型のウエルPWを設けても良い。

【0162】

次に、上記n型の半導体領域30、31の形成方法の一例を図52～図54により説明する。

【0163】

図52は本実施の形態10の半導体装置のフラッシュメモリにおけるメモリセルMCにn型の半導体領域30、31およびp型の半導体領域13、15を形成する際のマスクを示したメモリセルMCの平面図を示している。

20

【0164】

図52に示す開口部NA、NBは、本実施の形態10の半導体装置の製造工程中において基板1S (この段階ではウエハと称する平面円形状の半導体薄板) の主面上に堆積された第1レジスト膜 (マスク) に形成された平面四角形状の開口部である。この開口部NA、NBは、それぞれ上記n型の半導体領域30、31を形成するためのn型不純物の導入領域になる。

【0165】

また、2つの開口部PAおよび2つの開口部PBは、本実施の形態10の半導体装置の製造工程中において基板1S (この段階では上記ウエハ) の主面上に堆積された第2レジスト膜 (マスク) に形成された平面四角形状の開口部である。この開口部PA、PBは、それぞれ上記p型の半導体領域15、13を形成するためのp型不純物の導入領域になる。

30

【0166】

なお、上記第1レジスト膜および上記第2レジスト膜はそれぞれ別々に塗布された別々のレジスト膜であるが、ここでは開口部NA、NB、PA、PBの相対的な平面位置関係を示すため同一の図に示した。

【0167】

上記電荷注入放出部に配置される上記開口部NAは、その第2方向Xの両端部が、互いに隣接する2つの容量電極FGC1 (浮遊ゲート電極FG) の一部に重なった状態で、互いに隣接する2つの容量電極FGC1 (浮遊ゲート電極FG) の間に配置されている。

40

【0168】

この開口部NAは、互いに隣接する2つの容量電極FGC1の間の活性領域L2部分を内包するように配置されている。開口部NAの第2方向Xの長さは、互いに隣接する2つの容量電極FGC1のうち、一方の容量電極FGC1の第2方向X (短方向) の中央から他方の容量電極FGC1の第2方向X (短方向) の中央まで延在している。また、開口部NAの第2方向Yの長さは、p型のウエルHPW2の第2方向Yの長さとはほぼ一致する程度となっている。

【0169】

50

このため、開口部 N A からは、互いに隣接する容量電極 F G C 1 の間の活性領域 L 2 部分の全体と、2つの容量電極 F G C 1 の各々の第2方向 X (短方向)の半分の部分とが露出される。

【0170】

一方、上記電荷注入放出部に配置される上記2つの開口部 P A の各々は、その第2方向 X の一端部が、互いに隣接する2つの容量電極 F G C 1 (浮遊ゲート電極 F G) の各々の一部に重なるように配置されている。この2つの開口部 P A の各々の第2方向 X の一端は、互いに隣接する2つの容量電極 F G C 1 の各々の第2方向 X (短方向)の中央で終端している。このため、2つの開口部 P A の各々からは、p型の半導体領域 15 の形成領域 (活性領域 L 2) の他、2つの容量電極 F G C 1 の各々の第2方向 X (短方向)の半分の部分

10

【0171】

このため、互いに隣接する2つの容量電極 F G C 1 の各々には、開口部 N A からの n 型不純物の導入により形成される n 型の半導体領域と、開口部 P A からの p 型不純物の導入により形成される p 型の半導体領域とが第2方向 X (短方向)に沿って半分ずつ並んで形成されている。

【0172】

ただし、この容量電極 F G C 1 の n 型の半導体領域と、p型の半導体領域との接合面 (境界面) が、浮遊ゲート電極 F G の長手方向 (第2方向 Y) に対して交差することのないように形成されている。すなわち、この容量電極 F G C 1 の n 型の半導体領域と、p型の半導体領域との接合面は、浮遊ゲート電極 F G の長手方向 (第2方向 Y) に対して沿うように配置される。

20

【0173】

これは、仮に容量電極 F G C 1 の n 型の半導体領域と、p型の半導体領域との接合面が、浮遊ゲート電極 F G の長手方向 (第2方向 Y) に対して交差するように形成されると、その p n 接合面が電位の供給方向に対して交差するので、電位の伝達が劣化し、データの書き込み・消去特性あるいは読み出し特性が劣化してしまうからである。

【0174】

ここで、浮遊ゲート電極 F G の上面にシリサイド層が形成されている場合は、容量電極 F G C 1 の長手方向に対して交差するように上記 p n 接合面が形成されていたとしてもシリサイド層を通じて電位の供給ができる。これに対して、本実施の形態 10 の場合、上記のように浮遊ゲート電極 F G の上面にシリサイド層が形成されていないので、上記 p n 接合面が容量電極 F G C 1 の長手方向に対して交差するように形成されていると、上記電位の伝達の劣化が生じ易い。したがって、本実施の形態 10 の場合は、特に容量電極 F G C 1 に形成される上記 p n 接合面が容量電極 F G C 1 の長手方向に交差しないように配置することが好ましい。

30

【0175】

なお、浮遊ゲート電極 F G は、上記開口部 N A , P A からの不純物導入工程前は、前記したように n⁺ 型の多結晶シリコンにより形成されている。

【0176】

40

上記容量部に配置される上記開口部 N B は、その第2方向 X の両端部が、互いに隣接する2つの容量電極 F G C 2 (浮遊ゲート電極 F G) の一部に重なった状態で、互いに隣接する2つの容量電極 F G C 2 (浮遊ゲート電極 F G) の間に配置されている。

【0177】

この開口部 N B は、互いに隣接する2つの容量電極 F G C 2 の間の活性領域 L 3 部分を内包するように配置されている。開口部 N B の第2方向 X の長さは、互いに隣接する2つの容量電極 F G C 2 のうち、一方の容量電極 F G C 2 の第2方向 X (短方向)の所望位置から他方の容量電極 F G C 2 の第2方向 X (短方向)の所望位置まで延在している。また、開口部 N B の第2方向 Y の長さは、p型のウエル H P W 1 の第2方向 Y の長さとはほぼ一致する程度となっている。

50

【0178】

このため、開口部NBからは、互いに隣接する容量電極FGC2の間の活性領域L3部分の全体と、2つの容量電極FGC2の各々の大半部分とが露出される。ここでは、浮遊ゲート電極FGのネック部分FA（くびれ部分、浮遊ゲート電極FGの幅広の部分（容量電極FGC2）と、幅の狭い部分との境界部分）も開口部NBから露出される。

【0179】

一方、上記容量部に配置される上記2つの開口部PBの各々は、その第2方向Xの一端部が、互いに隣接する2つの容量電極FGC2（浮遊ゲート電極FG）の各々の一部に重なるように配置されている。2つの開口部PBの各々からは、p型の半導体領域13の形成領域（活性領域L3）の他、2つの容量電極FGC2の各々の第2方向X（短方向）の一部分が露出される。

10

【0180】

このため、互いに隣接する2つの容量電極FGC2の各々には、開口部NBからのn型不純物の導入により形成されるn型の半導体領域と、開口部PBからのp型不純物の導入により形成されるp型の半導体領域とが第2方向X（短方向）に沿って隣接した状態で並んで形成されている。なお、この容量電極FGC2のn型の半導体領域とp型の半導体領域との接合面は、浮遊ゲート電極FGの長手方向（第2方向Y）に対して沿うように容量電極FGC2に形成される。

【0181】

ただし、本実施の形態10においては、浮遊ゲート電極FGの上記ネック部分FAにn型の半導体領域とp型の半導体領域との接合面（境界面）が形成されないようにしている。このため、開口部NBは、その長辺（浮遊ゲート電極FGの長手方向に交差する第2方向Xに沿う辺）が浮遊ゲート電極FGの幅の細いところで横切るように形成される。

20

【0182】

これは、仮に浮遊ゲート電極FGのネック部分FAにおいて、n型の半導体領域とp型の半導体領域との接合面が、浮遊ゲート電極FGの長手方向（第2方向Y）に対して交差するように形成されてしまうと、そのpn接合面が電位の供給方向に対して交差するので、電位の伝達が劣化し、データの書き込み・消去特性あるいは読み出し特性が劣化してしまうからである。

【0183】

図53は、上記ネック部分FAに上記pn接合面が形成される場合の一例を示している。なお、この場合もn型不純物導入時のマスクとなるレジスト膜と、p型不純物導入時のマスクとなるレジスト膜とはそれぞれ別々に塗布された別々のレジスト膜である。

30

【0184】

開口部NCはn型不純物導入用の開口部を示している。この開口部NCは、その第2方向Xの両端部が、互いに隣接する2つの容量電極FGC2（浮遊ゲート電極FG）の一部に重なった状態で、互いに隣接する2つの容量電極FGC2（浮遊ゲート電極FG）の間に配置されている。ただし、開口部NCの第2方向Yの長さは、活性領域L3の第2方向Yの長さよりも小さく、この開口部NCからはネック部分FAが露出されない。

【0185】

一方、開口部PCはp型不純物導入用の開口部を示している。この開口部PCは、その第2方向Xの両端部が、互いに隣接する2つの容量電極FGC2（浮遊ゲート電極FG）の一部に重なった状態で、互いに隣接する2つの容量電極FGC2（浮遊ゲート電極FG）の間に配置されている。開口部PCからは、互いに隣接する2つの容量電極FGC2間の活性領域L3の全体と、2つの容量電極FGC2の各々の第2方向X（短方向）の大半部分とが露出される他、上記ネック部分FAも露出される。

40

【0186】

この例では、2つの容量電極FGC2の間の1つの活性領域L3内に、n型の半導体領域31とp型の半導体領域13とが形成されるようになる。このため、上記基板1Sの空乏層の問題については効果的である。

50

【0187】

しかし、上記のように浮遊ゲート電極FGは n^+ 型の多結晶シリコンにより形成されているので、図53の例の場合、ネック部分FAに、pn接合面が浮遊ゲート電極FGの長手方向に対して交差するように形成されてしまう。このため、そのpn接合面が電位の供給方向に対して交差するように形成されるので、電位の伝達が劣化し、データの書き込み・消去特性あるいは読み出し特性が劣化してしまう。

【0188】

ここで、浮遊ゲート電極FGの上面にシリサイド層が形成されている場合は、浮遊ゲート電極FGの長手方向に交差するように上記pn接合面が存在していてもシリサイド層を通じて電位の供給ができるので問題が生じない。これに対して、本実施の形態10の場合、上記のように浮遊ゲート電極FGの上面にシリサイド層が形成されていないので、上記pn接合面が浮遊ゲート電極FGの長手方向に対して交差して形成されていると、上記電位の伝達の劣化が生じ易い。したがって、本実施の形態10の場合は、特にネック部分FAに上記pn接合面が形成されないようにすることが好ましい。

10

【0189】

また、図54は、上記ネック部分FAに上記pn接合面が形成されないようにする他の一例を示している。なお、この場合もn型不純物導入時のマスクとなるレジスト膜と、p型不純物導入時のマスクとなるレジスト膜とはそれぞれ別々に塗布された別々のレジスト膜である。

【0190】

20

開口部NDはn型不純物導入用の開口部を示している。この開口部NDは、互いに隣接する2つの容量電極FGC2（浮遊ゲート電極FG）および活性領域L3の上側部分に重なるように配置されている。この開口部NDの第2方向Yの長さは、活性領域L3の第2方向Yの長さよりも小さいが、この開口部NDからは上記ネック部分FAが露出されている。一方、開口部PD、PEはp型不純物導入用の開口部を示している。

【0191】

この例では、2つの容量電極FGC2の間の1つの活性領域L3内に、n型の半導体領域31とp型の半導体領域13とが形成されるので、上記基板1Sの空乏層の問題については効果的である。また、上記ネック部分FAにはpn接合面が形成されないので、上記電位の伝達の劣化に起因するデータの書き込み・消去特性あるいは読み出し特性の劣化の問題についても効果的である。

30

【0192】

しかし、この場合のように、一つの活性領域L3内に、n型の半導体領域31とp型の半導体領域13とが形成される。この場合、以下の問題がある。すなわち、ウエットエッチング時や洗浄時に、n型の半導体領域31とp型の半導体領域13とで形成されるpn接合部に光が当たると光起電力が生じ、p型の半導体領域31とn型の半導体領域13とでエッチングレートが変わってしまう不具合が生じる。このため、このような場合には、ウエットエッチング時や洗浄時に基板1Sのn型の半導体領域31とp型の半導体領域13とで形成されるpn接合部に光が当たらないようにする。このように図54に示したようにすることも可能ではあるが、一つの活性領域L3内にpn接合部が形成されないようにする方が好ましい。

40

【0193】

（実施の形態11）

本実施の形態11においては、フラッシュメモリの浮遊ゲート電極に、導電型の異なる半導体領域を形成する他の構成例について説明する。

【0194】

図55は本実施の形態11の半導体装置のフラッシュメモリにおけるメモリセルMCにn型の半導体領域30、31およびp型の半導体領域13、15を形成する際のマスクを示したメモリセルMCの平面図を示している。なお、この場合もn型不純物導入時のマスクとなるレジスト膜と、p型不純物導入時のマスクとなるレジスト膜とはそれぞれ別々に

50

塗布された別々のレジスト膜である。

【0195】

図55に示す本実施の形態11のフラッシュメモリのメモリセルMCにおいて、上記図52のメモリセルMCの構成と異なるのは、容量部の開口部NB2の構成である。この開口部NB2は、本実施の形態11の半導体装置の製造工程中において基板1S（この段階では上記ウエハ）の主面上の上記第1レジスト膜（マスク）に形成された平面四角形状の開口部であって、上記n型の半導体領域31を形成するためのn型不純物の導入領域になる。

【0196】

この開口部NB2の第2方向Yの寸法や配置は、上記図52で説明した構成と同じである。異なるのは、開口部NB2の第2方向Xの長さが、互いに隣接する2つの容量電極FGC2のうち、一方の容量電極FGC2の第2方向X（短方向）の中央から他方の容量電極FGC2の第2方向X（短方向）の中央まで延在していることである。このため、開口部NB2からは、互いに隣接する容量電極FGC2の間の活性領域L3部分の全体と、2つの容量電極FGC2の各々の第2方向X（短方向）の半分の部分とが露出される。

【0197】

次に、図56は本実施の形態11の半導体装置のフラッシュメモリにおけるメモリセルMCの電荷注入放出部の基板1Sの第2方向Xに沿った要部断面図、図57は本実施の形態11の半導体装置のフラッシュメモリにおけるメモリセルMCの容量部の基板1Sの第2方向Xに沿った要部断面図である。

【0198】

図56および図57に示すように、電荷注入放出部および容量部の容量電極FGC1，FGC2の各々には、n⁺型の半導体領域40a，40bとp⁺型の半導体領域41a，41bとが第2方向Xに沿って半分ずつ並んで形成されている。なお、浮遊ゲート電極FGにおいて、容量部CWE，C以外の部分はn⁺型となっている。これ以外の構成は前記実施の形態10と同じである。

【0199】

このような構成にした理由は、容量電極FGC1，FGC2の導電型が単一であると、p型のウエルHPW1，HPW2に印加される電圧によって、容量電極FGC1，FGC2の下部全面が空乏化してしまう場合が生じるからである。例えば容量電極FGC1，FGC2の全体がn⁺型の場合、p型のウエルHPW1，HPW2に正の電圧が印加される場合は良いが、p型のウエルHPW1，HPW2に負の電圧が印加されると、容量電極FGC1，FGC2の下部（ゲート絶縁膜10c，10dに接する部分側）全体に空乏層が形成されてしまう。この結果、実効的なカップリング容量が低下するので、容量電極FGC1，FGC2（浮遊ゲート電極FG）の電位の制御効率が低下する。したがって、データの書き込み速度および消去速度が遅くなる。また、データ書き込み速度および消去速度にバラツキが生じる。

【0200】

これに対して、本実施の形態11によれば、容量電極FGC1，FGC2にp型とn型との両方の導電型の半導体領域を形成したことにより、p型のウエルHPW1，HPW2に正負いずれの電圧が印加されても、容量電極FGC1，FGC2の下部の半分のいずれか一方は空乏化されずに済む。これにより、実効的なカップリング容量を増大させることができるので、容量電極FGC1，FGC2（浮遊ゲート電極FG）の電位を効率的にコントロールすることができる。したがって、データの書き込み速度および消去速度を向上させることができる。また、データ書き込み速度および消去速度のバラツキも低減できる。

【0201】

このメモリセルMCのデータ書き込み・消去時の容量部の様子の一例を図58および図59により説明する。なお、ここではメモリセルMCの容量部Cの様子を説明するが、電荷注入放出部（容量部CWE）でも同様になる。

【 0 2 0 2 】

まず、図 5 8 は本実施の形態 1 1 のメモリセル M C のデータ書き込み時の容量部 C の基板 1 S の第 2 方向 X に沿った要部断面図を示している。

【 0 2 0 3 】

データ書き込みに際して、容量部 C の p 型のウエル H P W 1 には、例えば + 9 V 程度の正電圧が印加される。この場合、容量電極 F G C 2 の p ⁺ 型の半導体領域 4 1 b には空乏層 4 3 が形成されるが、容量電極 F G C 2 の n ⁺ 型の半導体領域 4 0 b には空乏層 4 3 が形成されない。このため、実効的なカップリング容量を確保することができるので、容量電極 F G C 2 (浮遊ゲート電極 F G) の電位を効率的にコントロールすることができる。したがって、データ書き込み速度を向上させることができる。また、データ書き込み速度のバラツキも低減できる。

10

【 0 2 0 4 】

次に、図 5 9 は本実施の形態 1 1 のメモリセル M C のデータ消去時の容量部 C の第 2 方向 X に沿った基板 1 S の要部断面図を示している。

【 0 2 0 5 】

データ消去に際して、容量部 C の p 型のウエル H P W 1 には、例えば - 9 V 程度の負電圧が印加される。この場合、容量電極 F G C 2 の n ⁺ 型の半導体領域 4 0 b には空乏層 4 3 が形成されるが、容量電極 F G C 2 の p ⁺ 型の半導体領域 4 1 b には空乏層 4 3 が形成されない。このため、実効的なカップリング容量を確保することができるので、容量電極 F G C 2 (浮遊ゲート電極 F G) の電位を効率的にコントロールすることができる。したがって、データ消去速度を向上させることができる。また、データ消去速度のバラツキも低減できる。

20

【 0 2 0 6 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 2 0 7 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の製造方法に適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えばマイクロマシンの製造方法にも適用できる。この場合、マイクロマシンが形成された半導体基板に上記フラッシュメモリを形成することでマイクロマシンの簡単な情報を記憶することができる。

30

【 産業上の利用可能性 】

【 0 2 0 8 】

本発明は、不揮発性メモリを有する半導体装置の製造業に適用できる。

【 符号の説明 】

【 0 2 0 9 】

- 1 S 半導体基板
- 4 a p ⁺ 型の半導体領域
- 5 a シリサイド層
- 6 , 6 a , 6 b 絶縁層
- 7 a ~ 7 k 導体部
- 8 a n ⁺ 型の半導体領域
- 1 0 a ゲート絶縁膜
- 1 0 b ゲート絶縁膜 (第 2 絶縁膜)
- 1 0 c 容量絶縁膜 (第 3 絶縁膜)
- 1 0 d 容量絶縁膜 (第 1 絶縁膜)
- 1 0 e , 1 0 f , 1 0 g ゲート絶縁膜
- 1 1 S W , 1 1 D W n 型の半導体領域
- 1 2 R n 型の半導体領域

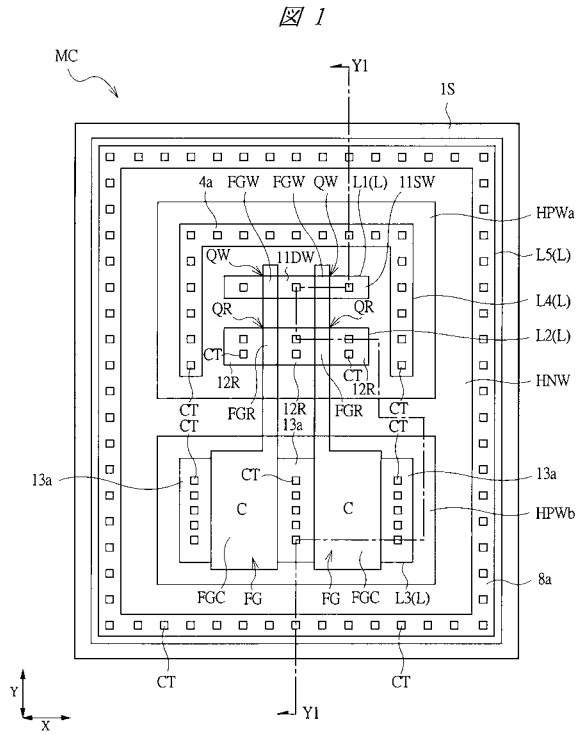
40

50

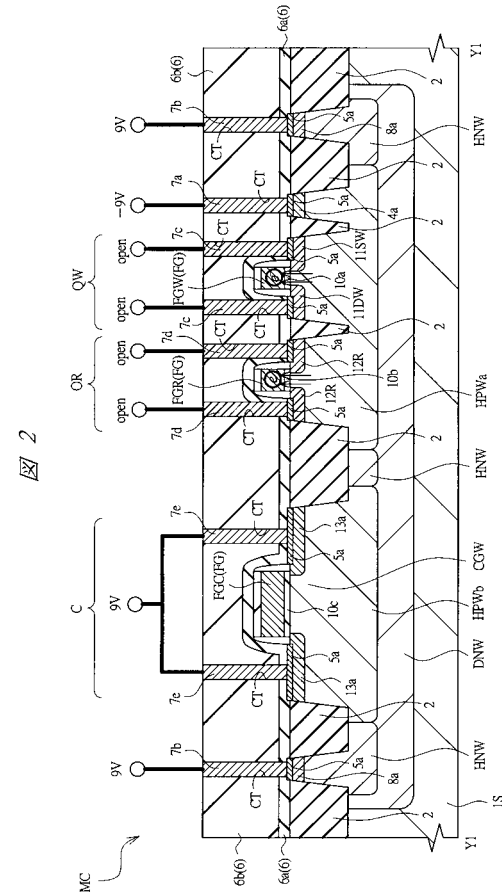
1 2	n 型の半導体領域	
1 2 a	n ⁻ 型の半導体領域	
1 2 b	n ⁺ 型の半導体領域	
1 3	p 型の半導体領域	
1 3 a	p ⁺ 型の半導体領域	
1 3 b	p ⁻ 型の半導体領域	
1 5	p 型の半導体領域	
1 5 a	p ⁻ 型の半導体領域	
1 5 b	p ⁺ 型の半導体領域	
2 0	導体膜	10
2 1	p 型の半導体領域	
2 1 a	p ⁻ 型の半導体領域	
2 1 b	p ⁺ 型の半導体領域	
2 2	n 型の半導体領域	
2 2 a	n ⁻ 型の半導体領域	
2 2 b	n ⁺ 型の半導体領域	
2 3	p 型の半導体領域	
2 3 a	p ⁻ 型の半導体領域	
2 3 b	p ⁺ 型の半導体領域	
2 4	n 型の半導体領域	20
2 4 a	n ⁻ 型の半導体領域	
2 4 b	n ⁺ 型の半導体領域	
2 8	キャップ絶縁膜	
2 8 b	キャップ絶縁膜	
3 0	n 型の半導体領域	
3 0 a	n ⁻ 型の半導体領域	
3 0 b	n ⁺ 型の半導体領域	
3 1	n 型の半導体領域	
3 1 a	n ⁻ 型の半導体領域	
3 1 b	n ⁺ 型の半導体領域	30
3 5	反転層	
3 6	空乏層	
4 0 a , 4 0 b	n ⁺ 型の半導体領域	
4 1 a , 4 1 b	p ⁺ 型の半導体領域	
4 3	空乏層	
T I	分離部	
D N W	n 型の埋込ウエル (第 1 ウエル)	
H P W a , H P W b	p 型のウエル	
H P W 1	p 型のウエル (第 4 ウエル)	
H P W 2	p 型のウエル (第 2 ウエル)	40
H P W 3	p 型のウエル (第 3 ウエル)	
H N W	n 型のウエル	
C T	コンタクトホール	
L , L 1 ~ L 5	活性領域	
F G	浮遊ゲート電極	
Q W	データ書き込み・消去用の M I S ・ F E T	
F G W	ゲート電極	
Q R	データ読み出し用の M I S ・ F E T	
F G R	ゲート電極 (第 2 電極)	
C	容量部	50

C G W	制御ゲート電極	
F G C	容量電極	
F G C 2	容量電極 (第 3 電極)	
M R	メモリセルアレイ	
P R	周辺回路領域	
W B L , W B L 0 , W B L 1	データ書き込み・消去用のビット線	
R B L , R B L 0 , R B L 2	データ読み出し用のビット線	
C G , C G 0 , C G 1	制御ゲート配線	
S L	ソース線	
G S	選択線	10
M C	メモリセル	
C W E	データ書き込み・消去用の容量部	
F G C 1	容量電極 (第 1 電極)	
Q S	選択 M I S ・ F E T	
F G S	ゲート電極	
D P W	p 型の埋込ウエル	
P V	p 型の半導体領域	
N V	n 型の半導体領域	
P W	p 型のウエル	
N W	n 型のウエル	20
F G H	ゲート電極	
F G L	ゲート電極	
Q P H	p チャネル型の M I S ・ F E T	
Q P L	p チャネル型の M I S ・ F E T	
Q N H	n チャネル型の M I S ・ F E T	
Q N L	n チャネル型の M I S ・ F E T	
S W	サイドウォール	
N A , N B , N B 2 , N C , N D	開口部	
P A , P B , P C , P D , P E	開口部	

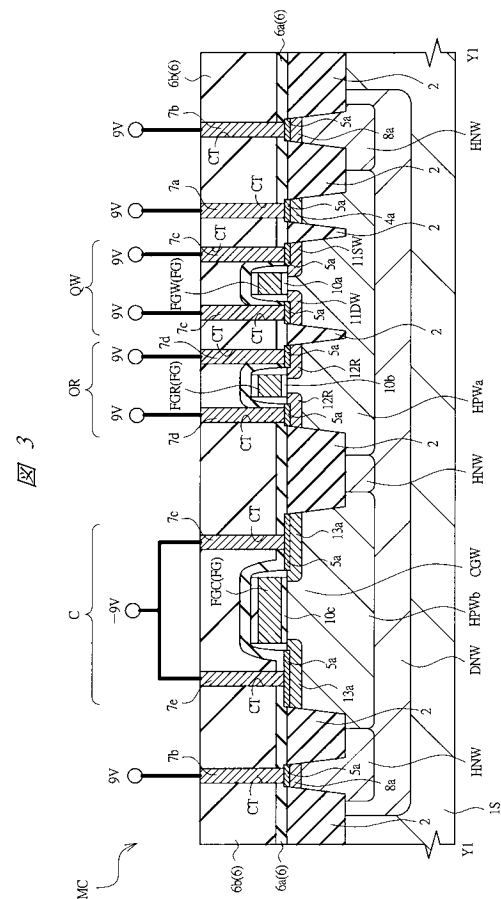
【図 1】



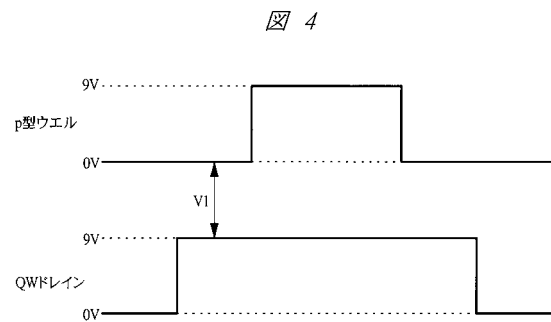
【図 2】



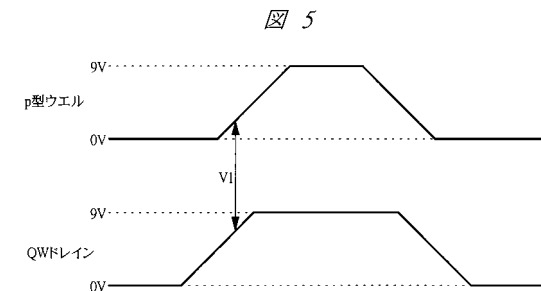
【図 3】



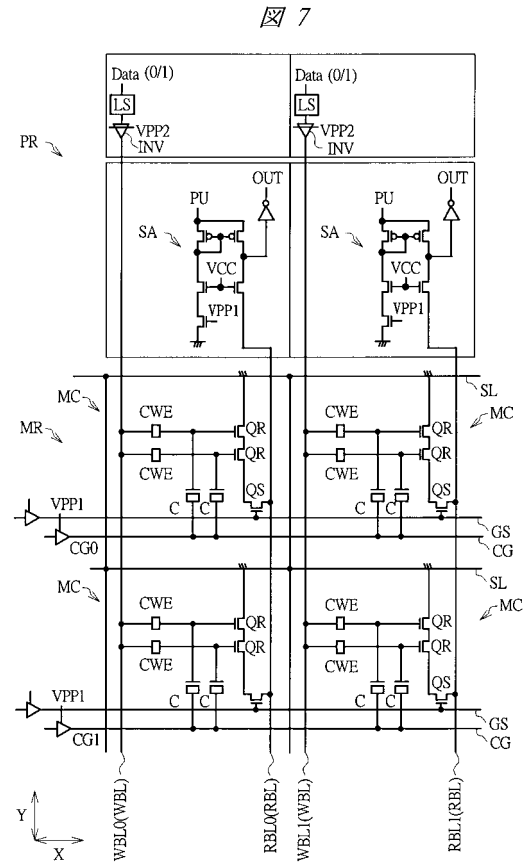
【図 4】



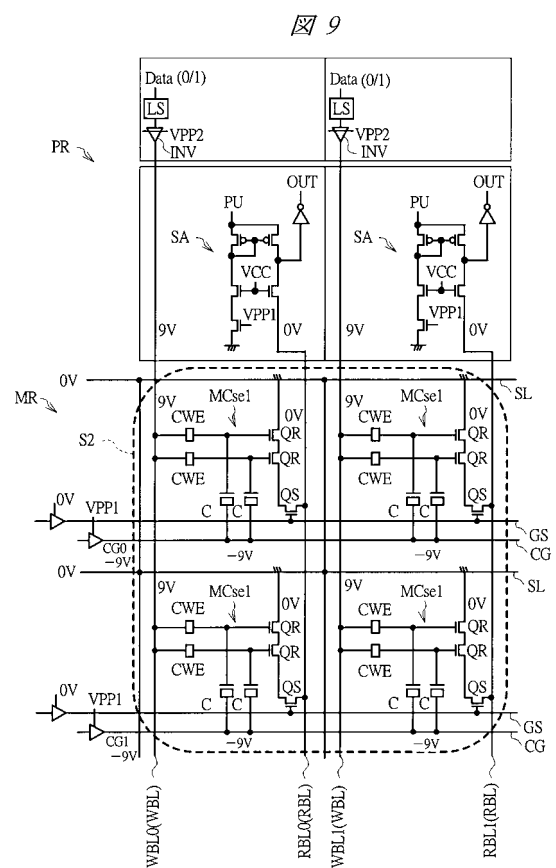
【図 5】



【 図 7 】

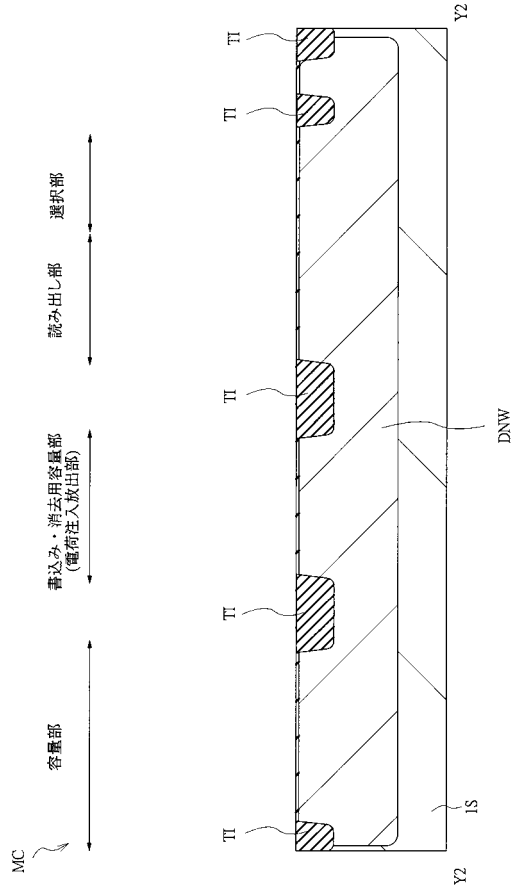


【 図 9 】



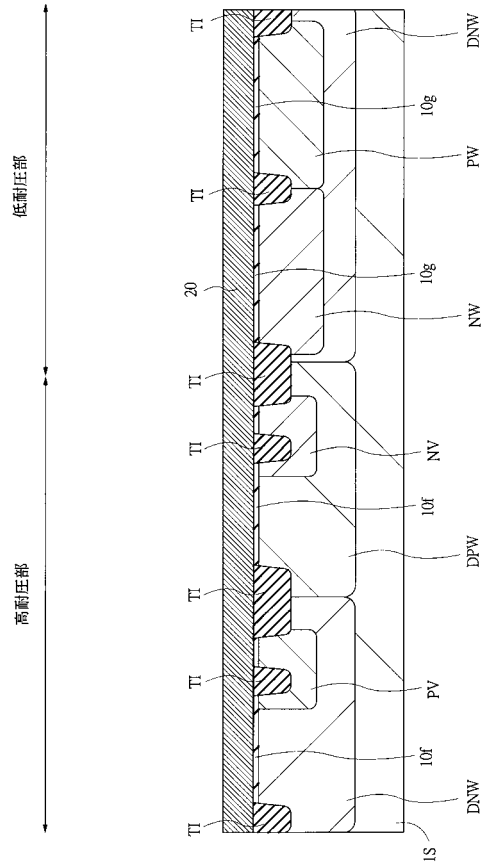
【図 18】

図 18



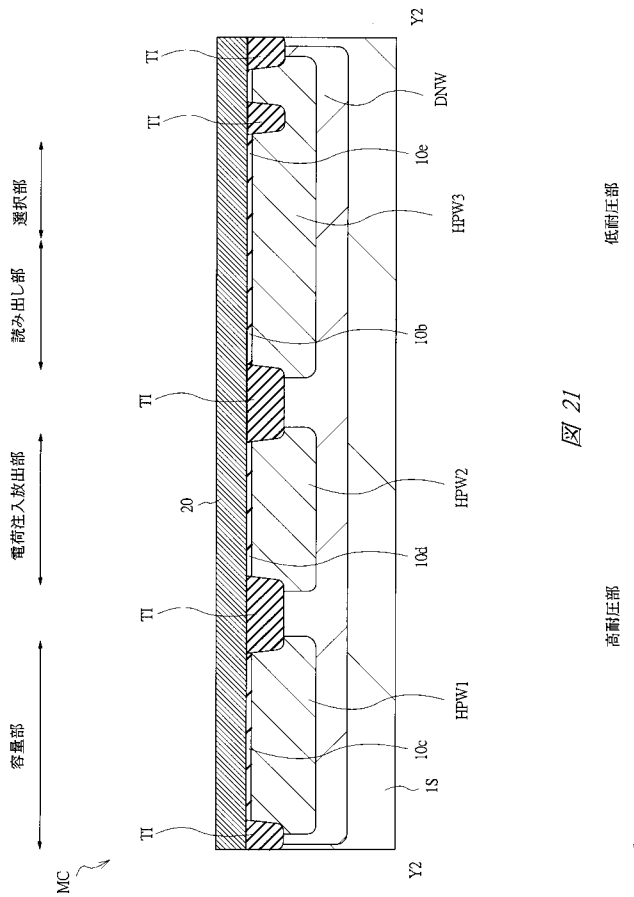
【図 19】

図 19



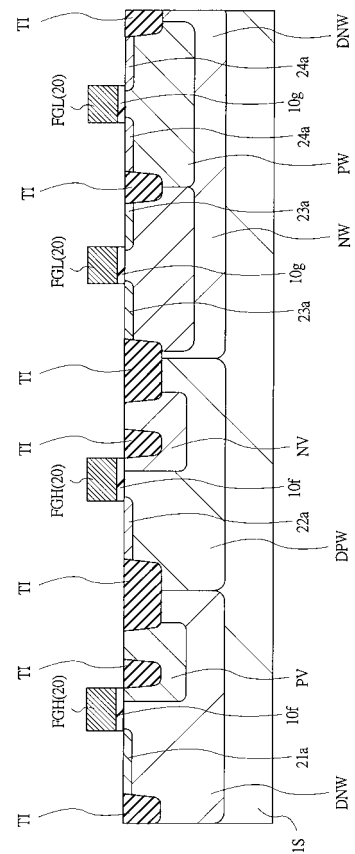
【図 20】

図 20



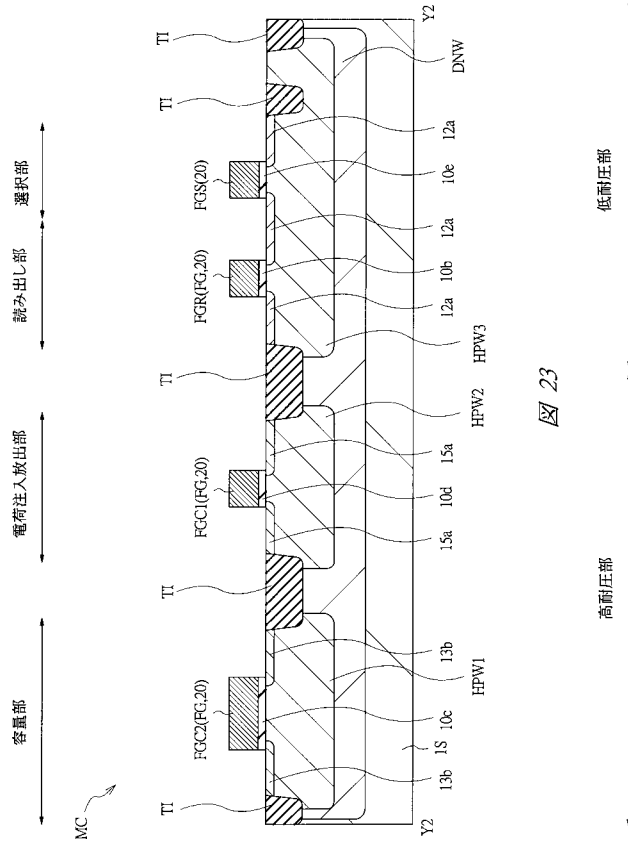
【図 21】

図 21



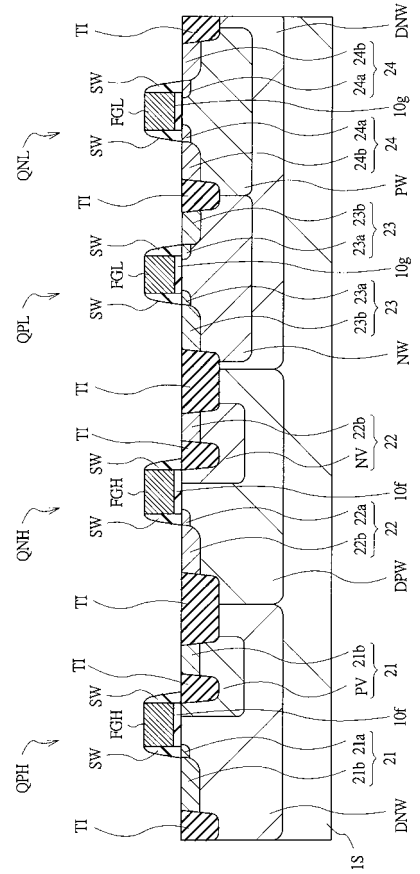
【図 22】

図 22



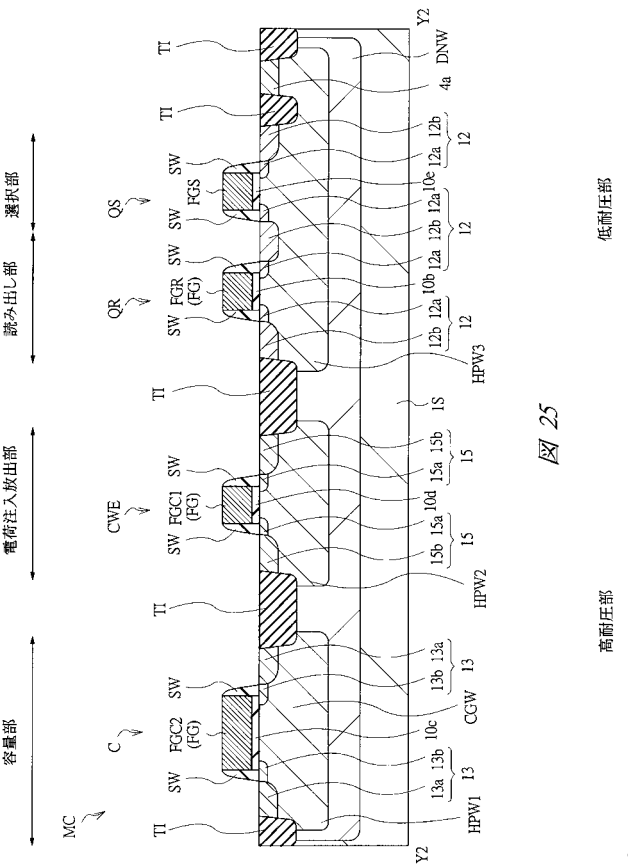
【図 23】

図 23



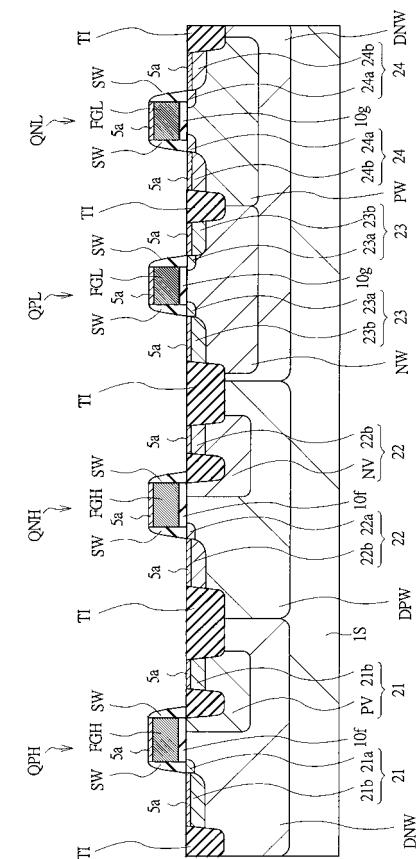
【図 24】

図 24

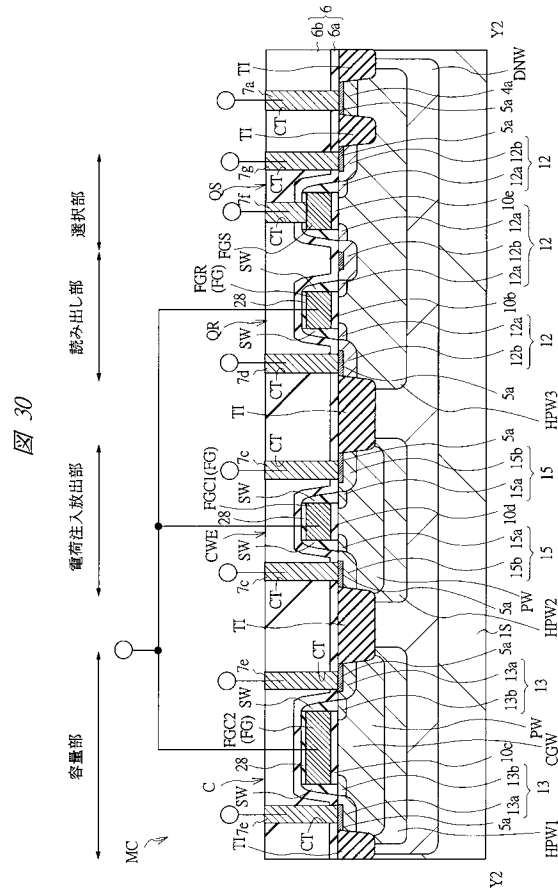


【図 25】

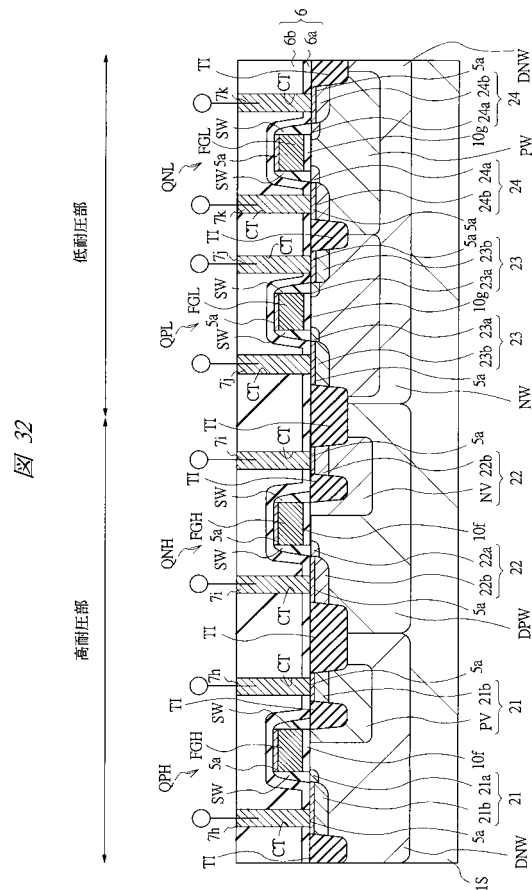
図 25



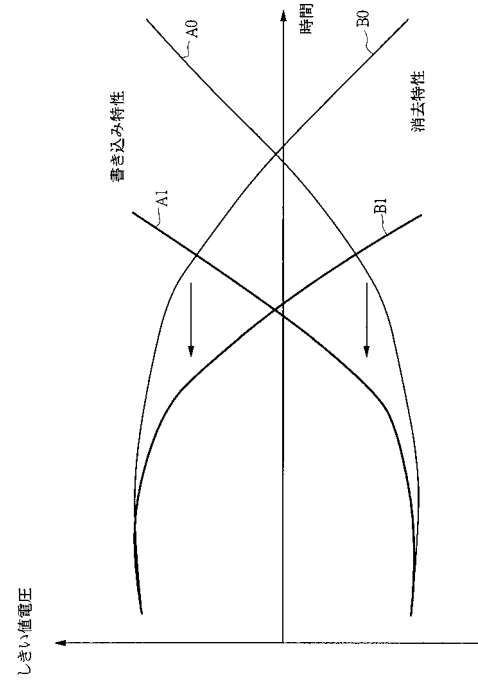
【 図 3 0 】



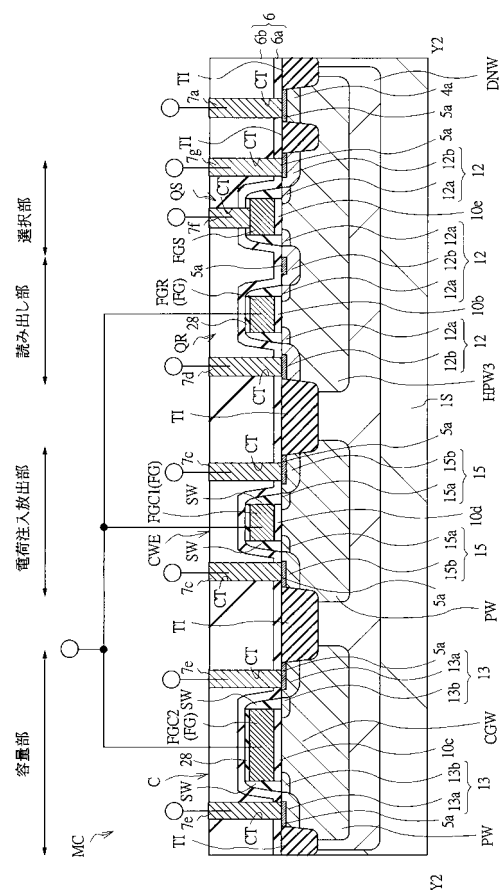
【 図 3 2 】



【 図 3 1 】

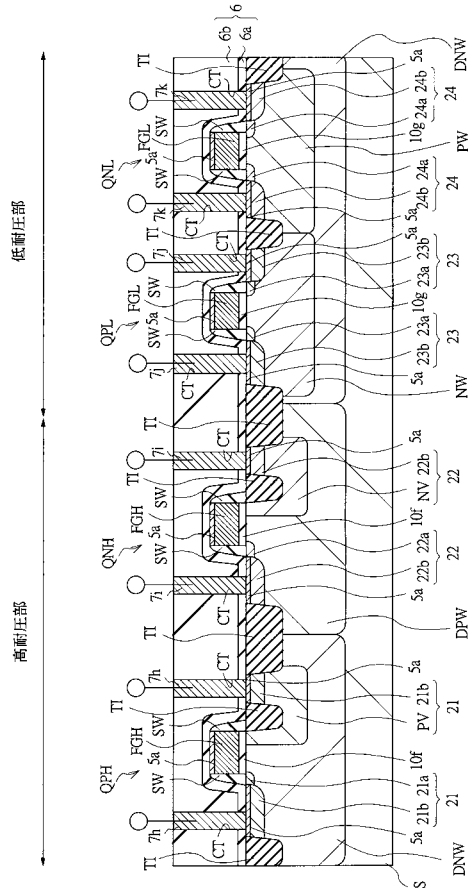


【 図 3 3 】



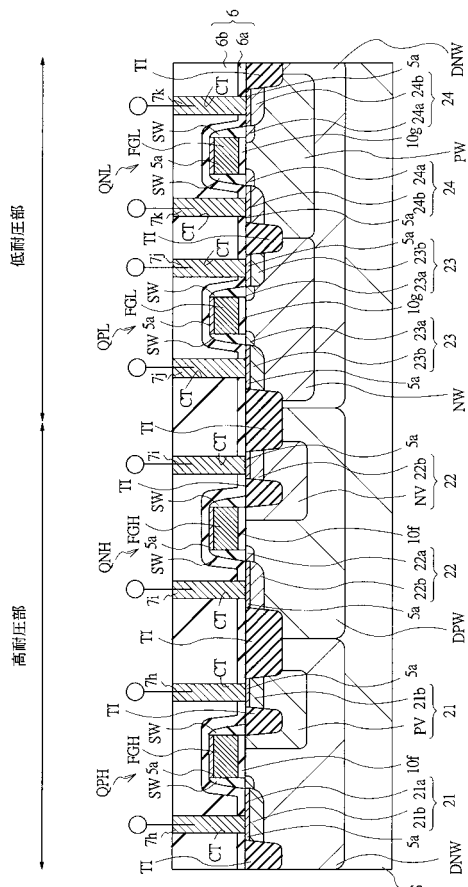
【図 34】

図 34



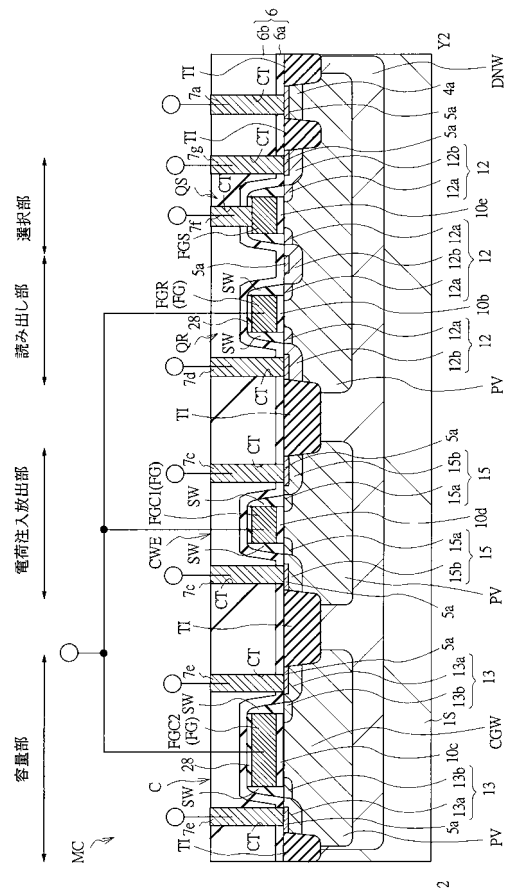
【図 36】

図 36



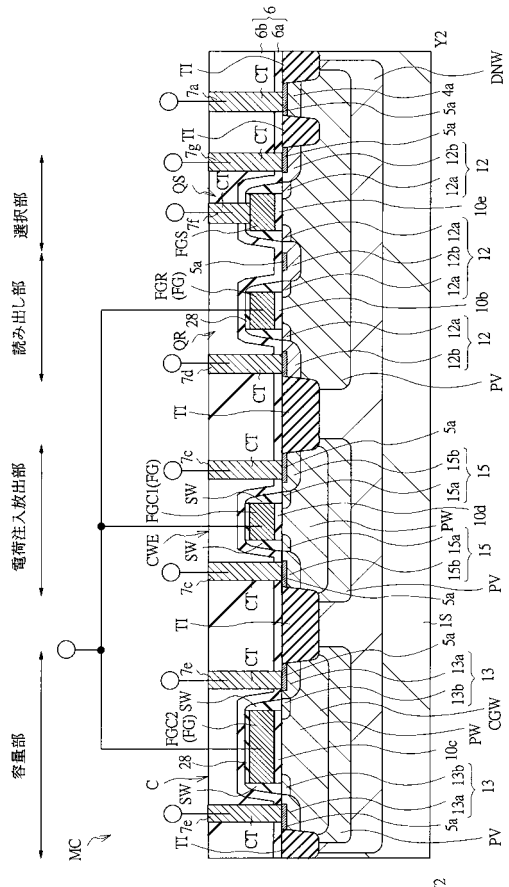
【図 35】

図 35

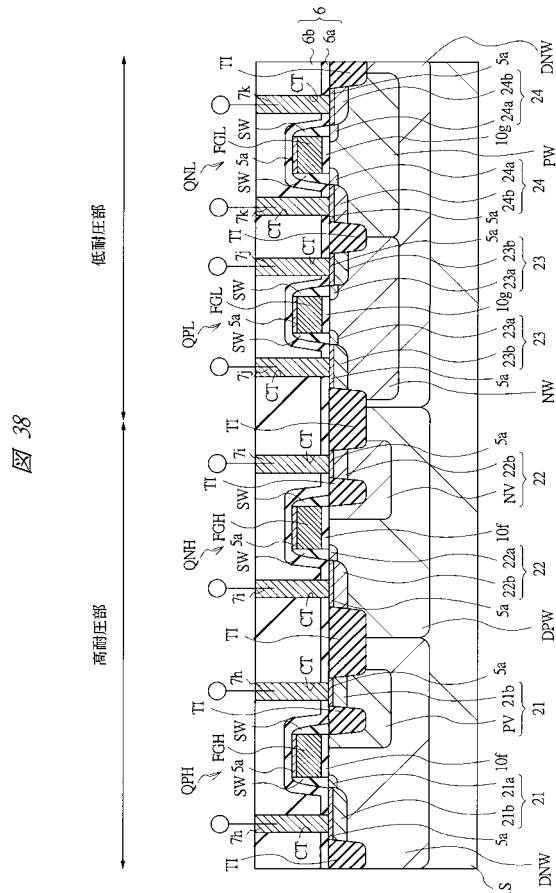


【図 37】

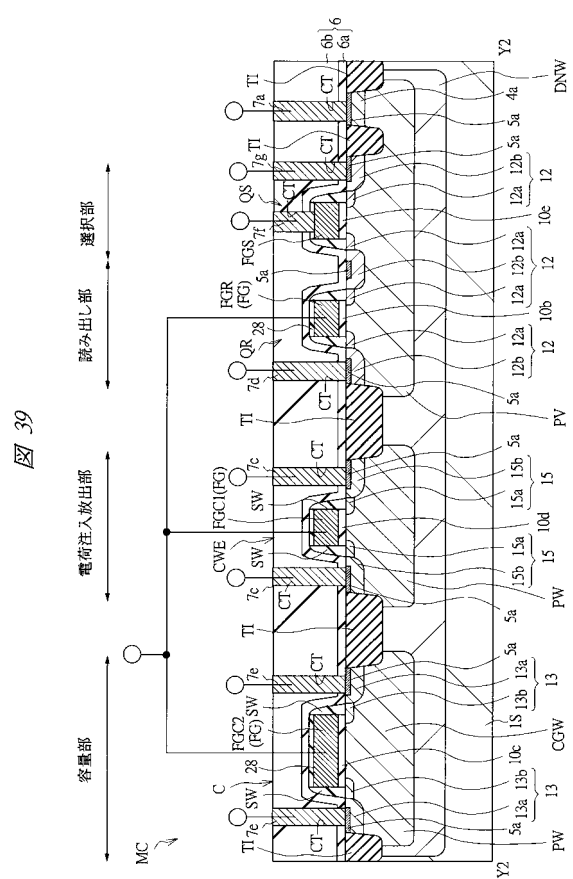
図 37



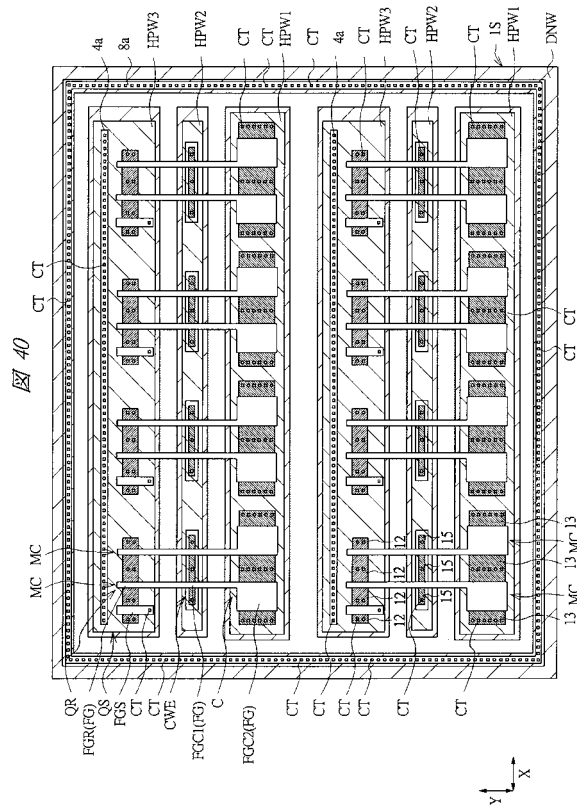
【図 38】



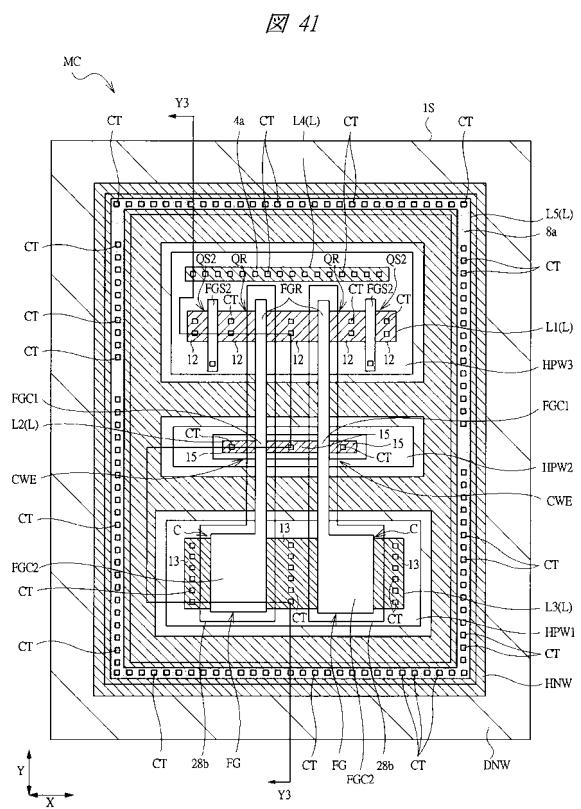
【図 39】



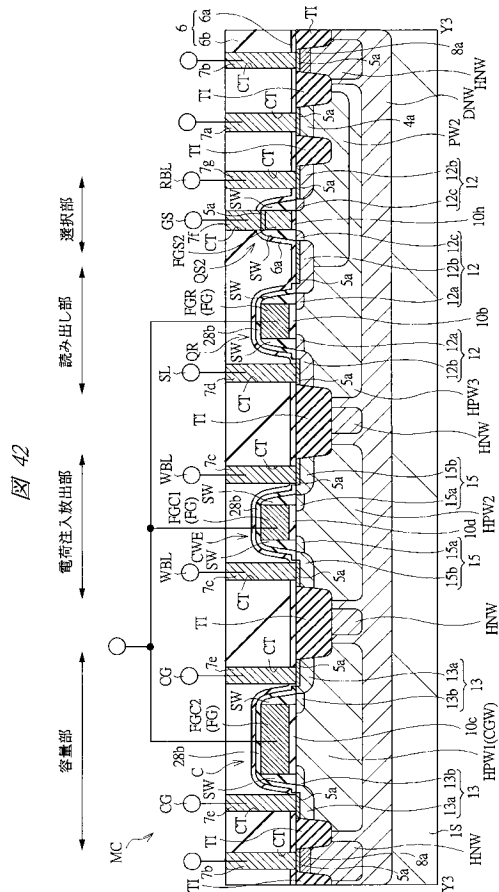
【図 40】



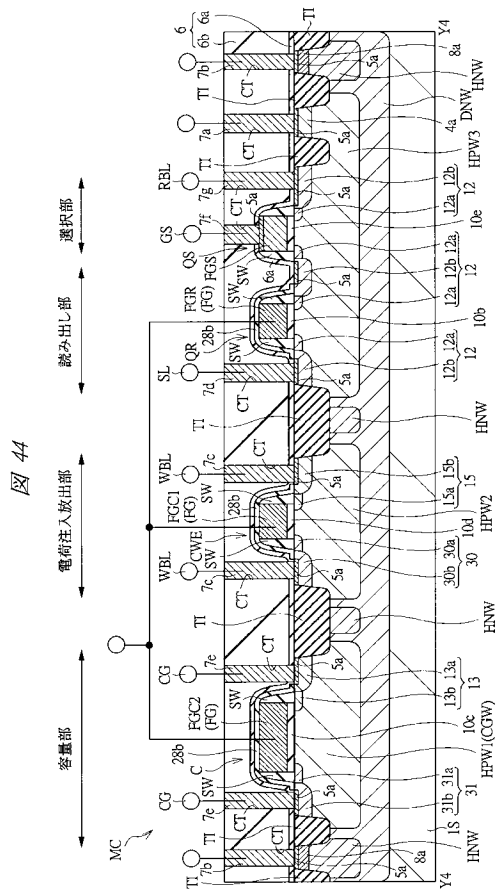
【図 41】



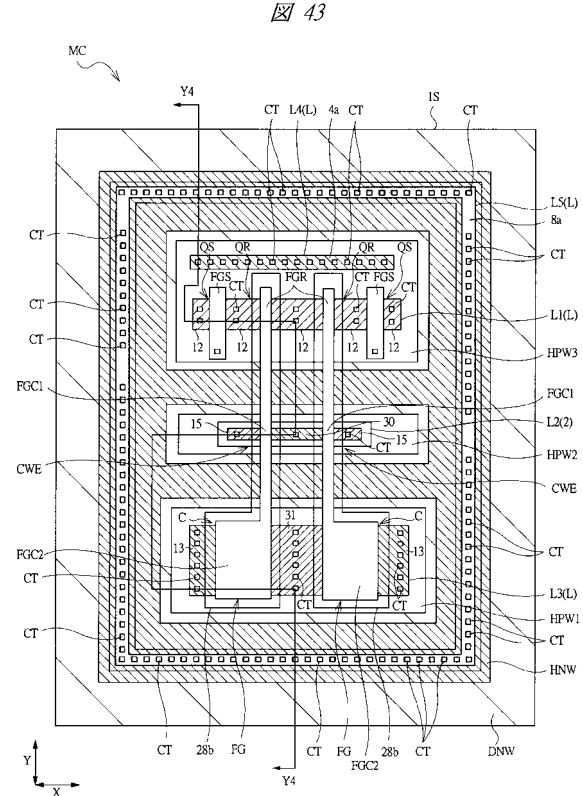
【圖 4 2】



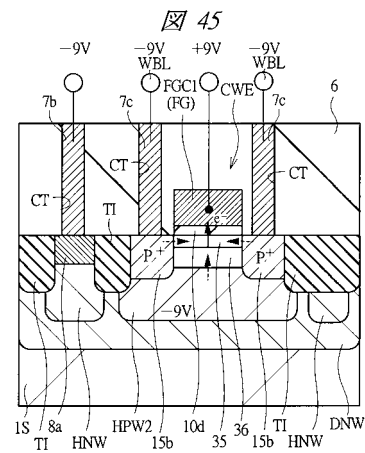
【 図 4 4 】



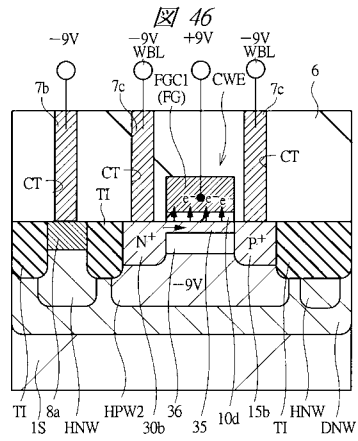
【 図 4 3 】



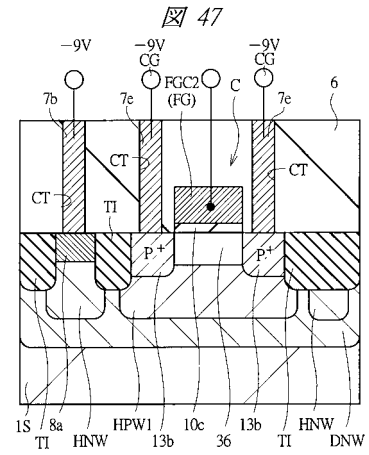
【 図 4 5 】



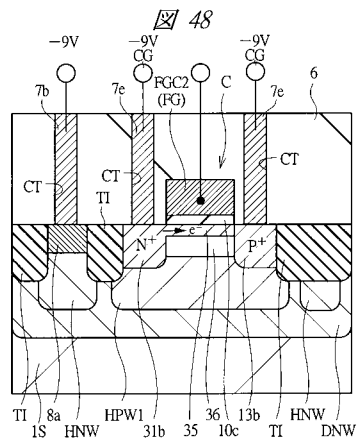
【図 46】



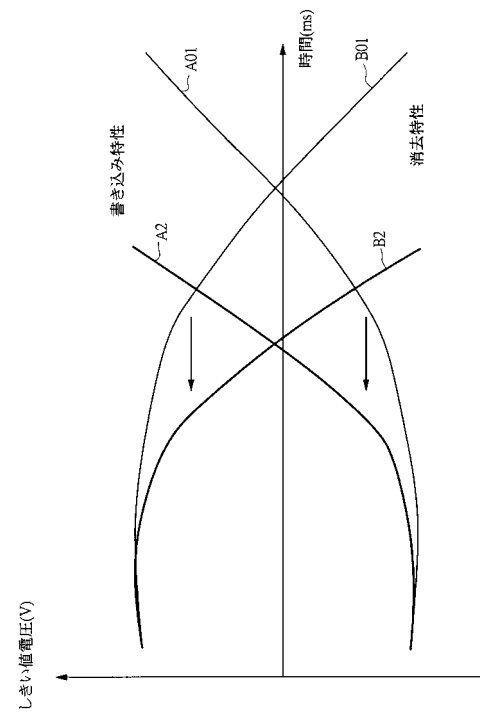
【図 47】



【図 48】



【図 49】



【 図 5 2 】

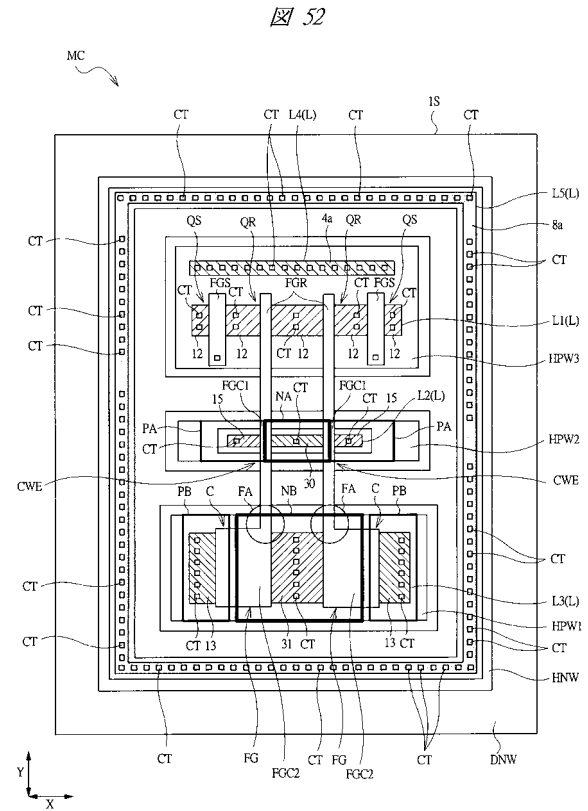


図 51

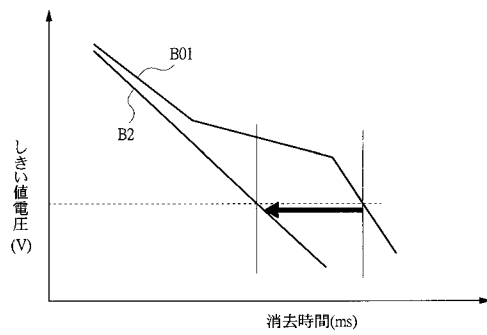
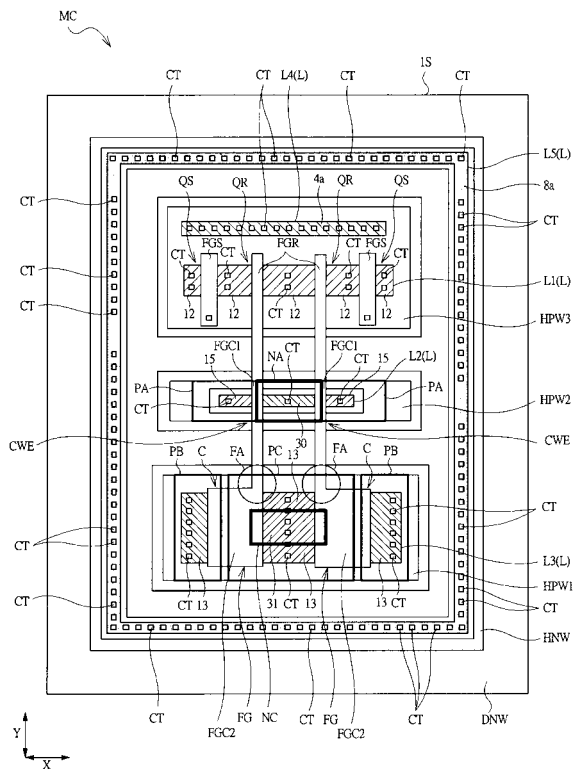
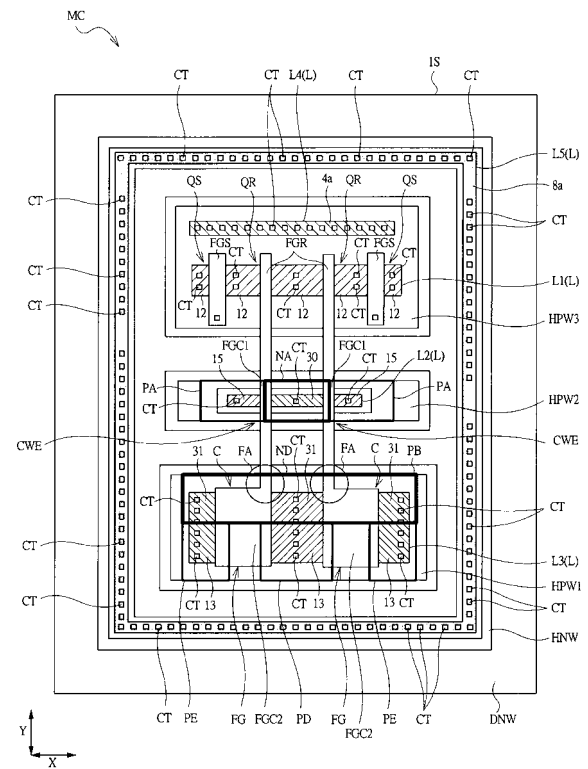
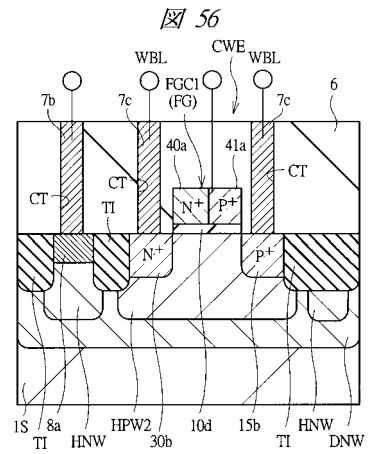
 53

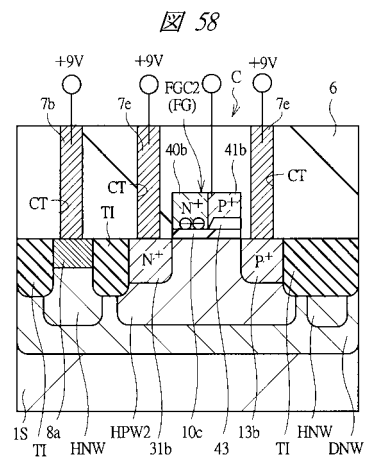
Figure 54 shows a rectangular box with a diagonal line from the top-left corner to the bottom-right corner. The top-left corner is labeled 'a' and the bottom-right corner is labeled 'b'.



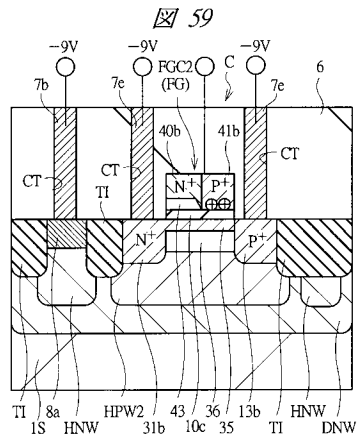
【 図 5 6 】



【 図 5 8 】



【図 59】



フロントページの続き

(51)Int.Cl. F I

G 1 1 C 16/04 (2006.01)

(56)参考文献 特開 2 0 0 7 - 1 4 9 9 4 7 (J P , A)
特開 2 0 0 5 - 1 7 5 4 1 1 (J P , A)
特開 2 0 0 1 - 1 8 5 6 3 3 (J P , A)
特開 2 0 0 3 - 3 1 7 4 9 7 (J P , A)
特開 2 0 0 1 - 2 5 7 3 2 4 (J P , A)
米国特許第 0 6 7 8 8 5 7 4 (U S , B 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6
G 1 1 C 1 6 / 0 4
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2