(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4718021号
(P4718021)

(45)発行日　平成23年7月6日(2011.7.6)　(24)登録日　平成23年4月8日(2011.4.8)

(51)Int.Cl.		F I		
H01L 21/28	(2006.01)	H01L	21/28	L
H01L 23/522	(2006.01)	H01L	21/28	301R
H01L 21/768	(2006.01)	H01L	21/90	B
H01L 27/088	(2006.01)	H01L	21/90	D
H01L 21/8234	(2006.01)	H01L	27/08	102D

請求項の数 10　(全 8 頁)　最終頁に続く

(21)出願番号　特願2001-9397(P2001-9397)
(22)出願日　平成13年1月17日(2001.1.17)
(65)公開番号　特開2001-244348(P2001-244348A)
(43)公開日　平成13年9月7日(2001.9.7)
審査請求日　平成15年1月17日(2003.1.17)
審判番号　不服2007-22500(P2007-22500/J1)
審判請求日　平成19年8月14日(2007.8.14)
(31)優先権主張番号　09/484759
(32)優先日　平成12年1月18日(2000.1.18)
(33)優先権主張国　米国(US)

(73)特許権者　596092698
アルカテル－ルーセント　ユーエスエー　インコーポレーテッド
アメリカ合衆国　０７９７４　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００－７００
(74)代理人　100094112
弁理士　岡部　讓
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】半導体デバイスの製造方法。

(57)【特許請求の範囲】

【請求項１】

（Ａ）　複数のトランジスタを半導体基板内に形成するステップと、

（Ｂ）　前記半導体基板及び前記複数のトランジスタを覆うように第１誘電体層を形成するステップと、

（Ｃ）　第１のトランジスタの第１トランジスタ部分と第２のトランジスタの第２トランジスタ部分を露出する第１開口、及び、ゲート電極部分を露出する第２開口を形成するために、前記第１誘電体層を選択的にエッチングするステップと、

（Ｄ）　前記第１トランジスタ部分と第２トランジスタ部分の間に併合接点を形成するために前記第１開口内に、及び、前記ゲート電極部分のための接点を形成するために前記第２開口内に導電性材料を堆積するステップと、

（Ｅ）　前記第１誘電体層と併合接点を覆うように第２誘電体層を形成するステップと、

（Ｆ）　前記併合接点を露出する第３開口を形成するための前記第２誘電体層の選択的エッチングと、第３トランジスタのソース／ドレイン領域を露出する第４開口を形成するための前記第２誘電体層と第１誘電体層の選択的エッチングと、前記ゲート電極部分のための接点を露出する第５開口を形成するための前記第２誘電体層の選択的エッチングを同時に行うステップと、

（Ｇ）　併合接点を具備した第１貫通導体を形成するために前記第３開口内に、及び自己整合接点を形成するために、第３トランジスタのソース／ドレイン領域を具備した

第２貫通導体を規定するために前記第４開口内に、及び前記ゲート電極部分のための接点を具備する第３貫通導体を形成するために第５開口内に、導電性材料を同時に堆積するステップと、
を有することを特徴とする半導体デバイスの製造方法。
【請求項２】
前記ゲート電極部分は、前記第３トランジスタの一部を形成する
ことを特徴とする請求項１記載の製造方法。
【請求項３】
前記第２誘電体層は、前記第１誘電体層上に位置づけられる
ことを特徴とする請求項１記載の製造方法。
【請求項４】
前記第２誘電体層は、前記第１誘電体層上に直接位置づけられる
ことを特徴とする請求項１記載の製造方法。
【請求項５】
前記第１誘電体層は、第２誘電体層の厚さに等しい厚さを有する
ことを特徴とする請求項１記載の製造方法。
【請求項６】
（Ｈ） 前記第１誘電体層と併合接点の上部表面を平面化するステップをさらに有することを特徴とする請求項１記載の製造方法。
【請求項７】
（Ｉ） 第２誘電体層と第１貫通導体と第２貫通導体の上部表面を平面化するステップ
をさらに有することを特徴とする請求項１記載の製造方法。
【請求項８】
前記導電性材料は、タングステンを含有する
ことを特徴とする請求項１記載の製造方法。
【請求項９】
前記第１トランジスタ部分と第２トランジスタ部分は、ソース／ドレイン領域とゲートの少なくとも一方を含む
ことを特徴とする請求項１記載の製造方法。
【請求項１０】
前記複数のトランジスタは、互いに接続され、ＳＲＡＭ内の少なくとも１つのメモリセルを形成する
ことを特徴とする請求項１記載の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体の製造方法に関し、特に半導体デバイス内の自己整合接点（self-aligned contact;ＳＡＣ）とローカル相互接続（local interconnect;ＬＴ）の形成方法に関する。
【０００２】
【従来の技術】
ＭＯＳＦＥＴ集積回路のデバイス集積密度の増加、及び、チップサイズの減少を達成するために、様々なデザインルールが開発され、異なる相互接続層との間の整合エラー（不整合）の問題を解決しようとしている。これらのデザインルールは、マスクの不整合と他のプロセスの製造変動に対し十分な許容度を与えて、集積回路を信頼性高く製造することができるようになる。
【０００３】
２つのデザインルールが自己整合接点（ＳＡＣ）とローカル相互接続（ＬＴ）の形成に関係している。これらのデザインルールは、通常、ＤＲＡＭとＳＲＡＭを含むメモリで用い

られる。本明細書で用いられる自己整合接点とは、隣接するゲートにソースまたはドレイン接点が重なり合うように形成することをいう。この重なり合いは、自己整合接点とゲートとの間の絶縁を提供して、短絡を阻止するようにして形成される。ローカル相互接続は、半導体デバイスの素子間の相互接続、例えば１つのトランジスタのゲート、ソース、ドレインと同一デバイス内の他のトランジスタのゲート、ソース、ドレインとの間の相互接続を指す。

【０００４】

しかし、自己整合接点とローカル相互接続とは、同時に形成することはできない。これは上にある誘電体層を通してトランジスタまでエッチングする際にソース／ドレイン領域と、ゲートとの間のエッチング選択性の差に起因している。トランジスタのソース／ドレイン領域と、ゲートとの間で高さに差があるために別々のマスキングステップを使用しなければならない。自己整合接点用にマスクが必要とされ、また局部ローカル相互接続用にマスクが必要とされる。かくして、２つのマスクと２回のマスキングステップが自己整合接点とローカル相互接続の両方を形成するのに必要である。

【０００５】

【発明が解決しようとする課題】

本発明の目的は、自己整合接点とローカル相互接続の両方を有する半導体デバイスを形成する際に必要とされるマスクの数及びマスキングのステップ数を減らすことである。

【０００６】

【課題を解決するための手段】

本発明の半導体デバイスの製造方法は、半導体基板内に複数のトランジスタを形成するステップと、この半導体基板を覆うように第１の誘電体層を形成するステップと、第１のトランジスタ部分と第２のトランジスタ部分を露出するための第１開口を形成するために、第１の誘電体層を選択的にエッチングするステップとを含む。導電性材料が第１トランジスタ部分と第２トランジスタ部分の間の併合接点を規定する第１開口内に堆積される。この併合接点（merged conatact）は、ゼロウィンドゥレベルで形成され、後続の処理ステップに対し広いランディングパッド領域を提供できる。

【０００７】

本発明の方法はさらに、前記第１誘電体層と併合接点を覆うような第２誘電体層を形成し、前記併合接点を露出する第２開口を形成するために、第２誘電体層を選択的にエッチングし、かつ第３トランジスタのソース／ドレイン領域を露出する第３開口を形成するために、第２誘電体層と第１誘電体層を選択的にエッチングする。導電性材料が、併合接点を具備する第１貫通導体を規定するために第２開口内に堆積され、また導電性材料は自己整合接点を規定するために、第３トランジスタのソース／ドレイン領域を具備する第２貫通導体を規定するために、第３開口内に堆積される。

【０００８】

自己整合接点は、ゼロウィンドゥレベルで併合接点を形成した後、別のマスクを用いて第１ウィンドゥレベルに形成される。本明細書で使用される用語、併合接点は、自己整合接点と局部ローカル相互接続を組み合わせたものを指す。ゼロウィンドゥレベルは、主にローカル相互接続を形成するのに用いられる。しかし、併合接点は真のローカル相互接続ではない。その理由は、半導体デバイスのフィールド酸化物の上を覆うことはないからである。

【０００９】

さらにまた、第３トランジスタのソース／ドレイン領域を露出しながら、併合接点をオーバーエッチングすることが許されるが、その理由は併合接点の厚さは、エッチングプロセスの間、その下にあるトランジスタに損傷を与えるのを阻止するのに十分な程度だからである。自己整合接点は、併合接点を形成した後は余分のマスクを必要とはしない。従って、自己整合接点とローカル相互接続の両方を有する半導体デバイスを製造する際に、マスクの数、及びマスキングステップの数を減らすことによりコストの低減が図れる。

【００１０】

第１誘電体層は、第２誘電体層の厚さにほぼ等しい厚さを有する。特に第１誘電体層の厚さは、約５００ｎｍ以下である。本発明の方法は、さらに第１誘電体層と併合接点の上部表面を平面化するステップと、第２誘電体層と第１と第２の貫通導体の上部表面を平面化するステップを含む。複数のトランジスタがＳＲＡＭ内のメモリセルを形成するために接続される。

【００１１】

【発明の実施の形態】

本発明により半導体デバイス２０を製造する方法を図１－４に示す。製造を開始（ステップ８０）して、複数のＭＯＳＦＥＴが、半導体基板２４内に形成される（ステップ８２と図１）。本発明を示すために、４個のトランジスタ２２Ａ－２２Ｄのみが図１－３に示されている。半導体基板２４はシリコンを含有し、浅いトレンチ絶縁領域２６がトランジスタ２２Ｂ、２２Ｃの２つを分離する。浅いトレンチ絶縁領域２６は、二酸化シリコン製である。

【００１２】

トランジスタ２２Ａ－２２Ｄは、それぞれチャネル領域３０の上にゲート誘電体層２８を有し、このゲート誘電体層２８がゲート３２からチャネル領域を分離している。ゲート３２は、金属製あるいはドープしたポリシリコン製である。トランジスタ２２Ａ－２２Ｄはさらに、半導体基板２４内にドープした共有ソース／ドレイン領域３４を有する。スペーサー３６，３８がゲート３２の側壁の周囲に形成される。スペーサー３６，３８は、例えば窒化シリコン製で、ゲート３２を後続のエッチングステップから保護する。

【００１３】

本明細書で使用される用語、「ローカル相互接続」とは、半導体デバイスの素子間の相互接続、例えば、同一デバイス内のあるトランジスタのゲート、ソース、ドレインと、他のトランジスタのゲート、ソース、ドレインとの間の相互接続を指す。本明細書で使用される「自己整合接点」とは、隣接するゲートに重なり合うように形成されたソース接点、またはドレイン接点を指す。本明細書で使用される「併合接点」とは、自己整合接点とローカル相互接続の組み合わせを指す。併合接点は、ゼロウィンドゥレベルで規定され、これはローカル相互接続が形成されるレベルと同一である。しかし、併合接点は半導体デバイスのフィールド酸化物の上に重なることはなく、そして真の意味でのローカル相互接続ではなく、そのため併合接点と称される。

【００１４】

本発明の一実施例においては、複数のトランジスタ２２Ａ－２２Ｄを接続すると、半導体デバイス２０はメモリとなる。例えば複数のトランジスタ２２Ａ－２２Ｄにさらに別のトランジスタ（図示せず）を互いに接続することによりＲＡＭ内にメモリセルを形成する。しかし、本発明の方法は、他のタイプのメモリあるいはデバイスにも適用できる。

【００１５】

第１誘電体層４０が半導体基板２４の上に堆積される（ステップ８４図２）。第１誘電体層４０はゲート３２をカバーするのに十分な厚さを有し、ゲート３２の側壁に隣接するそれぞれのスペーサー３６，３８を規定する窒化シリコンを含む。例えば、第１誘電体層４０の厚さは５００ｎｍ以下である。

【００１６】

第１誘電体層がステップ８６で選択的にエッチングされ、トランジスタ２２Ａの第１トランジスタ部分とトランジスタ２２Ｂの第２トランジスタ部分を露出する第１開口を形成する。第１トランジスタ部分は、共有ソース／ドレイン領域３４を有し、第２トランジスタ部分はゲート３２を有する。例えばトランジスタ２２Ｂのゲート３２は、２つの隣接するトランジスタゲートを互いに接続するＳＲＡＭ内のポリゲートであり、トランジスタ２２Ａの共有ソース／ドレイン領域３４は、アクセストランジスタである。

【００１７】

本発明の方法は、さらに導電性材料４４を第１開口内に堆積することにより、ゲート３２，共有ソース／ドレイン領域３４の間に併合接点４２を形成するステップ（ステップ８８

）を含む。第１誘電体層４０と併合接点４２の上部表面を、例えば化学機械研磨（chemical mechanical polishing;ＣＭＰ）プロセスにより平面化する。

【００１８】

第２誘電体層５０が、第１誘電体層４０と併合接点４２を覆うように形成される（ステップ９０図３）。本発明の一実施例においては、第２誘電体層５０は第１誘電体層４０とほぼ同じ厚さを有する。しかし、この厚さは第２誘電体層５０を平面化する場合には、必要によってはそれ以上に厚い。

【００１９】

第２誘電体層５０を選択的にエッチングして（ステップ９２）、併合接点４２を露出する第２開口を形成し、第３開口もまたトランジスタ２２Ｃの共有ソース／ドレイン領域３４を露出することにより形成される。導電性材料４４が第２開口内に堆積されて（ステップ９４）、併合接点４２を具備する第１貫通導体６２を形成する。導電性材料４４を第３開口内に堆積して、トランジスタ２２Ｃの共有ソース／ドレイン領域３４を具備する第２貫通導体６４を形成し、これにより自己整合接点６０を形成する。第２誘電体層５０と第１貫通導体６２，第２貫通導体６４の上部表面を、例えばＣＭＰプロセスにより平面化する。半導体デバイス２０を形成する本発明の方法は、ステップ９６で終了する。

【００２０】

トランジスタ２２Ｃの共有ソース／ドレイン領域３４を露出しながら併合接点４２をオーバーエッチングすることは許されるのは、併合接点４２はエッチングプロセスの間、その下のトランジスタ２２Ａ，２２Ｂに対する損傷を与えるのを阻止する程度に十分厚いからである。自己整合接点６０は、併合接点を形成した後は余分のマスクを必要とはしない。従って、自己整合接点とローカル相互接続の両方を有する半導体デバイス２０を形成する際に、マスクの数を減少することによりコストダウンが図られる。

【００２１】

図３において、本発明はさらに併合接点４２と自己整合接点６０を形成する際に、トランジスタ２２Ｃのゲート３２に対する標準の接点を形成するステップを含む。具体的に説明すると、第１誘電体層４０を選択的にエッチングするステップは、第４トランジスタの部分、すなわちゲート３２を露出する第４開口を形成し、導電性材料４４をこの第４開口内に堆積することにより第４トランジスタの部分を具備した第１接続７２を形成する。

【００２２】

第２誘電体層５０はまた第１接続７２の上を覆っている。第２誘電体層５０を選択的にエッチングするステップは、第１接続７２の一部を露出する第５開口を規定するステップを含み、導電性材料４４を堆積するステップは、第１接続を具備した第３貫通導体７４を形成するステップを含む。第１接続７２の上部表面は、第３貫通導体７４を形成する際のランディングパッドとして機能する拡張した領域を有する。同様に併合接点４２は、第１貫通導体６２に対するランディングパッドとして機能する拡張した領域を有する。本発明により、より精度がゆるやかな光リソグラフプロセスが可能となる。

【００２３】

導電性材料４４はタングステン製で、第１誘電体層４０，第２誘電体層５０は二酸化シリコン製である。しかし、他の種類の誘電体材料も用いることができる。

【図面の簡単な説明】

【図１】本発明による各ステップの半導体デバイスの断面図。

【図２】本発明による各ステップの半導体デバイスの断面図。

【図３】本発明による各ステップの半導体デバイスの断面図。

【図４】本発明による半導体デバイスを製造する方法を表すフローチャート図。

【符号の説明】

２０　半導体デバイス

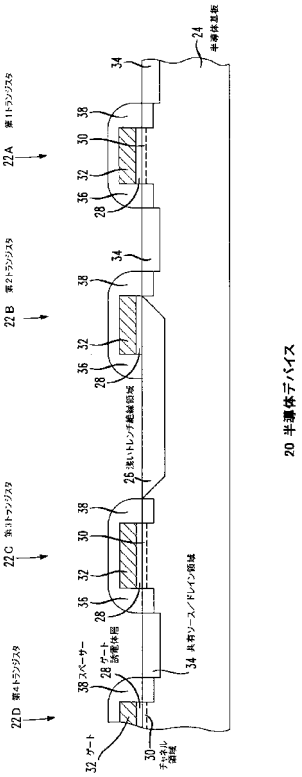
２２　トランジスタ

２２Ａ　第１トランジスタ

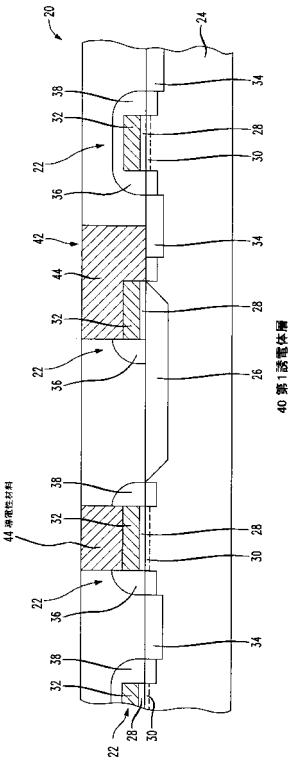
２２Ｂ　第２トランジスタ

２２Ｃ　第３トランジスタ
２２Ｄ　第４トランジスタ
２４　半導体基板
２６　浅いトレンチ絶縁領域
２８　ゲート誘電体層
３０　チャネル領域
３２　ゲート
３４　共有ソース／ドレイン領域
３６，３８　スペーサー
４０　第１誘電体層
４２　併合接点
４４　導電性材料
５０　第２誘電体層
６０　自己整合接点
６２　第１貫通導体
６４　第２貫通導体
７２　第１接続
７４　第３貫通導体
８０　開始
８２　基板内に複数のトランジスタを形成する
８４　基板を覆うように第１誘電体層を形成する
８６　第１と第２のトランジスタ領域を露出する第１開口を形成するために、第１誘電体層を選択的にエッチングする
８８　併合接点を形成するために、第１開口内に導電性材料を堆積する
９０　第１誘電体層を覆うように第２誘電体層を形成する
９２　併合接点を露出する第２誘電体層を選択的にエッチングし、第３トランジスタのソース／ドレイン領域を露出する第１と第２の誘電体層を選択的にエッチングする
９４　併合接点を具備する第１貫通導体を形成する導電性材料を堆積し、第３トランジスタのソース／ドレイン領域を具備する第２貫通導体を形成する
９６　終了

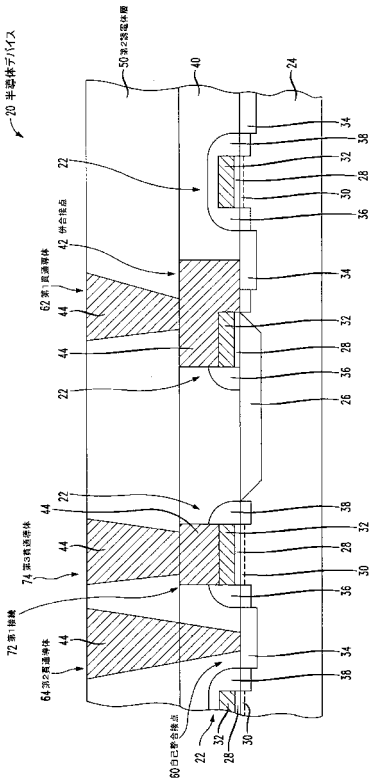
【図１】


20 半導体デバイス
22A 第1トランジスタ
22B 第2トランジスタ
22C 第3トランジスタ
22D 第4トランジスタ
24 半導体基板
26 浅いトレンチ絶縁領域
28 スペーサー
30 チャネル領域
32 ゲート
34 共有ソース／ドレイン領域
38 ゲート誘電体層

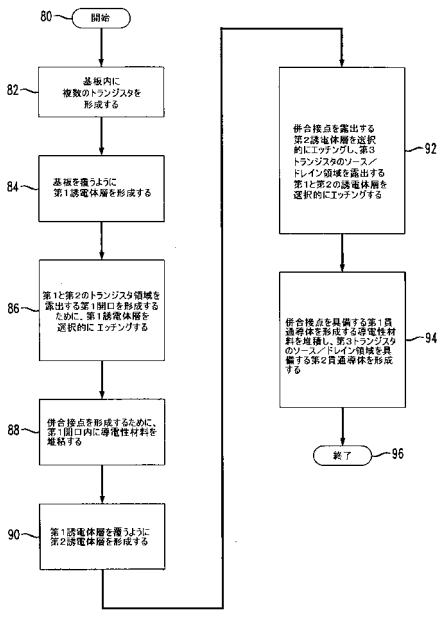
【図２】


20
22
24
26
28
30
32
34
36
38
40 第1誘電体層
42
44 導電性材料

【図３】


20 半導体デバイス
22
24
26
28
30
32
34
36
38
40
42
44
50 第2誘電体層
60 ビア
62 第1貫通導体
64 第2貫通導体
72 第1接続
74 第3接続導体
併合接点

【図４】


80 開始
82 基板内に複数のトランジスタを形成する
84 基板を覆うように第1誘電体層を形成する
86 第1と第2のトランジスタ領域を露出する第1開口を形成するために、第1誘電体層を選択的にエッチングする
88 併合接点を形成するために、第1開口内に導電性材料を堆積する
90 第1誘電体層を覆うように第2誘電体層を形成する
92 併合接点を露出する第2誘電体層を選択的にエッチングし、第3トランジスタのソース／ドレイン領域を露出する第1と第2の誘電体層を選択的にエッチングする
94 併合接点を具備する第1貫通導体を形成する導電性材料を堆積し、第3トランジスタのソース／ドレイン領域を具備する第2貫通導体を形成する
96 終了

フロントページの続き

(51)Int.Cl. F I
H01L 27/11 (2006.01) H01L 27/10 381
H01L 21/8244 (2006.01)

(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100104352
弁理士 朝日 伸光
(72)発明者 セングムー チョイ
アメリカ合衆国、３２８３５ フロリダ、オーランド、ガイルス プレイス ストリート ７９２７

合議体
審判長 河口 雅英
審判官 小川 将之
審判官 相田 義明

(56)参考文献 特開２０００－３９６６（ＪＰ，Ａ）
特開２０００－１２８０２（ＪＰ，Ａ）
特開平１０－２４２４１９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/28
H01L 23/522
H01L 21/768
H01L 21/8234
H01L 21/8244
H01L 27/088
H01L 27/11