(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-133876
(P2012-133876A)
(43)公開日　平成24年7月12日(2012.7.12)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 16/06	(2006.01)	G11C	17/00	633E	5B125
		G11C	17/00	633D	
		G11C	17/00	633B	

審査請求 未請求　請求項の数 13　ＯＬ　（全 14 頁）

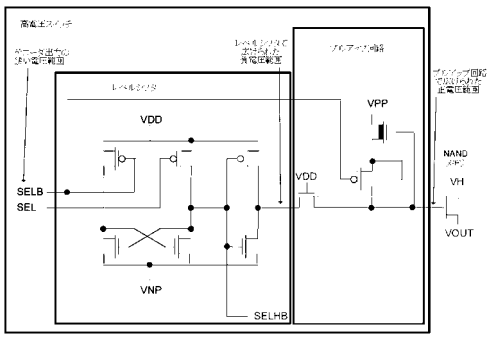
(21)出願番号　特願2011-279867 (P2011-279867)
(22)出願日　平成23年12月21日 (2011.12.21)
(31)優先権主張番号　61/427,040
(32)優先日　平成22年12月23日 (2010.12.23)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　13/185,887
(32)優先日　平成23年7月19日 (2011.7.19)
(33)優先権主張国　米国 (US)

(71)出願人　599129074
旺宏電子股▲ふん▼有限公司
台湾新竹科學工業園區力行路１６號
(74)代理人　100082418
弁理士　山口　朔生
(72)発明者　洪碩男
台湾新竹縣竹北市莊敬五街２０號１０樓
(72)発明者　陳張庭
台湾新竹市武陵路１７５巷８號７樓之４
(72)発明者　洪繼宇
台湾苗栗縣竹南鎮和智街７０號
(72)発明者　劉增毅
台湾新竹市富群街１５號４樓

Ｆターム(参考)　5B125 BA02 CA16 CA21 EA05 EC03
EC04 EC06 EG18 FA06

(54)【発明の名称】ＮＡＮＤメモリ用デコーダ

(57)【要約】　（修正有）
【課題】ＮＡＮＤフラッシュメモリで使用する広い正負電圧範囲を有する高電圧スイッチを提供する。
【解決手段】高電圧スイッチはデコーダ信号を受信し、負第１バイアス電圧と正第２バイアス電圧により設定される第１電圧範囲のレベルシフター電圧出力を有するレベルシフターと、レベルシフターの出力に結合され、第１電圧範囲より広い正第３バイアス電圧と負第１バイアス電圧により設定される第２電圧範囲のプルアップ回路電圧出力を有するプルアップ回路とを備える。
【選択図】図５



【特許請求の範囲】
【請求項１】
信号を受信し、第１電圧範囲のレベルシフター電圧出力を供給する出力を有するレベルシフターと、
該レベルシフターの該出力に結合され、該第１電圧範囲より広い第２電圧範囲のプルアップ回路電圧出力を供給する出力を有するプルアップ回路と
を備える集積回路高電圧スイッチ装置。
【請求項２】
前記信号はデコーダ信号であり、前記プルアップ回路の前記出力はメモリアレイのワード線に供給される請求項１に記載の装置。
【請求項３】
前記レベルシフターは負レベルシフターであり、
該レベルシフターの前記第１電圧範囲は該レベルシフターに結合された負第１バイアス電圧と正第２バイアス電圧とにより設定され、
前記第２電圧範囲は前記プルアップ回路に結合された正第３バイアス電圧と該負第１バイアス電圧とにより設定される請求項１に記載の装置。
【請求項４】
消去時、選択動作中に、前記プルアップ回路電圧出力は前記正第３バイアス電圧に等しい電圧である請求項３に記載の装置。
【請求項５】
消去時、非選択動作中に、前記プルアップ回路電圧出力は前記負第１バイアス電圧に等しい電圧である請求項３に記載の装置。
【請求項６】
前記レベルシフター電圧出力の前記第１電圧範囲は、デコーダからの前記デコーダ信号にない大きさの負電圧を含み、該デコーダ信号より広い請求項１に記載の装置。
【請求項７】
前記プルアップ回路電圧出力の前記第２電圧範囲は、デコーダからの前記デコーダ信号にない大きさの負電圧と該デコーダ信号にない大きさの正電圧とを含み、該デコーダ信号より広い請求項１に記載の装置。
【請求項８】
集積回路装置のワード線に結合されたワード線に対してメモリ動作のためのアドレスをデコードする方法であって、
レベルシフターでデコーダ信号を受信することと、
第１電圧範囲を有するレベルシフター出力信号を該レベルシフターからプルアップ回路へ供給することと、
該第１電圧範囲より広い第２電圧範囲を有する電圧スイッチ出力信号を該プルアップ回路から供給することと
を含む方法。
【請求項９】
前記レベルシフターは負レベルシフターであり、
該レベルシフターの前記第１電圧範囲は該レベルシフターに結合された負第１バイアス電圧と正第２バイアス電圧とにより設定され、
前記第２電圧範囲は前記プルアップ回路に結合された正第３バイアス電圧と該負第１バイアス電圧とにより設定される請求項８に記載の方法。
【請求項１０】
消去時、選択動作を更に含み、該選択動作中、電圧スイッチ出力は前記正第３バイアス電圧に等しい電圧である請求項９に記載の方法。
【請求項１１】
消去時、非選択動作を更に含み、該非選択動作中、電圧スイッチ出力は前記負第１バイアス電圧に等しい電圧である請求項９に記載の方法。

【請求項１２】
前記デコーダ信号は第３電圧範囲を有し、
前記第１電圧範囲は、該第３電圧範囲にないより大きい負電圧を含み、該第３電圧範囲より広く、
該第２電圧範囲は、（ｉ）該第３電圧範囲にないより大きい負電圧と（ｉｉ）該第３電圧範囲にないより大きい正電圧とを含み、該第３電圧範囲より広い請求項８に記載の方法。
【請求項１３】
前記第２電圧範囲は、前記第１電圧範囲にないより大きい正電圧を含み、該第１電圧範囲より広い請求項８に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＮＡＮＤメモリアレイ用のデコーダに関する。
【背景技術】
【０００２】
従来のＮＡＮＤフラッシュ構成は負電圧を有していない。消去確認時でさえ、消去セルＶｔ閾値電圧分布が０Ｖ未満である場合、全てのバイアスは０Ｖ以上である。このような構成はいわゆる逆リード動作を実施する。
【０００３】
ＮＡＮＤフラッシュメモリ内のｘデコーダ用に負電圧が不要であるので、ＮＡＮＤフラッシュメモリは従来のｘデコーダセレクタをしばしば使用する。
【０００４】
特許文献１においては、負レベルシフターが負電圧を供給しＮＡＮＤメモリアレイ内の各ブロックを選択又は非選択するが、正レベルシフトのための補助回路を有していない。その結果、ＰＭＯＳトランジスタはより厳しい動作要件を有する。
【０００５】
特許文献２においては、正レベルシフターの後に負レベルシフターが接続されているが、この構成もまだＰＭＯＳトランジスタに厳しい動作要件を有する。
【０００６】
ＰＭＯＳトランジスタに厳しい動作要件を課することなく、高電圧スイッチは広い正負電圧範囲を有することが望ましい。
【先行技術文献】
【特許文献】
【０００７】
【特許文献１】米国特許出願公開第２００８／００６２７６０号明細書
【特許文献２】米国特許出願公開第２００９／０３１０４０５号明細書
【発明の概要】
【発明が解決しようとする課題】
【０００８】
様々な実施形態が、ＮＡＮＤメモリアレイへの負電圧入力が可能な高電圧スイッチを説明する。
【課題を解決するための手段】
【０００９】
本発明の１つの態様は高電圧スイッチを含む集積回路装置である。この高電圧スイッチはデコーダからの信号を受け取り、選択／非選択又は使用許可／禁止信号は、特定のメモリブロックを選択か非選択、又は使用許可するか禁止するかを示す論理信号値を有する。高電圧スイッチはこれらの論理信号を、メモリブロックを選択／非選択するのに十分な正と負の電圧にシフトする。ｘデコーダ又は行デコーダ回路等の高電圧スイッチは、レベルシフターとプルアップ回路とを備える。レベルシフターは負レベルシフターであってもよい。

【００１０】
高電圧スイッチは（ｉ）デコーダと（ｉｉ）ＮＡＮＤメモリセルのブロックとに結合されたワード線とに結合される。デコーダはブロックデコーダであってもよい。高電圧スイッチは正電圧と負電圧とを含む出力電圧範囲の高電圧スイッチ出力信号を出力する。
【００１１】
レベルシフターはデコーダに結合されている。様々な実施形態において、レベルシフターはワード線が選択されたか非選択かを示すデコーダ信号を受信する。デコーダ信号は第１電圧範囲を有する。レベルシフターは第２電圧範囲のレベルシフター出力信号をプルアップ回路に供給する。第２電圧範囲は該第１電圧範囲にないより大きい負電圧を含み、該第１電圧範囲より広い。
【００１２】
プルアップ回路はレベルシフターとワード線とに結合される。プルアップ回路は（ｉ）デコーダ信号と（ｉｉ）レベルシフター出力信号とを受信する。プルアップ回路はＮＡＮＤメモリセルのブロックに、特定のワード線をワード線電力信号に結合するか切り離すプルアップ回路出力信号を供給する。プルアップ回路は高電圧スイッチ出力信号に、（ｉ）該第１電圧範囲にないより大きい負電圧と（ｉｉ）該第１電圧範囲にないより大きい正電圧とを含み、該第１電圧範囲より広い出力電圧範囲を提供する。
【００１３】
より一般的に、ｘデコーダ又は行デコーダ回路等のプルアップ回路は、デコーダから使用許可／禁止信号と使用許可／禁止信号の補信号又は反転処理した信号とを受信する。或いは、デコーダから使用許可／禁止信号の補信号を受信するのでなく、プルアップ回路は該レベルシフターから負電圧基準を受け取る。使用許可信号に応答して、プルアップ回路は使用許可信号より大きい電圧（例えばＶＰＰ）を出力して、ＮＡＮＤメモリアレイへ送る高電圧スイッチ出力の正電圧範囲を広げる。使用禁止信号に応答して、プルアップ回路はレベルシフターで大きくされた負電圧信号の使用禁止信号を出力する。
【００１４】
１つの実施形態では、高電圧スイッチ出力信号の出力電圧範囲は該第２電圧範囲にないより大きい正電圧を含み、レベルシフター出力信号の第２電圧範囲より広い。より狭い電圧範囲のトランジスタは動作要件が厳しくなくより小さくできるので有利である。別の実施形態では、レベルシフター出力信号の第２電圧範囲とレベルシフター出力信号の第２電圧範囲は同じ最大電圧値を有する。
【００１５】
１つの実施形態では、高電圧スイッチ出力信号の出力電圧範囲は、プログラム動作、消去動作、リード動作におけるデコーダ信号の選択状態と非選択状態のうち最大値と最小値とに対応する。
【００１６】
１つの実施形態では、レベルシフター出力信号の第２電圧範囲は、プログラム動作、消去動作、リード動作におけるデコーダ信号の選択状態と非選択状態のうち最大値と最小値とに対応する。
【００１７】
１つの実施形態では、プルアップ回路は高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信するゲートを有するｎ型トランジスタを備える。別の実施形態では、高電圧スイッチは高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信するゲートを有するｎ型トランジスタを備える。高電圧スイッチは複数のｐ型トランジスタを備える。該複数のｐ型トランジスタの全てが高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信しないゲートを有する。
【００１８】
１つの実施形態では、高電圧スイッチは高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信するゲートを有するｎ型トランジスタを備え、高電圧スイッチは複数のｐ型トランジスタを備え、該複数のｐ型トランジスタの全てが高電圧スイッチ

の動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信しないゲートを有する。
【００１９】
本発明の１つの態様は集積回路装置のＮＡＮＤメモリセルのブロックに結合されたワード線に対してメモリ動作のためのアドレスをデコードする方法である。この方法は下記のステップを含む。
【００２０】
様々な実施形態では、ワード線が選択されたか非選択かを示す第１電圧範囲のデコーダ信号をレベルシフターで受信することと、
【００２１】
該第１電圧範囲にないより大きい負電圧を含み該第１電圧範囲より広い第２電圧範囲を有するレベルシフター出力信号を該レベルシフターからプルアップ回路へ供給することと、
【００２２】
プルアップ回路で（ｉ）デコーダ信号と（ｉｉ）レベルシフター出力信号とを受信し、ＮＡＮＤメモリセルのブロックに特定のワード線をワード線電力信号に結合するか切り離すプルアップ回路出力信号を供給することと、
【００２３】
（ｉ）該第１電圧範囲にないより大きい負電圧と（ｉｉ）該第１電圧範囲にないより大きい正電圧とを含み、該第１電圧範囲より広い出力電圧範囲を有する高電圧スイッチ出力信号を該プルアップ回路から供給することとを含む。
【００２４】
１つの実施形態では、高電圧スイッチ出力信号の出力電圧範囲は該第２電圧範囲にないより大きい正電圧を含み、レベルシフター出力信号の第２電圧範囲より広い。より狭い電圧範囲のトランジスタは動作要件が厳しくなくより小さくできるので有利である。１つの実施形態では、レベルシフター出力信号の第２電圧範囲とレベルシフター出力信号の第２電圧範囲は同じ最大電圧値を有する。
【００２５】
１つの実施形態では、高電圧スイッチ出力信号の出力電圧範囲は、プログラム動作、消去動作、リード動作におけるデコーダ信号の選択状態と非選択状態のうち最大値と最小値とに対応する。
【００２６】
１つの実施形態では、レベルシフター出力信号の第２電圧範囲は、プログラム動作、消去動作、リード動作におけるデコーダ信号の選択状態と非選択状態のうち最大値と最小値とに対応する。
【００２７】
１つの実施形態は下記を更に含む。
【００２８】
高電圧スイッチの動作時、プルアップ回路（別の実施形態では高電圧スイッチ）の１つのｎ型トランジスタのゲートで高電圧スイッチの出力電圧範囲の最大電圧を受信することと、
【００２９】
高電圧スイッチの動作時、高電圧スイッチの全てのｐ型トランジスタのゲートで高電圧スイッチの出力電圧範囲の最大電圧を受信しないこととを含む。
【００３０】
本発明の１つの態様はＮＡＮＤメモリセルの複数のブロックと高電圧スイッチとを含む集積回路装置である。この高電圧スイッチはレベルシフターとプルアップ回路とを含む。高電圧スイッチはデコーダとＮＡＮＤメモリセルの複数のブロックとに結合されている。高電圧スイッチは正電圧と負電圧とを含む出力電圧範囲を有する。
【００３１】
レベルシフターはデコーダに結合されている。

【００３２】
プルアップ回路はレベルシフターとメモリセルの該複数のブロックとに結合されている。高電圧スイッチはＮＭＯＳトランジスタとＰＭＯＳトランジスタとを有し、ＮＭＯＳトランジスタに比べてＰＭＯＳトランジスタの動作要件は低減されている。
【００３３】
１つの実施形態では、高電圧スイッチの出力電圧範囲はレベルシフターの電圧範囲にないより大きい正電圧を含み、レベルシフターの出力電圧範囲より広い。より狭い電圧範囲のトランジスタは動作要件が厳しくなくより小さくできるので有利である。１つの実施形態では、高電圧スイッチの出力電圧範囲とレベルシフターの出力電圧範囲は同じ最大電圧値を有する。
【００３４】
１つの実施形態では、高電圧スイッチの出力電圧範囲は、プログラム動作、消去動作、リード動作におけるデコーダにより示される選択状態と非選択状態のうち最大値と最小値とに対応する。
【００３５】
１つの実施形態では、レベルシフターの出力電圧範囲は、プログラム動作、消去動作、リード動作におけるデコーダにより示される選択状態と非選択状態のうち最大値と最小値とに対応する。
【００３６】
１つの実施形態では、低減された動作要件は、高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信するゲートを有するｎ型トランジスタを備えるプルアップ回路を含み、高電圧スイッチは高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信しないゲートを有する複数のｐ型トランジスタを備える。
【００３７】
１つの実施形態では、低減された動作要件は、高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信するゲートを有するｎ型トランジスタを備える高電圧スイッチを含み、高電圧スイッチは高電圧スイッチの動作時、高電圧スイッチの出力電圧範囲の最大電圧を受信しないゲートを有する複数のｐ型トランジスタを備える。
【００３８】
本発明の１つの態様はＮＡＮＤメモリセルの複数のブロックと高電圧スイッチとを含む集積回路装置である。この高電圧スイッチはデコーダとＮＡＮＤメモリセルの複数のブロックとに結合されている。高電圧スイッチは正電圧と負電圧とを含む出力電圧範囲を有する。
【００３９】
幾つかの実施形態では、この高電圧スイッチはデコーダに結合されたレベルシフターとプルアップ回路とを含む。プルアップ回路はレベルシフターとメモリセルの複数のブロックとに結合されている。
【００４０】
幾つかの実施形態では、この高電圧スイッチはデコーダに結合されたレベルシフターとプルアップ回路とを含む。プルアップ回路はレベルシフターとメモリセルの複数のブロックとに結合されている。レベルシフターとプルアップ回路は高電圧スイッチの出力電圧範囲を生成するのに十分である。例えば、２段のレベルシフター回路は必要でない。
【００４１】
幾つかの実施形態では、この高電圧スイッチはデコーダに結合されたレベルシフターとプルアップ回路とを含む。プルアップ回路はレベルシフターとメモリセルの複数のブロックとに結合されている。高電圧スイッチはＮＭＯＳトランジスタとＰＭＯＳトランジスタとを有し、ＮＭＯＳトランジスタに比べてＰＭＯＳトランジスタの動作要件は低減されている。
【図面の簡単な説明】
【００４２】

【図１】ＮＡＮＤフラッシュメモリで使用する高電圧スイッチを示す。
【図２】図１のスイッチを高電圧シフターとするＮＡＮＤフラッシュメモリのｘデコーダを示す。
【図３】ＮＡＮＤフラッシュメモリの制限されたブロック制御を有するｘデコーダ、特に図１のスイッチを高電圧シフターとする選択されたブロックを示す。
【図４】ＮＡＮＤフラッシュメモリの制限されたブロック制御を有するｘデコーダ、特に図１のスイッチを高電圧シフターとする非選択のブロックを示す。
【図５】改善された高電圧スイッチを示す。
【図６】改善されたブロック制御を有するＮＡＮＤフラッシュメモリのｘデコーダを示し、特に図６のスイッチを高電圧シフターとする非選択のブロックを示す。
【図７】改善された高電圧スイッチを示す。
【図８】改善された高電圧スイッチを示す。
【図９】改善された高電圧スイッチを示す。
【図１０】改善された高電圧スイッチを示す。
【図１１】図７の改善された高電圧スイッチのノード電圧の表を示す。
【図１２】不揮発性プログラム可能抵抗性メモリセルのアレイと他の回路とを含む集積回路のブロック図である。
【発明を実施するための形態】
【００４３】
負電圧セレクタは多くの場合、例えば負閾値電圧Ｖｔを有する消去セルの消去確認のための順リードの場合、又は消去確認以外の動作時に負電圧がメモリセルに必要な場合に有用である。
【００４４】
図１はＮＡＮＤフラッシュメモリで使用する高電圧スイッチを示す。
【００４５】
Ｍ３はデプレッションＮＭＯＳトランジスタである。Ｍ２とＭ３の閾値電圧はそれぞれ、例えば－１Ｖと－０．８Ｖである。ＶｉｎはローレベルでＶｓｗはＧＮＤ（グランド）である場合、Ｍ２はオフで、Ｖｓｂは０．８Ｖである（Ｍ３は負閾値電圧Ｖｔｈを有する）。
Ｍ４はオフで、ＶｏｕｔはＶｈｖに依存しない。ＶｉｎがＶｄｄに近づくと、Ｍ２はオンになり、ノードＶｓｗの電圧を上昇させる。トランジスタＭ１はＶｓｗの電圧上昇に、ＶｓｗがＶＤＤ－（Ｍ１のＶｔｈ）に等しくなるまで貢献する。この時、Ｍ１はダイオード接続となり、この回路のインバータとして示された低電圧部分を隔離する。ノードＶｓｂとノードＶｓｗの間の正帰還（Ｍ２とＭ３を介する）により電圧Ｖｓｗは値Ｖｈｖに達する。
【００４６】
図２は、図１のスイッチを高電圧シフターとするＮＡＮＤフラッシュメモリのｘデコーダを示す。
【００４７】
メモリ集積回路は多数のメモリセルブロックを含む。アレイの各ブロックにｘデコーダユニットが設けられている。各ブロックは多数のビット線とワード線によってアクセスされる多数のＮＡＮＤメモリ列を含む。グローバルワード線ＧＷＬ［３１：０］、グローバル列選択線ＧＳＳＬ、及びグローバルグランド選択線ＧＧＳＬは、各ブロックのワード線ＷＬ［３１：０］、列選択線ＳＳＬ、及びグランド選択線ＧＳＬに電力を供給するグローバル信号である。特定のブロックが選択されたか否かは、デコーダＢＬＫＤＥＣ回路によりデコーダされる。
【００４８】
ブロックが選択されると、高電圧スイッチ、又は高電圧レベルシフターはＶＰＰを出力するので、ＮＡＮＤ列に接続されたトランジスタ２０１、２０２、２０３、２０４をオンにする。この場合、選択されたブロックのワード線ＷＬ０はＧＷＬ０に接続され、選択さ

れたブロックのワード線ＷＬ１はＧＷＬ１に接続され、グローバルワード線ＧＷＬ［３１：０］とワード線ＷＬ［３１：０］との残りについて同様に接続される。ワード線ＷＬに加えて、各ブロックの列選択線ＳＳＬとグランド選択線ＧＳＬも同様に働く。

【００４９】

該ブロックが選択解除されると、該高電圧スイッチはＧＮＤを出力して、選択解除された該ブロックのワード線ＷＬ、列選択線ＳＳＬ、及びグランド選択線ＧＳＬを切り離す。

【００５０】

図３はＮＡＮＤフラッシュメモリの制限されたブロック制御を有するｘデコーダ、特に図１のスイッチを高電圧レベルシフターとする選択されたブロックを示す。

【００５１】

幾つかの場合、動作時、ＮＡＮＤメモリセル自身が負電圧を必要とする。例えば、１つのワード線ＷＬはある動作時、－２．０Ｖにバイアスされ必要がある。これは従来の高電圧スイッチでは不可能であった。

【００５２】

例えば、グローバルワード線ＧＷＬ０は－２Ｖで、図３に示すように選択されたブロックのトランジスタ２０２はオンになる。

【００５３】

図４はＮＡＮＤフラッシュメモリの制限されたブロック制御を有するｘデコーダ、特に図１のスイッチを高電圧シフターとする非選択のブロックを示す。

【００５４】

他の非選択のブロック全てのトランジスタ２０２は、高電圧シフターの最も低い出力電圧はＧＮＤであるのでまだオンである。

【００５５】

図５は改善された高電圧スイッチ、又は高電圧スイッチを示す。

【００５６】

改善された高電圧スイッチ、又は高電圧スイッチはＮＡＮＤメモリにＮＡＮＤメモリブロックをオフにする負電圧入力を供給できる。この回路の場合、ＮＡＮＤアレイ内のメモリブロックを誤って使用許可にする前記の問題は発生しない。従って、改善された高電圧スイッチ、又は高電圧スイッチは、負電圧を供給して非選択のメモリブロックをオフにできる。

【００５７】

ＶＮＰは動作時においてチップの最も負の電圧である。ＶＰＰは動作時においてチップの最も正の電圧である。

【００５８】

高電圧スイッチはレベルシフターとプルアップ回路とを備える。高電圧スイッチの入力はＮＡＮＤアレイのメモリブロックを使用許可／禁止にするデコーダからのＳＥＬ信号である。

【００５９】

該レベルシフターは、たすきがけ結合されたインバータに似ている。高ＶＤＤ電圧基準と低ＶＮＰ電圧基準の間に直列接続されたｐ型とｎ型トランジスタの対が２つあり、各ｎ型トランジスタのゲートが他方のｎ型トランジスタのドレインにたすきがけ結合されている。しかし、インバータと異なり、ｐ型トランジスタのゲートは、メモリブロックを使用許可／禁止にするデコーダからのＳＥＬ信号かその補信号ＳＥＬＢに結合されている。出力はｐ型とｎ型トランジスタの直列接続対の１つの内部ノードである。本実施形態では、出力はメモリブロックを使用許可／禁止にするデコーダからのＳＥＬ信号を受信するゲートを有するｐ型トランジスタとｎ型トランジスタの直列接続対の内部ノードである。この出力はインバータにより更に処理される。該レベルシフターの出力は、該レベルシフターにより広げられたＶＮＰを含む負電圧範囲を有する。

【００６０】

該プルアップ回路は該レベルシフター出力を該プルアップ回路の主部に接続する省略可

能なｎ型トランジスタを有し、ｘデコーダ又は行デコーダ回路と同一である。１つのｎ型デプレッションモードトランジスタが、ＶＰＰと該高電圧スイッチ出力の間でｐ型トランジスタと直列接続されている。該ｎ型デプレッションモードトランジスタは該高電圧スイッチ出力に接続されたゲートと、ＶＰＰに接続されたドレインと、該ｐ型トランジスタのソースに接続されたソースとを有する。該ｐ型トランジスタは該高電圧スイッチ出力に接続されたドレインと、デコーダ信号ＳＥＬＢに接続されたゲートとを有する。

【００６１】

より一般的には、ｘデコーダ又は行デコーダ回路などのプルアップ回路は、使用許可／禁止信号とその補信号を受信する。使用許可信号に応答して、プルアップ回路は該使用許可信号より高い電圧（例えばＶＰＰ）を出力する。使用禁止信号に応答して、プルアップ回路は使用禁止信号を出力する。

【００６２】

図５及び図７～図１０に示した高電圧スイッチにおいて、レベルシフター段の後にデコーダ段が接続されている。該負電圧シフター段は拡張された負電圧範囲を有する信号を出力し、該デコーダ段は拡張された正電圧範囲を有する信号を出力する。

【００６３】

レベルシフター段はブロック選択ＳＥＬ信号を入力として受信する。多くの実施形態では、ブロック選択ＳＥＬ信号は、論理回路出力と同様に、単一極性（負又は正）、通常は正を有する。従って、通常、ブロック選択ＳＥＬ信号はＶＤＤ又はグランドの論理値等のデコーダ出力値を有する。レベルシフター段がブロック選択ＳＥＬ信号を受信した後、該レベルシフター段はＶＤＤ～ＶＮＰのより広い電圧範囲の信号を出力する。該レベルシフター段はＧＮＤ～負ＶＮＰの低い電圧範囲を広げる。

【００６４】

該デコーダ段はＶＤＤ～ＶＮＰの信号範囲をＶＰＰ～ＶＮＰに広げる。該レベルシフター段の最大電圧は論理回路出力最大値と同じＶＤＤであるが、デコーダ段の最大電圧はＶＤＤより高いＶＰＰである。

【００６５】

図６は改善されたブロック制御を有するＮＡＮＤフラッシュメモリのｘデコーダを示し、特に図６のスイッチを高電圧シフターとする非選択のブロックを示す。

【００６６】

前述した図２～図４と異なり、高電圧シフターの最も低い出力電圧は十分に負であるので、非選択のブロックのこれらのトランジスタ２０２はオフしている。

【００６７】

図７は別の改善された高電圧スイッチ、又は高電圧スイッチを示す。

【００６８】

該高電圧スイッチはプルアップ回路が後に接続されたレベルシフターを含む。該高電圧スイッチは、ＮＡＮＤ列が接続されたトランジスタが後に接続されている。ＮＡＮＤメモリブロックは図を用いて上述したように、該高電圧スイッチが受信したブロック選択信号がハイかローかに依って使用許可又は禁止される。

【００６９】

図５と比較すると、図７の高電圧スイッチはデコーダ信号ＳＥＬを受信してデコーダ信号の補信号ＳＥＬＢを生成するインバータを有している。デコーダ信号の補信号はデコーダか、図７のように後段で生成することが出来る。

【００７０】

図８は別の改善された高電圧スイッチ、又は高電圧スイッチを示す。

【００７１】

該高電圧スイッチは後にプルアップ回路が接続されたレベルシフターを含む。該高電圧スイッチは、ＮＡＮＤ列が接続されたトランジスタが後に接続されている。ＮＡＮＤメモリブロックは図を用いて上述したように、該高電圧スイッチが受信したブロック選択信号がハイかローかに依って使用許可又は禁止される。図７と比較すると、該高電圧スイッチ

の入力において、ブロック選択ＳＥＬ信号とブロック選択バーＳＥＬＢ信号の極性が逆転している。極性が逆転しているので、該高電圧スイッチのレベルシフターからインバータが取り除かれている。

【００７２】

図９は別の改善された高電圧スイッチ、又は高電圧スイッチを示す。

【００７３】

該高電圧スイッチは後にプルアップ回路が接続されたレベルシフターを含む。該高電圧スイッチは、ＮＡＮＤ列が接続されたトランジスタが後に接続されている。ＮＡＮＤメモリブロックは図を用いて上述したように、該高電圧スイッチが受信したブロック選択信号がハイかローかに依って使用許可又は禁止される。

【００７４】

図７及び図８と比較すると、図９では該高電圧スイッチのプルアップ回路のｐ型トランジスタのゲートは、デコーダ出力ブロック選択ＳＥＬ信号にもその補信号のブロック選択バーＳＥＬＢ信号にも結合されていない。代りに、該高電圧スイッチのプルアップ回路のｐ型トランジスタのゲートは、ｎ型トランジスタを介してレベルシフターの負電圧基準ＶＮＰに結合されているＳＥＬＨＢ信号に結合されている。ＳＥＬＨ信号とＳＥＬＨＢ信号はレベルシフター内の異なるノードから出力される。

【００７５】

図１０は別の改善された高電圧スイッチ、又は高電圧スイッチを示す。

【００７６】

該高電圧スイッチは後にプルアップ回路が接続されたレベルシフターを含む。該高電圧スイッチは、ＮＡＮＤ列が接続されたトランジスタが後に接続されている。ＮＡＮＤメモリブロックは図を用いて上述したように、該高電圧スイッチが受信したブロック選択信号がハイかローかに依って使用許可又は禁止される。

【００７７】

図９と比較すると、該高電圧スイッチの入力において、ブロック選択ＳＥＬ信号とブロック選択バーＳＥＬＢ信号の極性が逆転している。極性が逆転しているので、該高電圧スイッチのレベルシフターにインバータが追加されている。

【００７８】

図１１は図７の回路のノード電圧の表を示す。ノード電圧は動作（リード、消去、プログラム）とブロック選択状態（選択、非選択）により異なる。

【００７９】

図１１の表は高電圧スイッチの入力、信号ＳＥＬ、及びその補信号ＳＥＬＢが０とＶＤＤの論理信号値を持つことを示す。高電圧スイッチの目的は、これらの信号の電圧範囲をメモリアレイのブロックを選択及び非選択するために十分に広げることである。高電圧スイッチのレベルシフターはこの電圧範囲をレベルシフターの負電圧基準ＶＮＰを含むよう広げる。プルアップ回路はこの電圧範囲をプルアップ回路の正電圧基準ＶＰＰを含むよう広げる。従って、高電圧スイッチはこれらの信号の電圧範囲を０～ＶＤＤの比較的狭い範囲からＶＮＰ～ＶＰＰの比較的広い範囲に広げる。

【００８０】

ＶＰＰがＶＤＤより高い実施形態では、トランジスタ面積はより小さい。

【００８１】

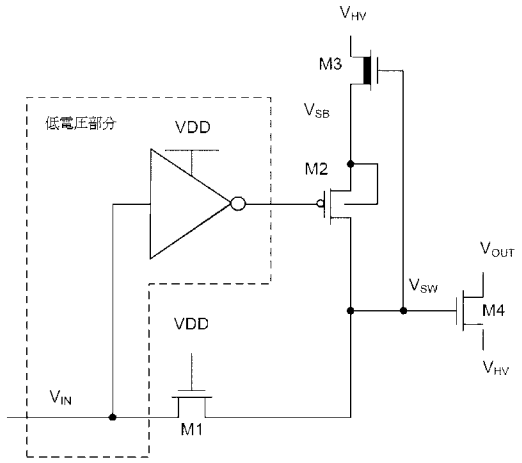
該表はＮＭＯＳトランジスタの動作要件がＰＭＯＳトランジスタの動作要件より高いことを示す。表において、ＮＭＯＳ動作要件は３０Ｖ（例えば、ＶＰＰ－ＳＥＬＨ又はＶＰＰ－ＳＥＬＨＢ）であり、ＰＭＯＳ動作要件は１７Ｖ（例えば、ＳＥＬＨＢ－ＳＥＬＨ）である。

【００８２】

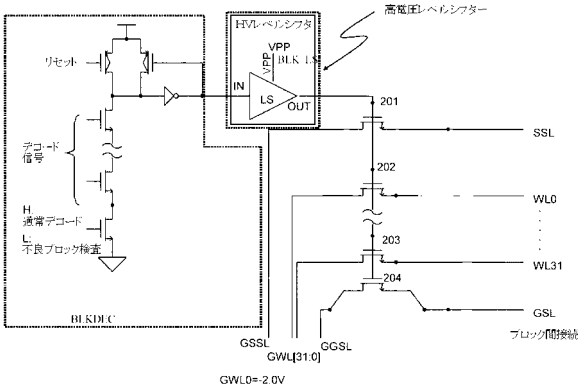
この低減されたＰＭＯＳ動作要件は負レベルシフター段とＮＡＮＤアレイの間の追加のデコーダ段による結果である。このような低減されたＰＭＯＳ動作要件はＰＭＯＳトランジスタの面積要件を低減する。

【００８３】
ＮＭＯＳ／ＰＭＯＳトランジスタはＶＰＷＲとＶＮＰの間の高電圧動作を支える。全動作範囲はＮＭＯＳにより制限される。幾つかの実施形態では、本スイッチは－２０～１０Ｖ（消去）と０～３０Ｖ（プログラム）の出力範囲を有する。
【００８４】
幾つかの実施形態では、同時に高負電圧なしで高正電圧が生成され、及び／又は高正電圧なしで高負電圧が生成される、この特徴はトランジスタの面積要件を低減する。
【００８５】
図１２は不揮発性プログラム可能抵抗性メモリセルのアレイと他の回路とを含む集積回路のブロック図である。
【００８６】
集積回路１２５０はＮＡＮＤメモリセルのメモリアレイ１２００を含む。アドレスはバス１２０５を介して列デコーダ１２０３と、改善されたブロック選択／非選択回路を含む行デコーダ１２０１とに供給される。ブロック１２０６のセンスアンプとデータ入力構造体はデータバス１２０７を介して列デコーダ１２０３に結合されている。データはデータ入力線１２１１を介して集積回路１２５０の入出力ポート、又は集積回路１２５０の内部又は外部の他のデータソースからブロック１２０６のデータ入力構造体へ供給される。データはデータ出力線１２１５を介してブロック１２０６から集積回路１２５０の入出力ポート、又は集積回路１２５０の内部又は外部の他のデータ宛先へ供給される。集積回路１２５０は不揮発性記憶以外の機能のための回路を含んでもよい。
【００８７】
本実施形態のバイアス手配状態マシン１２０９を使用するコントローラは、バイアス手配供給電圧１２０８、例えばリード電圧、プログラム電圧、消去電圧、消去確認電圧、及びプログラム確認電圧の印加を制御する。このコントローラは当該分野で知られている専用の論理回路を使用して実現できる。別の実施形態では、コントローラは汎用プロセッサからなり、同じ集積回路上に実現されてもよく、装置の動作を制御するコンピュータプログラムを実行する。更に他の実施形態では、専用の論理回路と汎用プロセッサとの組合せをコントローラとして使用してもよい。
【００８８】
本発明を好適な実施形態を参照しながら詳細に開示したが、これらの実施形態は限定ではなく例示するよう意図されていることは理解されるべきである。本発明の思想内で添付の請求項の範囲内の変形及び組合せを当業者は容易に想到するであろう。
【符号の説明】
【００８９】
ＷＬ０～ＷＬ３１　ワード線
ＳＳＬ　列選択線
ＧＳＬ　グランド選択線
ＧＷＬ［３１：０］　グローバルワード線
ＧＳＳＬ　グローバル列選択線
ＧＧＳＬ　グローバルグランド選択線

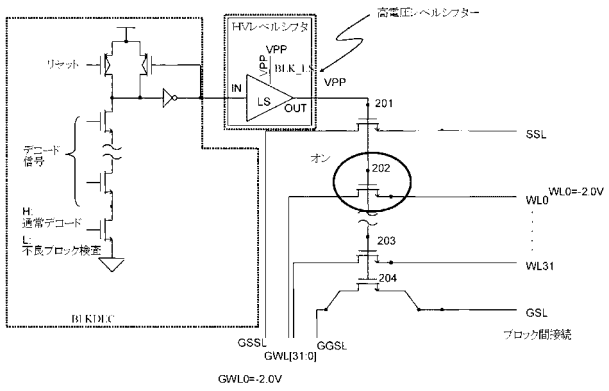
【図１】



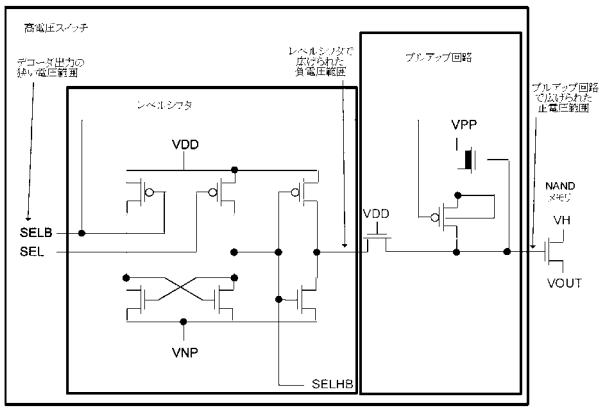
【図２】



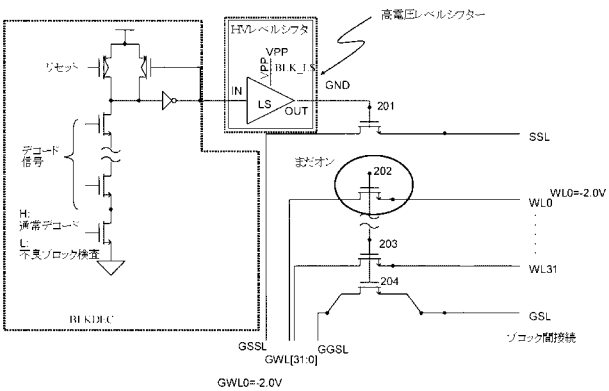
【図３】



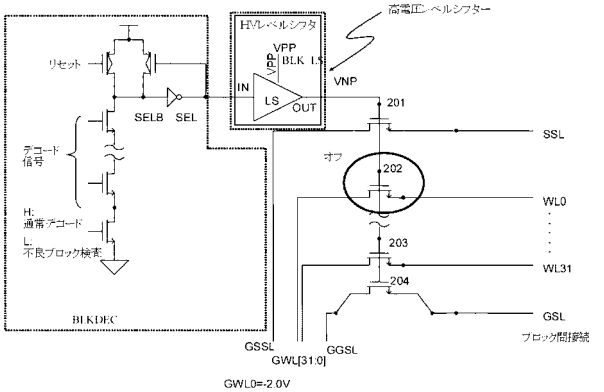
【図５】



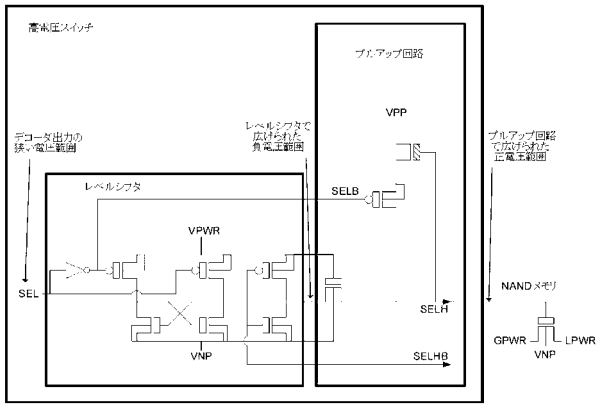
【図４】



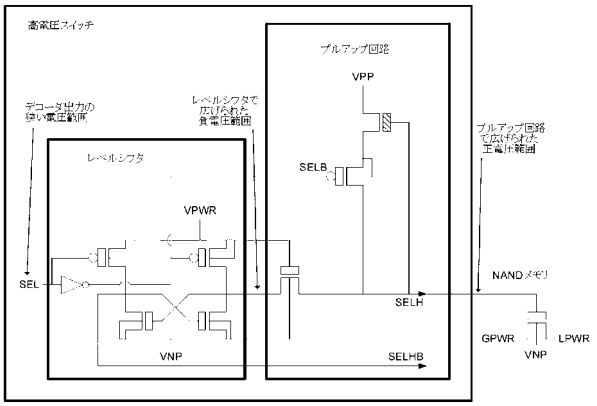
【図６】



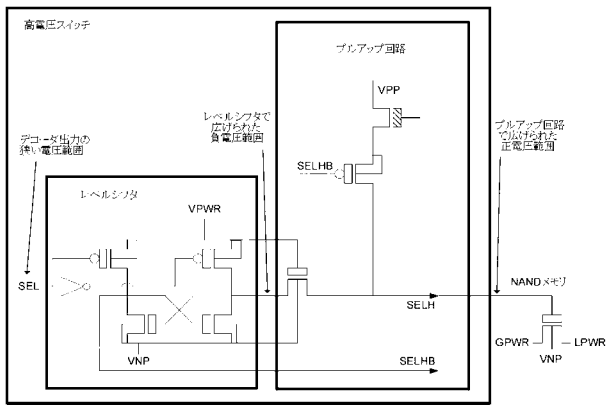
【図７】



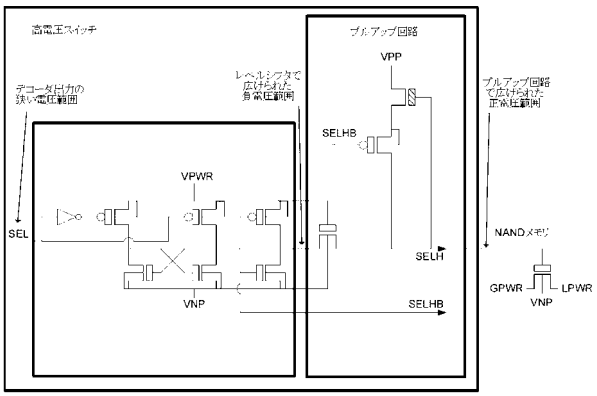
【図８】



【図９】



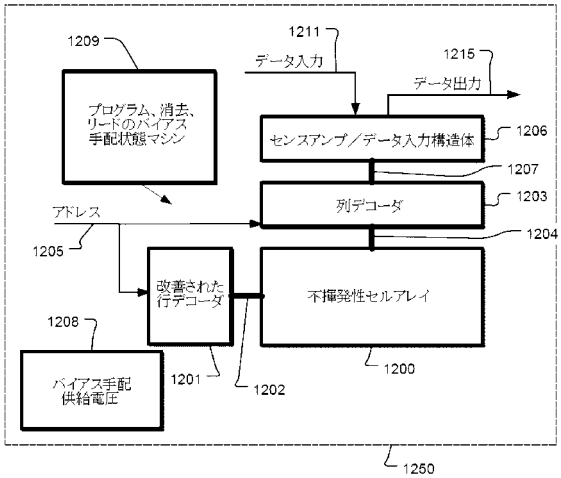
【図１０】



【図１１】

動作		SEL	SELB	VPWR	VNP	VPP	SELHB	SELH
プログラム	選択	VDD	0	VDD	0	30	0	30
	非選択	0	VDD	VDD	0	30	VDD	0
消去	選択	VDD	0	2	-15	10	-15	10
	非選択	0	VDD	2	-15	10	2	-15
リード	選択	VDD	0	VDD	0	8	0	8
	非選択	0	VDD	VDD	0	8	VDD	0

【図１２】


1209
プログラム、消去、
リードのバイアス
手配状態マシン
1211
データ入力
1215
データ出力
センスアンプ／データ入力構造体
1206
1207
列デコーダ
1203
アドレス
1205
1204
改善された
行デコーダ
不揮発性セルアレイ
1208
バイアス手配
供給電圧
1201
1202
1200
1250