

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-183473

(P2010-183473A)

(43) 公開日 平成22年8月19日(2010.8.19)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/34 (2006.01)	H03F 1/34	5J500
H03F 1/22 (2006.01)	H03F 1/22	5K011
H04B 1/40 (2006.01)	H04B 1/40	5K060
H04B 1/16 (2006.01)	H04B 1/16 R	5K061
H04B 1/04 (2006.01)	H04B 1/04 P	

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2009-26988 (P2009-26988)
 (22) 出願日 平成21年2月9日(2009.2.9)

(71) 出願人 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100094525
 弁理士 土井 健二
 (74) 代理人 100094514
 弁理士 林 恒徳
 (72) 発明者 長谷川 延正
 東京都新宿区西新宿二丁目7番1号 富士
 通マイクロエレクトロニクス株式会社内
 Fターム(参考) 5J500 AA01 AA13 AA51 AC85 AF11
 AH10 AH25 AH29 AH38 AK12
 AK15 AK17 AK44 AK47 AM11
 AM21 AS13 AT01 AT06 NM02
 最終頁に続く

(54) 【発明の名称】 増幅器

(57) 【要約】

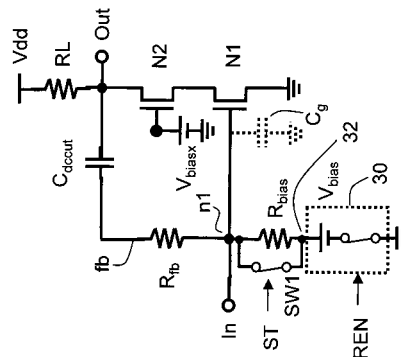
【課題】

増幅器の起動時間が長い。

【解決手段】

カスコード接続の増幅器において、入力端子と出力端子との間に設けられ抵抗素子と容量素子とを有するフィードバック経路と、イネーブル信号にตอบสนองしてソース接地トランジスタのゲートバイアス電圧を生成するバイアス電圧生成回路と、バイアス電圧生成回路の出力ノードとソース接地トランジスタのゲートとの間に設けられた給電抵抗素子と、ゲートバイアス電圧出力ノードからフィードバック経路内のノードまでの抵抗値を、イネーブル信号の開始時に一次的に低下させるイネーブルスイッチとを有する。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

入力端子にゲートが接続されソースが接地された第 1 のトランジスタと、
前記第 1 のトランジスタのドレインと電源との間に設けられた負荷抵抗素子と、
前記第 1 のトランジスタのドレインと前記負荷素子との間のノードに接続された出力端子と、
前記入力端子と出力端子との間に設けられ抵抗素子と容量素子とを有するフィードバック経路と、
イネーブル信号に応答して前記第 1 のトランジスタのゲートにゲートバイアス電圧を印加するバイアス電圧生成回路と、
前記バイアス電圧生成回路の前記ゲートバイアス電圧の出力ノードと前記第 1 のトランジスタのゲートとの間に設けられた給電抵抗素子と、
前記ゲートバイアス電圧の前記出力ノードから前記フィードバック経路内のノードまでの抵抗値を、前記イネーブル信号に応答して低下させるイネーブルスイッチとを有する増幅器。

10

【請求項 2】

請求項 1 において、
さらに、前記第 1 のトランジスタのドレインと前記負荷抵抗素子との間にカスコード接続され、ゲートに所定のバイアス電圧が供給されている第 2 のトランジスタを有する増幅器。

20

【請求項 3】

請求項 1 または 2 において、
前記イネーブルスイッチは、前記ゲートバイアス電圧の前記出力ノードと前記入力端子との間に設けられ、前記イネーブル信号に応答して一次的に導通し、その後の通常動作状態では非導通になる増幅器。

【請求項 4】

請求項 1 または 2 において、
前記イネーブルスイッチは、前記ゲートバイアス電圧の前記出力ノードと前記フィードバック経路内のノードとの間に設けられ、前記イネーブル信号に応答して一次的に導通し、その後の通常動作状態では非導通になる増幅器。

30

【請求項 5】

請求項 1 または 2 において、
前記イネーブルスイッチは、前記ゲートバイアス電圧の前記出力ノードと前記給電抵抗内のノードとの間に設けられ、前記イネーブル信号に応答して一次的に導通し、その後の通常動作状態では非導通になる増幅器。

【請求項 6】

請求項 1 または 2 において、
前記入力端子は帯域通過フィルタを介して高周波信号を入力し、
前記入力端子における入力インピーダンスが、前記帯域通過フィルタの出力インピーダンスと整合していることを特徴とする増幅器。

40

【請求項 7】

請求項 3 乃至 6 のいずれかにおいて、
さらに、前記イネーブル信号が供給される前は前記イネーブルスイッチを導通状態にし前記イネーブル信号が供給されてから所定時間経過後に前記イネーブルスイッチを非導通状態にするセットアップ信号を生成するセットアップ信号生成回路を有する増幅器。

【請求項 8】

入力端子にゲートが接続されソースが接地された第 1 のトランジスタと、
前記第 1 のトランジスタのドレイン側にカスコード接続され、ゲートに所定のバイアス電圧が供給されている第 2 のトランジスタと、
前記第 2 のトランジスタのドレインと電源との間に設けられた負荷抵抗素子と、

50

前記第 2 のトランジスタのドレインと前記負荷素子との間のノードに接続された出力端子と、

前記入力端子と出力端子との間に設けられ直列に接続された抵抗素子と容量素子とを有するフィードバック経路と、

イネーブル信号に応答して前記第 1 のトランジスタの前記ゲートにゲートバイアス電圧を印加するバイアス電圧生成回路と、

前記バイアス電圧生成回路の前記ゲートバイアス電圧の出力ノードと前記第 1 のトランジスタのゲートとの間に設けられた給電抵抗素子と、

前記ゲートバイアス電圧の前記出力ノードと、前記フィードバック経路内のノードとの間、または前記入力端子と前記第 1 のトランジスタのゲートの間の経路内のノードとの間に、前記イネーブル信号に応答して導通状態になり、通常動作状態で非導通状態になるイネーブルスイッチとを有する増幅器。

10

【請求項 9】

送受信端子と、

前記送受信端子に受信された受信信号を帯域フィルタを介して供給される受信側増幅器と、

出力信号を帯域フィルタを介して前記送受信端子に出力する送信側増幅器とを有する通信装置において、

前記受信側増幅器は、

前記受信信号を入力する入力端子と、

20

前記入力端子にゲートが接続されソースが接地された第 1 のトランジスタと、

前記第 1 のトランジスタのドレインと電源との間に設けられた負荷抵抗素子と、

前記第 1 のトランジスタのドレインと前記負荷素子との間のノードに接続された出力端子と、

前記入力端子と出力端子との間に設けられ抵抗素子と容量素子とを有するフィードバック経路と、

イネーブル信号に応答して前記第 1 のトランジスタのゲートにゲートバイアス電圧を印加するバイアス電圧生成回路と、

前記バイアス電圧生成回路の前記ゲートバイアス電圧の出力ノードと前記第 1 のトランジスタのゲートとの間に設けられた給電抵抗素子と、

30

前記ゲートバイアス電圧の前記出力ノードから前記フィードバック経路内のノードまでの抵抗値を、前記イネーブル信号に応答して低下させるイネーブルスイッチとを有する通信装置。

【請求項 10】

送受信端子と、

前記送受信端子に受信された受信信号を帯域フィルタを介して供給される受信側増幅器と、

出力信号を帯域フィルタを介して前記送受信端子に出力する送信側増幅器とを有する通信装置において、

前記受信側増幅器は、

40

前記受信信号を入力する入力端子と、

前記入力端子にゲートが接続されソースが接地された第 1 のトランジスタと、

前記第 1 のトランジスタのドレイン側にカスコード接続され、ゲートに所定のバイアス電圧が供給されている第 2 のトランジスタと、

前記第 2 のトランジスタのドレインと電源との間に設けられた負荷抵抗素子と、

前記第 2 のトランジスタのドレインと前記負荷素子との間のノードに接続された出力端子と、

前記入力端子と出力端子との間に設けられ直列に接続された抵抗素子と容量素子とを有するフィードバック経路と、

イネーブル信号に応答して前記第 1 のトランジスタのゲートにゲートバイアス電圧を印

50

加するバイアス電圧生成回路と、

前記バイアス電圧生成回路の前記ゲートバイアス電圧の出力ノードと前記第1のトランジスタのゲートとの間に設けられた給電抵抗素子と、

前記ゲートバイアス電圧の前記出力ノードと、前記フィードバック経路内のノードとの間、または前記入力端子と前記第1のトランジスタのゲートの間の経路内のノードとの間に、前記イネーブル信号に応答して導通状態になり、通常動作状態で非導通状態になるイネーブルスイッチとを有する増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅器に関する。

【背景技術】

【0002】

増幅器は、高周波信号などの入力信号の振幅を増幅する。無線通信装置などは、アンテナで受信した高周波信号を増幅する増幅器としてローノイズアンプ(LNA)を有する。アンテナで受信された信号は受信側フィルタを經由してローノイズアンプで増幅される。

【0003】

LNAのような高周波信号を増幅する増幅器は、入力インピーダンスに一定の制限が規格上要求されている。たとえば、増幅器前段のインピーダンスが50Ωの場合には、増幅器の入力インピーダンスも50Ωに整合させることで、増幅器に入力する高周波信号を最大電力にすることができる。

【0004】

さらに、増幅器は、ゲートバイアス電圧を入力端子に供給する給電抵抗を有し、この給電抵抗の熱雑音の影響度を示すノイズ指数(NF)をできるだけ小さくすることが求められている。

【0005】

このように入力インピーダンスの整合の要求と、NFを小さくする要求とを満たすために、増幅器は、出力端子から入力端子へのフィードバック回路や、所定の抵抗値を持つバイアス電圧の給電抵抗を有している。

【0006】

なお、標準的な増幅器として、送信モードと受信モードとで安定した動作を行う増幅器、カスコード接続した高周波増幅器、及び、無線装置の送信と受信の切替時において、送信側から受信側に信号の影響が与えられないように送信側の出力増幅器を多段構成にした増幅器がある。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平8-148953号公報

【特許文献2】特開2007-60458号公報

【特許文献3】特開平11-112381号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

増幅器では、送信状態から受信状態に切り換えるときに、バイアス電圧の供給を開始する。そして、バイアス電圧の供給を開始してから増幅器内のノードのDC電圧状態が安定した段階で、受信処理を開始する。

【0009】

しかしながら、出力端子と入力端子との間にフィードバック経路を有する増幅器では、バイアス電圧の供給から安定状態になるまでの時間が長くなる傾向にある。この理由は、フィードバック経路により回路内のノードの電圧状態が安定するまでの時間が長くなって

10

20

30

40

50

いることが推測される。

【0010】

そこで、本発明の目的は、バイアス電圧の供給開始から安定状態までの時間を短くした増幅器を提供することにある。

【課題を解決するための手段】

【0011】

増幅器の第1の側面は、入力端子にゲートが接続されソースが接地された第1のトランジスタと、前記第1のトランジスタのドレインと電源との間に設けられた負荷抵抗素子と、前記第1のトランジスタのドレインと前記負荷素子との間のノードに接続された出力端子と、前記入力端子と出力端子との間に設けられ抵抗素子と容量素子とを有するフィードバック経路と、イネーブル信号にตอบสนองして前記第1のトランジスタのゲートにゲートバイアス電圧を印加するバイアス電圧生成回路と、前記バイアス電圧生成回路の前記ゲートバイアス電圧の出力ノードと前記第1のトランジスタのゲートとの間に設けられた給電抵抗素子と、前記ゲートバイアス電圧の前記出力ノードから前記フィードバック経路内のノードまでの抵抗値を、前記イネーブル信号にตอบสนองして低下させるイネーブルスイッチとを有する増幅器である。

【発明の効果】

【0012】

第1、第2の側面によれば、増幅器の起動時間を短縮できる。

【図面の簡単な説明】

【0013】

【図1】本実施の形態の増幅器が適用される通信装置の構成図である。

【図2】本実施の形態における増幅器の一例であるLNAの回路図である。

【図3】LNAへのゲートバイアス電圧発生回路30の熱雑音の影響を説明する図である。

【図4】増幅器の立ち上がり時間が長くなることを説明する図である。

【図5】増幅器の立ち上がり時の電圧特性を示す図である。

【図6】増幅器の立ち上がり時の電流特性を示す図である。

【図7】第1の実施の形態における増幅器の回路図である。

【図8】第2の実施の形態における増幅器の回路図である。

【図9】第3の実施の形態における増幅器の回路図である。

【図10】第4の実施の形態における増幅器の回路図である。

【図11】第5の実施の形態における増幅器の回路図である。

【図12】第1の実施の形態の増幅器にセットアップ信号STの生成回路を設けた回路図である。

【図13】セットアップ信号生成回路の動作波形図である。

【図14】第2の実施の形態の増幅器にセットアップ信号STの生成回路を設けた回路図である。

【図15】第3の実施の形態の増幅器にセットアップ信号STの生成回路を設けた回路図である。

【図16】実施の形態の増幅器について行ったシミュレーション結果を示す図である。

【図17】実施の形態の増幅器について行ったシミュレーション結果を示す図である。

【発明を実施するための形態】

【0014】

図1は、本実施の形態の増幅器が適用される通信装置の構成図である。アンテナ1で受信された高周波信号は、送受信切換スイッチ2を介して、受信側フィルタ3に入力され、受信側フィルタ3は受信信号帯域の信号のみを通過させる。そして、受信側フィルタ3を通過した高周波信号は、ローノイズアンプ(LNA)4で増幅され、ミキサ5で局部発振器19が生成するキャリア信号と乗算されてその周波数をダウンコンバートされ、ローパスフィルタ6によりイメージ信号が除去される。そして、ダウンコンバートされた受信信

10

20

30

40

50

号は可変利得増幅器7で所定の利得で増幅され、復調回路8により局部発振器21が生成する信号に基づいて復調され、アナログ・デジタル変換器9によりデジタル信号に変換される。そして、ベースバンド信号処理部10は、そのデジタル信号について復号化などの必要な受信処理を行う。以上が受信側の回路構成である。

【0015】

一方、送信側では、ベースバンド信号処理部10が符号化などにより生成したデジタル信号が、デジタル・アナログ変換器12でアナログ信号に変換され、変調回路13により局部発振器21が生成する信号に基づいて変調され、増幅器14で増幅された後、ミキサ15で局部発振器19が生成するキャリア信号と乗算されてその周波数をアップコンバートされ、ハイパスフィルタ16によりイメージ信号が除去され、出力増幅器17により増幅される。そして、増幅された送信信号は、送信側フィルタ22で送信帯域の信号のみを通過させ、スイッチ2を経由して、アンテナ1から送出される。

10

【0016】

ベースバンド信号処理部10は、スイッチ制御回路18を介して送信イネーブル信号SENにより送信増幅器17をイネーブル状態にして、送信動作を行う。一方、ベースバンド信号処理部10は、送信増幅器17をディセーブル状態にし、スイッチ制御回路11を介して受信イネーブル信号RENによりLNA4をイネーブル状態にして、受信動作を行う。したがって、受信イネーブル信号RENによりLNA4をディセーブル状態からイネーブル状態にするに要する時間が短いほど、送信動作期間と受信動作期間との間の時間(ガードタイム)を短くすることができる。

20

【0017】

図2は、本実施の形態における増幅器の一例であるLNAの回路図である。このLNAは、高周波信号を入力する入力端子Inと、入力端子にゲートが接続されソースが接地された第1のトランジスタ(ソース接地トランジスタ)N1と、第1のトランジスタのドレインにカスコード接続されゲートに所定のバイアス電圧Vbiasxが供給される第2のトランジスタ(ゲート接地トランジスタ)N2と、第1のトランジスタのドレインと電源Vdととの間に設けられた負荷抵抗素子RLと、第1のトランジスタN1のドレインと負荷素子RLとの間のノード、すなわち第2のトランジスタN2のドレインと負荷素子RLとの間のノードに接続された出力端子Outと、入力端子Inと出力端子Outとの間に設けられ抵抗素子Rfbと容量素子Cdcutとを有するフィードバック経路fbと、受信イネーブル信号RENにตอบสนองして第1のトランジスタN1のゲートバイアス電圧Vbaisを生成するバイアス電圧生成回路30と、バイアス電圧生成回路30のゲートバイアス電圧出力ノードと第1のトランジスタN1のゲートとの間に設けられた給電抵抗素子Rbiasとを有する。

30

【0018】

このように、LNA4は、ソース接地トランジスタN1とゲート接地トランジスタN2からなるカスコード増幅器である。さらに、LNA4は、アンテナで受信した高周波信号を受信側フィルタ3を介して最初に増幅する回路であり、フィルタ3の出力インピーダンスZoutが50Ωの場合、LNA4の入力インピーダンスZinも50Ωに整合させることが要求される。その理由は、入力インピーダンスZinを50Ωに整合させることで、LNAは、高周波入力信号を最大電力で入力することができるからである。

40

【0019】

一般に入力インピーダンスZinは、以下の式で表すことができる。

$$Z_{in} = Z_f / (A - 1)$$

ただし、Zfはフィードバック経路fbのインピーダンス、AはLNAの利得である。そして、利得Aは、トランジスタN1の相互コンダクタンスgmと負荷抵抗RLの積(A = gm × RL)である。

【0020】

上記の入力インピーダンスZinの式から明らかとなっており、入力インピーダンスZinを50Ω程度にするためには、フィードバック経路fbのインピーダンスZfが適切な値

50

である必要がある。もし、フィードバック経路 f_b が設けられていないと、このインピーダンス Z_{fb} が無限大になり、入力インピーダンス Z_{in} を 50Ω に整合することはできない。よって、フィードバック経路 f_b は、入力インピーダンス Z_{in} を規定の値に整合するためには必要であり、フィードバック経路内の抵抗素子 R_{fb} の抵抗値もそれに対応して適切な値にすることが必要である。

【0021】

また、入力端子 I_n に供給される入力高周波信号は、ゲートバイアス電圧 V_{bias} により入力側の DC バイアスレベルを有し、一方、出力端子 $O_u t$ に生成される増幅された高周波信号は、入力側の DC バイアスレベルとは異なる出力側の DC バイアスレベルを有する。したがって、フィードバック経路 f_b に所望の抵抗値の抵抗素子 R_{fb} を設けた場合、入力端子 I_n の DC バイアスレベルと出力端子 $O_u t$ の DC バイアスレベルとを分離する必要がある。そのために、フィードバック経路 f_b には、DC 電位を分離するための容量素子 C_{dcut} が設けられている。

10

【0022】

この容量素子は、高周波成分に対してはショート状態である。したがって、フィードバック経路 f_b では抵抗素子 R_{fb} と容量素子 D_{dcut} とが直列に接続されていればよく、出力端子 $O_u t$ 側に抵抗素子 R_{fb} を入力端子 I_n 側に容量素子 D_{dcut} を設けても良い。

【0023】

さらに、給電抵抗 R_{bias} については次のとおりである。ゲートバイアス電圧生成回路 30 が、ゲートバイアス電圧 V_{bias} をソース接地トランジスタ N_1 のゲートに、給電抵抗 R_{bias} を介して供給する。ゲートバイアス電圧生成回路 30 は、交流的には接地と同じであるので、給電抵抗 R_{bias} の抵抗値が小さいと入力インピーダンス Z_{in} を 50Ω にすることはできない。したがって、給電抵抗 R_{bias} の抵抗値は比較的大きく、たとえば $30 k\Omega$ などに設定されている。

20

【0024】

また、LNA は、雑音指数 (NF) が小さくなければならない。そして、上記の通り給電抵抗 R_{bias} が入力端子に接続されている。この給電抵抗は熱雑音の発生源になる。したがって、雑音指数を小さくするためには、この熱雑音が LNA に影響を与えないようにすることが求められる。

【0025】

図 3 は、LNA への給電抵抗 R_{bias} の熱雑音の影響を説明する図である。仮に、給電抵抗の熱雑音を $V_{n,R_{bias}}$ とすると、給電抵抗の等価回路は、その抵抗値 R_{bias} と熱雑音を $V_{n,R_{bias}}$ との直列接続になる。この給電抵抗が発生する熱雑音の値は、図中に示されるとおり $(4 k_B T \cdot R_{bias})$ である。そこで、熱雑音 $V_{n,R_{bias}}$ を、給電抵抗 R_{bias} と、LNA を入力端子 I_n から見た入力インピーダンス $Z_{in} (= 50 \Omega)$ とで抵抗分圧すると、熱雑音が入力端子 I_n に与える電圧 $V_{n,in}$ は、次のとおりである。

30

【0026】

【数 1】

$$\begin{aligned}
 V_{n,in} &= \sqrt{4k_B T \cdot R_{bias}} \cdot \frac{50}{R_{bias} + 50} \\
 &= \frac{\sqrt{4k_B T \cdot 50}}{\sqrt{R_{bias}} + \frac{50}{\sqrt{R_{bias}}}} \\
 &= 0 \quad @ \quad R_{bias} = 0 \\
 &= 0 \quad @ \quad R_{bias} = \infty
 \end{aligned}$$

10

20

【0027】

この式に示されるとおり，入力端子 I_n への熱雑音電圧 $V_{n,in}$ をゼロにするためには，給電抵抗 R_{bias} を 0 にするか，無限大 () にするかのいずれかである。しかしながら，前述のとおり，入力インピーダンス Z_{in} を 50 にするためには，給電抵抗 R_{bias} をゼロにすることはできない。そこで，給電抵抗 R_{bias} を実質的に無限大に，たとえば約 30 K に設定している。給電抵抗 R_{bias} が大きな抵抗値を有することは，入力端子 I_n から見れば，交流的には開放状態，直流的にはゲートバイアス電圧 V_{bias} を供給する経路ということになる。このように，給電抵抗を実質的に無限大にすれば，その熱雑音の入力端子への影響を十分に抑制することができる。その結果，LNA の雑音指数を小さくすることができる。

30

【0028】

以上の通り，LNA 4 は， $Z_{in} = 50$ との要請から，フィードバック経路 f_b と，高抵抗の給電抵抗 R_{bias} とを設ける必要がある。ところが，このフィードバック経路 f_b と給電抵抗 R_{bias} が存在することにより，図 2 の受信イネーブル信号 REN に応答してゲートバイアス電圧発生回路 30 がゲートバイアス電圧の供給を開始してから，LNA 4 内の各ノードの DC 電圧が動作状態の DC 電圧に安定するまでの時間が長くなる。この動作状態の DC 電圧になるまでの時間が長いと，無線装置において，送信状態から受信状態への切り替わり時間が長くなる。

40

【0029】

図 2 には，ゲートバイアス電圧発生回路 30 を省略して示しているが，受信イネーブル信号 REN に応答してスイッチ SW_{en} が導通してゲートバイアス電圧発生回路が動作を開始し，給電抵抗 R_{bias} との接続ノード 32 にゲートバイアス電圧が生成される。

【0030】

図 4 は，増幅器の立ち上がり時間が長くなることを説明する図である。また，図 5 は，増幅器の立ち上がり時の電圧特性を示す図であり，図 6 は，増幅器の立ち上がり時のドレイン電流特性を示す図である。

【0031】

50

本発明者によれば、図2の増幅器は、受信イネーブル信号RENを受信してから回路内の各ノードのDC電圧が動作状態の電圧に安定するまでの時間が長くなっていることが判明した。

【0032】

図5では、横軸が時間(μsec)、縦軸が電圧を示し、時間1μsecで受信イネーブル信号RENを供給した場合の入力電圧Vinと出力電圧Voutを示している。なお、電源電圧Vddは2.7Vである。

【0033】

ゲートバイアス電圧Vbiasが印加されていないと、ソース接地トランジスタN1は非動作状態であるので、負荷抵抗RLには電流は流れない。したがって、時間0μsecでは出力電圧VoutはVdd=2.7Vである。そして、時間1μsecで受信イネーブル信号RENが供給されゲートバイアス電圧Vbias(約0.5V)が立ち上がると、入力電圧Vinも立ち上がる。そして、このシミュレーションでは、時間4μsecで入力端子に高周波信号(4MHz、振幅0.1V)を供給開始している。しかし、出力電圧Voutの振幅は未だ小さく(15dB)、電位も電源電圧Vddに近いレベルである。そして、約19μsecになると、出力電圧Voutは電位が安定し、振幅も大きくなっている(18dB)。つまり、時間4μsecでは十分な利得が得られていない。

【0034】

図6でも、ゲートバイアス電圧Vbiasが立ち上がって入力電圧Vinが立ち上がると、負荷抵抗RLに流れるドレイン電流IRLが増加している。しかし、4μsecではその電流IRLは十分に大きくなり(3mA)、その振幅も小さく、約19μsecになると電流IRLは充分大きくなり(6mA)、その振幅も大きくなっている。

【0035】

ドレイン電流が小さいとノイズ電流とのSN比が悪くなる。一般に、信号電流が2倍になると、ノイズ電流は2倍になる。したがって、信号電流が3mAから6mAに増加すると、ノイズ電流は2倍に増加する。その結果、SN比(ノイズ電流に対する信号電流の比)は2倍改善される。

【0036】

図5、6が示すとおり、受信イネーブル信号RENを受信してから3μsecでは、増幅器は、利得が15dBと小さく未だ安定した動作状態にはなっていない。この理由は、図6に示すように次のとおりであると推察される。

【0037】

受信イネーブル信号RENにตอบสนองして、ゲートバイアス電圧発生回路30がゲートバイアス電圧Vbiasを給電抵抗Rbiasを経由して入力端子InとトランジスタN1のゲートのノードに供給を開始する。図中矢印34のとおりである。トランジスタN1のゲートには寄生容量Cgが存在し、その寄生容量Cgが矢印34の経路で充電される。

【0038】

トランジスタN1のゲート電位が立ち上がるとドレイン電流が発生し、負荷抵抗による電圧降下により出力端子Outの電位が電源電圧Vddから低下する。しかし、フィードバック経路fbがあるため、出力端子Outの電位変化が入力端子In側にもフィードバックされ、図中矢印33のようなループにより、ループ33内のノードのDC電圧が振動し動作状態のレベルに安定するために長い時間を要するものと推察される。

【0039】

図7は、第1の実施の形態における増幅器の回路図である。図2と同様に、増幅器は、ソース接地トランジスタN1と、ゲート接地トランジスタN2と、負荷抵抗RLと、抵抗素子Rfbと容量素子Cdcutとを直列に接続したフィードバック経路fbと、ゲートバイアス電圧発生回路30と、給電抵抗Rbiasとを有する。そして、ゲートバイアス電圧発生回路30のゲートバイアス電圧出力端子32と、フィードバック経路fbの入力端子In側のノードn1との間に、スイッチSW1を有する。

【0040】

10

20

30

40

50

このスイッチ $SW1$ は、受信イネーブル信号 REN が供給されて増幅器が起動するとき、セットアップ信号 ST により一時的に導通状態になり、ノード $n1$ に直接バイアス電圧 V_{bias} を供給する。そして、増幅器内のノードの DC 電位が安定した後の通常動作状態では、スイッチ $SW1$ は非導通状態になり、ゲートバイアス電圧発生回路 30 のバイアス電圧は給電抵抗 R を介してノード $n1$ に供給される。したがって、スイッチ $SW1$ を上記のように制御するセットアップ信号 ST が受信イネーブル信号 REN から生成される。

【0041】

このように、増幅器が受信イネーブル信号 REN に応答して起動するとき、スイッチ $SW1$ が導通状態になり、ノード $n1$ にゲートバイアス電圧 V_{bias} が直接印加される。そのため、フィードバック経路 f_b により増幅器の各ノードの DC 電位が安定レベルになるまでの時間を短縮することができ、安定レベルになるまでの時間に長時間を要することが解決される。フィードバック経路 f_b により各ノードの DC 電位が振動していた現象が、ゲートバイアス電圧 V_{bias} を直接ノード $n1$ に印加することで、抑制されるものと考えられる。

10

【0042】

図8は、第2の実施の形態における増幅器の回路図である。この増幅器も、図7と同様に、ソース接地トランジスタ $N1$ と、ゲート接地トランジスタ $N2$ と、負荷抵抗 R_L と、抵抗素子 R_{fb} と容量素子 C_{dcut} とを直列に接続したフィードバック経路 f_b と、ゲートバイアス電圧発生回路 30 と、給電抵抗 R_{bias} とを有する。ただし、ゲートバイアス電圧発生回路 30 のゲートバイアス電圧出力端子 32 と、フィードバック経路 f_b の抵抗素子 R_{fb} と容量素子 C_{dcut} との接続ノード $n2$ との間に、スイッチ $SW2$ を有する。このスイッチ $SW2$ は、図7のスイッチ $SW1$ と同様に、増幅器の起動時に一時的に導通状態になり、その後の通常動作状態では非導通状態になる。

20

【0043】

第2の実施の形態においても、フィードバック経路 f_b 内のノード $n2$ に直接ゲートバイアス電圧 V_{bias} を与えるので、フィードバック経路 f_b による増幅器内の各ノードの DC 電位が安定するまでに振動などを起こすことを抑制することができるものと考えられる。

【0044】

図9は、第3の実施の形態における増幅器の回路図である。この増幅器も、図7と同様に、ソース接地トランジスタ $N1$ と、ゲート接地トランジスタ $N2$ と、負荷抵抗 R_L と、抵抗素子 R_{fb} と容量素子 C_{dcut} とを直列に接続したフィードバック経路 f_b と、ゲートバイアス電圧発生回路 30 と、給電抵抗 R_{bias} とを有する。ただし、ゲートバイアス電圧発生回路 30 のゲートバイアス電圧出力端子 32 と、フィードバック経路 f_b の抵抗素子 R_{fb} 中のノード $n3$ との間に、スイッチ $SW3$ を有する。このスイッチ $SW3$ は、図7のスイッチ $SW1$ と同様に、増幅器の起動時に一時的に導通状態になり、その後の通常動作状態では非導通状態になる。

30

【0045】

上記のように、フィードバック経路 f_b 内の抵抗素子 R_{fb} を2つの抵抗素子 R_{fb1} 、 R_{fb2} に分離し、その接続ノード $n3$ に直接ゲートバイアス電圧 V_{bias} を印加しても、同様に、増幅器内の各ノードの DC 電位の安定に要する時間は短くなる。

40

【0046】

上記の第1、第2、第3の実施の形態によれば、図9中のノード $n1$ 、 $n2$ 、 $n3$ のように、ソース接地トランジスタ $N1$ のゲートからフィードバック経路 f_b 内の抵抗素子 R_{fb} を経由して容量素子 C_{dcut} の手前に至る経路（図中矢印 34 の経路）のいずれかのノードに、ゲートバイアス電圧 V_{bias} を直接印加するスイッチを設けることが、増幅器の起動時間の短縮に有効な手段である。

【0047】

図10は、第4の実施の形態における増幅器の回路図である。この増幅器では、ゲートバイアス電圧発生回路 30 のゲートバイアス電圧出力端子 32 と、2つに分割した給電抵

50

抗 R_{bias1} , R_{bias2} の接続ノード n_4 との間に, スイッチ S_{W4} を有する。このスイッチ S_{W4} は, 図7のスイッチ S_{W1} と同様に, 増幅器の起動時に一時的に導通状態になり, その後の通常動作状態では非導通状態になる。

【0048】

第4の実施の形態では, スイッチ S_{W4} が導通状態になっても, フィードバック経路 f_b 内のノードにゲートバイアス電圧 V_{bias} を直接印加していない。しかし, ノード n_4 にゲートバイアス電圧 V_{bias} を直接印加することで, 増幅器の立ち上がり時の各ノードのDC電位が安定するまでの時間を, 図2の増幅器よりも短縮することができる。

【0049】

つまり, 増幅器の起動時間を短縮するためには, ソース接地トランジスタ N_1 のゲートに直流的に接続されているフィードバック経路 f_b 内のいずれかのノードに, ゲートバイアス電圧 V_{bias} を直接印加するスイッチを設けることが望ましい。ただし, 増幅器の起動時に給電抵抗 R_{bias} の抵抗値を下げるスイッチ S_{W4} でも, 起動時間を短縮する何らかの効果はある。

【0050】

図11は, 第5の実施の形態における増幅器の回路図である。この増幅器は, 図7の第1の実施の形態の増幅器と同様にスイッチ S_{W1} を有する。ただし, フィードバック経路 f_b 内の抵抗素子 R_{fb} と容量素子 C_{dcut} とが逆に接続されている。このように, 抵抗素子 R_{fb} が出力端子 O_{ut} 側に接続されている場合は, ゲートバイアス電圧を抵抗素子 R_{fb} のノードに直接供給するスイッチではなく, ソーストランジスタ N_1 のゲートに直流的に接続されているノード n_1 に直接供給するスイッチ S_{W1} を設けることが, 増幅器の起動の短縮を可能にする。すなわち, 図中矢印38の経路内のノードとゲートバイアス電圧出力ノード32との間にスイッチを設けることが有効である。

【0051】

上記の第1乃至第5の実施の形態の増幅器に示されたとおり, 増幅器の起動時間を短縮するためには, ゲートバイアス電圧出力ノード32からフィードバック経路 f_b 内の容量素子が接続されるノードまでの抵抗値を, イネーブル信号の開始時に一次的に低下させるイネーブルスイッチ $S_{W1} \sim S_{W5}$ のいずれかを設ければ良いことになる。言い換えれば, イネーブルスイッチを, ゲートバイアス電圧出力ノード32とフィードバック経路 f_b 内のノード間に設けるか, ゲートバイアス電圧出力ノード32と給電抵抗 R_{bias} 内のノードとの間に設ければよい。

【0052】

なお, 図2において, 給電抵抗 R_{bias} を小さい抵抗値にすることで, 増幅器の起動時間を短縮できるが, 入力インピーダンス Z_{in} を50 に整合させるためには, 前述のとおり, 給電抵抗 R_{bias} を高抵抗にすることが必要である。また, 図2において, 負荷抵抗 R_L を高周波に対して負荷となりDC成分(低周波)に対して短絡になるインダクタンスで構成することも, 増幅器の起動時間を短縮するのに有効であるが, インダクタンス素子はLSI内で大面積を必要とするので, 好ましくない。

【0053】

図12は, 第1の実施の形態の増幅器にセットアップ信号 S_T の生成回路を設けた回路図である。このセットアップ信号 S_T の生成回路40は, RC遅延回路 RC とコンパレータ cmp とを有する。そして, 受信イネーブル信号 REN がRC遅延回路 RC を経由してコンパレータ cmp のマイナス入力端子に入力し, プラス入力端子に基準電圧 $V_{dd}/2$ が供給される。さらに, スイッチ S_{W1} は, NチャネルMOSトランジスタで構成され, コンパレータ cmp が出力するセットアップ信号 S_T がゲートに供給され, その導通状態と非導通状態とが制御される。

【0054】

図13は, セットアップ信号生成回路40の動作波形図である。時間 t_1 より前の時間では, 受信イネーブル信号 REN がLレベルであり, RC遅延回路の出力 V_{RC} もLレベルであり, コンパレータ cmp はセットアップ信号 S_T をHレベル(電源 V_{dd} レベル)

10

20

30

40

50

にしている。そのため、スイッチ $S W 1$ は導通状態にある。

【 0 0 5 5 】

時間 $t 1$ で受信イネーブル信号 $R E N$ がグランド電位から電源電圧 $V d d$ に立ち上がっている。これにより、ゲートバイアス電圧発生回路 30 がゲートバイアス電圧 $V b i a s$ を出力する。このゲートバイアス電圧 $V b i a s$ の立ち上がり時間は比較的短い。そのため、時間 $t 1$ の直後にゲートバイアス電圧 $V b i a s$ が、フィードバック経路内のノード $n 1$ に直接印加される。これにより、ノード $n 1$ の $D C$ 電位は、ゲートバイアス電圧 $V b i a s$ に固定される。

【 0 0 5 6 】

次に、この受信イネーブル信号 $R E N$ の立ち上がりに対応して、 $R C$ 遅延回路の出力電圧 $V R C$ が $R C$ 時定数に基づいて徐々に上昇する。そして、時間 $t 2$ で出力電圧 $V R C$ が基準電圧 $V d d / 2$ を越えると、コンパレータ $c m p$ はセットアップ信号 $S T$ を L レベルに引き下げる。その結果、スイッチ $S W 1$ は非導通状態になる。つまり、増幅器は通常動作状態になり、トランジスタ $N 1$ のゲートに接続されている入力端子 $I n$ には、給電抵抗 $R b i a s$ を介してゲートバイアス電圧 $V b i a s$ が印加される。

10

【 0 0 5 7 】

上記のセットアップ信号 $S T$ は、受信イネーブル信号 $R E N$ の立ち上がりに対応して所定時間後に H レベルから L レベルに変化すれば良い。したがって、そのようなセットアップ信号 $S T$ を生成する回路であれば、図 12 のコンパレータ $c m p$ を利用した回路である必要はない。

20

【 0 0 5 8 】

図 14 は、第 2 の実施の形態の増幅器にセットアップ信号 $S T$ の生成回路 40 を設けた回路図である。セットアップ信号生成回路 40 は、図 13 の例と同じであり動作も同じである。セットアップ信号 $S T$ は、スイッチ $S W 2$ を構成する N チャネル $M O S$ トランジスタのゲートに供給されている。

【 0 0 5 9 】

図 15 は、第 3 の実施の形態の増幅器にセットアップ信号 $S T$ の生成回路 40 を設けた回路図である。セットアップ信号生成回路 40 は、図 13 の例と同じであり動作も同じである。セットアップ信号 $S T$ は、スイッチ $S W 2$ を構成する N チャネル $M O S$ トランジスタのゲートに供給されている。

30

【 0 0 6 0 】

図 16、図 17 は、実施の形態の増幅器について行ったシミュレーション結果を示す図である。前述の第 1、第 2 の実施の形態の増幅器に対して行った結果である。図 16 には、時間 $t 1$ ($1 \mu s e c$) で受信イネーブル信号 $R E N$ が H レベルに立ち上がり、それに対応して $R C$ 遅延回路の出力電圧 $V R C$ が徐々に立ち上がり、時間 $t 4$ でセットアップ信号 $S T$ が L レベルに変化している。そして、図 5 と比較すると明らかとなり、ソース接地トランジスタ $N 1$ のゲートに印加される入力電圧 $V i n$ は短時間で $0.5 V$ に立ち上がり、出力電圧 $V o u t$ も短時間で約 $2.1 V$ まで低下している。そして、その後は、入力電圧 $V i n$ と出力電圧 $V o u t$ は安定したレベルに維持されている。さらに、入力電圧 $V i n$ と出力電圧 $V o u t$ から求められる利得は、時間 $t 1$ から $3 \mu s e c$ 後には既に $18 d B$ と通常動作状態のレベルに達している。つまり、増幅器が受信器の $L N A$ に使用された場合は、送信から受信に切り換えるときに短時間で受信処理可能な状態になっている。

40

【 0 0 6 1 】

図 17 において示されるとおり、図 6 と比較すると、負荷抵抗 $R L$ に流れる電流 $I R L$ は、時間 $t 1$ で急激に立ち上がり、時間 $t 2$ では既にその振幅が $6 m A$ に達している。

【 0 0 6 2 】

このように、第 1、第 2 の実施の形態の増幅器では、起動時に、図 9 の矢印 36 や図 11 の矢印 38 で示したフィードバック経路内のノードにゲートバイアス電圧 $V b i a s$ を直接印加することで、短時間で増幅器を通常動作状態にすることができる。図 9 の第 3 の実施の形態でも同様の結果になる。また、図 10 の第 4 の実施の形態でも同様の結果になると

50

考えられる。

【 0 0 6 3 】

以上のとおり，本実施の形態の増幅器は，ゲートバイアス電圧生成回路からのゲートバイアス電圧の供給を開始することで起動してから，短時間で通常動作状態に移行することができる。したがって，増幅器を通信装置の受信器に使用した場合，送信モードから受信モードへの切り替え時間を短縮できる。

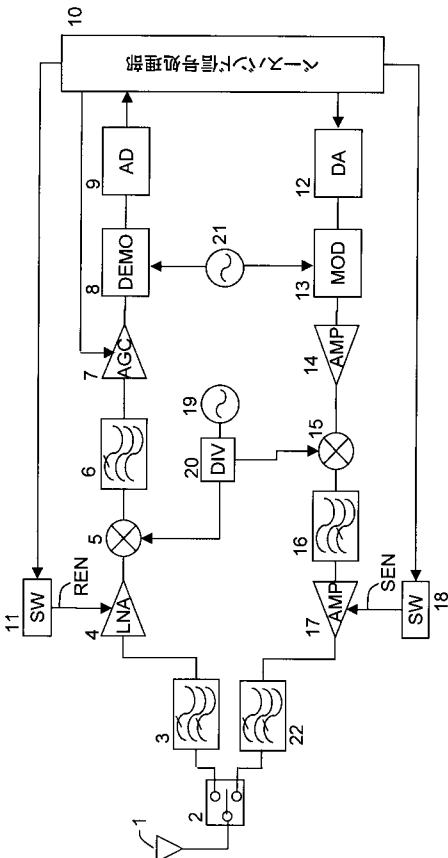
【 符号の説明 】

【 0 0 6 4 】

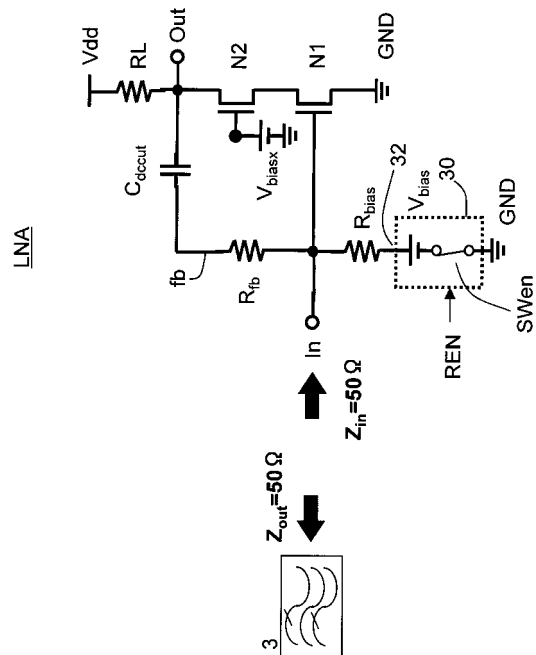
- In：入力端子
- N 2：第 2 のトランジスタ
- R L：負荷抵抗素子
- R f b：フィードバック抵抗
- Rbias：給電抵抗
- 3 2：ゲートバイアス電圧出力端子
- R E N：受信イネーブル信号

- N 1：第 1 のトランジスタ
- O u t：出力端子
- f b：フィードバック経路
- C dcut：容量素子
- 3 0：ゲートバイアス電圧生成回路
- S W 1：イネーブルスイッチ

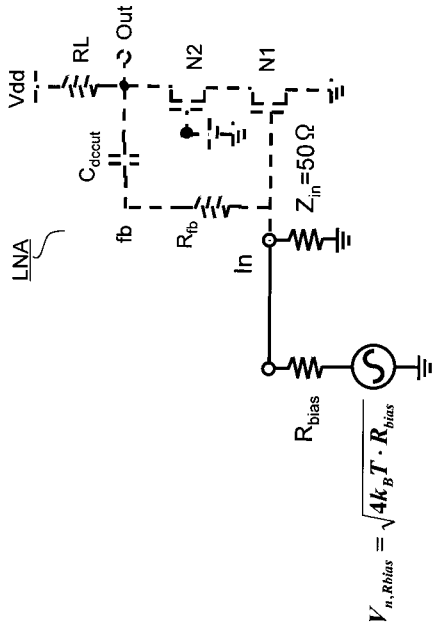
【 図 1 】



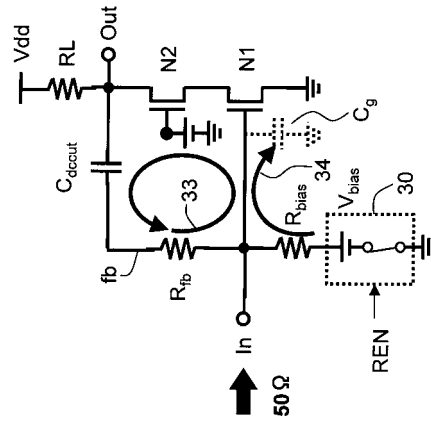
【 図 2 】



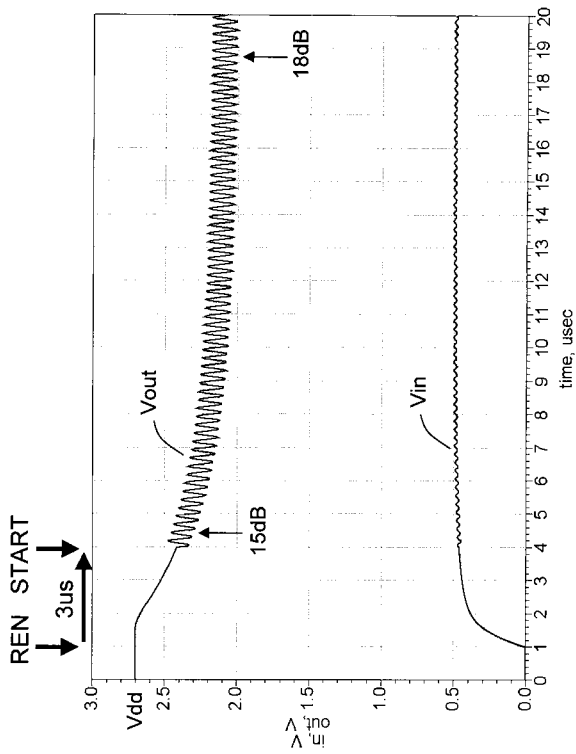
【 図 3 】



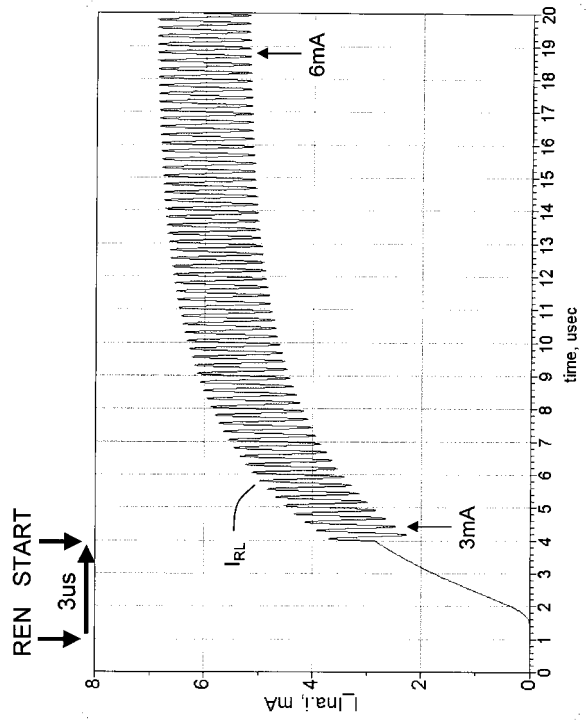
【 図 4 】



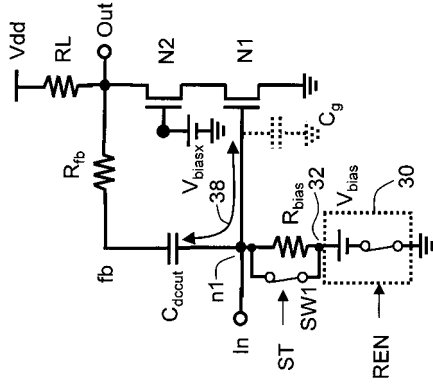
【 図 5 】



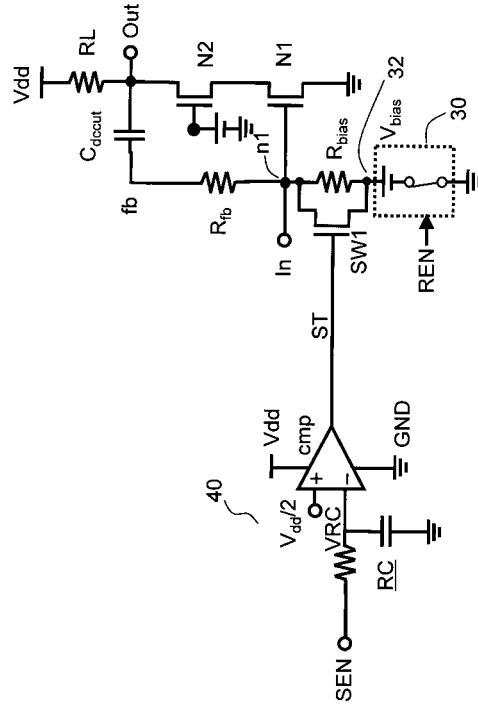
【 図 6 】



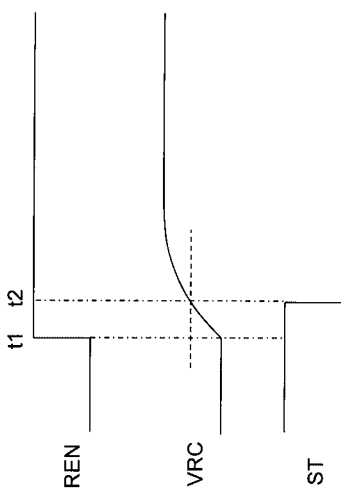
【 図 1 1 】



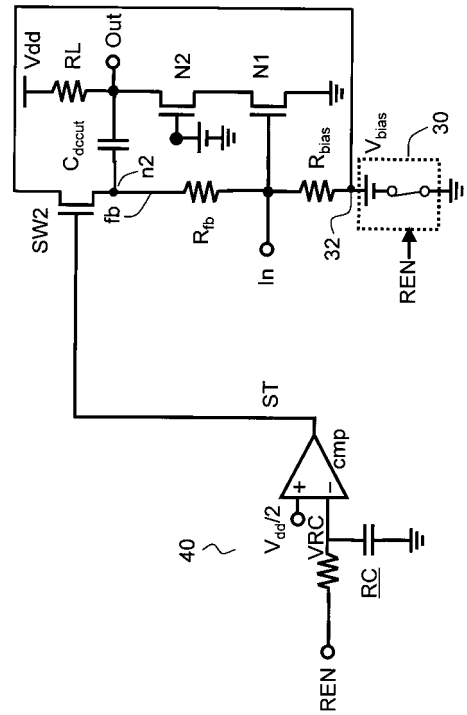
【 図 1 2 】



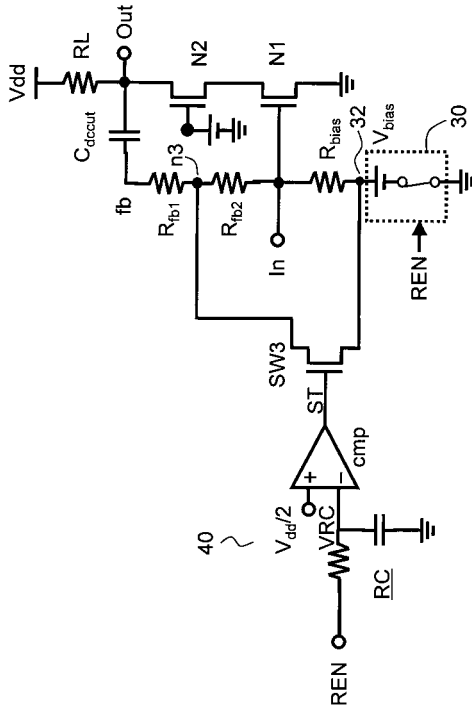
【 図 1 3 】



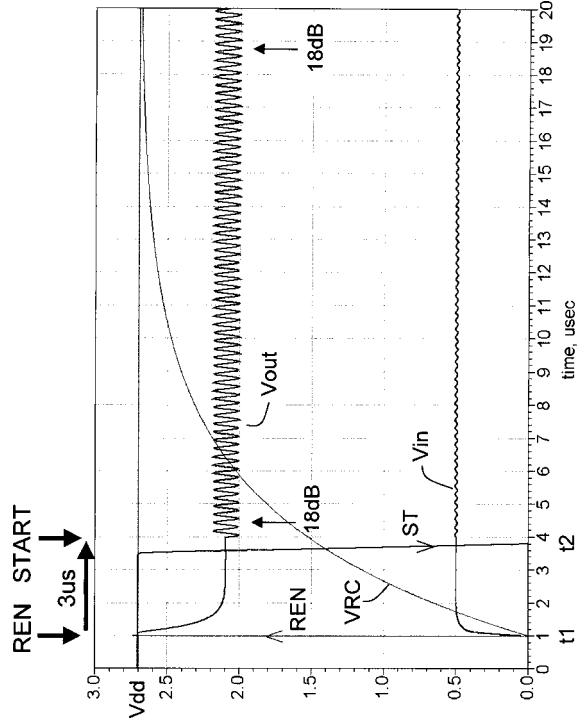
【 図 1 4 】



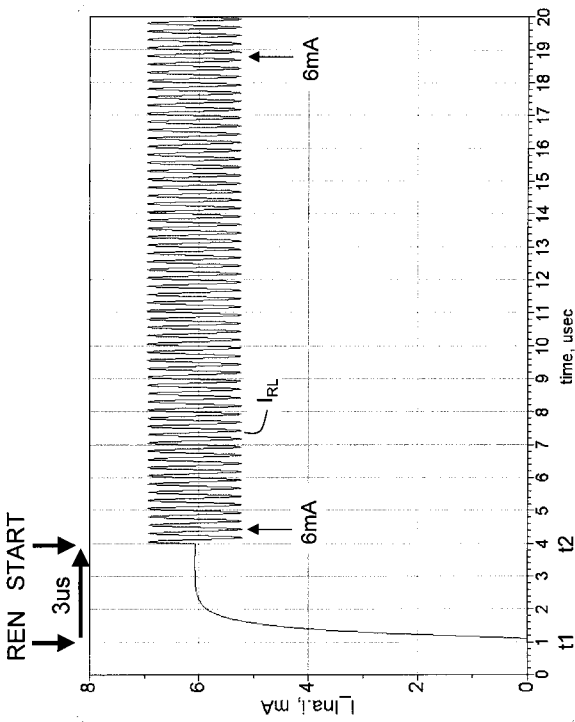
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

Fターム(参考) 5K011 DA02 DA03 DA12 DA15 DA27 KA13 KA15
5K060 BB01 CC04 HH01 HH06 HH14 HH22 JJ02 JJ03 JJ04 JJ08
JJ16 JJ21 JJ23 LL11
5K061 AA11 CC02 CC08 CC11 CC14 CC23 CC45 CC52 JJ02 JJ09
JJ11 JJ14 JJ24