

公告本

申請日期	87.2.3
案 號	81101411
類 別	H23K 9/00

A4
C4

420907

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	快速傅立葉轉換處理裝置、處理系統及處理方法
	英 文	
二、發明 創作人	姓 名	水谷 秀夫
	國 籍	日本
	住、居所	日本東京都港區虎ノ門1丁目7番12號
三、申請人	姓 名 (名稱)	沖電氣工業股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本東京都港區虎ノ門1丁目7番12號
	代 表 人 姓 名	澤村 紫光

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

· ☒ 有 ☐ 無主張優先權

1 日本

1997/2/4

平成9年特許願第021799號

2 日本

1997/11/14

平成9年特許願第313659號

3 日本

1998/1/28

平成9年特許願第015971號

(請先
將背面之注意事項再填寫本頁各欄)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明是有關於一種快速傅立葉轉換處理。例如，本發明係使用於諸如聲音訊號此類之訊號分析，以及對一數位訊號傳輸做調變/解調之處理。

更細說，本發明係與用來將各個取樣點(sampling points)完成快速傅立葉轉換處理或其反轉換處理而成爲一離散複數(complex number)輸入訊號之序列。

直至目前，如一聲音訊號的分析，對數位訊號傳輸做調變/解調之處理，皆是使用快速傅立葉轉換處理裝置。

舉例來說，此類快速傅立葉轉換處理裝置，有如在“ISSC89,Digest, ppl66 to167,327,THPM12.5:A 200MIPS Single-Chip 1K FFT Processor”一文所揭露的裝置是眾所皆知的。

在上述文章中之快速傅立葉轉換處理裝置，係經由一雙埠 RAM、一旋轉因子 ROM(twiddle factor ROM)與多個計算元件構成的資料路徑(data path)來完成一計算程序。

此裝置提供多個資料路徑，並經由執行一並列處理程序來改善內部計算的單位時間內所能處理之輸出入量。

此資料路徑是由散佈在暫存檔(register files)間之乘法器與加法減法器組成的管線結構(pipeline structure)所構成的，並且由此管線處理程序執行一傅立葉轉換，用以將輸入之複數資料從時間領域(time domain)轉換成頻率領域(frequency domain)；或者執行一反傅立葉轉換，用以將輸入之複數資料從頻域轉換成時域。

假如取樣點的數目是 1024、256 或 64 的話，此資料路

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(≥)

徑便以基數 4(radix 4)的演算法為基礎，執行一快速傅立葉轉換。

然而，如上所提參考文獻揭露之快速傅立葉轉換處理裝置，它的資料路徑架構可以使用快速傅立葉轉換之基數 4 的演算法。即使它可以執行快速傅立葉轉換處理，但萬一取樣點的數目不是 4 的次方數(亦即 4^n)的話，它依然有其不便之處，假如取樣點的數目不是 4^n 的話，它處理上便顯得很沒效率。

舉例來說，假如取樣點的數目是 $512(2 \times 4^4)$ 或是 $128(2 \times 4^3)$ 的話，雖然它還是可以執行快速傅立葉轉換處理，但它的速度非常慢，因為它不得不以一種非常沒效率的方式來完成執行快速傅立葉轉換處理。

前述之快速傅立葉轉換處理裝置，假如內部工作記憶體不夠的話，可藉由將多數個裝置以彼此並列的方式來執行一處理程序。然而，若執行此處理程序的話，處理系統就必需新加入一複數加法減法器、複數乘法器、工作記憶體，以及類似此類之分離元件。因此，這會導致處理裝置在尺寸大小方面變得很大的不便。舉例來說，上述之快速傅立葉轉換處理裝置本身便無法處理取樣點大於 1024 點之快速傅立葉轉換，假如取樣點為 2048 或 4096 點時，就必須建立一新的系統。

因此本發明的主要目的就是在提供一種快速傅立葉轉換處理裝置，以及快速傅立葉轉換處理方法，其可以含括基數 4 與基數 2 之演算法的快速傅立葉轉換。

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(3)

本發明的第二目的就是在提供一種快速傅立葉轉換處理系統，以及快速傅立葉轉換處理方法，其可以藉由連接數個晶片組來完成工作，既使把取樣點數目加倍也不必使用額外的分離元件。

本發明藉由下列之構成物來達成目的。

- (1) 一快速傅立葉轉換處理裝置，根據第一個本發明部份，包括：

一工作記憶體，其具有複數資料，取樣點的數目為 $4^n \times 2$ 或 4^n (n 為自然數)，係由外部輸入並將他們暫時儲存成一群組；以及

一計算裝置，用以將儲存於上述工作記憶體中的複數資料分成四個群組 A、B、C 與 D 的計算操作序列重複 n 次，其係根據計算序列與取樣點數目，執行下列之計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

其係使用分屬群組 A、B、C 與 D 之第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i 以及對應每個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i ，在工作記憶體中儲存成 A_i 、 B_i 、 C_i 與 D_i ；假如取樣點數目為 $4^n \times 2$ 的話，它的資料路徑更一次執行下列計算：

$$a_i = A_i + B_i \quad (5)$$

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(4)

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

其係使用對應與每一個 i 的計算獲得的 A_i 、 B_i 、 C_i 與 D_i ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在工作記憶體中。

根據本發明，經由簡單的組合，要提供一能含括基數 4 與基數 2 快速傅立葉轉換演算法兩者之快速傅立葉轉換處理裝置是可行的。

(2) 一快速傅立葉轉換處理裝置，根據第一個本發明部份，包括：

一工作記憶體，其具有複數資料，取樣點的數目為 $4^n \times 2$ 或 4^n (n 為自然數)，係由外部輸入並將他們暫時儲存成一群組；

一第一計算裝置，用以將儲存於工作記憶體之複數資料群組分成 16 個群組 $AG1$ 、 $BG1$ 、 $CG1$ 、 $DG1$ 、 $AG2$ 、 $BG2$ 、 $CG2$ 、 $DG2$ 、 $AG3$ 、 $BG3$ 、 $CG3$ 、 $DG3$ 、 $AG4$ 、 $BG4$ 、 $CG4$ 與 $DG4$ ，其係根據計算序列與取樣點數目，並將相關的每一分好的群組組合 $\{AG1, BG1, CG1, DG1\}$ 、 $\{AG2, BG2, CG2, DG2\}$ 、 $\{AG3, BG3, CG3, DG3\}$ 與 $\{AG4, BG4, CG4, DG4\}$ ，執行下列計算操作：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

五、發明說明(5)

使用分屬各群組組合的群組之第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i 以及旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ；

一轉置裝置，將前述之第一資料路徑的計算結果 a_i 、 b_i 、 c_i 與 d_i 一次四個地輸入，並且形成一由 4 列與 4 行構成的矩陣，然後將此矩陣轉置，完成之後，一行一行地輸出此複數資料，形成一轉置矩陣，其係根據上述之計算操作完成的；以及

一第二計算裝置，用以一個接一個執行(1)到(4)的計算操作，其係使用上述轉置裝置輸入之 A_i 、 B_i 、 C_i 與 D_i 的複數資料，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i 一個接一個儲存在上述之群組組合 { $AG1$ 、 $BG1$ 、 $CG1$ 、 $DG1$ }、{ $AG2$ 、 $BG2$ 、 $CG2$ 、 $DG2$ }、{ $AG3$ 、 $BG3$ 、 $CG3$ 、 $DG3$ } 與 { $AG4$ 、 $BG4$ 、 $CG4$ 、 $DG4$ } 中於工作記憶體中。

根據本發明，經由簡單的組合，要提供一能含括 radix4 與 radix2 快速傅立葉轉換演算法兩者之快速傅立葉轉換處理裝置是可行的，並且比第一部份更快速。

(3) 一快速傅立葉轉換處理裝置，根據第一個本發明部份，包括：

一工作記憶體，其具有複數資料，取樣點的數目為 $2N$ 點 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係由外部輸入並將他們暫時儲存成一群組；以及

一計算裝置，用以一次完成將儲存於上述工作記憶體中的複數資料分成 8 個群組 $A1$ 、 $B1$ 、 $C1$ 、 $D1$ 、 $A2$ 、 $B2$ 、 $C2$ 與 $D2$ ，其係根據計算序列與取樣點數目，並對每一個

(請先閱讀背面之注意事項)

裝

訂

線

420907

五、發明說明 (6)

i 執行下列之計算：

$$a1i = \{(A1i + C1i) + (A2i + C2i)\} \times W1i1 \quad (1)$$

$$c1i = \{(A1i + C1i) - (A2i + C2i)\} \times W1i3 \quad (2)$$

$$b1i = \{(A1i - C1i) - j(A2i - C2i)\} \times W1i2 \quad (3)$$

$$d1i = \{(A1i - C1i) + j(A2i - C2i)\} \times W1i4 \quad (4)$$

$$a2i = \{(B1i + D1i) + (B2i + D2i)\} \times W2i1 \quad (5)$$

$$c2i = \{(B1i + D1i) - (B2i + D2i)\} \times W2i3 \quad (6)$$

$$b2i = \{(B1i - D1i) - j(B2i - D2i)\} \times W2i2 \quad (7)$$

$$d2i = \{(B1i - D1i) + j(B2i - D2i)\} \times W2i4 \quad (8)$$

使用第 i 個分屬於分好後之群組 A1、B1、C1、D1、A2、B2、C2 與 D2 的複數資料 A1i、B1i、C1i、D1i、A2i、B2i、C2i 與 D2i，以及旋轉因子 W1i1、W1i2、W1i3、W1i4、W2i1、W2i2、W2i3 與 W2i4，並將其這些計算操作的結果 a1i、b1i、c1i、d1i、a2i、b2i、c2i 與 d2i 以 A1i、B1i、C1i、D1i、A2i、B2i、C2i 與 D2i 儲存在工作記憶體之中；

根據計算序列與取樣點數目，將儲存在工作記憶體之中的複數資料分成 4 個群組。

然後，重複 n-1 次一序列計算程序，它包含將上述儲存在工作記憶體中的複數資料群組再分成四個群組 A、B、C 與 D，其分法係根據計算序列與取樣點數目，並對每一相應的 i 執行下列計算操作：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (9)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (10)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (11)$$

五、發明說明 (7)

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (12)$$

其係使用第 i 個區分後的群組 A 、 B 、 C 與 D 的複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} 。並將複數資料 A_i 、 B_i 、 C_i 與 D_i 的計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在工作記憶體之中，如果取樣點為 $4^n \times 2$ 的話，更包括：

對每一相應的 i 一次執行下列的計算：

$$a_i = (A_i + B_i) \quad (13)$$

$$b_i = (A_i - B_i) \quad (14)$$

$$c_i = (C_i + D_i) \quad (15)$$

$$d_i = (C_i - D_i) \quad (16)$$

其係使用在上述計算操作中的複數資料 A_i 、 B_i 、 C_i 與 D_i ，並且將計算結果 a_{1i} 、 b_{1i} 、 c_{1i} 、 d_{1i} 、 a_{2i} 、 b_{2i} 、 c_{2i} 與 d_{2i} 儲存在工作記憶體之中。

依據本發明，藉由簡單的組合，一種比本發明第一部份更能執行具有基數 4 與基數 2 兩種運算能力的快速傅立葉轉換處理是可能的。

(4) 根據本發明第四部份，一種快速傅立葉轉換處理系統，包括：

複數個快速傅立葉轉換處理裝置，每一個由下列元件所構成：

一工作記憶體，用以用以將從外界輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數) 之一複數資料暫存於該郭做記憶體做為一群組；

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (8)

一計算裝置，用以重複 n 次一序列計算操作，將儲存在工作記憶體中的複數資料區分成 A、B、C 與 D 四個群組，其係依據計算序列與取樣點數目，並且執行下列之計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

其係使用上述群組 A、B、C 與 D 中的第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及每一相應於 I 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在工作記憶體中做為 A_i 、 B_i 、 C_i 與 D_i 。如果取樣點為 $4^n \times 2$ 的話，資料路徑更一次執行下列之計算程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

其係使用每一個 i 之上述計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存在工作記憶體之中。

一輸入資料選擇電路，提供給予上述每一快速傅立葉轉換處理裝置，用以選擇性輸入複數資料至快速傅立葉轉換處理裝置中，以及

一輸出資料選擇電路，用以在經過計算程序後選擇性

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (9)

地使複數個快速傅立葉轉換處理裝置輸出複數資料。

依據本發明，它可僅由複數個快速傅立葉轉換處理裝置，以一輸入資料選擇電路與一輸出資料選擇電路彼此連接，來改善處理速度。

(5) 根據本發明第五部份，一種快速傅立葉轉換處理系統，包括：

複數個快速傅立葉轉換處理裝置，每一個包括：

一工作記憶體，其具有從外面輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數) 的複數資料，並將此資料暫時存放。

一計算裝置，重複 n 次一序列的計算操作，將儲存在工作記憶體中的複數資料分成 A、B、C 與 D 四個群組，其分法係根據計算序列與取樣點數目，並執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

其係使用上述群組 A、B、C 與 D 中第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} 。並將其計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在工作記憶體之中做為複數資料 A_i 、 B_i 、 C_i 與 D_i 。假如取樣點的數目為 $4^n \times 2$ 的話，資料路徑一次更執行下列計算之程序：

$$a_i = A_i + B_i \quad (5)$$

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (10)

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

其係使用每一個 i 之上述計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存在工作記憶體之中。

一輸入資料選擇電路，提供給予上述每一快速傅立葉轉換處理裝置，用以選擇性輸入從外面來的複數資料或從另一快速傅立葉轉換處理裝置輸出的複數資料，以及

一輸出資料選擇電路，用以在經過計算程序後選擇性地使各個快速傅立葉轉換處理裝置輸出複數資料。

依據本發明，它可僅由複數個快速傅立葉轉換處理裝置，以一輸入資料選擇電路與一輸出資料選擇電路彼此連接，來括充取樣點的數目。

(6) 根據本發明第六部份，一種快速傅立葉轉換處理系統，包括：

一第一計算程序，其具有從外面輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數) 的複數資料，並將此資料暫時存放成一群組。

一第二計算程序，重複 n 次一序列的計算操作，將暫時儲存在工作記憶體中的複數資料分成 A 、 B 、 C 與 D 四個群組，其分法係根據計算序列與取樣點數目，並執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

五、發明說明 (II)

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (4)$$

其係使用上述群組 A、B、C 與 D 中第 i 個複數資料 Ai 、 Bi 、 Ci 與 Di ，以及對應每一個 i 的旋轉因子 $Wi1$ 、 $Wi2$ 、 $Wi3$ 與 $Wi4$ 。並將其計算結果 ai 、 bi 、 ci 與 di 取代複數資料 Ai 、 Bi 、 Ci 與 Di 。假如取樣點的數目為 $4^n \times 2$ 的話，資料路徑一次更執行下列計算之程序：

$$ai = Ai + Bi \quad (5)$$

$$bi = Ai - Bi \quad (6)$$

$$ci = Ci + Di \quad (7)$$

$$di = Ci - Di \quad (8)$$

其係使用每一個 i 之上述計算程序所得到的 Ai 、 Bi 、 Ci 與 Di ，並且將計算結果 ai 、 bi 、 ci 與 di 取代複數資料 Ai 、 Bi 、 Ci 與 Di 。

依據本發明，它可僅由複數個快速傅立葉轉換處理裝置，以一輸入資料選擇電路與一輸出資料選擇電路彼此連接，來括充取樣點的數目。

依據本發明，藉由簡單的計算程序，能執行具有基數 4 與基數 2 兩種運算能力的快速傅立葉轉換處理是可能的。

(7) 一快速傅立葉轉換處理裝置，根據本發明第七部份，包括：

一第一程序，其具有複數資料之取樣點的數目為 $4^n \times 2$

(請先閱讀背面之注意事項)

為本頁)

裝

訂

五、發明說明 (12)

或 4^n (其中 n 為自然數)，係由外部輸入並將他們暫時儲存成一群組，以及

一第二程序，重複 n 次一序列計算步奏，包括：

一第一計算步驟，用以將暫時儲存成一群組之複數資料群組分成 16 個群組 AG1、BG1、CG1、DG1、AG2、BG2、CG2、DG2、AG3、BG3、CG3、DG3、AG4、BG4、CG4 與 DG4，其係根據計算序列與取樣點數目，

一第二計算步驟，相關的每一分好的群組組合 { AG1、BG1、CG1、DG1 }、{ AG2、BG2、CG2、DG2 }、{ AG3、BG3、CG3、DG3 } 與 { AG4、BG4、CG4、DG4 }，執行下列計算操作：

$$ai = \{(Ai+Ci)+(Bi+Di)\} \times Wi1 \quad (1)$$

$$ci = \{(Ai+Ci)-(Bi+Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai-Ci)-j(Bi-Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai-Ci)+j(Bi-Di)\} \times Wi4 \quad (4)$$

其係使用分屬各群組組合的群組之第 i 個複數資料 Ai 、 Bi 、 Ci 與 Di 以及旋轉因子 $Wi1$ 、 $Wi2$ 、 $Wi3$ 與 $Wi4$ 。

一第三計算步驟，將前述第二計算步驟之計算結果 ai 、 bi 、 ci 與 di 一次四個地輸入，並且形成一由 4 列與 4 行構成的矩陣，然後將此矩陣轉置，完成之後，一行一行地輸出此複數資料，形成一轉置矩陣，其係根據上述之計算操作完成的；以及

一第四計算步驟，用以一個接一個執行(1)到(4)的計算操作，其係使用上述 Ai 、 Bi 、 Ci 與 Di 的複數資料，並將

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (13)

其計算結果 a_i 、 b_i 、 c_i 與 d_i 一個接一個取代上述之群組組合 { AG1、BG1、CG1、DG1 }、{ AG2、BG2、CG2、DG2 }、{ AG3、BG3、CG3、DG3 } 與 { AG4、BG4、CG4、DG4 } 的 A_i 、 B_i 、 C_i 與 D_i 的複數資料。假如取樣點的數目為 $4^n \times 2$ 的話，更對每一相對應的 i 一次執行下列計算操作程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

其係使用每一個 i 之上述計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 取代複數資料 A_i 、 B_i 、 C_i 與 D_i 。

根據本發明，要提供一能含括 radix4 與 radix2 快速傅立葉轉換演算法兩者之快速傅立葉轉換處理裝置，並且比第六部份更快速是可行的。

(8) 一快速傅立葉轉換處理裝置，根據本發明第八個部份，包括：

一第一程序，其具有複數資料取樣點的數目為 $2N$ 點 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係由外部輸入並將他們暫時儲存成一群組，以及

一第二程序，

用以一次完成一序列計算程序，包括將暫時儲存的複數資料分成 8 個群組 A_1 、 B_1 、 C_1 、 D_1 、 A_2 、 B_2 、 C_2 與 D_2 ，其係根據計算序列與取樣點數目，並對每一個相對應

(請先閱讀背面之注意事項)

裝

訂

五、發明說明 (14)

之 i 執行下列之計算：

$$a1i = \{(A1i + C1i) + (A2i + C2i)\} \times W1i1 \quad (1)$$

$$c1i = \{(A1i + C1i) - (A2i + C2i)\} \times W1i3 \quad (2)$$

$$b1i = \{(A1i - C1i) - j(A2i - C2i)\} \times W1i2 \quad (3)$$

$$d1i = \{(A1i - C1i) + j(A2i - C2i)\} \times W1i4 \quad (4)$$

$$a2i = \{(B1i + D1i) + (B2i + D2i)\} \times W2i1 \quad (5)$$

$$c2i = \{(B1i + D1i) - (B2i + D2i)\} \times W2i3 \quad (6)$$

$$b2i = \{(B1i - D1i) - j(B2i - D2i)\} \times W2i2 \quad (7)$$

$$d2i = \{(B1i - D1i) + j(B2i - D2i)\} \times W2i4 \quad (8)$$

其係使用第 i 個分屬於分好後之群組 $A1$ 、 $B1$ 、 $C1$ 、 $D1$ 、 $A2$ 、 $B2$ 、 $C2$ 與 $D2$ 的複數資料 $A1i$ 、 $B1i$ 、 $C1i$ 、 $D1i$ 、 $A2i$ 、 $B2i$ 、 $C2i$ 與 $D2i$ ，以及旋轉因子 $W1i1$ 、 $W1i2$ 、 $W1i3$ 、 $W1i4$ 、 $W2i1$ 、 $W2i2$ 、 $W2i3$ 與 $W2i4$ ，並將這些計算操作的結果 $a1i$ 、 $b1i$ 、 $c1i$ 、 $d1i$ 、 $a2i$ 、 $b2i$ 、 $c2i$ 與 $d2i$ 取代 $A1i$ 、 $B1i$ 、 $C1i$ 、 $D1i$ 、 $A2i$ 、 $B2i$ 、 $C2i$ 與 $D2i$ 。

根據計算序列與取樣點數目，將所有的複數資料分成 4 個群組。

然後，重複 $n-1$ 次一序列計算程序，它包含將每一複數資料群組再分成四個群組 A 、 B 、 C 與 D ，其分法係根據計算序列與取樣點數目，並對每一相應的 i 執行下列計算操作：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (9)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (10)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (11)$$

五、發明說明 (15)

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (12)$$

其係使用分好後的群組 A、B、C 與 D 的第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} 。並將計算結果 a_i 、 b_i 、 c_i 與 d_i 取代複數資料 A_i 、 B_i 、 C_i 與 D_i ，如果取樣點為 $4^n \times 2$ 的話，更包括：

對每一相應的 i 一次執行下列的計算：

$$a_i = (A_i + B_i) \quad (13)$$

$$b_i = (A_i - B_i) \quad (14)$$

$$c_i = (C_i + D_i) \quad (15)$$

$$d_i = (C_i - D_i) \quad (16)$$

其係使用在上述計算操作中的複數資料 A_i 、 B_i 、 C_i 與 D_i ，並且將計算結果 a_{1i} 、 b_{1i} 、 c_{1i} 、 d_{1i} 、 a_{2i} 、 b_{2i} 、 c_{2i} 與 d_{2i} 取代 A_{1i} 、 B_{1i} 、 C_{1i} 、 D_{1i} 、 A_{2i} 、 B_{2i} 、 C_{2i} 與 D_{2i} 。

依據本發明，一種能執行具有基數 4 與基數 2 兩種運算能力的快速傅立葉轉換處理，並且比本發明第六部份更快的快速傅立葉轉換處理方法是可行的。

(9) 一快速傅立葉轉換處理裝置，根據本發明第九個部份，包括：

一第一計算程序，其儲存 $2N$ 個複數資料 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係根據取樣點數目，由外部一次 $N/4$ 個輸入至第一快速傅立葉轉換處理裝置與第二快速傅立葉轉換處理裝置的工作記憶體之中，在每一工作記憶體之中形成一群組，以及

一第二計算程序，其重複 $n-1$ 次一序列的步驟，將暫

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明(16)

存於第一快速傅立葉轉換處理裝置與第二快速傅立葉轉換處理裝置的工作記憶體中的複數資料的每一群組，依據計算序列與取樣點數目，分成 4 個群組 A、B、C 與 D，並且執行下列計算：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (1)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (4)$$

其係使用群組 A、B、C 與 D 的第 i 個複數資料 Ai 、 Bi 、 Ci 與 Di ，以及對應每一個 i 之旋轉因子 $Wi1$ 、 $Wi2$ 、 $Wi3$ 與 $Wi4$ 。並將其計算結果 ai 、 bi 、 ci 與 di 在工作記憶體中儲存成 Ai 、 Bi 、 Ci 與 Di ，用以彼此取代第一快速傅立葉轉換處理裝置中的群組 C 與 D 之複數資料，以及第二快速傅立葉轉換處理裝置中的群組 A 與 B 之複數資料。之後，對每一第一快速傅立葉轉換處理裝置與第二快速傅立葉轉換處理裝置，將群組 B 的複數資料與群組 C 的複數資料彼此取代。

一第三計算程序，用以重複一序列的步驟，更依據計算序列與取樣點數目，將儲存於每一與第二快速傅立葉轉換處理裝置中的複數資料分成 4 個群組，並且上述(1)~(4)的計算，其係使用分好後的群組 A、B、C 與 D 之複數資料 Ai 、 Bi 、 Ci 與 Di ，以及對應每一個 i 的旋轉因子 $W1i$ 、 $W2i$ 、 $W3i$ 與 $W4i$ 。並將 ai 、 bi 、 ci 與 di 取代 Ai 、 Bi 、 Ci 與 Di 。如果取樣點數目為 $4^n \times 2$ 的話，更一次執行一步驟下列計

(請先閱讀背面之注意事項再
訂本頁)

裝

訂

線

五、發明說明 (17)

算：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

其係使用對應與每一個 i 的計算獲得的複數資料 A_i 、 B_i 、 C_i 與 D_i ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i 在工作記憶體中分別儲存成 A_i 、 B_i 、 C_i 與 D_i 。

根據本發明，僅藉由連接複數個快速傅立葉轉換處理裝置，並且將其與輸入資料選擇電路與輸出資料選擇電路連接，要執行括充取樣點數目的快傅立葉轉換處理裝置是可行的。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示依照本發明第一實施例之快傅立葉轉換處理裝置組成方塊圖；

第 2A 圖繪示第 1 圖中第一與第二資料路徑內部結構的概念圖；

第 2B 圖與第 2C 圖分別繪示第 2A 圖中的等效電路圖；

第 3 圖繪示第 1 圖中工作 RAM 內部結構之方塊圖；

第 4 圖繪示依照本發明第一實施例之快傅立葉轉換處理裝置操作之概念圖；

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (18)

第 5 圖繪示依照本發明之第二實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 6 圖繪示依照本發明之第三實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 7 圖繪示依照本發明之第四實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 8 圖繪示第 7 圖中工作 RAM 內部結構的方塊圖；

第 9 圖與第 10 圖繪示依照本發明之第四實施例快速傅立葉轉換處理裝置操作的概念圖；

第 11 圖繪示依照本發明之第五實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 12 圖繪示依照本發明之第一實施例另一種資料路徑之組成例子；

第 13 圖繪示在基數為 4 的情形下，用來解釋資料路徑操作的時序圖；

第 14 圖繪示在基數為 4 的情形下，用來解釋資料路徑操作的時序圖；

第 15 圖繪示在基數為 2 的情形下，用來解釋資料路徑操作的時序圖；

第 16 圖繪示在基數為 2 的情形下，用來解釋資料路徑操作的時序圖；

第 17 圖繪示依照本發明之第二實施例另一種資料路徑之組成例子；

第 18 圖繪示依照本發明之第六實施例快速傅立葉轉換

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (19)

處理裝置組成的電路方塊圖；

第 19 圖繪示第 18 圖中之快速傅立葉轉換處理裝置操作的概念圖；

第 20 圖繪示依照本發明之第七實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 21 圖繪示依照本發明之第八實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 22 圖繪示依照本發明之第九實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 23 圖繪示依照本發明之第十實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 24 圖繪示依照本發明之第十一實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 25 圖繪示依照本發明之第十二實施例快速傅立葉轉換處理裝置組成的電路方塊圖；

第 26 圖繪示第 25 圖中多工器之操作概念圖；以及

第 27 圖繪示依照本發明之第十三實施例快速傅立葉轉換處理裝置組成的電路方塊圖。

實施例(較佳實施例)

本發明之實施例將根據以上圖式於下文中說明。

圖式中所繪的是非常粗略的，故其大小、形狀、分佈與數值情況僅做為例子之用，並非用以限制本發明。

第一實施例

下文所述之本發明第一實施例係根據圖式中的第 1 圖

(請先閱讀背面之注意事項
為本頁)

裝

訂

線

五、發明說明(20)

到第3圖來加以說明。

此實施例中，係以取樣點數目為2048點做為例子。

如第1圖所示，外部資料的實數部份輸入到輸入端101與外部資料的虛數部份輸入到輸入端102，輸入端101與輸入端102分別連接到暫存器103與104之輸入端。

暫存器103與104之輸出端連接到選擇器105與106一邊的輸入端。

暫存器103與104之輸出資料被放置到工作RAM107之中。

工作RAM107，其具有一資料緩衝部份107a，一實數資料儲存部份107b，一虛數資料儲存部份107c，以及一輸出緩衝部份107d。工作RAM107可將2048個取樣點的複數資料儲存於其中。

工作RAM107的輸出資料是由輸入到第一資料路徑108與第二資料路徑109。在正弦/餘弦因子ROM110儲存旋轉因子。從正弦/餘弦因子ROM110輸出的旋轉因子也輸入到第一資料路徑108與第二資料路徑109。

第一資料路徑108與第二資料路徑109執行一計算程序，是由下文所述藉由輸入資料與旋轉因子來計算，其輸出的資料係顯示計算結果。

此輸出資料經選擇器105與106再輸入至工作RAM107中。之後，工作RAM107的輸出訊號分別輸入至選擇器111與112。

選擇器111與112的輸出訊號，分別經由暫存器113

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(2)

與 114 傳到輸出端 115，做為實數部份，以及輸出端 116 做為虛數部份。

除了上述之資料路徑 108 與 109 的輸出訊號外，工作 RAM107 的輸出訊號與正弦/餘弦 ROM110 的輸出訊號也輸入到選擇器 111 與 112。選擇器 111 與 112 提供由循序控制器所選擇的訊號，其經由暫存器 113 與 114 傳到輸出端 115 以及輸出端 116。

時脈產生器 117 將一由外部輸入之系統時脈訊號 SCLK 加以轉換並提供給記憶體位址產生器 118 與循序控制器 119。

記憶體位址產生器 118，根據時脈產生器 117 產生之一時脈訊號的時序來產生位址並且將其供給工作 RAM107 與正弦/餘弦 ROM110。

循序控制器 119，控制工作 RAM107、資料路徑 108 與 109 以及正弦/餘弦 ROM110 的操作，並且根據從外部輸入之一狀態控制訊號與從時脈產生器 117 輸入之時脈訊號，選擇選擇器 105、106、111 與 112 的輸出訊號。循序控制器 119 亦可輸出一狀態指示訊號到外界。

第 2A 圖繪示在第 1 圖中的第一資料路徑 108 或第二資料路徑 109 的內部結構之示意圖。

如第 2A 圖所示，每一資料路徑 108 與 109 係由加法器 201、202，一減法器 203，以及一複數減法器 204 做為第一階段的計算元件。加法器 201 完成一演算操作 $(A_i + C_i)$ ，加法器 202 完成一演算操作 $(B_i + D_i)$ ，減法器 203

五、發明說明 (22)

完成一演算操作($A_i - C_i$)，複數減法器 204 完成一演算操作 $j(B_i - D_i)$ 。這四個計算元件 201~204 分別具有旁路元件 (bypasses) 211~214，並且當他們沒有執行上述計算操作時，可以將資料 A_i 、 B_i 、 C_i 與 D_i 傳送至第二階段的計算元件 224 到 224。循序控制器 119 控制資料是要被計算元件 201~204 計算，或者是要被經由旁路元件 211~214 傳送。

如第 2A 圖所示，加法器 221 與 223，以及減法器 222 與 224 係用來做為第二階段的計算元件。加法器 221 將第一階段中的加法器 201 與 202 的輸出值(或來至旁路元件 211 與 212 的資料)彼此相加，減法器 222 將第一階段中的加法器 201 與 202 的輸出值(或來至旁路元件 211 與 212 的資料)彼此相減，加法器 223 將第一階段中的減法器 203 輸出值與複數減法器 204 的輸出值 (或來至旁路元件 213 與 214 的資料)彼此相加，減法器 224 將第一階段中的加法器 203 的輸出值與複數減法器 204 的輸出值(或來至旁路元件 213 與 214 的資料)彼此相減。

再者，如第 2A 圖所示，乘法器 231、232、233 與 234 係用來做為第三階段的計算元件。乘法器 231 輸出一值 a_i ，係由將第二階段的加法器 221 的輸出值乘上一由正弦/餘弦因子 ROM110 輸入之旋轉因子 $W1$ 或 “1” (第 2A 圖中的訊號 $S1$)，乘法器 232 輸出一值 c_i ，係由將第二階段的減法器 222 的輸出值乘上一旋轉因子 $W3$ 或 “1” (第 2A 圖中的訊號 $S2$)，乘法器 233 輸出一值 b_i ，係由將第二階段的加法器 223 的輸出值乘上一旋轉因子 $W2$ 或 “1” (第

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (23)

2A 圖中的訊號 S3)，以及乘法器 234 輸出一值 d_i ，係由將第二階段的減法器 224 的輸出值乘上一旋轉因子 W_4 或“1” (第 2A 圖中的訊號 S4)。循序控制器 119 控制這些乘法器 231~234，將第二階段計算元件 221~224 輸出值乘上一由正弦/餘弦因子 ROM110 輸入之旋轉因子或是乘上“1”。

如將在下文所述，當本實施例執行一基數 4 的計算程序時，本裝置藉由第一階段的計算元件 201~204 (亦即，不採用旁路元件 211~214 的資料)，並且將第二階段計算元件的輸出值乘上第三階段計算元件之旋轉因子來完成計算程序。

第 2B 圖繪示本例中之第一資料路徑 108 或第二資料路徑 109 的等效電路圖。

另一方面來說，當本實施例執行一基數 2 的計算程序時，本裝置僅將資料藉由第一階段的旁路元件 211 至 214 加以傳送 (亦即，不經計算元件 201~204 執行計算程序)，並且將第二階段計算元件的輸出值乘上第三階段計算元件 231~234 中的“1”來完成計算程序。第 2C 圖繪示此情形下之第一資料路徑 108 或第二資料路徑 109 的等效電路圖。

雖然做為本實施例中之快速傅立葉轉換處理計算所使用的演算式是眾所皆知的，當取樣點為 2048 點時呈現在表一做為一例子。

五、發明說明(24)

表一

1. 快速傅立葉轉換處理計算的演算式

$$X(n_5 \ n_4 \ n_3 \ n_2 \ n_1 \ n_0)$$

$$= \sum \sum \sum \sum \sum \sum X(k_5 \ k_4 \ k_3 \ k_2 \ k_1 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)nk}$$

$$= X_6(n_0 \ n_1 \ n_2 \ n_3 \ n_4 \ n_5)$$

2048 點之快速傅立葉轉換演算於各級(l=1~6)之演算式

$$l=1; x_1=(n_0 \ k_4 \ k_3 \ k_2 \ k_1 \ k_0)$$

$$= \left[\sum X(k_5 \ k_4 \ k_3 \ k_2 \ k_1 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)k_5 n_0} \right] H_1$$

$$k_5=0\sim3$$

$$l=2; x_2=(n_0 \ n_1 \ k_3 \ k_2 \ k_1 \ k_0)$$

$$= \left[\sum x_1(n_0 \ k_4 \ k_3 \ k_2 \ k_1 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)k_4 n_1} \right] H_2$$

$$k_4=0\sim3$$

$$l=3; x_3=(n_0 \ n_1 \ n_2 \ k_2 \ k_1 \ k_0)$$

$$= \left[\sum x_2(n_0 \ n_1 \ k_3 \ k_2 \ k_1 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)k_3 n_2} \right] H_3$$

$$k_3=0\sim3$$

$$l=4; x_4=(n_0 \ n_1 \ n_2 \ n_3 \ k_1 \ k_0)$$

$$= \left[\sum x_3(n_0 \ n_1 \ n_2 \ k_2 \ k_1 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)k_2 n_3} \right] H_4$$

$$k_2=0\sim3$$

$$l=5; x_5=(n_0 \ n_1 \ n_2 \ n_3 \ n_4 \ k_0)$$

$$= \left[\sum x_4(n_0 \ n_1 \ n_2 \ n_3 \ k_1 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)k_1 n_4} \right] H_5$$

$$k_1=0\sim3$$

$$l=6; x_6=(n_0 \ n_1 \ n_2 \ n_3 \ n_4 \ n_5)$$

$$= \left[\sum x_5(n_0 \ n_1 \ n_2 \ n_3 \ n_4 \ k_0) e^{-j\left(\frac{2\pi}{2048}\right)k_0 n_5} \right] \times 1$$

$$k_0=0\sim1$$

求變數 k 與 n 之表示式

$$k=2(4^4 k_5 + 4^3 k_4 + 4^2 k_3 + 4^1 k_2 + 4^0 k_1) + k_0;$$

$$k_5 \sim k_1 = 0, 1, 2, 3 \quad k_0 = 0, 1$$

$$n=4^5 n_5 + 4^4 n_4 + 4^3 n_3 + 4^2 n_2 + 4^1 n_1 + n_0;$$

$$n_5 = 0, 1 \quad n_4 \sim n_0 = 0, 1, 2, 3$$

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (25)

表二

2.各階段使用的旋轉因子

$$H_1 = e^{-j(\pi/8)(k_4 + k_3/4 + k_2/16 + k_1/64 + k_0/128)n_0}$$

$$H_2 = e^{-j(\pi/8)(k_3 + k_2/4 + k_1/16 + k_0/32)n_1}$$

$$H_3 = e^{-j(\pi/8)(k_2 + k_1/4 + k_0/8)n_2}$$

$$H_4 = e^{-j(\pi/8)(k_1 + k_0/2)n_3}$$

$$H_5 = e^{-j(\pi/4)k_0 n_4}$$

接著，下文要描述第 1 圖所繪示之快速傅立葉轉換處理裝置的操作。

首先，要被處理的資料(複數資料)被分成實數部份與虛數部份，並且經由輸入端 101 與 102 輸入至此裝置。此時，選擇器已從暫存器 103 與 104 並藉由控制器 119 選擇輸入資料。因此，實數部份被儲存在工作 RAM 107 中之實數資料儲存器 107b 中，而虛數部份被儲存在工作 RAM 107 中之虛數資料儲存器 107c 中。以此方法，2048 個的複數資料就一個接一個被儲存在工作 RAM 107 之中。

當儲存資料在工作 RAM 107 中被處理完成後，之後，便利用這些要被處理的資料執行一快速傅立葉轉換處理。

因為在此實施例中係假設取樣點數目為 $2048(2 \times 4^5)$ ，如下文所述，此裝置會執行基數 4 的計算程序 5 次，之後再執行基數 2 的計算程序 1 次。

五、發明說明 (26)

首先，要說明第一計算程序(基數 4)。

如第 4 圖所示的步驟 1(每一步驟對應到本發明的一計算序列(computation series))，在此計算程序中，此裝置依據儲存位址(其與本發明之“取樣點數目”一致)將儲存在工作 RAM 107 中的複數資料分為 4 個群組來處理這些資料。也就是說，此裝置將儲存在位址 0 到 512 的複數資料做為群組 A，儲存在位址 513 到 1023 的複數資料做為群組 B，儲存在位址 1024 到 1535 的複數資料做為群組 C，儲存在位址 1536 到 2047 的複數資料做為群組 D。

首先，工作 RAM 107 輸出每一群組 A、B、C 與 D 的第一複數資料(亦即位址為 0、513、1024、1536 的複數資料)。這四個複數資料分別被輸入至第一資料路徑 108 與第二資料路徑 109。在此同時，正弦/餘弦因子 ROM 110 分別輸出對應到位址 0、513、1024、1536 的旋轉因子 W1、W2、W3 與 W4。旋轉因子 W1 與 W3 被輸入至第一資料路徑 108，旋轉因子 W2 與 W4 被輸入至第二資料路徑 109。

第一資料路徑 108，藉由執行下列計算式(1)與(2)來計算複數資料 ai 與 ci：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times W1 \quad (1)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times W3 \quad (2)$$

第二資料路徑 109，藉由執行下列計算式(3)與(4)來計算複數資料 bi 與 di：

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times W2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times W4 \quad (4)$$

五、發明說明 (27)

在(1)~(4)的表示式中， A_i 、 B_i 、 C_i 與 D_i 分別表示群組 A、B、C 與 D 的資料，其係由儲存於工作 RAM 107 中之複數資料所輸出的。也就是說，在此例中，他們代表位址為 0、512、1024 與 1536 的複數資料。

請參考第 2B 圖，用以說明採用(1)~(4)的表示式的蝴蝶式演算法操作。

如第 2B 圖所示，第一資料路徑 108 與第二資料路徑 109 依據 A_i 、 B_i 、 C_i 與 D_i 取用複數資料，並且在第一步驟計算 $(A_i + C_i)$ 、 $(B_i + D_i)$ 、 $(A_i - C_i)$ 與 $j(B_i - D_i)$ ，之後在第二步驟，以上述之計算值計算 “ $(A_i + C_i) + (B_i + D_i)$ ”、“ $(A_i + C_i) - (B_i + D_i)$ ”、“ $(A_i - C_i) - j(B_i - D_i)$ ” 與 “ $(A_i - C_i) + j(B_i - D_i)$ ”，之後，在第三步驟更計算 “ $\{(A_i + C_i) + (B_i + D_i)\} \times W_1$ ”、“ $\{(A_i + C_i) - (B_i + D_i)\} \times W_3$ ”、“ $\{(A_i - C_i) - j(B_i - D_i)\} \times W_2$ ” 與 “ $\{(A_i - C_i) + j(B_i - D_i)\} \times W_4$ ”，並將其計算結果輸出，分別作為 a_i 、 b_i 、 c_i 與 d_i 。

當計算程序結束後，計算結果 a_i 、 b_i 、 c_i 與 d_i 從第一資料路徑 108 與第二資料路徑 109 輸出。此時，選擇器 105 與 106 藉由循序控制器 119 的控制，從第一資料路徑 108 與第二資料路徑 109 選擇輸入。第一資料路徑 108 與第二資料路徑 109 的輸出資料係儲存在工作 RAM 107。

此時，表示式(1)的計算結果 a_i 係儲存在群組 A 所屬的一位址(此例為位址 0)，表示式(3)的計算結果 b_i 係儲存在群組 B 所屬的一位址(此例為位址 512)，表示式(2)的計算結果 c_i 係儲存在群組 C 所屬的一位址(此例為位址

(請先閱讀背面之注意事項)

裝

訂

線

線

五、發明說明 (28)

1024)，表示式(4)的計算結果 d_i 係儲存在群組 D 所屬的一位址(此例為位址 1536)。儲存複數資料 a_i 、 b_i 、 c_i 與 d_i 的位址係由循序控制器 119 控制記憶體位址產生器 118 所決定的。

接著，此裝置使用位址為 1、513、1025 與 1537 的複數資料執行相同的計算程序。之後，以此方法，一個接一個將所有位址的複數資料執行此計算程序。

當第一計算程序以此方法完成後，之後，此裝置以下面的方法執行第二計算程序(基數 4)。

如第 4 圖的步驟 2 所示，在第二計算程序中，此裝置更將工作 RAM 107 中之位址 0~511、位址 512~1023、位址 1024~1535 與位址 1536~2047 分別劃分成四個群組。也就是說，在第二計算程序中，此裝置將工作 RAM 107 中之全部位址劃分成十六個群組。

舉例來說，此裝置將位址 0~511 中之位址 0~127 做為群組 A，位址 128~255 做為群組 B，位址 256~383 做為群組 C，位址 384~511 做為群組 D。並且使用上述表示式(1)~(4)，對他們執行一計算程序。

也就是說，此裝置首先從工作 RAM 107 讀出位址為 0、128、256 與 384 之複數資料，並從正弦/餘弦因子 ROM 110 讀出相對應於上述複數資料位址的旋轉因子，並將他們輸入第一資料路徑 108 與第二資料路徑 109 中。接著，此裝置執行表示式(1)~(4)的計算程序，其使用位址為 0 之複數資料做為 A_i ，位址為 128 之複數資料做為 B_i ，位址為 256

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (29)

之複數資料做為 C_i ，以及位址為 384 之複數資料做為 D_i 。此裝置藉由這些計算操作所得到的結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存到工作 RAM 的位址 0、128、256 與 384。之後，以此相同的方法，此裝置使用位址 0~511 的複數資料一個接一個地執行計算程序。

當使用位址 0~511 的複數資料的計算程序完成時，之後，此裝置將位址 512~1023 區分成群組 A、B、C 與 D 並且對他們執行相同之計算程序。再者，此裝置再以相同的方法對位址 1024~1535 與位址 1536~2047 的複數資料執行相同的計算程序。

當第二計算程序以此方法完成時，之後，此裝置再以下面的方式執行第三計算程序(基數 4)。

如第 4 圖之步驟 3 所示，在第三計算程序中此裝置更將在工作 RAM 已分成的 16 個群組的每一個位址群組再細分成四個群組 A、B、C 與 D。也就是說，在第三計算程序中，此元件將工作 RAM 107 中的全部位址劃分成 64 個部分。

例如，此裝置將位址 0~31 做為群組 A，位址 32~63 做為群組 B，位址 64~95 做為群組 C，位址 96~127 做為群組 D。其係把在第二計算程序中所劃分成 16 個部分的第一位址群組再分成四等份。

在第三計算程序之中，此裝置首先從工作 RAM 107 讀出位址為 0、32、64 與 96 之複數資料，並從正弦/餘弦因子 ROM 110 讀出相對應於上述複數資料位址的旋轉因子，

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (30)

並將他們輸入第一資料路徑 108 與第二資料路徑 109 中。接著，此裝置執行表示式(1)~(4)的計算程序，其使用位址為 0 之複數資料做為 A_i ，位址為 32 之複數資料做為 B_i ，位址為 64 之複數資料做為 C_i ，以及位址為 96 之複數資料做為 D_i 。此裝置藉由這些計算操作所得到的結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存到工作 RAM 的位址 0、32、64 與 96。之後，以此相同的方法，此裝置對其他位址的複數資料一個接一個地執行計算程序。

當使用位址 0~127 的複數資料的計算程序完成時，之後，此裝置將位址 128~255 區分成群組 A、B、C 與 D 並且對他們執行相同之計算程序。再者，此裝置再以相同的方法對剩下的位址區塊的複數資料執行相同的計算程序。

當第三計算程序以此方法完成時，之後，此裝置再以下面的方式執行第四計算程序(基數 4)。

如第 4 圖之步驟 4 所示，在第四計算程序中此裝置更將在工作 RAM 已分成的 64 個群組的每一個位址群組再細分成四個群組 A、B、C 與 D。也就是說，在第四計算程序中，此元件將工作 RAM107 中的全部位址劃分成 256 個部分。

例如，此裝置將位址 0~7 做為群組 A，位址 8~15 做為群組 B，位址 16~23 做為群組 C，位址 24~31 做為群組 D。其係把在第三計算程序中所劃分成 64 個部分的第一位址群組再分成四等份。

在第四計算程序之中，此裝置首先從工作 RAM 107 讀

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (31)

出位址為 0、8、16 與 24 之複數資料，並從正弦/餘弦因子 ROM 110 讀出相對應於上述複數資料位址的旋轉因子，並將他們輸入第一資料路徑 108 與第二資料路徑 109 中。接著，此裝置執行表示式(1)~(4)的計算程序，其使用位址為 0 之複數資料做為 A_i ，位址為 8 之複數資料做為 B_i ，位址為 16 之複數資料做為 C_i ，以及位址為 24 之複數資料做為 D_i 。此裝置藉由這些計算操作所得到的結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存到工作 RAM 的位址 0、8、16 與 24。之後，以此相同的方法，此裝置對其他位址的複數資料一個接一個地執行計算程序。

當使用位址 0~31 的複數資料的計算程序完成時，之後，此裝置將位址 32~63 區分成群組 A、B、C 與 D 並且對他們執行相同之計算程序。再者，此裝置再以相同的方法對剩下的位址區塊的複數資料執行相同的計算程序。

當第四計算程序以此方法完成時，之後，此裝置再以下面的方式執行第五計算程序(基數 4)。

如第 4 圖之步驟 5 所示，在第五計算程序中此裝置更將在工作 RAM 已分成的 256 個群組的每一個位址群組再細分成四個群組 A、B、C 與 D。也就是說，在第五計算程序中，此元件將工作 RAM107 中的全部位址劃分成 1024 個部分。

例如，此裝置將位址 0~7 之間的位址 0 與 1 做為群組 A，位址 2 與 3 做為群組 B，位址 4 與 5 做為群組 C，位址 6 與 7 做為群組 D。其係把在第四計算程序中所劃分成

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (32)

256 個部分的第一位址群組再分成四等份。

在第五計算程序之中，此裝置首先從工作 RAM 107 讀出位址為 0、2、4 與 6 之複數資料，並從正弦/餘弦因子 ROM 110 讀出相對應於上述複數資料位址的旋轉因子，並將他們輸入第一資料路徑 108 與第二資料路徑 109 中。接著，此裝置執行表示式(1)~(4)的計算程序，其使用位址為 0 之複數資料做為 A_i ，位址為 2 之複數資料做為 B_i ，位址為 4 之複數資料做為 C_i ，以及位址為 6 之複數資料做為 D_i 。此裝置藉由這些計算操作所得到的結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存到工作 RAM 的位址 0、2、4 與 6。之後，以此相同的方法，此裝置對其他位址的複數資料一個接一個地執行計算程序。

當使用位址 0~7 的複數資料的計算程序完成時，之後，此裝置將位址 8~15 區分成群組 A、B、C 與 D 並且對他們執行相同之計算程序。再者，此裝置再以相同的方法對剩下的位址區塊的複數資料執行相同的計算程序。

當第五計算程序以此方法完成時，之後，此裝置再以下面的方式執行基數 2 之第六計算程序。

如第 4 圖之步驟 6 所示，在第六計算程序中此裝置，如同在第五計算程序中一般，將工作 RAM 107 中的位址分成 1024 個部分。在此情形，此元件對群組 A 與 B 以及 C 與 D 執行相同的計算程序。

例如，此裝置將位於第一群組的位址 0 與 1 以及第二群組的位址 2 與 3 之中的位址 0 做為群組 A，位址 1 做為

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (33)

群組 B，位址 2 做為群組 C，位址 3 做為群組 D，其係將工作 RAM 107 中的位址分成 1024 個部分。

在第六計算程序之中，此裝置首先從工作 RAM 107 讀出位址為 0、1、2 與 3 之複數資料。

第一資料路徑 108 以執行下面表示式(5)與(6)之演算操作來對複數資料 ai 與 bi 進行計算：

$$ai=Ai+Bi \quad (5)$$

$$bi=Ai-Bi \quad (6)$$

且第二資料路徑 109 以執行下面表示式(7)與(8)之演算操作來對複數資料 ci 與 di 進行計算：

$$ci=Ci+Di \quad (7)$$

$$di=Ci-Di \quad (8)$$

在表示式(5)~(8)中，Ai、Bi、Ci 與 Di 分別代表屬於儲存在工作 RAM 107 之複數資料之中的群組 A、B、C 與 D 的位址之資料。

使用表示式(5)~(8)之蝴蝶式演算法操作，如第 2C 圖中所描述。

如第 2C 圖所示，首先，第一資料路徑 108 取複數資料 Ai 與 Bi，第二資料路徑 109 取複數資料 Ci 與 Di。並且第一資料路徑 108 計算(Ai+Bi)與(Ai-Bi)，並輸出計算結果 ai 與 bi。

另一方面，第二資料路徑 109 計算(Ci+Di)與(Ci-Di)，並輸出計算結果 ci 與 di。

將以此方法所計算的結果 ai、bi、ci 與 di 儲存在工作

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (34)

RAM 107 的位址 0、1、2 與 3。

當以此方法，使用位址 0~3 的複數資料的計算程序完成時，之後，此裝置對剩餘位址區塊相關的複數資料執行相同的計算程序。

之後，儲存在工作 RAM 107 中的複數資料經由暫存器 113 與 114 從輸出端 115 與 116 輸出到外界。

接著，根據本實施例的另一種第一資料路徑 108 與第二資料路徑 109 之組成，將參照第 12 圖來描述。在第 12 圖中，和第 1 圖中相同的符號係表示與第 1 圖中相同的元件。

第 12 圖所示之第一資料路徑 108，一暫存器 1211 暫時保持從工作 RAM 107 輸入之複數資料 $A_i \sim D_i$ 的實數部分與虛數部分。

並且，加法器 1212 執行一如下文所述之計算操作，其係使用從暫存器 1211 輸入之資料。

選擇器 1213 選擇並輸出從加法器 1212 輸入或從暫存器 1211 輸入之資料到暫存器 1214。

暫存器 1214 暫時保持住從選擇器 1213 輸入之資料。

一加法/減法器 1215，執行一如下文所述之計算操作，其係使用從暫存器 1214 輸入之複數資料。

暫存器 1216 與 1217，將從加法/減法器 1215 輸出之暫時保持住的資料彼此改變互換。

暫存器 1218 暫時保持住從正弦/餘弦因子 ROM 110(見第 1 圖)輸入之旋轉因子 W_1 。暫存器 1219 暫時保持住從

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

五、發明說明(35)

正弦/餘弦因子 ROM 110 輸入之旋轉因子 $W3$ 。

乘法器 1220，將從暫存器 1216 輸入之資料乘上旋轉因子 $W1$ ，一實數“1”或一實數“0”。同理，乘法器 1221，將從暫存器 1217 輸入之資料乘上旋轉因子 $W3$ ，一實數“1”或一實數“0”。

一暫存器 1222，暫時保持住從乘法器 1220 輸出之計算結果。同理，暫存器 1223，暫時保持住從乘法器 1221 輸出之計算結果。

一加法/減法器 1224，執行一如下文所述之計算操作，其係使用從暫存器 1222 與 1223 輸入之複數資料。

一暫存器 1225，暫時保持住從加法/減法器 1224 輸入之複數資料。被暫存器 1225 保持之資料經選擇器 105 與 106 儲存至工作 RAM 107 中。

在第二資料路徑 109 中，一暫存器 1231 暫時保持從工作 RAM 107 輸入之複數資料 $Ai \sim Di$ 的實數部分與虛數部分。

並且，減法/複數減法器 1232 執行一如下文所述之計算操作，其係使用從暫存器 1231 輸入之資料。

選擇器 1233 選擇並輸出從減法/複數減法器 1232 輸入或從暫存器 1231 輸入之資料到暫存器 1234。

暫存器 1234 暫時保持住從選擇器 1233 輸入之資料。

一加法/減法器 1235，執行一如下文所述之加法或減法計算，其係使用從暫存器 1234 輸入之複數資料。

暫存器 1236 與 1237，將從加法/減法器 1235 輸出之

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明(36)

暫時保持住的資料彼此改變互換。

暫存器 1238 暫時保持住從正弦/餘弦因子 ROM 110(見第 1 圖)輸入之旋轉因子 W_2 。暫存器 1239 暫時保持住從正弦/餘弦因子 ROM 110 輸入之旋轉因子 W_4 。

乘法器 1240，將從暫存器 1236 輸入之資料乘上旋轉因子 W_2 ，一實數“1”或一實數“0”。同理，乘法器 1241，將從暫存器 1237 輸入之資料乘上旋轉因子 W_4 ，一實數“1”或一實數“0”。

一暫存器 1242，暫時保持住從乘法器 1240 輸出之計算結果。同理，暫存器 1243，暫時保持住從乘法器 1241 輸出之計算結果。

一加法/減法器 1244，執行一如下文所述之加法或減法計算，其係使用從暫存器 1242 與 1243 輸入之複數資料。

一暫存器 1245，暫時保持住從加法/減法器 1244 輸入之複數資料。被暫存器 1245 保持之資料經選擇器 105 與 106 儲存至工作 RAM 107 中。

第 13 圖係用來解釋第一資料路徑 108 在基數 4 的情形下之操作時序圖。

如第 13 圖所示，在系統時脈 SCLK 的後緣，工作 RAM 107 一個接一個地輸出複數資料 A_i 與 C_i 的實數部分(第 13 圖中以 $R(A)$ 與 $R(C)$ 表示)，複數資料 B_i 與 D_i 的實數部分(第 13 圖中以 $R(B)$ 與 $R(D)$ 表示)，複數資料 A_i 與 C_i 的虛數部分(第 13 圖中以 $I(A)$ 與 $I(C)$ 表示)，以及複數資料 B_i 與 D_i 的虛數部分(第 13 圖中以 $I(B)$ 與 $I(D)$ 表示)。這些資料 $R(A)$

(請先閱讀背面之注意事項)

馬本頁

裝

訂

線

五、發明說明 (31)

與 $R(C)$ ， $R(B)$ 與 $R(D)$ ， $I(A)$ 與 $I(C)$ 以及 $I(B)$ 與 $I(D)$ 一個接一個地在系統時脈 $SCLK$ 的前緣儲存到暫存器 1211 中。

暫存器 1212 首先持有從暫存器 1211 輸入之資料 $R(A)$ 與 $R(C)$ ，並執行 $R(A, C)=R(A)+R(C)$ 之計算操作。接著，加法器 1212 一個接一個地執行相同的計算操作 $R(B, D)=R(B)+R(D)$ ， $I(A, C)=I(A)+I(C)$ ，以及 $I(B, D)=I(B)+I(D)$ 。計算結果 $R(A, C)$ ， $R(B, D)$ ， $I(A, C)$ ，以及 $I(B, D)$ 一個接一個地經選擇器 1213 儲存到暫存器 1214 中。

加法/減法器 1215 首先持有從暫存器 1214 輸入之資料 $R(A, C)$ 與 $R(B, D)$ ，並執行 $R(+)=R(A, C)+R(B, D)$ 之計算操作，之後，將再將暫存器 1214 輸入之資料執行 $R(-)=R(A, C)-R(B, D)$ 之計算操作。接著，加法/減法器 1215 持有從暫存器 1214 輸入之資料 $I(A, C)$ 與 $I(B, D)$ ，並執行 $I(+)=I(A, C)+I(B, D)$ 之計算操作，之後，將再將暫存器 1214 輸入之資料執行 $I(-)=I(A, C)-I(B, D)$ 之計算操作。之後，將計算結果 $R(+)$ 與 $R(-)$ 儲存於暫存器 1216 中，而計算結果 $I(+)$ 與 $I(-)$ 儲存於暫存器 1217 中。

乘法器 1220 首先藉由從暫存器 1216 輸入之資料 $R(+)$ 乘上從暫存器 1218 輸入之旋轉因子 $W1$ 之實數部分 $W1R$ 來計算 $R1$ ，再著，將資料 $R(+)$ 乘上旋轉因子 $W1$ 之虛數部分 $W1I$ 來計算 $I1$ 。接著，乘法器 1220 藉由從暫存器 1216 輸入之資料 $I(+)$ 乘上旋轉因子 $W1$ 之虛數部分 $W1I$ 來計算 $R2$ ，再著，將資料 $I(+)$ 乘上旋轉因子 $W1$ 之實數部分 $W1R$

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (38)

來計算 I_2 。並將計算結果 R_1 、 I_1 、 R_2 與 I_2 儲存到暫存器 1222 中。

另一方面，乘法器 1221 首先藉由從暫存器 1217 輸入之資料 $R(-)$ 乘上從暫存器 1219 輸入之旋轉因子 W_3 之實數部分 W_3R 來計算 R_3 ，再著，將資料 $R(-)$ 乘上旋轉因子 W_3 之虛數部分 W_3I 來計算 I_3 。接著，乘法器 1221 藉由從暫存器 1217 輸入之資料 $I(-)$ 乘上旋轉因子 W_3 之虛數部分 W_3I 來計算 R_4 ，再著，將資料 $I(-)$ 乘上旋轉因子 W_3 之實數部分 W_3R 來計算 I_4 。並將計算結果 R_3 、 I_3 、 R_4 與 I_4 儲存到暫存器 1223 中。

加法/減法器 1224 首先利用從暫存器 1222 讀出之資料 R_1 與 R_2 來計算 $R(ai)=R_1+R_2$ ，之後，利用從暫存器 1223 讀出之資料 R_3 與 R_4 來計算 $R(ci)=R_3+R_4$ 。再者，加法/減法器 1224 利用從暫存器 1222 讀出之資料 I_1 與 I_2 來計算 $I(ai)=I_1+I_2$ ，之後，利用從暫存器 1223 讀出之資料 I_3 與 I_4 來計算 $I(ci)=I_3+I_4$ 。以此方式，上述表示式(1)中之複數資料 ai 的實數部分 $R(ai)$ 與虛數部分 $I(ai)$ ，以及上述表示式(2)中之複數資料 ci 的實數部分 $R(ci)$ 與虛數部分 $I(ci)$ 可以獲得。這些計算結果經暫存器 1225 與選擇器 105 儲存於工作 RAM 107。

第 14 圖係用來解釋第二資料路徑 109 在基數 4 的情形下之操作時序圖。

如前述之第 13 圖所示，當工作 RAM 107 一個接一個地輸出資料 $R(A)$ 與 $R(C)$ ，資料 $R(B)$ 與 $R(D)$ ，資料 $I(A)$ 與

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (39)

I(C)，以及資料 I(B)與 I(D)。這些資料一個接一個地儲存到暫存器 1231 中。

減法/複數減法器 1232 首先持有從暫存器 1231 輸入之資料 R(A)與 R(C)，並執行 $R(A, C)=R(A)-R(C)$ 之計算操作。接著，加法器 1232 一個接一個地執行相同的計算操作 $I(B, D)=j(R(B)-R(D))$ ， $I(A, C)=I(A)-I(C)$ ，以及 $R(B, D)=j(I(B)-I(D))$ 。計算結果 R(A, C)，I(B, D)，I(A, C)，以及 R(B, D) 一個接一個地經選擇器 1233 儲存到暫存器 1234 中。

加法/減法器 1235 首先持有從暫存器 1234 輸入之資料 R(A, C)與 R(B, D)，並執行 $R(+)=R(A, C)+R(B, D)$ 之計算操作，之後，將再將暫存器 1234 輸入之資料執行 $R(-)=R(A, C)-R(B, D)$ 之計算操作。接著，加法/減法器 1235 持有從暫存器 1234 輸入之資料 I(A, C)與 I(B, D)，並執行 $I(-)=I(A, C)-I(B, D)$ 之計算操作，之後，將再將暫存器 1234 輸入之資料執行 $I(+)=I(A, C)+I(B, D)$ 之計算操作。之後，將計算結果 R(+)與 I(-)儲存於暫存器 1236 中，而計算結果 R(-)與 I(+)儲存於暫存器 1237 中。

乘法器 1240 首先藉由從暫存器 1236 輸入之資料 R(+)乘上從暫存器 1238 輸入之旋轉因子 W2 之實數部分 W2R 來計算 R5，再著，將資料 R(+)乘上旋轉因子 W2 之虛數部分 W2I 來計算 I5。接著，乘法器 1240 藉由從暫存器 1236 輸入之資料 I(-)乘上旋轉因子 W2 之虛數部分 W2I 來計算 R6，再著，將資料 I(-)乘上旋轉因子 W2 之實數部分 W2R

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (40)

來計算 I6。並將計算結果 R5、I5、R6 與 I6 儲存到暫存器 1242 中。

另一方面，乘法器 1241 首先藉由從暫存器 1237 輸入之資料 R(-) 乘上從暫存器 1239 輸入之旋轉因子 W4 之實數部分 W4R 來計算 R7，再著，將資料 R(-) 乘上旋轉因子 W4 之虛數部分 W4I 來計算 I7。接著，乘法器 1241 藉由從暫存器 1237 輸入之資料 I(+) 乘上旋轉因子 W4 之虛數部分 W4I 來計算 R8，再著，將資料 I(+) 乘上旋轉因子 W4 之實數部分 W4R 來計算 I8。並將計算結果 R7、I7、R8 與 I8 儲存到暫存器 1243 中。

加法/減法器 1244 首先利用從暫存器 1242 讀出之資料 R5 與 R6 來計算 $R(bi)=R5+R6$ ，之後，利用從暫存器 1243 讀出之資料 R7 與 R8 來計算 $R(di)=R7+R8$ 。再者，加法/減法器 1244 利用從暫存器 1242 讀出之資料 I5 與 I6 來計算 $I(bi)=I5+I6$ ，之後，利用從暫存器 1243 讀出之資料 I7 與 I8 來計算 $I(di)=I7+I8$ 。這些計算結果經暫存器 1245 與選擇器 105 儲存於工作 RAM 107。

第 15 圖係用來解釋第一資料路徑 108 在基數 2 的情形下之操作時序圖。

如第 15 圖所示，與在基數 4 情形相同的方法，在系統時脈 SCLK 的後緣，工作 RAM 107 一個接一個地輸出資料 R(A) 與 R(C)，資料 R(B) 與 R(D)，資料 I(A) 與 I(C)，以及資料 I(B) 與 I(D)。之後，從上數資料中之資料 R(A) 與 R(B)，以及資料 I(A) 與 I(B) 一個接一個地在系統時脈 SCLK

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (41)

的前緣儲存到暫存器 1211 中。

在基數 2 的情形下，選擇器 1213 輸出來自暫存器 1211 之資料。因此，上述之資料 $R(A)$ 與 $R(B)$ ，以及資料 $I(A)$ 與 $I(B)$ 一個接一個地儲存到暫存器 1214 中。

加法/減法器 1215 首先持有從暫存器 1214 輸入之資料 $R(A)$ 與 $R(B)$ ，並執行 $R(A, B) = R(A) + R(B)$ 之計算操作，之後，將再將暫存器 1214 輸入之資料執行 $R(A, B) = R(A) - R(B)$ 之計算操作。接著，加法/減法器 1215 持有從暫存器 1214 輸入之資料 $I(A)$ 與 $I(B)$ ，並執行 $I(A, B) = I(A) + I(B)$ 之計算操作，之後，將再將暫存器 1214 輸入之資料執行 $I(A, B) = I(A) - I(B)$ 之計算操作。之後，將計算結果 $R(A, B)$ 與 $I(A, B)$ 儲存於暫存器 1216 中，而計算結果 $R(A, B)$ 與 $I(A, B)$ 儲存於暫存器 1217 中。

乘法器 1220 利用 " $W = 1 + j \times 0$ " 做為在基數 2 情形之旋轉因子。也就是說，乘法器 1220 先從暫存器 1216 輸入之資料 $R(A, B)$ 乘上 "1"，再著，將資料 $R(A, B)$ 乘上 "0"。接著，乘法器 1220 將從暫存器 1216 輸入之資料 $I(A, B)$ 乘上 "1"，再著，將資料 $I(A, B)$ 乘上 "0"。並將計算結果 $R(A, B)$ 、0、 $I(A, B)$ 與 0 儲存到暫存器 1222 中。

乘法器 1221 也利用 " $W = 1 + j \times 0$ " 做為旋轉因子。也就是說，乘法器 1221 先從暫存器 1217 輸入之資料 $R(A, B)$ 乘上 "1"，再著，將資料 $R(A, B)$ 乘上 "0"。接著，乘法器 1221 將從暫存器 1217 輸入之資料 $I(A, B)$ 乘上

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (42)

“1”，再著，將資料 $I(A, B)$ 乘上 “0”。並將計算結果 $R(A, B)$ 、0、 $I(A, B)$ 與 0 儲存到暫存器 1223 中。

加法/減法器 1224 首先利用從暫存器 1222 讀出之資料 $R(A, B)$ 與 0 來計算 $R(ai) = R(A, B) + 0$ ，之後，利用從暫存器 1223 讀出之資料 $R(A, B)$ 與 0 來計算 $R(bi) = R(A, B) + 0$ 。再者，加法/減法器 1224 利用從暫存器 1222 讀出之資料 $I(A, B)$ 與 0 來計算 $I(ai) = I(A, B) + 0$ ，之後，利用從暫存器 1223 讀出之資料 $I(A, B)$ 與 0 來計算 $I(bi) = I(A, B) + 0$ 。這些計算結果經暫存器 1225 與選擇器 105 儲存於工作 RAM 107。

第 16 圖係用來解釋第二資料路徑 109 在基數 2 的情形下之操作時序圖。

如上述之第 15 圖所示，工作 RAM 107 一個接一個地輸出資料 $R(A)$ 與 $R(C)$ ，資料 $R(B)$ 與 $R(D)$ ，資料 $I(A)$ 與 $I(C)$ ，以及資料 $I(B)$ 與 $I(D)$ 。之後，從上數資料中之資料 $R(C)$ 與 $R(D)$ ，以及資料 $I(C)$ 與 $I(D)$ 一個接一個地在系統時脈 SCLK 的前緣儲存到暫存器 1231 中。

當選擇器 1213 輸出來自暫存器 1231 之資料時，上述之資料 $R(C)$ 與 $R(D)$ ，以及資料 $I(C)$ 與 $I(D)$ 一個接一個地儲存到暫存器 1234 中。

加法/減法器 1235 首先持有從暫存器 1234 輸入之資料 $R(C)$ 與 $R(D)$ ，並執行 $R(C, D) = R(C) + R(D)$ 之計算操作，之後，將再將暫存器 1234 輸入之資料執行 $R(C, D) = R(C) - R(D)$ 之計算操作。接著，加法/減法器 1235 持有

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (43)

從暫存器 1234 輸入之資料 $I(C)$ 與 $I(D)$ ，並執行 $I(C, D) = I(C) + I(D)$ 之計算操作，之後，將再將暫存器 1234 輸入之資料執行 $I(C, D) = I(C) - I(D)$ 之計算操作。之後，將計算結果 $R(C, D)$ 與 $I(C, D)$ 儲存於暫存器 1236 中，而計算結果 $R(C, D)$ 與 $I(C, D)$ 儲存於暫存器 1237 中。

如第 15 圖之乘法器 1220 使用之相同的方法，乘法器 1240 利用 " $W = 1 + j \times 0$ " 做為旋轉因子。並將計算結果 $R(C, D)$ 、0、 $I(C, D)$ 與 0 儲存到暫存器 1242 中。

乘法器 1241 也利用 " $W = 1 + j \times 0$ " 做為旋轉因子，並將計算結果 $R(C, D)$ 、0、 $I(C, D)$ 與 0 儲存到暫存器 1243 中。

加法/減法器 1244 首先利用從暫存器 1242 讀出之資料 $R(C, D)$ 與 0 來計算 $R(ci) = R(C, D) + 0$ ，之後，利用從暫存器 1243 讀出之資料 $R(C, D)$ 與 0 來計算 $R(di) = R(C, D) + 0$ 。再者，加法/減法器 1224 利用從暫存器 1242 讀出之資料 $I(C, D)$ 與 0 來計算 $I(ci) = I(C, D) + 0$ ，之後，利用從暫存器 1243 讀出之資料 $I(C, D)$ 與 0 來計算 $I(di) = I(C, D) + 0$ 。這些計算結果經暫存器 1245 與選擇器 105 儲存於工作 RAM 107。

藉由如第 12 圖所示形成的資料路徑 108 與 109，它可以以一簡單的電路來有效地執行一計算操作。

因此，依據本實施例之快速傅立葉轉換處理裝置，資料路徑 108 與 109 具有能以簡單的電路在高速下執行基數 4 與基數 2 之計算程序。

五、發明說明 (44)

也就是說，根據本實施例，它可以提供一低價位之快速傅立葉轉換處理裝置，其具有能執行基數 4 與基數 2 兩種計算程序能力的快速傅立葉轉換演算法。

第二實施例

接著，要依據第 5 圖說明本發明之第二實施例。根據本實施例之快速傅立葉轉換處理裝置，其與第一實施例的相異處在於它具有區塊浮點演算(block floating-point arithmetic)功能。

在本實施例中也是以取樣點為 2048 點做為例子。

第 5 圖是依據本實施例之快速傅立葉轉換處理裝置組成的大略方塊圖。

在第 5 圖中，和第 1 圖相同的符號係表示與第 1 圖式中相同的元件。

在第 5 圖中，第一資料路徑 501 與第二資料路徑 502 與第 1 圖中的第一資料路徑 108 與第二資料路徑 109 之不同點在於每一個資料路徑 501 與 502 具有用來執行區塊浮點演算法的移位功能。因為，區塊浮點演算法本身為一種眾所皆知的技術，使用在此演算操作中的移位功能的詳細組成在此不多加詳述。

區塊浮點偵測儲存器 503 採用從選擇器 105 與 106 輸出的複數資料，偵測一區塊浮點，並將其暫時存放此偵測值。在此，如下文所述，其係從外界經由輸入端 101 與 102 輸入之複數資料，或是從選擇器 105 與 106 輸出至資料路徑 501 與 502 而輸出之複數資料。暫時存放於區塊浮點偵

五、發明說明 (45)

測儲存器 503 之區塊浮點偵測值被傳送至資料路徑 501 與 502，以及循序控制器 119。

輸出位元移位器 504 與 505 採用來自工作 RAM 107 的複數資料與來自循序控制器 119 之區塊浮點偵測值。並且根據區塊浮點偵測值將複數資料移位，並且輸出結果。

暫存器 506 具有來自循序控制器 119 之區塊浮點偵測值，並且輸出結果到外界。

接著，要說明第 5 圖所示之快速傅立葉轉換處理裝置的操作。

如同第一實施例所述之方法，首先，將第一筆要處理的資料劃分成實數部分與虛數部分，並經由輸入端 101 與 102 輸入此裝置中，在將他們分別儲存在工作 RAM 107 的實數資料儲存器 107b 與虛數資料儲存器 107c。

此時，區塊浮點偵測儲存器 503 具有從選擇器 105 與 106 輸入之複數資料，並偵測與儲存其區塊浮點偵測值。

接著，當第二筆要被處理的資料從輸入端 101 與 102 輸入並且被儲存於工作 RAM 107 時，區塊浮點偵測儲存器 503 具有此來自選擇器 105 與 106 輸入之複數資料，並偵測其區塊浮點偵測值後與已儲存的偵測值做比較(第一筆要被處理之資料的區塊浮點偵測值)。之後，假如儲存值比第二筆資料的偵測值還小的話，此裝置就保持住儲存值而不改變。另一方面，假如第二筆資料的偵測值比儲存值還小的話，此裝置就改變區塊浮點偵測儲存器 503 的儲存值為第二筆資料的偵測值。

(請先閱讀背面之注意事項)

為本頁

裝

訂

線

五、發明說明 (46)

接著要被處理的第三筆或以後的資料也以此相同的方法，裝置偵測區塊浮點偵測儲存器 503 中資料的偵測值，並與已儲存的偵測值做比較，將比較小的值做為儲存值。在此實施例中，此裝置對位址為 0~511 位址、512~1023 位址 1024~1535 與位址 1536~2047 四個區塊執行偵測操作，做為共同的值。也就是說，在下文將述之第一計算程序間群組 A、B、C 與 D 有偵測到共同的區塊浮點偵測值。

因此，當儲存要被處理的 2048 點於工作 RAM 107 中完成時，最小的區塊浮點偵測值與儲存在區塊浮點偵測儲存器 503 中各區塊結果是共同的。

當以此方式將要被處理的資料儲存於工作 RAM 107 中完成後，之後，此元件以這些要被處理的資料執行一快速傅立葉轉換處理。

在此快速傅立葉轉換處理中，以如第一實施例中之相同方法，如下文所述，此裝置重複五次基數 4 的計算程序，之後再執行一次基數 2 之計算程序。

首先，在第一計算程序(基數 4)中，此裝置，以如第一實施例之方法，將存放在工作 RAM 107 中的 2048 點的資料劃分成四個群組 A、B、C 與 D。資料路徑 501 與 502 讀取在工作 RAM 107 中位址為 0、512、1024 與 1536 之複數資料，同時從區塊浮點偵測儲存器 503 中讀取 A、B、C 與 D 四個群組共同的區塊浮點偵測值。並且此裝置利用此區塊浮點偵測值與上述(1)~(4)之表示式執行一區塊浮點演算法。

(請先閱讀背面之注意事項)

內本頁

裝

訂

線

五、發明說明(47)

當此計算程序完成時，用與第一實施例中相同的方法，將計算結果 a_i 、 b_i 、 c_i 與 d_i 從資料路徑 501 與 502 輸出，並且儲存到工作 RAM 107 中。此時，區塊浮點偵測儲存器 503 偵測計算結果 a_i 、 b_i 、 c_i 與 d_i 的區塊浮點偵測值，並儲存其結果。

接著，對在工作 RAM 107 中位址為 1、513、1025 與 1537 之每一複數資料，執行一區塊浮點演算法，並且一個接一個將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存到工作 RAM 107 中。當儲存時，區塊浮點偵測儲存器 503 偵測計算結果 a_i 、 b_i 、 c_i 與 d_i 的區塊浮點偵測值，並且分別與先前儲存於區塊浮點偵測儲存器 503 中的偵測值做比較。此時，以下面的方式，區塊浮點偵測儲存器 503 偵測計算結果 a_i 與先前計算結果 a_i 的區塊浮點偵測值做比較，區塊浮點偵測儲存器 503 偵測計算結果 b_i 與先前計算結果 b_i 的區塊浮點偵測值做比較，以此類推，上述(1)~(4)之表示式中相同式子的計算結果的偵測值彼此做比較。之後，假如已儲存的區塊浮點偵測值比偵測值還小的話，就保持住而不改變。另一方面而言，假如偵測值比已儲存的區塊浮點偵測值還小的話，此裝置就將區塊浮點偵測儲存器 503 的儲存內容改變成新的偵測值。

其他位址相關的複數資料也是以相同的方法，在執行一區塊浮點演算後，當計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存到工作 RAM 107 中時，此裝置偵測儲存於區塊浮點偵測儲存器 503 中之資料的區塊浮點偵測值，將其與先前儲存於區

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (48)

塊浮點偵測儲存器 503 中的區塊浮點偵測值做比較，之後將此時較小的偵測值做為儲存值。

在此實施例中，在下文將敘述之第二計算程序中的浮點偵測值係以此偵測操作得到的。

當第一計算程序與浮點偵測值的第一次偵測以此方式完成時，之後此裝置以下述之方法執行第二計算程序(基數 4)。

在第二計算程序中，以與第一實施例中相同的方法，此裝置更將工作 RAM 107 的位址中的位址 0~511、位址 512~1023、位址 1024~1535 與位址 1535~2047 話分成四個群組。也就是說，在第二計算程序中，此裝置將工作 RAM 107 的位址全部劃分成 16 份。

用與第一實施例中相同的方法，此裝置執行一計算程序，當儲存計算結果並且儲存最小的偵測值到區塊浮點偵測儲存器 503 中時，偵測一區塊浮點偵測儲存器 503 中的浮點偵測值。此時，下文將述之第三計算程序的群組 A、B、C 與 D 共同的浮點偵測值係以此偵測操作所決定。

再者，在第三到第六或之後的計算程序，此裝置也是執行如同上述第一與第二計算程序之方法的區塊浮點演算法。

此例中，雖然一區塊浮點偵測係在一次計算程序對群組 A、B、C 與 D 共同執行，此裝置可以具有一區塊浮點偵測值在每一步驟之第二或往後之計算程序共同對所有的取樣點(此例為 2048 點)操作。

(請先閱讀背面之注意事項)

為本頁)

裝

訂

線

五、發明說明 (49)

當第六計算程序完成時，此裝置最後輸出計算結果到外界去。此時，首先循序控制器 119 有累積從區塊浮點偵測儲存器 503 輸入各取樣點在各步驟中之區塊浮點偵測值，並且將他們傳送到輸出位元移位器 504 與 505。再者，輸出位元移位器 504 與 505 依據區塊浮點偵測值將從工作 RAM 107 中輸入之複數資料移位，並且之後將其輸出到選擇器 111 與 112。藉此，資料路徑 108 與 109 的輸出資料經由暫存器 113 與 114 從輸出端 115 與 116 輸出到外界。

若有需要，在不經輸出位元移位器 504 與 505 之情形下，此裝置可以從輸出端 115 與 116 把複數資料輸出到外界，並且可從暫存器 506 輸出最後的區塊浮點偵測值到外界。

接著，根據本實施例的資料路徑 108 與 109 之另一種組成由第 17 圖所描述。在第 17 圖中，元件與第 12 圖或第 5 圖之圖示使用相同符號的代表與第 12 圖或第 5 圖中相同的元件。

在第 17 圖中之資料路徑 108 與 109 與第 12 圖之資料路徑 108 與 109 的不同點在於第 17 圖中之資料路徑 108 與 109 具有移位器 1701 與 1702。這些移位器 1701 與 1702 具有由區塊浮點偵測儲存器 503 輸入之區塊浮點偵測值。並且依據此區塊浮點偵測值並藉由特定的位元數目，將從暫存器 1211 與 1231 取得的資料移位。多虧於此，它可以依據區塊浮點偵測儲存器 503 的控制執行一區塊浮點計算程序。

(請先閱讀背面之注意事項)

裝
訂

訂

線

五、發明說明 (50)

因為其他元件的操作也如上之述第 12 圖的資料路徑 108 與 109 相同，故省去對它的描述。

藉由形成第 17 圖的資料路徑 108 與 109，它可以藉由一簡單電路來有效地執行一計算操作。

因此，依據本實施例之快速傅立葉轉換處理裝置，它可以在高速下執行基數 4 之計算程序與基數 2 之計算程序。也就是說，根據本實施例，它可以提供一種低價位的採用區塊浮點方法的快速傅立葉轉換處理裝置，其具有基數 4 與基數 2 兩種快速傅立葉轉換的能力。

第三實施例

接著，請參考第 6 圖用來說明第三實施例。本實施例藉由將兩個第一實施例中之快速傅立葉轉換處理裝置彼此並列連接，更改進計算程序的速度。

第 6 圖係依據本實施例之快速傅立葉轉換處理系統的概念方塊圖。

第 6 圖中，每一個處理器 601 與 602 為第一實施例中之快速傅立葉轉換處理裝置，與第 1 圖中相同的符號係代表第 1 圖中快速傅立葉轉換處理裝置相同的元件。

在每一處理器 601 與 602 中之輸出電路 611，其電路係將第 1 圖中之選擇器 111 與 112、暫存器 113 與 114，以及輸出端 115 與 116 集合於一起。輸出電路 611 連接到一輸出選擇器 606。從處理器 601 的循序控制器 119 輸出的狀態指示訊號，經由一 NOT 暫存器 603 輸入至處理器 602 的循序控制器 119，做為一狀態控制訊號。以此相同的方

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(5)

法，從處理器 602 的循序控制器 119 輸出的狀態指示訊號，經由一 NOT 暫存器 604 輸入至處理器 601 的循序控制器 119，做為一狀態控制訊號。一系統控制訊號係由從外界輸入至處理器 601 與 602 的循序控制器 119 中。

在每一處理器 601 與 602 中之選擇器 612，其電路係將第 1 圖中之選擇器 105 與 106，以及輸入端 101 與 102 集合於其中。

一資料輸入埠 605 將要被處理的資料從外界輸入。一資料輸出埠 607 將從輸出選擇器電路 606 輸入的處理過的資料輸出到外界。

第 6 圖所示之快速傅立葉轉換處理系統的操作將在下文描述。

首先，在一來自外界之系統控制訊號的狀態下選擇處理器 601，並將 N 個要被處理的資料(此例 $N=2048$)輸入至資料輸入埠 605 中。藉此，這些 N 個要被處理的資料輸入至處理器 601 中。之後，在一來自外界之系統控制訊號的狀態中選擇處理器 602，並將 N 個要被處理的資料(此例 $N=2048$)輸入至資料輸入埠 605 中。藉此，這些 N 個要被處理的資料輸入至處理器 602 中。

這兩個處理器 601 與 602 彼此獨立執行如第一實施例中之相同的計算程序。

當每一個處理器 601 與 602 完成一計算程序時，處理過的複數資料經輸出選擇電路 606 從輸出埠 607 輸出。

在此例中，例如，當處理器 601 輸出複數資料，處理

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(52)

器 601 的循序控制器 119 導通一狀態指示訊號。

此訊號經 NOT 閘 603 輸入至處理器 602 的循序控制器 119 做為一狀態控制訊號。藉此，資料輸出埠 607 由處理器 601 所佔據，處理器 602 被抑制輸出複數資料。當處理器完成輸出複數資料時，從處理器 601 的循序控制器 119 輸出的狀態指示訊號(亦即輸入至處理器 602 的循序控制器 119 之狀態控制訊號)被關掉，並且取消處理器 602 抑制輸出複數資料。多虧於此，它可當處理器 601 輸出複數資料時，防止處理器 602 輸出複數資料。

在處理器 602 佔據資料輸出埠 607 的情形下，系統也依照上述之方式操作。

因此，依據本實施例之快速傅立葉轉換處理系統，要被處理的兩個系統的資料群組，藉由兩個本發明之快速傅立葉轉換處理裝置(處理器 601 與 602)彼此並列連接，得以同時處理。所以它更可以改進快速傅立葉轉換處理的處理速度。

雖然本實施例係以兩個快速傅立葉轉換處理裝置彼此並列連接，當然要以三個或更多個快速傅立葉轉換處理裝置彼此並列連接也是可行的。在這情形下，它更可以改進快速傅立葉轉換處理的處理速度。

雖然本實施例之快速傅立葉轉換處理系統係以第一實施例之快速傅立葉轉換處理裝置彼此並列連接，當然要以第二實施例之快速傅立葉轉換處理裝置彼此並列連接也是可行的。

(請先閱讀背面之注意事項再
○ 兩本頁)

裝

訂

線

五、發明說明 (53)

第四實施例

接著，依據第 7 圖到第 10 圖來說明第四實施例。本實施例係關於一種具有執行取樣點為 $2N$ 點(亦即 8192)之快速傅立葉轉換處理能力的快速傅立葉轉換處理系統，其藉由將兩個快速傅立葉轉換處理裝置彼此並列連接，每一個裝置為第一實施例之快速傅立葉轉換處理裝置並且最大可處理之取樣點數目為 N (此例中為 4096 點)。

第 7 圖係依據本實施例之快速傅立葉轉換處理系統的概念方塊圖。

第 7 圖中，每一個主級模式處理器 701 與僕級模式處理器 702 係由第一實施例之快速傅立葉轉換處理裝置所組成。在處理器 701 與 702 中之內部組成元件，與第 1 圖中相同的符號係代表第 1 圖中快速傅立葉轉換處理裝置相同的元件。

在每一個處理器 701 與 702 中，其電路係將第 1 圖中之選擇器 111 與 112、暫存器 113 與 114，以及輸出端 115 與 116 集合於一起。輸出電路 711 分別連接到一輸出選擇器 706。

一資料輸入埠 705 將要被處理的資料從外界輸入。一資料輸出埠 707 將從輸出選擇器電路 706 輸入的處理過的資料輸出到外界。

主級模式處理器 701 之選擇器 712 連接到一主級模式輸入選擇電路 713 之一輸出端。從外界輸入之複數資料與從僕級模式處理器 702 輸出之複數資料，經由主級模式輸

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (54)

入選擇電路 713 之輸出端輸入。

以此相同方式，僕級模式處理器 702 之選擇器 712 連接到一僕級模式輸入選擇電路 714 之一輸出端。從外界輸入之複數資料與從主級模式處理器 701 輸出之複數資料，經由僕級模式輸入選擇電路 714 之輸出端輸入。

從主級模式處理器 701 的循序控制器 119 輸出的狀態指示訊號，經由一 NOT 暫存器 703 輸入至僕級模式處理器 702 的循序控制器 119，做為一狀態控制訊號。以此相同的方法，從僕級模式處理器 702 的循序控制器 119 輸出的狀態指示訊號，經由一 NOT 暫存器 704 輸入至主級模式處理器 701 的循序控制器 119，做為一狀態控制訊號。一系統控制訊號係由從外界輸入至處理器 701 與 702 的循序控制器 119 中。

一資料輸入埠 705 將要被處理的資料從外界輸入。一資料輸出埠 707 將從輸出選擇器電路 706 輸入的處理過的資料輸出到外界。

第 8 圖係繪示第 7 圖中工作 RAM 107 的內部組成方塊圖。第 7 圖中，元件與第 3 圖使用相同符號者分別代表與第 3 圖中相同的元件。從第 8 圖中明顯可知，此工作 RAM 103 與第 3 圖的相異點在於它具有一解碼器 333。此解碼器 333 將從外界輸入之資料位址的上面兩個位元解碼，並輸出一訊號用以指定四個記憶體陣列 301~304 的其中一個。

接著，要說明第 7 圖與第 8 圖之快速傅立葉轉換處理

(請先閱讀背面之注意事項再
○本頁)

裝

訂

線

五、發明說明 (55)

系統的操作。

首先，將要被處理的 8192 點複數資料中的前 1024 點複數資料經由資料輸入埠 705 與主級模式輸入選擇器 713 輸入至主級模式處理器 701。如第 9A 圖所示，這些要被處理的複數資料儲存於主級模式處理器 701 的工作 RAM 107 中的位址 0~1023。接著，下一批要被處理的 1024 點複數資料經由資料輸入埠 705 與僕級模式輸入選擇器 714 輸入至僕級模式處理器 702，並且儲存於僕級模式處理器 702 的工作 RAM 107 中的位址 0~1023。依此相同的方式，要被處理的複數資料一次 1024 點依序分別儲存於處理器 701 與 702 的工作 RAM 107 中。藉此，要被處理的 8192 點之複數資料可依據第 9A 圖所示之位址標記加以儲存。依據這種位址標記(亦即，每一處理器 701 與 702 的工作 RAM 107 中的位址 0~1023、位址 1024~2047、位址 2048~3071 與位址 3072~4095)之位址區域分別對應到第 8 圖中的記憶體陣列 301~304。

當將複數資料儲存於處理器 701 與 702 後，之後此系統利用這些資料來執行一快速傅立葉轉換處理。

在此實施例，因為取樣點的數目為 8192 點(亦即 2×4^6)，如下所述，此系統執行一基數為 4 的計算程序 6 次，之後執行一次基數 2 的計算程序。

首先要說明第一計算程序(基數 4)。

在此計算程序中，儲存於每一處理器 701 與 702 的工作 RAM 107 中的複數資料分別依據他們所儲存的位址區

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (56)

分成四個群組。此例中，如第 9A 圖所示，系統將儲存於主級模式處理器 701 的工作 RAM 107 中的位址 0~1023 的複數資料(取樣點數目為 0~1023 點)設定為群組 A1，儲存於工作 RAM 107 中的位址 1024~2047 的複數資料(取樣點數目為 2048~3071 點)設定為群組 B1，儲存於工作 RAM 107 中的位址 2048~3071 的複數資料(取樣點數目為 4096~5119 點)設定為群組 C1，儲存於工作 RAM 107 中的位址 3072~4095 的複數資料(取樣點數目為 6114~7167 點)設定為群組 D1。而系統將儲存於僕級模式處理器 702 的工作 RAM 107 中的位址 0~1023 的複數資料(取樣點數目為 1024~2047 點)設定為群組 A2，儲存於工作 RAM 107 中的位址 1024~2047 的複數資料(取樣點數目為 3072~4095 點)設定為群組 B2，儲存於工作 RAM 107 中的位址 2048~3071 的複數資料(取樣點數目為 5120~6143 點)設定為群組 C2，儲存於工作 RAM 107 中的位址 3072~4095 的複數資料(取樣點數目為 7168~8191 點)設定為群組 D2。

如第 10 圖的第一步驟所示，主級模式處理器 701 的第一資料路徑 108 與第二資料路徑 109 分別從工作 RAM 107 取出群組 A1、B1、C1 與 D1 的第一個複數資料(亦即位址為 0、1024、2048 與 3072 的複數資料)，使用表示式(1)~(4)執行一計算程序，並且得到的計算結果 a_i 、 b_i 、 c_i 與 d_i 。接著，將這些計算結果 a_i 、 b_i 、 c_i 與 d_i 從資料路徑 108 與 109 輸出，並且儲存於工作 RAM 107 中。此時，表示式(1)的計算結果 a_i 儲存於群組 A 的一位址中(此例為位

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

五、發明說明 (59)

址 0)，表示式(3)的計算結果 bi 儲存於群組 B 的一位址中(此例為位址 1024)，表示式(2)的計算結果 ci 儲存於群組 C 的一位址中(此例為位址 2048)，表示式(4)的計算結果 di 儲存於群組 D 的一位址中(此例為位址 3072)。

在此同時，僕級模式處理器 702 的第一資料路徑 108 與第二資料路徑 109 分別從工作 RAM 107 取出群組 A2、B2、C2 與 D2 的第一個複數資料(亦即位址為 0、1024、2048 與 3072 的複數資料)，使用表示式(1)~(4)執行一計算程序，並且得到的計算結果 ai 、 bi 、 ci 與 di 。接著，如主級模式處理器 701 的方式，將這些計算結果儲存於僕級模式處理器 702 的工作 RAM 107 中。

接著，以上述之相同方法，處理器 701 與 702 使用位址 1、1025、2049 與 3073 的複數資料執行一計算程序，之後以此相同的方式，對所有位址相關聯的複數資料一個接一個執行一計算程序。

當第一計算程序以此方法完成時，此系統利用輸入選擇電路 713 與 714 將主級模式處理器 701 與僕級模式處理器 702 之間彼此取代資料。亦即，如第 9A 圖所示，系統將主級模式處理器 701 的工作 RAM 107 中的位址 2048~3071 之複數資料(亦即主級模式處理器 701 的計算結果 ci)與僕級模式處理器 702 的工作 RAM 107 中的位址 0~1023 之複數資料(亦即僕級模式處理器 702 的計算結果 ai)彼此取代，接著，將主級模式處理器 701 的工作 RAM 107 中的位址 3072~4095 之複數資料(亦即主級模式處理器 701

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (58)

的計算結果 di)與僕級模式處理器 702 的工作 RAM 107 中的位址 1024~2047 之複數資料(亦即僕級模式處理器 702 的計算結果 bi)彼此取代。此取代係將複數資料經由輸入選擇電路 713 與 714，從處理器 701 與 702 其中之一輸出端輸出。以此方法，可以獲得如第 9B 圖之一位址標記。

然而，如第 9B 圖所示之結果，儲存於處理器 701 與 702 的每一工作 RAM 107 中的複數資料並不以一小的次序差放置。也就是說，取樣點數目 2048~3071 的複數資料係儲存於主級模式處理器 701 之工作 RAM 107 的位址 1024~2047，以及取樣點數目 1024~2047 的複數資料係儲存於工作 RAM 107 的位址 2048~3071。並且，取樣點數目 6144~7167 的複數資料係儲存於僕級模式處理器 702 之工作 RAM 107 的位址 1024~2047，以及取樣點數目 5120~6143 係儲存於工作 RAM 107 的位址 2048~3071。在此實施例中，爲了解決此一步匹配的問題，此系統將以一小的差距來取代儲存於處理器 701 與 702 中每一工作 RAM 的複數資料。事實上，在本實施例中，取代係以交換解碼器 333 中之解碼資料來完成的(如第 8 圖)。也就是說，系統彼此取代每一位址 1024~2047 的記憶位址之二進位碼的最上兩位元與主級模式處理器 701 的工作 RAM 107 的每一位址 2048~3071 的位元，並且以此相同的方法，彼此取代每一位址 1024~2047 的記憶位址之二進位碼的最上兩位元與僕級模式處理器 702 的工作 RAM 107 的每一位址 2048~3071 的位元。藉此，系統大體上可以取代資料而

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (59)

不轉移資料。因此，系統可以改善處理速度。當然也可以做一般的資料轉移來代替交換解碼資料。

此系統可以在處理器 701 與 702 以上述彼此交換資料的方式來執行第二或之後的計算程序。

如第 10 圖所示之步驟 2，在第二計算程序中，系統將每一個處理器 701 與 702 的工作 RAM 的位址區分成位址 0~511、位址 512~1023、位址 1024~1535 與位址 1536~2047 的群組，以及位址 2048~2559、位址 2560~3071、位址 3072~3583 與位址 3584~4095 的群組來執行一計算程序。

再者，如第 10 圖所示之步驟 3 到步驟 7，在第三到第七計算程序中，系統也執行如第一實施例中第二到第六計算程序之相同的計算程序(但取樣點數目與第一實施例不同)。

如第一實施例相同之方法，系統將計算結果輸出到外界。

以此方式，依據本實施例一種快速傅立葉轉換處理系統可以執行一種快速傅立葉轉換處理，其取樣點為 $2N$ 點，藉由以並列方式將兩個具有最大取樣點為 N 之快速傅立葉轉換處理裝置彼此連接。因此，它可以以較低價位來增加可處理的取樣點的數目。

因為此系統可以藉由增加小數目的分離元件來構成，所以系統的大小也可以做得很小。

雖然在此實施例中是用兩個快速傅立葉轉換處理裝置彼此以並列方式連接，它當然可以用四個或更多裝置來連

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明(60)

接，所以它更可以大幅增加取樣點的數目。

第五實施例

請參考第 11 圖用以說明第五實施例。本實施例與第四實施例相同，皆是一種快速傅立葉轉換處理系統，其具有執行處理取樣點為 $2N$ (此例 $2N=8192$) 之快速傅立葉轉換處理的能力，此系統是將兩個快速傅立葉轉換處理裝置並列連接，每一個具有最大取樣點的數目為 N (此例 $N=4096$)。此實施例與第四實施例不同處在於它具有如第二實施例之區塊浮點演算功能。

第 11 圖係繪示依據本實施例之快速傅立葉轉換處理系統的概念方塊圖。

在第 11 圖中，每一主級模式處理器 1001 與僕級模式處理器 1002 係由第二實施例中之快速傅立葉轉換處理裝置所構成。在這種處理器 1001 與 1002 的內部構成中，與第 5 圖中之快速傅立葉轉換處理裝置相同的元件係以相同的符號表示。

在每一處理器 1001 與 1002 中，輸出電路 1011 係包括第 5 圖的選擇器 111 與 112、暫存器 113 與 11, 4 以及輸出端 115 與 116。輸出電路 1011 分別連接到一輸出選擇電路 1006 的輸入端。

在每一處理器 1001 與 1002 中，選擇器 1012 係包括第 5 圖的選擇器 105 與 106、以及輸入端 101 與 102。

主級模式處理器 1001 的選擇器 1012 連接到主級模式輸入選擇電路 1013 的輸出端。從外界輸入之複數資料與

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (61)

從僕級模式處理器 1002 輸出之複數資料經由主級模式輸入選擇電路 1013 的輸入端輸入。

同理，僕級模式處理器 1002 的選擇器 1012 連接到僕級模式輸入選擇電路 1014 的輸出端。從外界輸入之複數資料與從主級模式處理器 1001 輸出之複數資料經由僕級模式輸入選擇電路 1014 的輸入端輸入。

從處理器 1001 的循序控制器 119 輸出的狀態指示訊號經由一 NOT 緩衝器 1003 輸入到處理器 1002 的循序控制器 119 做為一狀態控制訊號。同理，從處理器 1002 的循序控制器 119 輸出的狀態指示訊號經由一 NOT 緩衝器 1004 輸入到處理器 1001 的循序控制器 119 做為一狀態控制訊號。一系統控制訊號從外界輸入到每一處理器 1001 與 1002 的循序控制器 119。

資料輸入埠 1005 從外界輸入要被處理的資料。資料輸出埠 1007 將從輸出選擇電路 1006 輸入之處理過的複數資料輸出到外界。

接著，如第 11 圖所示說明此快速傅立葉轉換處理系統的操作。

首先，從 8192 點要被處理的資料中的第一筆 1024 點的資料經由資料輸入埠 1005 與主級模式輸入選擇電路 1013 輸入到主級模式處理器 1001 中。如同第一實施例所述之方法，把這些複數資料儲存到主級模式處理器 1001 的工作 RAM 107 中。此時，主級模式處理器 1001 的區塊浮點偵測儲存器 503 具有從選擇器 1012 輸入之複數資料，

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

五、發明說明 (62)

並且與如第二實施例之方法偵測並儲存一浮點偵測值。在此同時，僕級模式處理器 1002 的區塊浮點偵測儲存器 503 也自動操作並偵測一浮點偵測值，但是沒有把它儲存起來。

接著，下一筆 1024 點的資料經由資料輸入埠 1005 與僕級輸入選擇電路 1014 輸入到僕級模式處理器 1002 中，並儲存於工作 RAM 中。此時，僕級模式處理器 1002 的區塊浮點偵測儲存器 503 具有從選擇器 1012 輸入之複數資料，偵測並儲存一浮點偵測值。如同上述主級模式處理器 1001 相同的方法，主級模式處理器 1001 的區塊浮點偵測儲存器 503 也自動操作並偵測一浮點偵測值，但是沒有把它儲存起來。

以此方式，本實施例中處理器 1001 與 1002 的區塊浮點偵測儲存器 503 彼此獨立操作，但他們最後可以執行可保持的浮點偵測值。

之後，以如第四實施例中之方法，剩餘要被處理的資料依據第 9 圖之位址標記也儲存到處理器 1001 與 1002 的工作 RAM 中。

當完成將複數資料儲存於處理器 1001 與 1002 中時，之後此系統利用這些複數資料來執行一快速傅立葉轉換處理。

在此實施例中，系統執行一基數 4 的計算程序 6 次，再執行一次基數 2 的計算程序。如下所述，此系統之計算成係的操作除了一浮點演算法之外，其餘與第四實施例相

(請先閱讀背面之注意事項)

○(寫本頁)

裝

訂

○線

五、發明說明 (63)

同。

下段要說明基數 4 之計算程序。

在此計算程序中，系統將儲存於每一處理器 1001 與 1002 之工作 RAM 107 的複數資料，依據儲存位址分成四個群組，並且處理這些資料。此例如第 9 圖所示，系統將儲存於主級模式處理器 1001 中的工作 RAM 107 之位址 0~1023 的複數資料(取樣點數目為 0~1023 點)設定為群組 A1，儲存於主級模式處理器 1001 中的工作 RAM 107 之位址 1024~2047 的複數資料(取樣點數目為 2048~3071 點)設定為群組 B1，儲存於主級模式處理器 1001 中的工作 RAM 107 之位址 2048~3071 的複數資料(取樣點數目為 4096~5119 點)設定為群組 C1，儲存於主級模式處理器 1001 中的工作 RAM 107 之位址 3072~4095 的複數資料(取樣點數目為 6114~7167 點)設定為群組 D1。以及，儲存於僕級模式處理器 1002 中的工作 RAM 107 之位址 0~1023 的複數資料(取樣點數目為 1024~2047 點)設定為群組 A2，儲存於僕級模式處理器 1002 中的工作 RAM 107 之位址 1024~2047 的複數資料(取樣點數目為 5120~6143 點)設定為群組 B2，儲存於僕級模式處理器 1002 中的工作 RAM 107 之位址 2048~3071 的複數資料(取樣點數目為 5120~6143 點)設定為群組 C2，儲存於主級模式處理器 1002 中的工作 RAM 107 之位址 3072~4095 的複數資料(取樣點數目為 7168~8191 點)設定為群組 D2。

首先，主級模式處理器 1001 的第一資料路徑 501 與

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (64)

第二資料路徑 502 分別讀取群組 A1、B1、C1 與 D1 之第一個複數資料(亦即位址為 0、1024、2048 與 3072 的複數資料)，以及儲存於正弦/餘弦因子 ROM 110 中的旋轉因子，並且同時從區塊浮點偵測儲存器 503 讀取一第一區塊浮點偵測值。接著，系統依據此偵測值與前述之表示式(1)~(4)，執行一區塊浮點計算程序。之後，計算結果 ai、bi、ci 與 di 儲存在工作 RAM107 中。此時，將表示式(1)之計算結果 ai 儲存於群組 A 之一位址(此例為位址 0)，將表示式(2)之計算結果 ci 儲存於群組 C 之一位址(此例為位址 2048)，將表示式(3)之計算結果 bi 儲存於群組 B 之一位址(此例為位址 1024)，將表示式(4)之計算結果 di 儲存於群組 D 之一位址(此例為位址 3072)。此時，主級模式處理器 1001 的區塊浮點偵測儲存器 503，只對計算結果 ai 與 bi 執行一浮點值得偵測，但對計算結果 ci 與 di 並不執行此動作。這些偵測結果儲存在區塊浮點偵測儲存器 503。

在此時，僕級模式處理器 1002 的第一資料路徑 501 與第二資料路徑 502 分別讀取群組 A2、B2、C2 與 D2 之第一個複數資料(亦即位址為 0、1024、2048 與 3072 的複數資料)，接著，系統依據此偵測值與前述之表示式(1)~(4)，執行一區塊浮點計算程序。之後，計算結果 ai、bi、ci 與 di，用與主級模式處理器 1001 相同的方法，儲存在僕級模式處理器 1002 的工作 RAM107 中。此時，僕級模式處理器 1002 的區塊浮點偵測儲存器 503，只對計算結果 ci 與 di 執行一浮點值得偵測，但對計算結果 ai 與 bi

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (65)

並不執行此動作。這些偵測結果儲存在區塊浮點偵測儲存器 503。

接著，系統使用位址 1、1025、2049 與 3073 之複數資料執行相同的計算程序，並以相同的方法，對所有位址相關聯的複數資料一次接一次執行計算程序。

當第一計算程序以此方法完成後，系統利用輸入選擇電路 1013 與 1014 將主級模式處理器 1001 與僕級模式處理器 1002 之間的資料彼此互相取代。也就是說，系統將儲存於主級模式處理器 1001 中之工作 RAM 107 之位址 2048~3071 的複數資料(亦即主級模式處理器 1001 算結果 ci)與儲存於僕級模式處理器 1002 中之工作 RAM 107 之位址 0~1023 的複數資料(亦即僕級模式處理器 1002 算結果 ai)彼此取代，之後再將儲存於主級模式處理器 1001 中之工作 RAM 107 之位址 3072~4095 的複數資料(亦即主級模式處理器 1001 算結果 di)與儲存於僕級模式處理器 1002 中之工作 RAM 107 之位址 1024~2047 的複數資料(亦即僕級模式處理器 1002 算結果 bi)彼此取代。此時，此實施例中系統對每一要被取代的複數資料執行偵測一浮點值。因此，對每一由第一計算程序所獲得的計算結果執行一浮點值偵測。

之後，以第四實施例相同的方法，藉由改變每一 RAM 的位址解碼器中要被解碼的資料，系統將處理器 1001 與 1002 中的工作 RAM 107 位址 1024~2047 與 2048~3071 的資料彼此取代。

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (66)

當資料取代完成後，系統在處理器 1001 與 1002 中各自獨立執行一基數 4 的第二計算程序。

第二計算程序與第二實施例中之第一計算程序相同，每一處理器 1001 與 1002 將工作 RAM 104 的位址依據第 9 圖的位址標記區分成四個群組，並執行一區塊浮點演算程序。

再者，於第三到第六計算程序與後面的計算程序，系統也執行與第二實施例中之第二到第六計算程序相同的方法。

以此方法，依據本實施例，一種快速傅立葉轉換處理系統可以執行取樣點為 $2N$ 之快速傅立葉轉換處理，其藉由區塊浮點方法以及將兩個具有最大取樣點為 N 的快速傅立葉轉換處理裝置彼此並列連接。

此外，在此實施例當然並列連接四個或以上快速傅立葉轉換處理裝置也是可以的。

雖然本實施例中系統在第一到第七計算程序中使用一區塊浮點方法，此系統也可以在第一計算程序中使用一定點方式而在第二與之後的計算程序使用區塊浮點方法執行其計算程序。在此情形下，當一開始讀外來的資料時，系統停止每一處理器 1001 與 1002 中之區塊浮點偵測儲存器 503 的偵測操作，使其不做偵測。在第一計算程序中，系統使用與第一實施例相同之定點方法，之後當彼此取代處理器 1001 與 1002 的資料並將他們儲存時，系統偵測一浮點值。在第二與之後的計算程序中，系統使用如第二實施

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (69)

例所使用的浮點值來執行計算程序。

藉由此方法，根據本實施例可以獲得一更快速的快速傅立葉轉換處理系統。

第六實施例

接著要依據第 18 圖說明第六實施例。根據本實施例之快速傅立葉轉換處理裝置，其與上述之第一實施例不同處在於更增加兩個資料路徑且具有一轉置 RAM(transpose RAM)。

此實施例中，以取樣點數目為 2048 點做為例子。

第 18 圖係根據本實施例之快速傅立葉轉換處理裝置的一組成方塊圖。

在第 18 圖中，與第 1 圖所使用相同符號的元件係代表相同的元件。

第 18 圖之輸出電路 1801 係包括第 1 圖中之選擇器 111 與 112、暫存器 113 與 114 以及輸出端 115 與 116。選擇器 1802 係包括第 1 圖中之選擇器 105 與 106、暫存器 103 與 104 以及輸入埠 101 與 102。

一第三資料路徑 1803 可以是與第一資料路徑 108 有相同的內部結構，亦即第 2A 圖或第 12 圖的結構。同理，一第四資料路徑 1804 可以是與第二資料路徑 109 有相同的內部結構，亦即第 2A 圖或第 12 圖的結構。

一轉置 RAM 1805 一個接一個將第一資料路徑 108 與第二資料路徑 109 的計算結果 $a_i \sim d_i$ 讀取並暫時存放其中。如後所述，轉置 RAM 1805 將這些複數資料所形成的 4

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (68)

$\times 4$ 的矩陣轉置並且一行一行地輸出。

接著，請參考第 19 圖來說明第 18 圖中之快速傅立葉轉換處理裝置。

與第一實施例相同的方法，首先，2048 點要被處理的取樣點資料被分成實數部分與虛數部分，並且一個接一個從選擇器 1802 儲存到工作 RAM 107 中。

當儲存完畢後，使用這些資料執行一快速傅立葉轉換處理。以下文所描述的方法，此實施例同時執行第一與第二計算程序。

在這些計算程序之中，儲存在工作 RAM 107 中的 2048 點複數資料被區分成與第一實施例中類似的四個群組 A、B、C 與 D，並且之後再分別對每一 A、B、C 與 D 更細分成 AG1~AG4、BG1~BG4、CG1~CG4 與 DG1~DG4。也就是說，本實施例與第一實施例不同點在於將工作 RAM 107 中所儲存的 2048 點複數資料一開始就分成 16 部分。

第一資料路徑 108 與第二資料路徑 109 讀取儲存於工作 RAM 107 中之位址 0、512、1024 與 1536 的複數資料(亦即每一個群組 AG1、BG1、CG1 與 DG1 的第一個複數資料)，以及從正弦/餘弦因子 ROM 110 讀取一旋轉因子。此裝置使用位址 0 之資料做為 A_i ，位址 512 之資料做為 B_i ，位址 1024 之資料做為 C_i ，位址 1536 之資料做為 D_i 來計算上述之表示式(1)~(4)。

當計算完成時，計算結果 a_1 、 b_1 、 c_1 與 d_1 從第一資料路徑 108 與第二資料路徑 109 輸出。在此實施例中這些

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (69)

計算結果被儲存在轉置 RAM 1805 中。

接著，第一資料路徑 108 與第二資料路徑 109 讀取儲存於工作 RAM 107 中之位址 128、640、1152 與 1644 的複數資料(亦即每一個群組 AG2、BG2、CG2 與 DG2 的第一個複數資料)，做為 A_i 、 B_i 、 C_i 與 D_i 來計算上述之表示式(1)~(4)，之後，將計算結果 a_2 、 b_2 、 c_2 與 d_2 儲存在轉置 RAM 1805 中。以此相同的方法，第一資料路徑 108 與第二資料路徑 109 對每一個群組 AG3、BG3、CG3 與 DG3 的第一個複數資料與每一個群組 AG4、BG4、CG4 與 DG4 的第一個複數資料一個接一個計算上述之表示式(1)~(4)，之後，將計算結果 a_3 、 b_3 、 c_3 與 d_3 以及 a_4 、 b_4 、 c_4 與 d_4 儲存在轉置 RAM 1805 中。

之後，第一資料路徑 108 與第二資料路徑 109 對每一 AG1~AG4、BG1~BG4、CG1~CG4 與 DG1~DG4 的第二個與之後的複數資料執行相同的計算操作，並且將計算結果一個接一個儲存在轉置 RAM 1805 中。

如第 19 圖所示，轉置 RAM 1805 將這些計算結果排成一 4×4 的矩陣，且將其轉置(行與列彼此對調)，再一行一行地輸出轉置矩陣。

第三資料路徑 1803 與第四資料路徑 1804 讀取從轉置 RAM 1805 輸入之資料。並且使用第一列的資料做為 A_i 、第二列的資料做為 B_i 、第三列的資料做為 C_i 與第四列的資料做為 D_i 執行上述表示式(1)~(4)之計算。以此例之第一計算為例，它們利用 a_1 做為 A_i 、 a_2 做為 B_i 、 a_3 做為 C_i

(請先閱讀背面之注意事項)
(寫本頁)

裝

訂

線

五、發明說明 (70)

與 a_4 做為 D_i 來執行上述表示式(1)~(4)之計算。以此計算操作所獲得的計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 中。此時，以此例之第一計算為例，表示式(1)之計算結果 a_i 儲存於群組 AG1 的一位址(此例為位址 0)，表示式(3)之計算結果 b_i 儲存於群組 AG2 的一位址(此例為位址 128)，表示式(2)之計算結果 c_i 儲存於群組 AG3 的一位址(此例為位址 256)，表示式(4)之計算結果 d_i 儲存於群組 AG4 的一位址(此例為位址 384)。

在第三資料路徑 1803 與第四資料路徑的第二計算中，利用 b_1 做為 A_i 、 b_2 做為 B_i 、 b_3 做為 C_i 與 b_4 做為 D_i 來執行上述表示式(1)~(4)之計算，並將此計算操作所獲得的計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 中。此時，表示式(1)之計算結果 a_i 儲存於群組 BG1 的一位址(此例為位址 512)，表示式(3)之計算結果 b_i 儲存於群組 BG2 的一位址(此例為位址 640)，表示式(2)之計算結果 c_i 儲存於群組 BG3 的一位址(此例為位址 768)，表示式(4)之計算結果 d_i 儲存於群組 BG4 的一位址(此例為位址 896)。

再者，將從轉置 RAM 1805 輸入之複數資資料 $c_1 \sim c_4$ 與 $d_1 \sim d_4$ 一個接一個執行表示式(1)~(4)的計算，並且將計算結果分別儲存於 CG1~CG4 與 DG1~DG4 的第一位址。

以此相同的方法，此實施例更將工作 RAM 107 中的每一群組 A、B、C 與 D 區分成 4 部分，使成為群組 AG1~AG4、群組 BG1~BG4、群組 CG1~CG4 與群組 DG1~DG4，並且使第一資料路徑 108 與第二資料路徑 109

(請先閱讀背面之注意事項)

填寫本頁

裝

訂

線

五、發明說明 (71)

使用群組 AG1、BG1、CG1 與 DG1 要被處理的資料，群組 AG2、BG2、CG2 與 DG2 要被處理的資料，群組 AG3、BG3、CG3 與 DG3 要被處理的資料，群組 AG4、BG4、CG4 與 DG4 要被處理的資料，彼此交互執行計算操作。由於如此，因為第三資料路徑 1803 與第四資料路徑 1804 可利用轉置 RAM 1805 所輸出的資料執行計算，故可以實現一快速的計算程序。

當第一與第二計算程序以此方式完成時，之後基數 4 之第三與第四計算程序以下述的方式同時執行。

在此計算程序中，工作 RAM 107 的每一群組 AG1~AG4、BG1~BG4、CG1~CG4 與 DG1~DG4，再區分成 16 部分。也就是說，在這些計算程序中，工作 RAM 107 的位址被分成 256 份。例如，將 AG1~AG4、BG1~BG4、CG1~CG4 與 DG1~DG4 的每一群組係由將群組 AG1 分成 4 部分之每一群組 A、B、C 與 D 再分成的。例如，上述之群組 AG1(位址 0~128)再分成 16 部分，AG1 有位址 0~7，BG1 有位址 32~39，CG1 有位址 64~71，DG1 有位址 96~103。

第一資料路徑 108 與第二資料路徑 109 讀取儲存在工作 RAM 107 中的位址 0、32、64 與 96 的複數資料，以及儲存於正弦/餘弦 ROM 110 中之旋轉因子，並且使用位址 0 的資料做為 A_i 、位址 32 的資料做為 B_i 、位址 64 的資料做為 C_i 與位址 96 的資料做為 D_i 執行表示式(1)~(4)之計算。這些計算結果所獲得的複數資料儲存在轉置 RAM 1805

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (12)

之中。與第一與第二程序相同的方法，計算程序被第一資料路徑 108 與第二資料路徑 109 一直重複操作。

轉置 RAM 1805 亦重複執行將計算結果排列成爲一 4×4 的矩陣，並將其轉置，且與第一與第二計算程序相同的方法一行一行地輸出轉置矩陣。

再者，以如同第一與第二計算程序之方法，第三資料路徑 1803 與第四資料路徑 1804 使用從轉置 RAM 1805 讀取的複數資料執行表示式(1)~(4)的計算，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 中特定的位址。例如，以第一計算程序爲例，將 a_i 儲存在位址 0、將 b_i 儲存在位址 8、將 c_i 儲存在位址 16 以及將 d_i 儲存在位址 24。

當第三與第四計算程序以此方式完成時，之後一下面的方法同時執行基數 5 之計算程序與基數 2 之計算程序。

在這些計算程序中，在第三與第四計算程序中工作 RAM 107 的每一群組被分成 4 部分。也就是說，在這些計算程序中，工作 RAM 107 的位址全部被區分成 1024 部分。例如，將群組 AG1 分成 4 部分之每一群組 A、B、C 與 D 再分成的。例如，上述之群組 AG1(位址 0~7)再分成 16 部分，AG1 有位址 0~1，BG1 有位址 2~3，CG1 有位址 4~5，DG1 有位址 6~7。將群組分成 4 部分而不是 16 部分的理由是基數 2 的計算程序(亦即第六計算程序)並不需要將工作 RAM 107 中要被處理的資料分成 4 部分。

接著，第一資料路徑 108 與第二資料路徑 109 讀取儲存在工作 RAM 107 中的位址 0、2、4 與 6 的複數資料，

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (13)

以及儲存於正弦/餘弦 ROM 110 中之旋轉因子，並且使用位址 0 的資料做為 A_i 、位址 2 的資料做為 B_i 、位址 4 的資料做為 C_i 與位址 6 的資料做為 D_i 執行表示式(1)~(4)之計算。這些計算結果所獲得的複數資料儲存在轉置 RAM 1805 之中。與第一與第二程序相同的方法，計算程序被第一資料路徑 108 與第二資料路徑 109 一直重複操作。

轉置 RAM 1805 亦重複執行將計算結果排列成為一 4×4 的矩陣，並將其轉置，且與第一與第二計算程序相同的方法一行一行地輸出轉置矩陣。

第三資料路徑 1803 與第四資料路徑 1804 執行一基數 2 的計算程序。也就是說，資料路徑 1803 與 1804 使用從轉置 RAM 1805 取得的複數資料執行上述之表示式(5)~(8)之計算程序，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在工作 RAM 107 中特定的位址上。例如，以第一計算為例，將 a_i 儲存在位址 0，將 b_i 儲存在位址 1，將 c_i 儲存在位址 8，將 d_i 儲存在位址 9。

接著同樣的計算一直重複操作並且將計算結果一個接一個儲存於工作 RAM 107 中。

當第五與第六計算程序完成時，最後的計算結果如第一實施例的方法輸出到外界。

因此，在此實施例中，因位不必將第一資料路徑 108 與第二資料路徑 109 的計算結果一次儲存到工作 RAM 107 中，並且可以藉由轉置 RAM 1805 將他們轉置，並做為第三 1803 與第四資料路徑 1804 所要處理的資料故處理的速

(請先閱讀背面之注意事項)
裝
訂
線

五、發明說明 (74)

度可以大幅增加。

雖然上述之例子是以兩階段的資料路徑來完成的，但是使用更多級(4 級以上)的資料路徑，並且每兩級使用一轉置 RAM 是可行的。如此可以更大幅地提高處理速度。

第七實施例

接著，參考第 20 圖說明第七實施例。依據本實施例之快速傅立葉轉換處理裝置與第六實施例之差異處在於本實施例更具備一區塊浮點計算功能。

做為此實施例的一例子，其取樣點數目為 2048 點。

第 20 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 20 圖中與第 1 圖與第 18 圖中所使用之相同符號的元件係與第 1 圖與第 18 圖所示之元件相同。

第 20 圖中，第一資料路徑 2001 與第二資料路徑 2002 與第 18 圖之資料路徑 108 與 109 的差別在於每一資料路徑 2001 與 2002 具有移位功能，用以執行一區塊浮點計算。使用於區塊浮點計算之移位功能組成的詳細敘述在此省略。

區塊浮點偵測儲存器 2003 取從選擇器 1802 輸出之複數資料，並且偵測一區塊浮點值且將其暫時儲存著。暫存於區塊浮點偵測儲存器 2003 之區塊浮點值被傳送到資料路徑 2001 與 2002 以及循序控制器 119。

輸出位元移位器 2004 與 2005 從工作 RAM 107 取得複數資料，以及從循序控制器 119 取得浮點值，並且依據

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (75)

此浮點值將複數資料移位，之後輸出結果。

暫存器 2006 具有累積從循序控制輸入器 119 輸入之浮點值的功能，並且輸出到外界。

接著，要說明第 20 圖之快速傅立葉轉換處理裝置的操作。

如同第六實施例之方法，首先，2048 點要被處理的取樣點資料被分成實數部分與虛數部分，並一個接一個從選擇器 1802 儲存到工作 RAM 107 中。此時，區塊浮點偵測儲存器 2003 具有這些一個接一個從選擇器 1802 輸入之複數資料，並且如第二實施例之方法偵測其浮點值。

當此裝置完成將資料儲存於工作 RAM 107 時，之後它使用這些資料執行快速傅立葉轉換處理處理。

以下述之方法，此實施例同時執行第一與第二計算程序。

在這些計算程序之中，儲存在工作 RAM 107 中的 2048 點複數資料被區分成如第六實施例中之 AG1~AG4、BG1~BG4、CG1~CG4 與 DG1~DG4。

第一資料路徑 2001 與第二資料路徑 2002 讀取儲存於工作 RAM 107 中之位址 0、512、1024 與 1536 的複數資料(亦即每一個群組 AG1、BG1、CG1 與 DG1 的第一個複數資料)，以及從正弦/餘弦因子 ROM 110 讀取一旋轉因子，並同時從區塊浮點偵測儲存器 2003 各群組之共同的浮點值。第一資料路徑 2001 與第二資料路徑 2002 利用浮點值執行一區塊浮點計算以及上述之表示式(1)~(4)。

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (76)

當計算完成時，計算結果 a_1 、 b_1 、 c_1 與 d_1 從第一資料路徑 2001 與第二資料路徑 2002 輸出，這些計算結果被儲存在轉置 RAM 1805 中。

之後，第一資料路徑 2001 與第二資料路徑 2002 已如第六實施例之方法一個接一個讀取工作 RAM 107 之資料。並且一個接一個地利用區塊浮點方法執行計算程序，之後並將計算結果一個接一個儲存在轉置 RAM 1805 中。

此時，轉置 RAM 1805 將這些計算結果排成一 4×4 的矩陣，且將其轉置(行與列彼此對調)，再一行一行地輸出轉置矩陣。

第三資料路徑 1803 與第四資料路徑 1804 讀取從轉置 RAM 1805 輸入之資料。並且利用區塊浮點方法，使用 a_1 做為 A_i 、 a_2 做為 B_i 、 a_3 做為 C_i 與 a_4 做為 D_i 執行上述表示式(1)~(4)之計算。以此計算操作所獲得的計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 中。

此時，區塊浮點偵測儲存器 2003 具有計算結果 a_i 、 b_i 、 c_i 與 d_i 並且對每一計算結果偵測並儲存一浮點值。

接著，第三資料路徑 1803 與第四資料路徑 1804，利用區塊浮點方法，使用 b_1 做為 A_i 、 b_2 做為 B_i 、 b_3 做為 C_i 與 b_4 做為 D_i 來執行第二計算程序，並且將此計算操作所獲得的計算結果儲存於工作 RAM 107 中(這些資料儲存的位址與第六實施例中的相同)。

此時，區塊浮點偵測儲存器 2003 具有計算結果 a_i 、 b_i 、 c_i 與 d_i 並且對每一計算結果偵測並儲存一浮點值，並將

(請先閱讀背面之注意事項)
寫本頁

裝

訂

線

五、發明說明 (77)

每一偵測值與先前儲存於區塊浮點偵測儲存器 2003 中的值做比較。當既存的值比偵測值小時，區塊浮點偵測儲存器 2003 不改變儲存值，當偵測值比既存的值小時，區塊浮點偵測儲存器 2003 將儲存值改變為偵測值。

以此相同的方法，對所有從轉置 RAM1805 輸入之複數資料執行計算程序，並且一個接一個將計算結果儲存於工作 RAM 107 中，之後區塊浮點偵測儲存器 2003 對每一個計算結果一個接一個偵測一浮點值，當既存的值比偵測值小時，區塊浮點偵測儲存器 2003 不改變儲存值，當偵測值比既存的值小時，區塊浮點偵測儲存器 2003 將儲存值改變為偵測值。

此實施例在第三計算程序中利用此法偵測之浮點值。

當第一與第二計算程序以此方式完成時，之後基數 4 之第三與第四計算程序以下述的方式同時執行。

在此計算程序中，工作 RAM 107 的每一群組 AG1~AG4、BG1~BG4、CG1~CG4 與 DG1~DG4，再區分成 16 部分。

第一資料路徑 2001 與第二資料路徑 2002 讀取儲存在工作 RAM 107 中的位址 0、32、64 與 96 的複數資料，以及儲存於正弦/餘弦 ROM 110 中之旋轉因子，並且從區塊浮點偵測儲存器 2003 讀取一浮點值，之後利用區塊浮點法執行表示式(1)~(4)之計算。以如第一計算程序相同之方法，計算程序被第一資料路徑 2001 與第二資料路徑 2002 一直重複操作。

(請先閱讀背面之注意事項)
寫本頁

裝

訂

線

五、發明說明 (78)

轉置 RAM 1805 亦重複執行將計算結果排列成爲一 4×4 的矩陣，並將其轉置，且與第一與第二計算程序相同的方法一行一行地輸出轉置矩陣。

再者，以如同第一與第二計算程序之方法，第三資料路徑 1803 與第四資料路徑 1804 使用從轉置 RAM 1805 讀取的複數資料並且利用定點方法執行表示式(1)~(4)的計算，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 中特定的位址。此時，如第二計算程序之方法，區塊浮點偵測儲存器 2003 對每一個計算結果 a_i 、 b_i 、 c_i 與 d_i 一個接一個偵測一浮點值，當既存的值比偵測值小時，區塊浮點偵測儲存器 2003 不改變儲存值，當偵測值比既存的值小時，區塊浮點偵測儲存器 2003 將儲存值改變爲偵測值。

以此方法偵測之浮點值使用再下述之第五計算程序。

當第三與第四計算程序以此方式完成時，之後一下面的方法同時執行基數 5 之計算程序與基數 2 之計算程序。

在這些計算程序中，梧桐第六實施例中將工作 RAM 107 的每一群組被分成 4 部分。

接著，第一資料路徑 2001 與第二資料路徑 2002 讀取儲存在工作 RAM 107 中的位址 0、2、4 與 6 的複數資料，以及儲存於正弦/餘弦 ROM 110 中之旋轉因子，並且同時從區塊浮點偵測儲存器 2003 讀取一浮點值，之後利用區塊浮點法執行表示式(1)~(4)之計算。接著，藉此計算所獲得的計算結果儲存於轉置 RAM 1805 中。與第一與第二程序相同的方法，計算程序被第一資料路徑 2001 與第二資

(請先閱讀背面之注意事項)
寫本頁

裝

訂

線

五、發明說明 (79)

料路徑 2002 一直重複操作。

轉置 RAM 1805 亦重複執行將計算結果排列成爲一 4×4 的矩陣，並將其轉置，且與第一與第三計算程序相同的方法一行一行地輸出轉置矩陣。

第三資料路徑 1803 與第四資料路徑 1804 執行一基數 2 的計算程序。也就是說，資料路徑 1803 與 1804 使用從轉置 RAM 1805 取得的複數資料並且藉由定點方法執行上述之表示式(5)~(8)之計算程序，並且將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在工作 RAM 107 中特定的位址上。此時，區塊浮點偵測儲存器 2003 對每一個計算結果 a_i 、 b_i 、 c_i 與 d_i 一個接一個偵測一浮點值，當既存的值比偵測值小時，區塊浮點偵測儲存器 2003 不改變儲存值，當偵測值比既存的值小時，區塊浮點偵測儲存器 2003 將儲存值改變爲偵測值。

當第五與第六計算程序完成時，最後的計算結果如第一實施例的方法輸出到外界。此時，循序控制器 119 累積每一階段從區塊浮點偵測儲存器 2003 輸入各取樣點的浮點值，並且將他們傳送到輸出位元移位器 2004 與 2005。輸出位元移位器 2004 與 2005 依據這些累積的浮點值將從工作 RAM 107 輸入之複數資料移位，之後將結果傳送到輸出電路 1801。藉此，移位的複數資料可由輸出電路 1801 輸出到外界。

如果有需要，不經過輸出位元移位器 2004 與 2005 的移位，也可以將複數資料與從暫存器 2006 之最後的浮點

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (80)

值輸出到外界。

因此，在此實施例中，因為不必一次將第一料路徑 2001 與第二資料路徑 2002 的計算結果 ai、bi、ci 以及 di 儲存於工作 RAM 107 中，並且它可以藉由轉置 RAM 1805 將計算結果轉置，並將他們做為第三資料路徑 1803 與第四資料路徑 1804 的處理資料，利用浮點法的處理速度可被大為提昇。

雖然上述之例子是以兩階段的資料路徑來完成的，但是使用更多級(4 級以上)的資料路徑，並且每兩級使用一轉置 RAM 是可行的。如此可以更大幅地提高處理速度。

第八實施例

接著，參考第 21 圖來說明第八實施例。依據本實施例之快速傅立葉轉換處理裝置與第六實施例之差異處在於本實施例更具備一選擇器 2101。

做為此實施例的一例子，其取樣點數目為 1024 點。

第 21 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 21 圖中與第 18 圖中所使用之相同符號的元件係與第 18 圖所示之元件相同。

第 21 圖中，選擇器 2101 選擇第一與第二資料路徑 108、109 的輸出或者第三與第四資料路徑 1803、1804 的輸出，並將其供給選擇器 1802 的其中之一輸入端。此選擇係由循序控制器 119 所控制的。

接著，要說明第 21 圖之快速傅立葉處理裝置的操作。

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (81)

因爲，如上所述此實施例的取樣點數爲 1024 點(4^5)，所以執行五次基數 4 的計算程序。

首先，循序控制器 119 設定選擇器 1802 使得從外界輸入之待處理資料可供給工作 RAM 107。如上述第一實施例所述之方法，待處理資料被分成實數部分與虛數部分，之後一個接一個從選擇器 1802 儲存至工作 RAM 107 中。

接著，循序控制器 119 設定選擇器 1802 與 2101 使得第三與第四資料路徑 1803、1804 的輸出可供給工作 RAM 107。

如第六實施例相同的方法，第一與第二計算程序同時執行，之後同時執行第三與第四計算程序。

當第一到第四計算程序完成時，循序控制器 119 設定選擇器 1802 與 2101 使得第一與第二資料路徑 108、109 的輸出可供給工作 RAM 107。

接著執行如下所述之第五計算程序。

在此計算程序中，首先，在上述之第三與第四計算程序中之工作 RAM 107 的每一群組所被區分成的 256 部分，在將其區分成 4 個群組。也就是說，在此計算過程中，工作 RAM 107 的位址被全部分成 1024 部分。

接著，第一資料路徑 108 與第二資料路徑 109 從工作 RAM 107 中的位址 0、1、2 以及 3 讀取複數資料，與正弦/餘弦 ROM 110 中讀取旋轉因子，並且使用位址 0 的資料做爲 A_i 、位址 1 的資料做爲 B_i 、位址 2 的資料做爲 C_i 、位址 3 的資料做爲 D_i 執行表示式(1)~(4)的計算。

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

五、發明說明 (82)

接著，第一資料路徑 108 與第二資料路徑 109，經由選擇器 1802 與 2101 分別將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 中的位址 0、1、2 以及 3。之後，以此同法，使用位址 4、5、6 以及 7 之資料執行表示式(1)~(4)的計算。接著，以此同法，使用各位址的資料執行表示式(1)~(4)的計算。

當第五計算程序完成時，最後的計算結果以如上述之實施例之方法輸出到外界。

因此，因此實施例具有選擇器 2101，它可以有效地處理計算程序數目為奇數的情形。

雖然上述之例子是以兩階段的資料路徑來完成的，但是使用更多級(4 級以上)的資料路徑，並且每兩級使用一轉置 RAM 是可行的。如此可以更大幅地提高處理速度。

第九實施例

接著，參考第 22 圖來說明第九實施例。依據本實施例之快速傅立葉轉換處理裝置與第八實施例之差異處在於本實施例更具有區塊浮點計算功能。

做為此實施例的一例子，其取樣點數目為 1024 點。

第 22 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 22 圖中與第 21 圖中所使用之相同符號的元件係與第 21 圖所示之元件相同。

第 22 圖中，第一資料路徑 2201 與第二資料路徑 2202 與第 21 圖之資料路徑 108 與 109 的差別在於每一資料路

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

五、發明說明 (83)

徑 2201 與 2202 具有移位功能，用以執行一區塊浮點計算。使用於區塊浮點計算之移位功能組成的詳細敘述在此省略。

區塊浮點偵測儲存器 2203 取從選擇器 1802 輸出之複數資料，並且偵測一區塊浮點值且將其暫時儲存著。

輸出位元移位器 2204 與 2205 從工作 RAM 107 取得複數資料，以及從循序控制器 119 取得累積的浮點值，並且依據此浮點值將複數資料移位，之後輸出結果。

暫存器 2206 具有累積從循序控制輸入器 119 輸入之浮點值的功能，並且輸出到外界。

接著，要說明第 22 圖之快速傅立葉轉換處理裝置的操作。

首先，循序控制器 119 設定選擇器 1802 使得從外界輸入之待處理資料可供給工作 RAM 107。如上述第一實施例所述之方法，待處理資料被分成實數部分與虛數部分，之後一個接一個從選擇器 1802 儲存至工作 RAM 107 中。此時，區塊浮點偵測儲存器 2203 具有這些一個接一個從選擇器 1802 輸入之複數資料，並且如第二實施例之方法偵測其浮點值。

接著，循序控制器 119 設定選擇器 1802 與 2101 使得第三與第四資料路徑 1803、1804 的輸出可供給工作 RAM 107。

如第七實施例相同的方法，第一與第二計算程序同時執行，之後同時執行第三與第四計算程序。此時，第一與

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

五、發明說明 (84)

第二資料路徑 2201、2202 從區塊浮點偵測儲存器 2003 的浮點值並利用區塊浮點方法執行一區塊浮點計算，以及第三與第四資料路徑 1803、1804 利用定點方法執行計算。

當第一到第四計算程序完成時，循序控制器 119 設定選擇器 1802 與 2101 使得第一與第二資料路徑 108、109 的輸出可供給工作 RAM 107。

在此計算程序中，首先，在上述之第三與第四計算程序中之工作 RAM 107 的每一群組所被區分成的 256 部分，在將其區分成 4 個群組。也就是說，在此計算過程中，工作 RAM 107 的位址被全部分成 1024 部分。

接著，第一資料路徑 2201 與第二資料路徑 2202 從工作 RAM 107 中的位址 0、1、2 以及 3 讀取複數資料，與正弦/餘弦 ROM 110 中讀取旋轉因子，以及儲存於區塊浮點偵測儲存器 2003 中的浮點值，並且使用位址 0 的資料做為 A_i 、位址 1 的資料做為 B_i 、位址 2 的資料做為 C_i 、位址 3 的資料做為 D_i 利用區塊浮點法執行表示式(1)~(4)的計算。

接著，第一與第二資料路徑 2201、2202 經由選擇器 1802 與 2101 將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 的位址 0、1、2 與 3。此時，區塊浮點偵測儲存器 2003 對每一計算結果 a_i 、 b_i 、 c_i 與 d_i 一個接一個地偵測一浮點值，當既存的值比偵測值小時，區塊浮點偵測儲存器 2003 不改變儲存值，當偵測值比既存的值小時，區塊浮點偵測儲存器 2003 將儲存值改變為偵測值。

五、發明說明 (85)

之後，以此相同的方法，此裝置使用位址 4、5、6 與 7 的複數資料執行計算。

當如上述之第五計算程序完成時，最後的計算結果如上述之實施例輸出到外界。此時，循序控制器 119 累積每一階段從區塊浮點偵測儲存器 2203 輸入各取樣點的浮點值，並且將他們傳送到輸出位元移位器 2204 與 2205。輸出位元移位器 2204 與 2205 依據這些累積的浮點值將從工作 RAM 107 輸入之複數資料移位，之後將結果傳送到輸出電路 1801。藉此，移位的複數資料可由輸出電路 1801 輸出到外界。

如果有需要，不經過輸出位元移位器 2204 與 2205 的移位，也可以將複數資料與從暫存器 2206 之最後的浮點值輸出到外界。

因此，在此實施例中具有選擇器 2101，利用區塊浮點法之高速計算程序可以有效地處理計算程序數目為奇數的情形。

雖然上述之例子是以兩階段的資料路徑來完成的，但是使用更多級(4 級以上)的資料路徑，並且每兩級使用一轉置 RAM 是可行的。如此可以更大幅地提高處理速度。

第十實施例

接著，參考第 23 圖來說明第十實施例。依據本實施例之快速傅立葉轉換處理裝置與第六實施例之差異處在於本實施例更有選擇器 2301。

做為此實施例的一例子，其取樣點數目為 1024 點。

(請先閱讀背面之注意事項)
(填寫本頁)

裝

訂

線

五、發明說明 (86)

第 23 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 23 圖中與第 18 圖中所使用之相同符號的元件係與第 18 圖所示之元件相同。

第 23 圖中，選擇器 2301 選擇工作 RAM 107 的輸出或者轉置 RAM 1805 的輸出，並將其供給第三資料路徑 1803 與第四資料路徑 1804。此選擇係由循序控制器 119 所控制的。

接著，要說明第 23 圖之快速傅立葉處理裝置的操作。

因為，如上所述此實施例的取樣點數為 1024 點(4^5)，所以執行五次基數 4 的計算程序。

首先，待處理資料被分成實數部分與虛數部分，之後一個接一個從選擇器 1802 儲存至工作 RAM 107 中。

接著，循序控制器 119 設定選擇器 2301 使得轉置 RAM 1805 的輸出可供給第三與第四資料路徑 1803、1804。

如第六實施例相同的方法，第一與第二計算程序同時執行，之後同時執行第三與第四計算程序。

當第一到第四計算程序完成時，循序控制器 119 設定選擇器 2301 使得工作 RAM 107 的輸出可供給第三與第四資料路徑 1803、1804。

接著執行如下所述基數 4 之第五計算程序。

在此計算程序中，首先，在上述之第三與第四計算程序中之工作 RAM 107 的每一群組所被區分成的 256 部分，在將其區分成 4 個群組。也就是說，在此計算過程中，工

(請先閱讀背面之注意事項再
訂本頁)

裝

訂

線

五、發明說明(87)

作 RAM 107 的位址被全部分成 1024 部分。

接著，第三資料路徑 1803 與第四資料路徑 1804 從工作 RAM 107 中的位址 0、1、2 以及 3 讀取複數資料，與正弦/餘弦 ROM 110 中讀取旋轉因子，並且使用位址 0 的資料做為 A_i 、位址 1 的資料做為 B_i 、位址 2 的資料做為 C_i 、位址 3 的資料做為 D_i 執行表示式(1)~(4)的計算。接著，第三資料路徑 1803 與第四資料路徑 1804，以此同法，使用位址 4、5、6 以及 7 之資料執行計算程序。接著，以此同法，使用各位址的資料執行計算程序。

當第五計算程序完成時，最後的計算結果以如上述之實施例之方法輸出到外界。

因此，因此實施例具有選擇器 2301，它可以有效地處理計算程序數目為奇數的情形。

雖然上述之例子是以兩階段的資料路徑來完成的，但是使用更多級(4 級以上)的資料路徑，並且每兩級使用一轉置 RAM 是可行的。如此可以更大幅地提高處理速度。

第十一實施例

接著，參考第 24 圖來說明第十一實施例。依據本實施例之快速傅立葉轉換處理裝置與第十實施例之差異處在於本實施例更有區塊浮點計算機制。

做為此實施例的一例子，其取樣點數目為 1024 點。

第 24 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 24 圖中與第 23 圖中所使用之相同符號的元件係與

(請先閱讀背面之注意事項再
向本頁)

裝

訂

線

五、發明說明 (88)

第 23 圖所示之元件相同。

第 24 圖中，第一資料路徑 2401 與第二資料路徑 2402 與第 23 圖之資料路徑 108 與 109 的差別在於每一資料路徑 2401 與 2402 具有移位功能，用以執行一區塊浮點計算。在此實施例中，每一第三資料路徑 2403 與第四資料路徑 2404 也具有移位功能。使用於區塊浮點計算之移位功能組成的詳細敘述在此省略。

區塊浮點偵測儲存器 2405 取從選擇器 1802 輸出之複數資料，並且偵測一區塊浮點值且將其暫時儲存著。

輸出位元移位器 2406 與 2407 從工作 RAM 107 取得複數資料，以及從循序控制器 119 取得浮點值，並且依據此浮點值將複數資料移位，之後輸出結果。

暫存器 2408 具有從循序控制輸入器 119 輸入之浮點值，並且將它輸出到外界。

接著，要說明第 24 圖之快速傅立葉轉換處理裝置的操作。

因為，如上所述此實施例的取樣點數為 1024 點(4^5)，所以執行五次基數 4 的計算程序。

首先，循序控制器 119 設定選擇器 1802 使得從外界輸入之待處理資料可供給工作 RAM 107。此時區塊浮點偵測儲存器 2405 具有從選擇器 1802 一個接一個輸入之資料，並以第二實施例相同之法偵測其浮點值。

接著，循序控制器 119 設定選擇器 2301 使得工作 RAM 107 的輸出可供給第三與第四資料路徑 2403、2404。

(請先閱讀背面之注意事項再(本頁))

裝

訂

線

五、發明說明 (89)

如第六實施例相同的方法，第一與第二計算程序同時執行，之後同時執行第三與第四計算程序。此時，第一與第二資料路徑 2401、2402 從區塊浮點偵測儲存器 2405 的浮點值並利用區塊浮點方法執行一區塊浮點計算。並且在第一到第四計算程序中，第三資料路徑 2403 與第四資料路徑 2404 利用定點方法執行計算。

當第一到第四計算程序完成時，循序控制器 119 設定選擇器 2301 使得工作 RAM 107 的輸出可供給第三與第四資料路徑 2403、2404。

接著執行下述之基數 4 之第五計算程序。

在此計算程序中，首先，在上述之第三與第四計算程序中之工作 RAM 107 的每一群組所被區分成的 256 部分，在將其區分成 4 個群組。也就是說，在此計算過程中，工作 RAM 107 的位址被全部分成 1024 部分。

接著，第三資料路徑 2403 與第四資料路徑 2404 從工作 RAM 107 中的位址 0、1、2 以及 3 讀取複數資料，與正弦/餘弦 ROM 110 中讀取旋轉因子，以及儲存於區塊浮點偵測儲存器 2405 中的浮點值，並且使用位址 0 的資料做為 A_i 、位址 1 的資料做為 B_i 、位址 2 的資料做為 C_i 、位址 3 的資料做為 D_i 利用區塊浮點法執行表示式(1)~(4)的計算。

接著，第三與第四資料路徑 2403、2404 將計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於工作 RAM 107 的位址 0、1、2 與 3。此時，區塊浮點偵測儲存器 2405 對每一計算結果 a_i 、 b_i 、

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明(90)

ci 與 di 一個接一個地偵測一浮點值，當既存的值比偵測值小時，區塊浮點偵測儲存器 2405 不改變儲存值，當偵測值比既存的值小時，區塊浮點偵測儲存器 2405 將儲存值改變為偵測值。

之後，以此相同的方法，第三與第四資料路徑 2403、2404 使用位址 4、5、6 與 7 的複數資料執行計算。

以此相同的方法，此裝置使用各位址的複數資料執行計算操作。

當如上述之第五計算程序完成時，最後的計算結果如上述之實施例的方法輸出到外界。此時，循序控制器 119 累積第一、第三與第五步驟從區塊浮點偵測儲存器 2405 輸入各取樣點的浮點值，並且將他們傳送到輸出位元移位器 2406 與 2407。輸出位元移位器 2406 與 2407 依據這些累積的浮點值將從工作 RAM 107 輸入之複數資料移位，之後將結果傳送到輸出電路 1801。藉此，移位的複數資料可由輸出電路 1801 輸出到外界。

如果有需要，不經過輸出位元移位器 2406 與 2407 的移位，也可以將複數資料與從暫存器 2408 之最後的浮點值輸出到外界。

因此，在此實施例中具有選擇器 2301，利用區塊浮點法之高速計算程序可以有效地處理計算程序數目為奇數的情形。

因為不只第一資料路徑 2401 與第二資料路徑 2402，還有第三資料路徑 2403 與第四資料路徑 2404 可以執行區

(請先閱讀背面之注意事項)
(寫本頁)

裝

訂

線

五、發明說明 (91)

塊浮點計算，第五計算程序也可利用區塊浮點計算法，並且可以改善精確度。

雖然上述之例子是以兩階段的資料路徑來完成的，但是使用更多級(4 級以上)的資料路徑，並且每兩級使用一轉置 RAM 是可行的。如此可以更大幅地提高處理速度。

第十二實施例

接著，參考第 25 圖與第 26 圖來說明第十二實施例。

做為此實施例的一例子，其取樣點數目為 8192 點。

第 25 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 25 圖中與第 1 圖中所使用之相同符號的元件係與第 1 圖所示之元件相同。

第 25 圖中，輸出電路 2501 包括第 1 圖之選擇器 111 與 112、暫存器 113 與 114 以及輸出端 115 與 116。選擇器 2502 包括第 1 圖之選擇器 105 與 106、暫存器 103 與 104 以及輸入埠 101 與 102。

第一資料路徑 2503 與第三資料 2505 路徑具有與第一實施例中之第一路徑 108 之相同的內部結構，亦即，第 2A 圖所示或第 12 圖所示之資料路徑可做為本實施例之資料路徑 2503 與 2505。

同理，第二資料路徑 2504 與第四資料 2506 路徑具有與第一實施例中之第二路徑 109 之相同的內部結構，亦即，第 2A 圖所示或第 12 圖所示之資料路徑可做為本實施例之資料路徑 2504 與 2506。

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

五、發明說明 (92)

解多工器 2507 選擇一位址，於此從選擇器 2502 輸入之複數資料儲存於工作 RAM 107 中。此位址的選擇係由循序控制器 119 所控制。

多工器 2508 選擇資料路徑，當複數資料從工作 RAM 107 傳送到資料路徑 2503~2506 其中之一時，做為目標路徑。此目標路徑的選擇係由循序控制器 119 所控制。

第 26 圖係用來解說多工器 2508 操作之概念圖。第 26 圖中，為說明方便，省略選擇器 2502。

如第 26 圖所示，在多工器 2508 中選擇器 2601 選擇工作 RAM 107 中之位址 1024~2047 之複數資料或是位址 4096~5119 之複數資料，並將他們輸出到選擇器 2603。

選擇器 2602 選擇工作 RAM 107 中之位址 3072~4095 之複數資料或是位址 6144~7167 之複數資料，並將他們輸出到選擇器 2603。

選擇器 2604 選擇工作 RAM 107 中之位址 1024~2047 之複數資料或是位址 4096~2606 之複數資料，並將他們輸出到選擇器 2606。

選擇器 2605 選擇工作 RAM 107 中之位址 3072~4095 之複數資料或是位址 6144~7167 之複數資料，並將他們輸出到選擇器 2606。

選擇器 2603 選擇工作 RAM 107 中之位址 0~1023 之複數資料、位址 2048~3071 之複數資料，或從選擇器 2602 輸入之複數資料，並將他們輸出到第一與第二資料路徑 2503 與 2504。

(請先閱讀背面之注意事項)

撰寫本頁)

裝

訂

線

五、發明說明(93)

選擇器 2606 選擇工作 RAM 107 中之位址 5120~614023 之複數資料、位址 7168~8191 之複數資料，從選擇器 2604 輸入之複數資料，或從選擇器 2605 輸入之複數資料，並將他們輸出到第三與第四資料路徑 2505 與 2506。

接著，要描述第 25 圖與第 26 圖中之快速傅立葉轉換處理裝置。

首先，要處理的 8192 點的取樣點資料經選擇器 2502 與解多工器 2507 一個接一個儲存至工作 RAM107 中。

當資料儲存至工作 RAM107 中完成時，之後變利用這些資料執行一快速傅立葉轉換處理。

在此實施例中，因為取樣點數為 $8192(2 \times 4^6)$ ，所以執行基數 4 之計算程序六次，之後再執行一次基數 2 的計算程序。

首先要描述基數 4 之第一計算程序。

循序控制器 119 首先設定選擇器 2601、2602、2604 與 2605 使得選擇器 2601 選擇位址 4096~5119，選擇器 2602 選擇位址 6144~7167，選擇器 2604 選擇位址 1024~2047，選擇器 2605 選擇位址 3072~4095。第一資料路徑 2503 與第二資料路徑 2504 從工作 RAM 107 中讀取位址 0 之資料做為 A_i ，位址 2048 之資料做為 B_i ，位址 4096 之資料做為 C_i ，位址 6144 之資料做為 D_i 並執行表示式(1)~(4)之計算。同理，第三資料路徑 2505 與第四資料路徑 2506 從工作 RAM 107 中讀取位址 1024 之資料做為 A_i ，位址 3072 之資料做為 B_i ，位址 5120 之資料做為 C_i ，位址 7168 之

(請先閱讀背面之注意事項)
寫本頁)

裝

訂

線

五、發明說明 (94)

資料做為 D_i 並執行表示式(1)~(4)之計算。

接著，第一資料路徑 2503 與第二資料路徑 2504 之計算結果 a_i 、 b_i 、 c_i 與 d_i 經選擇器 2502 輸入至解多工器 2507，並寫入工作 RAM 107 中。故此實施例中，計算結果 a_i 寫入位址 0，計算結果 b_i 寫入位址 2048，計算結果 c_i 寫入位址 4096，計算結果 d_i 寫入位址 6144。

在此同時，將第三資料路徑 2505 與第四資料路徑 2506 之計算結果 a_i 、 b_i 、 c_i 與 d_i 經選擇器 2502 輸入至解多工器 2507，並寫入工作 RAM 107 中之位址 1024，位址 3072，位址 5120 與位址 7168。

接著，第一資料路徑 2503 與第二資料路徑 2504 使用位址 1 之資料做為 A_i ，位址 2049 之資料做為 B_i ，位址 4097 之資料做為 C_i 與位址 6145 之資料做為 D_i 執行表示式(1)~(4)之計算，同時，第三資料路徑 2505 與第四資料路徑 2506 使用位址 1025 之資料做為 A_i ，位址 3073 之資料做為 B_i ，位址 5121 之資料做為 C_i 與位址 7169 之資料做為 D_i 執行表示式(1)~(4)之計算。第一資料路徑 2503 與第二資料路徑 2504 之計算結果儲存於位址 1、位址 2049、位址 4097 與位址 6145，以及第三資料路徑 2505 與第四資料路徑 2506 之計算結果儲存於位址 1025、位址 3073、位址 5121 與位址 7169。

之後以此相同的方法，資料路徑 2503 到 2506 對所有其他所有要被處理的資料一個接一個執行計算操作，並將計算結果寫入工作 RAM 107 中。

(請先閱讀背面之注意事項)
寫本頁)

裝

訂

線

五、發明說明(95)

當第一計算程序以此方式完成後，之後執行第二計算程序。

在第二計算程序中，第一資料路徑 2503 與第二資料路徑 2504 讀取要被處理的資料，並且計算結果僅寫入工作 RAM 107 中之位址 0~4095。以此相同的方法，第三資料路徑 2505 與第四資料路徑 2506 讀取要被處理的資料，並且計算結果僅寫入工作 RAM 107 中之位址 4096~8191。

循序控制器 119 首先設定選擇器 2601、2602、2604 與 2605 使得選擇器 2601 選擇位址 1024~2047，選擇器 2602 選擇位址 3072~4095，選擇器 2604 選擇位址 4096~5119，選擇器 2605 選擇位址 6114~7167。第一資料路徑 2503 與第二資料路徑 2504 從工作 RAM 107 中讀取位址 0 之資料做為 A_i ，位址 5121 之資料做為 B_i ，位址 1024 之資料做為 C_i ，位址 1536 之資料做為 D_i 並執行表示式(1)~(4)之計算。同理，第三資料路徑 2505 與第四資料路徑 2506 從工作 RAM 107 中讀取位址 4096 之資料做為 A_i ，位址 4608 之資料做為 B_i ，位址 5120 之資料做為 C_i ，位址 5632 之資料做為 D_i 並執行表示式(1)~(4)之計算。

接著，第一資料路徑 2503 與第二資料路徑 2504 之計算結果 a_i 、 b_i 、 c_i 與 d_i 經選擇器 2502 輸入至解多工器 2507，並寫入工作 RAM 107 中之位址 0，位址 512，1024 與位址 1536。同理，第三資料路徑 2505 與第四資料路徑 2506 之計算結果 a_i 、 b_i 、 c_i 與 d_i 經選擇器 2502 輸入至解多工器 2507，並寫入工作 RAM 107 中之位址 4096，位址 4608，

(請先閱讀背面之注意事項
再寫本頁)

裝

訂

線

五、發明說明 (96)

5120 與位址 5632。

之後以此相同的方法，資料路徑 2503 到 2506 對所有其他所有要被處理的資料一個接一個執行計算操作，並將計算結果寫入工作 RAM 107 中。

以此方式當第二計算程序執行後，此裝置執行第三到第六基數為 4 的計算程序，之後再執行基數 2 之第七計算程序。

因此，根據本實施例之快速傅立葉轉換處理裝置，其可利用四個資料路徑執行兩種演算程序，它更可大幅提高處理速度。此裝置也可藉由解多工器 2507 與多工器 2508 利用在第一計算程序後做不必要的資料傳送。

第十三實施例

接著參考第 27 圖說明第十三實施例。

此實施例提供具有一區塊浮點計算功能之如第十二實施例中的快速傅立葉轉換處理裝置。

第 27 圖是依據本實施例之快速傅立葉轉換處理裝置之組成方塊圖。

第 27 圖中與第 1 圖中所使用之相同符號的元件係與第 1 圖所示之元件相同。

在第 27 圖中，第一資料路徑 2701 到 2704 與第 25 圖之資料路徑 2503 到 2506 的差別在於每一資料路徑 2701 到 2704 具有移位功能，用以執行一區塊浮點計算。在此實施例中，每一第三資料路徑 2403 與第四資料路徑 2404 也具有移位功能。使用於區塊浮點計算之移位功能組成的

(請先閱讀背面之注意事項)
(寫本頁)

裝

訂

線

五、發明說明 (91)

詳細敘述在此省略。

區塊浮點偵測儲存器 2705 讀取從資料路徑 2701~2704 輸出之複數資料，並且偵測一區塊浮點值且將其暫時儲存著。暫存於區塊浮點偵測儲存器 2705 浮點偵測值被傳送到資料路徑 2701~2704 與循序控制器 119。

輸出位元移位器 2706 與 2707 從工作 RAM 107 取得複數資料，以及從循序控制器 119 取得浮點值，並且依據此浮點值將複數資料移位，之後輸出結果。

暫存器 2708 具有每一步驟從循序控制輸入器 119 輸入之浮點值的累積，並且將它輸出到外界。

接著，描述第 27 圖之快速傅立葉轉換處理裝置。此實施例中，因為取樣點數目與第十二實施例的一樣為 8192 點(2×4^6)，所以它必須執行 6 次基數 4 之計算程序，之後再執行一次基數 6 之計算程序。

首先，要處理的 8192 點的取樣點資料經選擇器 2502 與解多工器 2507 一個接一個儲存至工作 RAM107 中。此時，區塊浮點偵測儲存器 2705 具有這些一個接一個輸入之資料，並以如第二實施例之方法偵測他們的浮點值。

之後，開始基數 4 之第一計算程序。

在此計算程序中，選擇器 2601~2606 之操作與第十二實施例中一樣。亦即在第一計算程序，第一資料路徑 2701 與第二資料路徑 2702 從工作 RAM 107 中讀取位址 0 之資料做為 A_i ，位址 2048 之資料做為 B_i ，位址 4096 之資料做為 C_i ，位址 6144 之資料做為 D_i ，以及第三資料路徑 2703

(請先閱讀背面之注意事項
填寫本頁)

裝

訂

線

五、發明說明 (98)

與第四資料路徑 2704 從工作 RAM 107 中讀取位址 1024 之資料做為 A_i ，位址 3072 之資料做為 B_i ，位址 5120 之資料做為 C_i ，位址 7168 之資料做為 D_i 。並且這些資料路徑 2701~2704 執行表示式(1)~(4)之計算。此時，資料路徑 2701~2704 執行如第二實施例之相同方法的浮點計算法。

接著，第一資料路徑 2701 與第二資料路徑 2702 之計算結果 a_i 、 b_i 、 c_i 與 d_i 經選擇器 2502 輸入至解多工器 2507，並寫入工作 RAM 107 中之位址 0，位址 2048，位址 4096 與位址 6144。同理，將第三資料路徑 2703 與第四資料路徑 2704 之計算結果 a_i 、 b_i 、 c_i 與 d_i 經選擇器 2502 輸入至解多工器 2507，並寫入工作 RAM 107 中之位址 1024，位址 3072，位址 5120 與位址 7168。

之後，同第十二實施例之方法，資料路徑 2701~2704 執行下列計算並將計算結果寫入工作 RAM 中。此時，區塊浮點偵測儲存器 2705 具有這些一個接一個輸入之計算結果，並以第二實施例相同的方法偵測各浮點值。

當第一計算程序完成後，開始執行第二計算程序。

同第十二實施例之方法，在第二計算程序中，第一資料路徑 2701 與第二資料路徑 2702 讀取要被處理的資料，並且計算結果僅寫入工作 RAM 107 中之位址 0~4095。以此相同的方法，第三資料路徑 2703 與第四資料路徑 2704 讀取要被處理的資料，並且計算結果僅寫入工作 RAM 107 中之位址 4096~8191。在這些計算程序中，資料路徑 2701~2704 執行如第二實施例所述相同方法之浮點計算

(請先閱讀背面之注意事項)
(寫本頁)

裝

訂

線

五、發明說明 (99)

法。再者，當儲存計算結果於工作 RAM 107 中時，區塊浮點偵測儲存器 2705 具有這些一個接一個輸入之計算結果，並以第二實施例所述相同之方法偵測其浮點值。

當第二計算程序執行完後，以此相同之法，此裝置執行基數 4 之第三到第六計算程序，之後執行基數 2 之第七計算程序。

因此，根據本實施例之快速傅立葉轉換處理裝置，其可利用區塊浮點方法執行如第十二實施例之快速傅立葉轉換處理裝置。

如上之詳述，根據本發明，它可以高速執行快速傅立葉轉換處理，並且具有基數 4 與基數 2 之快速傅立葉轉換演算能力。

並且它可以藉由使用少數之分離元件來建立一系統增加可處理之取樣點的數目之最大值。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項
再寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

 快速傅立葉轉換處理裝置、處理
系統及處理方法

一種快速傅立葉轉換處理，其可在高速下執行基數 4 與基數 2 之演算法。爲了要達到此目的，本發明將取樣點的數目爲 $4^n \times 2$ 或 4^n 的複數資料分成四個群組 A、B、C 與 D，之後執行 n 次蝴蝶式演算法：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1}$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3}$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2}$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4}$$

其係群組 A~D 之複數資料 A_i 、 B_i 、 C_i 與 D_i 以及對應之旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，假如取樣點數目爲 $4^n \times 2$ 的話，更執行一次下面之蝴蝶式演算法：

英文發明摘要(發明之名稱： FAST FOURIER TRANSFORM PROCESSING DEVICE, FAST FOURIER TRANSFORM PROCESSING SYSTEM, AND FAST FOURIER TRANSFORM PROCESSING METHOD)

An object of the invention is to perform fast Fourier transform processes of radix 4 and 2 at a high speed. In order to attain this object, the invention divides complex number data in which the number of sampling points is $4^n \times 2$ or 4^n into 4 groups A to D, and then repeats at n times a butterfly arithmetic operation of:

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1}$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3}$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2}$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4}$$

, using the ith complex number data A_i , B_i , C_i and D_i belonging to the groups A to D and twiddle factors W_{i1} , W_{i2} , W_{i3} and W_{i4} , and then in case that the number of sampling points is $4^n \times 2$, the invention further performs once a butterfly arithmetic operation:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

$$a_i = A_i + B_i$$

$$b_i = A_i - B_i$$

$$c_i = C_i + D_i$$

$$d_i = C_i - D_i$$

英文發明摘要 (發明之名稱：)

$$a_i = A_i + B_i$$

$$b_i = A_i - B_i$$

$$c_i = C_i + D_i$$

$$d_i = C_i - D_i$$

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種快速傅立葉轉換處理裝置包括：

一工作記憶體，用以儲存從外界輸入一取樣點數目 $4^n \times 2$ 或 4^n (n 為自然數) 之複數資料，並將該些複數資料暫時儲存成一群組；以及

一計算裝置，用以將儲存於該工作記憶體中的該些複數資料分成四個群組 A、B、C 與 D 的計算操作序列重複 n 次，係根據計算序列與取樣點數目，執行下列之計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

使用分屬群組 A、B、C 與 D 之第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i 以及對應每個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i ，在該工作記憶體中儲存成 A_i 、 B_i 、 C_i 與 D_i ；在該取樣點數目為 $4^n \times 2$ ，該計算裝置更一次執行下列計算：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

使用對應與每一個 i 的計算獲得的 A_i 、 B_i 、 C_i 與 D_i ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在該工作記憶體中。

2. 如申請專利範圍第 1 項所述之快速傅立葉轉換處理裝置，其中各該些計算裝置包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一資料路徑，用以能正確地執行該演算表示式
(1)、(2)、(5)與(6)；以及

一第二資料路徑，用以能正確地執行該演算表示式
(3)、(4)、(7)與(8)。

3.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

一第一加法器，用將輸入之該複數資料 A_i 與 C_i 彼此相加；

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用將輸入之該複數資料 B_i 與 D_i 彼此相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；
以及

一第二乘法器，用以將該第一減法器之一計算結果乘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上該旋轉因子 $Wi3$ 與 1 其中之一，並且輸出該計算結果 ci 。

4.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一第二減法器，用以使輸入之該複數資料 Ai 與 Ci 彼此相減；

一第三旁路元件，用以使該複數資料 Ai 與 Ci 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 Bi 與 Di 彼此相減，再乘上一虛數單位；

一第四旁路元件，用以使該複數資料 Bi 與 Di 不經過該複數減法器且彼此不相減；

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 $Wi2$ 與 1 其中之一，並且輸出該計算結果 bi ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 $Wi4$ 與 1 其中之一，並且輸出該計算結果 di 。

5.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第五加法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行計算操作 " A_i+C_i " 與 " B_i+D_i "；

一第五旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

6.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行一計算 $Ai-Ci$ 與一計算 $j(Bi-Di)$ ；

一第六旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi4$ 之實數部分及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 bi 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

7.如申請專利範圍第 1 項所述之快速傅立葉轉換處理裝置，其中該資料路徑包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

8.一種快速傅立葉轉換處理裝置，包括：

一工作記憶體，具有取樣點的數目為 $4^n \times 2$ 或 4^n (n 為自然數)之一複數資料，係由外部輸入並將該複數資料暫時儲存成一群組；

一第一計算裝置，用以將儲存於該工作記憶體之該複數資料群組分成 16 個群組 $AG1$ 、 $BG1$ 、 $CG1$ 、 $DG1$ 、 $AG2$ 、 $BG2$ 、 $CG2$ 、 $DG2$ 、 $AG3$ 、 $BG3$ 、 $CG3$ 、 $DG3$ 、 $AG4$ 、 $BG4$ 、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

CG4 與 DG4，係根據計算序列與取樣點數目，並將相關的每一分好的群組組合 { AG1、BG1、CG1、DG1 }、{ AG2、BG2、CG2、DG2 }、{ AG3、BG3、CG3、DG3 } 與 { AG4、BG4、CG4、DG4 }，執行下列計算操作：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (1)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (4)$$

使用分屬各群組組合的群組之第 i 個複數資料 Ai、Bi、Ci 與 Di 以及旋轉因子 Wi1、Wi2、Wi3 與 Wi4；

一轉置裝置，將該第一資料路徑的一計算結果 ai、bi、ci 與 di 一次四個地輸入，並且形成一由 4 列與 4 行構成之一矩陣，然後將該矩陣轉置，完成之後，一行一行地輸出該複數資料，形成一轉置矩陣，其係根據該些計算操作完成的；以及

一第二計算裝置，用以一個接一個執行該(1)到(4)的計算操作，係使用該轉置裝置輸入之 Ai、Bi、Ci 與 Di 的該複數資料，並將該計算結果 ai、bi、ci 與 di 一個接一個儲存在該些群組組合 { AG1、BG1、CG1、DG1 }、{ AG2、BG2、CG2、DG2 }、{ AG3、BG3、CG3、DG3 } 與 { AG4、BG4、CG4、DG4 } 中於該工作記憶體中。

9.如申請專利範圍第 8 項所述之快速傅立葉轉換處理裝置，其中藉由該第一計算裝置與該第二計算裝置重複執行 n 次該些計算操作(1)~(4)後，在該些取樣點數目為 $4^n \times$

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

2 之情形下，該第一計算裝置與該第二計算裝置其中之一依據每一個 i 一次執行下列之一計算程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

使用以該計算操作所得之該複數資料 A_i 、 B_i 、 C_i 與 D_i ，並將該些計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於該工作記憶體中。

10. 如申請專利範圍第 9 項所述之快速傅立葉轉換處理裝置，其中

該第一計算裝置係由一第一資料路徑與一第二資料路徑所構成，該第一資料路徑用以正確地執行該計算操作(1)、(2)、(5)與(6)，或該計算操作(1)與(2)，該第二資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)，或該計算操作(3)與(4)；以及

該第二計算裝置係由一第三資料路徑與一第四資料路徑所構成，該第三資料路徑用以正確地執行該計算操作(1)、(2)、(5)與(6)，或該計算操作(1)與(2)，該第四資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)，或該計算操作(3)與(4)。

11. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

一第一加法器，用以將輸入之該複數資料 A_i 與 C_i 彼此相加；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用將輸入之該複數資料 B_i 與 D_i 彼此相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；以及

一第二乘法器，用以將該第一減法器之一計算結果乘上該旋轉因子 W_{i3} 與 1 其中之一，並且輸出該計算結果 c_i 。

12. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第三資料路徑包括：

一第一加法器，用以將輸入之該複數資料 A_i 與 C_i 彼此相加；

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用將輸入之該複數資料 B_i 與 D_i 彼此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；以及

一第二乘法器，用以將該第一減法器之一計算結果乘上該旋轉因子 W_{i3} 與 1 其中之一，並且輸出該計算結果 c_i 。

13.如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一第二減法器，用以使輸入之該複數資料 A_i 與 C_i 彼此相減；

一第三旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 B_i 與 D_i 彼此相減，再乘上一虛數單位 j ；

一第四旁路元件，用以使該複數資料 B_i 與 D_i 不經過該複數減法器且彼此不複數相減；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 $Wi2$ 與 1 其中之一，並且輸出該計算結果 bi ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 $Wi4$ 與 1 其中之一，並且輸出該計算結果 di 。

14. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第四資料路徑包括：

一第二減法器，用以使輸入之該複數資料 Ai 與 Ci 彼此相減；

一第三旁路元件，用以使該複數資料 Ai 與 Ci 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 Bi 與 Di 彼此相減，再乘上一虛數單位 j ；

一第四旁路元件，用以使該複數資料 Bi 與 Di 不經過該複數減法器且彼此不複數相減；

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 $Wi2$ 與 1 其中之一，並且輸出該計算結果 bi ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 $Wi4$ 與 1 其中之一，並且輸出該計算結果 di 。

15. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

一第五加法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行計算操作 " $Ai+Ci$ " 與 " $Bi+Di$ "；

一第五旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

16. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第三資料路徑包括：

一第五加法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行計算操作 " $Ai+Ci$ " 與 " $Bi+Di$ "；

一第五旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

17. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行一計算 $A_i - C_i$ 與一計算 $j(B_i - D_i)$ ；

一第六旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 b_i 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 d_i 之該實數部分與該虛數部分。

18. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第四資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行一計算 $A_i - C_i$ 與一計算 $j(B_i - D_i)$ ；

一第六旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 bi 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

19. 如申請專利範圍第 8 項所述之快速傅立葉轉換處理裝置，更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

20. 一快速傅立葉轉換處理系統，包括：

一工作記憶體，具有取樣點的數目為 $2N$ 點 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)之一複數資料，係由外部輸入並將該複數資料暫時儲存成一群組；以及

一計算裝置，用以一次完成將儲存於工作記憶體中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

該複數資料分成 8 個群組 A1、B1、C1、D1、A2、B2、C2 與 D2，其係根據計算序列與取樣點數目，並對每一個 i 執行下列之計算：

$$a1i = \{(A1i + C1i) + (A2i + C2i)\} \times W1i1 \quad (1)$$

$$c1i = \{(A1i + C1i) - (A2i + C2i)\} \times W1i3 \quad (2)$$

$$b1i = \{(A1i - C1i) - j(A2i - C2i)\} \times W1i2 \quad (3)$$

$$d1i = \{(A1i - C1i) + j(A2i - C2i)\} \times W1i4 \quad (4)$$

$$a2i = \{(B1i + D1i) + (B2i + D2i)\} \times W2i1 \quad (5)$$

$$c2i = \{(B1i + D1i) - (B2i + D2i)\} \times W2i3 \quad (6)$$

$$b2i = \{(B1i - D1i) - j(B2i - D2i)\} \times W2i2 \quad (7)$$

$$d2i = \{(B1i - D1i) + j(B2i - D2i)\} \times W2i4 \quad (8)$$

使用第 i 個分屬於分好後之群組 A1、B1、C1、D1、A2、B2、C2 與 D2 的複數資料 A1i、B1i、C1i、D1i、A2i、B2i、C2i 與 D2i，以及旋轉因子 W1i1、W1i2、W1i3、W1i4、W2i1、W2i2、W2i3 與 W2i4，並將該些計算操作的結果 a1i、b1i、c1i、d1i、a2i、b2i、c2i 與 d2i 以 A1i、B1i、C1i、D1i、A2i、B2i、C2i 與 D2i 儲存在該工作記憶體之中，

根據計算序列與取樣點數目，將儲存在工作記憶體之中的複數資料分成 4 個群組，

然後，重複 n-1 次一序列計算程序，它包含將儲存在該工作記憶體中的該複數資料群組再分成四個群組 A、B、C 與 D，其分法係根據計算序列與取樣點數目，並對每一相應的 i 執行下列計算操作：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (9)$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (10)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (11)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (12)$$

係使用第 i 個區分後的群組 A 、 B 、 C 與 D 的該複數資料 Ai 、 Bi 、 Ci 與 Di ，以及旋轉因子 $Wi1$ 、 $Wi2$ 、 $Wi3$ 與 $Wi4$ ，並將該複數資料 Ai 、 Bi 、 Ci 與 Di 的該計算結果 ai 、 bi 、 ci 與 di 儲存在該工作記憶體之中，如果取樣點為 $4^n \times 2$ 的話，更包括：

對每一相應的 i 一次執行下列的計算：

$$ai = (Ai + Bi) \quad (13)$$

$$bi = (Ai - Bi) \quad (14)$$

$$ci = (Ci + Di) \quad (15)$$

$$di = (Ci - Di) \quad (16)$$

其係使用在上述計算操作中的該複數資料 Ai 、 Bi 、 Ci 與 Di ，並且將該計算結果 ali 、 bli 、 cli 、 dli 、 $a2i$ 、 $b2i$ 、 $c2i$ 與 $d2i$ 儲存在該工作記憶體之中。

21. 如申請專利範圍第 20 項所述之快速傅立葉轉換處理系統，其中該計算裝置包括一第一資料路徑，用以正確地執行該計算操作(1)、(2)、(9)、(10)、(13)與(14)，一第二資料路徑用以正確地執行該計算操作(3)、(4)、(11)、(12)、(15)與(16)，一第三資料路徑，用以正確地執行該計算操作(5)、(6)、(9)、(10)、(13)與(14)，一第四資料路徑用以正確地執行該計算操作(7)、(8)、(11)、(12)、(15)與(16)。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

22. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第一資料路徑包括：

一第一加法器，用以將輸入之該複數資料 A_i 與 C_i 彼此相加；

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用以將輸入之該複數資料 B_i 與 D_i 彼此相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；以及

一第二乘法器，用以將該第一減法器之一計算結果乘上該旋轉因子 W_{i3} 與 1 其中之一，並且輸出該計算結果 c_i 。

23. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中至少該第二與該第四資料路徑其中之一包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第二減法器，用以使輸入之該複數資料 A_i 與 C_i 彼此相減；

一第三旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 B_i 與 D_i 彼此相減，再乘上一虛數單位 j ；

一第四旁路元件，用以使該複數資料 B_i 與 D_i 不經過該複數減法器且彼此不複數相減；

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 W_{i2} 與 1 其中之一，並且輸出該計算結果 b_i ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 W_{i4} 與 1 其中之一，並且輸出該計算結果 d_i 。

24. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第一資料路徑包括：

一第五加法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行計算操作 " $A_i + C_i$ " 與 " $B_i + D_i$ "；

一第五旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

與 D_i 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 a_i 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 c_i 之該實數部分與該虛數部分。

25. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第三資料路徑包括：

一第五加法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行計算操作 " $A_i + C_i$ " 與 " $B_i + D_i$ "；

一第五旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

26.如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第二資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行一計算 $Ai-Ci$ 與一計算 $j(Bi-Di)$ ；

一第六旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

虛數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 bi 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

27. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第四資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行一計算 $Ai-Ci$ 與一計算 $j(Bi-Di)$ ；

一第六旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

與 D_i 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 b_i 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

28.如申請專利範圍第 20 項所述之快速傅立葉轉換處理系統，更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

29.一種快速傅立葉轉換處理系統，包括：

複數個快速傅立葉轉換處理裝置，各該些裝置個包括：

一工作記憶體，用以將從外界輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數)之一複數資料暫存於該郭做記憶體做為一群組；

一計算裝置，用以重複 n 次一序列計算操作，將儲存在該工作記憶體中的該複數資料區分成 A、B、C 與 D 四個群組，其係依據計算序列與取樣點數目，並且執行下列之計算：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (1)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (4)$$

係使用該群組 A、B、C 與 D 中之該第 i 個複數資料 Ai 、 Bi 、 Ci 與 Di ，以及每一相應於 i 的旋轉因子 $Wi1$ 、 $Wi2$ 、 $Wi3$ 與 $Wi4$ ，並且將該計算結果 ai 、 bi 、 ci 與 di 儲存在該工作記憶體中做為 Ai 、 Bi 、 Ci 與 Di 。如果取樣點為 $4^n \times 2$ 的話，資料路徑更一次執行下列之計算程序：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用每一個 i 之該計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將該計算結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存在該工作記憶體之中，

一輸入資料選擇電路，提供給予各該快速傅立葉轉換處理裝置，用以選擇性輸入該複數資料至該快速傅立葉轉換處理裝置中；以及

一輸出資料選擇電路，用以在經過計算程序後選擇性地使複數個快速傅立葉轉換處理裝置輸出該複數資料。

30. 如申請專利範圍第 29 項所述之快速傅立葉轉換處理系統，其中各該計算裝置包括：

一第一資料路徑，用以正確地執行該計算操作(1)、(2)、(5)與(6)；以及

一第二資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)。

31. 如申請專利範圍第 29 項所述之快速傅立葉轉換處理系統，其中各該些計算裝置更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

32. 一種快速傅立葉轉換處理系統，包括：

複數個快速傅立葉轉換處理裝置，各該裝置包括：

一工作記憶體，具有從外面輸入之取樣點數目為 $4^n \times 2$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

或 4^n (其中 n 為自然數) 之一複數資料，並將此資料暫時存放於該工作記憶體；

一計算裝置，重複 n 次一序列的計算操作，將儲存在該工作記憶體中之該複數資料分成 A、B、C 與 D 四個群組，分法係根據計算序列與取樣點數目，並執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

係使用上述群組 A、B、C 與 D 中第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在該工作記憶體之中做為各該複數資料 A_i 、 B_i 、 C_i 與 D_i ，假如取樣點的數目為 $4^n \times 2$ 的話，資料路徑一次更執行下列計算之程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用每一個 i 之該計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將該計算結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存在該工作記憶體之中；

一輸入資料選擇電路，提供給予各該快速傅立葉轉換處理裝置，用以選擇性輸入從外面來之該複數資料或從另

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一快速傅立葉轉換處理裝置輸出的複數資料；以及
 一輸出資料選擇電路，用以在經過計算程序後選擇性地使各該快速傅立葉轉換處理裝置輸出該些複數資料。

33.如申請專利範圍第 32 項所述之快速傅立葉轉換處理系統，其中各該計算裝置包括：

一第一資料路徑，用以正確地執行該計算操作(1)、(2)、(5)與(6)；以及

一第二資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)。

34.如申請專利範圍第 32 項所述之快速傅立葉轉換處理系統，其中各該些計算裝置更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

35.一種快速傅立葉轉換處理方法，包括：

一第一計算程序，將從外面輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數)的一複數資料，暫時存放成一群組。

一第二計算程序，重複 n 次一序列的計算操作，將暫時儲存在該工作記憶體中的該複數資料分成 A、B、C 與 D 四個群組，其分法係根據計算序列與取樣點數目，並執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

係使用上述群組 A、B、C 與 D 中第 i 個複數資料 A_i 、 B_i 、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

Ci 與 Di，以及對應每一個 i 的旋轉因子 Wi1、Wi2、Wi3 與 Wi4，並將其計算結果 ai、bi、ci 與 di 取代複數資料 Ai、Bi、Ci 與 Di，假如取樣點的數目為 $4^n \times 2$ 的話，資料路徑一次更執行下列計算之程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用每一個 i 之該些計算程序所得到的 Ai、Bi、Ci 與 Di，並且將該計算結果 ai、bi、ci 與 di 取代該些複數資料 Ai、Bi、Ci 與 Di。

36 如申請專利範圍第 35 項所述之快速傅立葉轉換處理方法，其中各該些第三與第四計算程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

37. 一快速傅立葉轉換處理方法，包括：

一第一程序，具有取樣點的數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數) 之一複數資料，係由外部輸入並將該複數資料暫時儲存成一群組，以及

一第二程序，重複 n 次一序列計算步奏，包括：

一第一計算步驟，用以將暫時儲存成一群組之該複數資料群組分成 16 個群組 AG1、BG1、CG1、DG1、AG2、BG2、CG2、DG2、AG3、BG3、CG3、DG3、AG4、BG4、CG4 與 DG4，其係根據計算序列與取樣點數目，

一第二計算步驟，相關的每一分好的群組組合

六、申請專利範圍

{ AG1、BG1、CG1、DG1}、{ AG2、BG2、CG2、DG2}、
{ AG3、BG3、CG3、DG3}與{ AG4、BG4、CG4、DG4}，
執行下列計算操作：

$$ai=\{(Ai+Ci)+(Bi+Di)\} \times Wi1 \quad (1)$$

$$ci=\{(Ai+Ci)-(Bi+Di)\} \times Wi3 \quad (2)$$

$$bi=\{(Ai-Ci)-j(Bi-Di)\} \times Wi2 \quad (3)$$

$$di=\{(Ai-Ci)+j(Bi-Di)\} \times Wi4 \quad (4)$$

其係使用分屬各群組組合的群組之第 i 個複數資料 Ai、Bi、Ci 與 Di 以及旋轉因子 Wi1、Wi2、Wi3 與 Wi4，

一第三計算步驟，將該第二計算步驟之該計算結果 ai、bi、ci 與 di 一次四個地輸入，並且形成一由 4 列與 4 行構成之一矩陣，然後將該矩陣轉置，完成之後，一行一行地輸出該些複數資料，形成一轉置矩陣，係根據各該些計算操作完成的，以及

一第四計算步驟，用以一個接一個執行該(1)到(4)之計算操作，係使用 Ai、Bi、Ci 與 Di 之該些複數資料，並將該計算結果 ai、bi、ci 與 di 一個接一個取代上述之群組組合{ AG1、BG1、CG1、DG1}、{ AG2、BG2、CG2、DG2}、{ AG3、BG3、CG3、DG3}與{ AG4、BG4、CG4、DG4}的 Ai、Bi、Ci 與 Di 之該些複數資料。假如取樣點的數目為 $4^n \times 2$ 的話，更對每一相對應的 i 一次執行下列計算操作程序：

$$ai=Ai+Bi \quad (5)$$

$$bi=Ai-Bi \quad (6)$$

六、申請專利範圍

$$ci=Ci+Di \quad (7)$$

$$di=Ci-Di \quad (8)$$

係使用每一個 i 之各該計算程序所得到的 Ai 、 Bi 、 Ci 與 Di ，並且將該計算結果 ai 、 bi 、 ci 與 di 取代該些複數資料 Ai 、 Bi 、 Ci 與 Di 。

38 如申請專利範圍第 37 項所述之快速傅立葉轉換處理方法，其中至少該第二計算步驟與該些計算操作(5)~(8)之計算程序其中之一係利用一區塊浮點演算法執行一傅立葉轉換計算。

39. 一快速傅立葉轉換處理方法，包括：

一第一程序，具有一複數資料取樣點的數目為 $2N$ 點 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係由外部輸入並將他們暫時儲存成一群組，以及

一第二程序，

用以一次完成一序列計算程序，包括將暫時儲存的該些複數資料分成 8 個群組 $A1$ 、 $B1$ 、 $C1$ 、 $D1$ 、 $A2$ 、 $B2$ 、 $C2$ 與 $D2$ ，其係根據計算序列與取樣點數目，並對每一個相對應之 i 執行下列之計算：

$$a1i=\{(A1i+C1i)+(A2i+C2i)\} \times W1i1 \quad (1)$$

$$c1i=\{(A1i+C1i)-(A2i+C2i)\} \times W1i3 \quad (2)$$

$$b1i=\{(A1i-C1i)-j(A2i-C2i)\} \times W1i2 \quad (3)$$

$$d1i=\{(A1i-C1i)+j(A2i-C2i)\} \times W1i4 \quad (4)$$

$$a2i=\{(B1i+D1i)+(B2i+D2i)\} \times W2i1 \quad (5)$$

$$c2i=\{(B1i+D1i)-(B2i+D2i)\} \times W2i3 \quad (6)$$

六、申請專利範圍

$$b2i=\{(B1i-D1i)-j(B2i-D2i)\} \times W2i2 \quad (7)$$

$$d2i=\{(B1i-D1i)+j(B2i+D2i)\} \times W2i4 \quad (8)$$

係使用第 i 個分屬於分好後之群組 $A1$ 、 $B1$ 、 $C1$ 、 $D1$ 、 $A2$ 、 $B2$ 、 $C2$ 與 $D2$ 的該些複數資料 $A1i$ 、 $B1i$ 、 $C1i$ 、 $D1i$ 、 $A2i$ 、 $B2i$ 、 $C2i$ 與 $D2i$ ，以及旋轉因子 $W1i1$ 、 $W1i2$ 、 $W1i3$ 、 $W1i4$ 、 $W2i1$ 、 $W2i2$ 、 $W2i3$ 與 $W2i4$ ，並將該些計算操作的結果 $a1i$ 、 $b1i$ 、 $c1i$ 、 $d1i$ 、 $a2i$ 、 $b2i$ 、 $c2i$ 與 $d2i$ 取代 $A1i$ 、 $B1i$ 、 $C1i$ 、 $D1i$ 、 $A2i$ 、 $B2i$ 、 $C2i$ 與 $D2i$ ，

根據計算序列與取樣點數目，將該些複數資料分成 4 個群組，

然後，重複 $n-1$ 次一序列計算程序，它包含將各該複數資料群組再分成四個群組 A 、 B 、 C 與 D ，分法係根據計算序列與取樣點數目，並對每一相應的 i 執行下列計算操作：

$$a_i=\{(A_i+C_i)+(B_i+D_i)\} \times W_{i1} \quad (9)$$

$$c_i=\{(A_i+C_i)-(B_i+D_i)\} \times W_{i3} \quad (10)$$

$$b_i=\{(A_i-C_i)-j(B_i-D_i)\} \times W_{i2} \quad (11)$$

$$d_i=\{(A_i-C_i)+j(B_i-D_i)\} \times W_{i4} \quad (12)$$

係使用分好後的群組 A 、 B 、 C 與 D 的第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} 。並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 取代該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，如果取樣點為 $4^n \times 2$ 的話，更包括：

對每一相應的 i 一次執行下列的計算：

$$a_i=(A_i+B_i) \quad (13)$$

六、申請專利範圍

$$b_i = (A_i - B_i) \quad (14)$$

$$c_i = (C_i + D_i) \quad (15)$$

$$d_i = (C_i - D_i) \quad (16)$$

係使用在該些計算操作中的該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，並且將該些計算結果 a_{1i} 、 b_{1i} 、 c_{1i} 、 d_{1i} 、 a_{2i} 、 b_{2i} 、 c_{2i} 與 d_{2i} 取代 A_{1i} 、 B_{1i} 、 C_{1i} 、 D_{1i} 、 A_{2i} 、 B_{2i} 、 C_{2i} 與 D_{2i} 。

40. 如申請專利範圍第 39 項所述之快速傅立葉轉換處理方法，其中該第二程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

41. 一快速傅立葉轉換處理方法，包括：

一第一計算程序，儲存 $2N$ 個的一複數資料 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係根據取樣點數目，由外部一次 $N/4$ 個輸入至一第一快速傅立葉轉換處理裝置與一第二快速傅立葉轉換處理裝置的一工作記憶體之中，並在各該工作記憶體之中形成一群組；

一第二計算程序，重複 $n-1$ 次一序列的步驟，將暫存於該第一快速傅立葉轉換處理裝置與該第二快速傅立葉轉換處理裝置的該工作記憶體中的該些複數資料的每一群組，依據計算序列與取樣點數目，分成 4 個群組 A、B、C 與 D，並且執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

六、申請專利範圍

係使用群組 A、B、C 與 D 的第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 之旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 在該工作記憶體中儲存成 A_i 、 B_i 、 C_i 與 D_i ，用以彼此取代該第一快速傅立葉轉換處理裝置中的群組 C 與 D 之該些複數資料，以及該第二快速傅立葉轉換處理裝置中的群組 A 與 B 之該些複數資料，之後，對各該第一快速傅立葉轉換處理裝置與該第二快速傅立葉轉換處理裝置，將群組 B 的該些複數資料與群組 C 的該些複數資料彼此取代；以及

一第三計算程序，用以重複一序列的步驟，更依據計算序列與取樣點數目，將儲存於該第一與該第二快速傅立葉轉換處理裝置中的該些複數資料分成 4 個群組，並且該些(1)~(4)的計算，係使用分好後的群組 A、B、C 與 D 之該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 的旋轉因子 W_{1i} 、 W_{2i} 、 W_{3i} 與 W_{4i} ，並將 a_i 、 b_i 、 c_i 與 d_i 取代 A_i 、 B_i 、 C_i 與 D_i ，如果取樣點數目為 $4^n \times 2$ 的話，更一次執行一步驟下列計算：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用對應與每一個 i 的計算獲得的該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 在該工作記憶體中分別儲存成 A_i 、 B_i 、 C_i 與 D_i 。

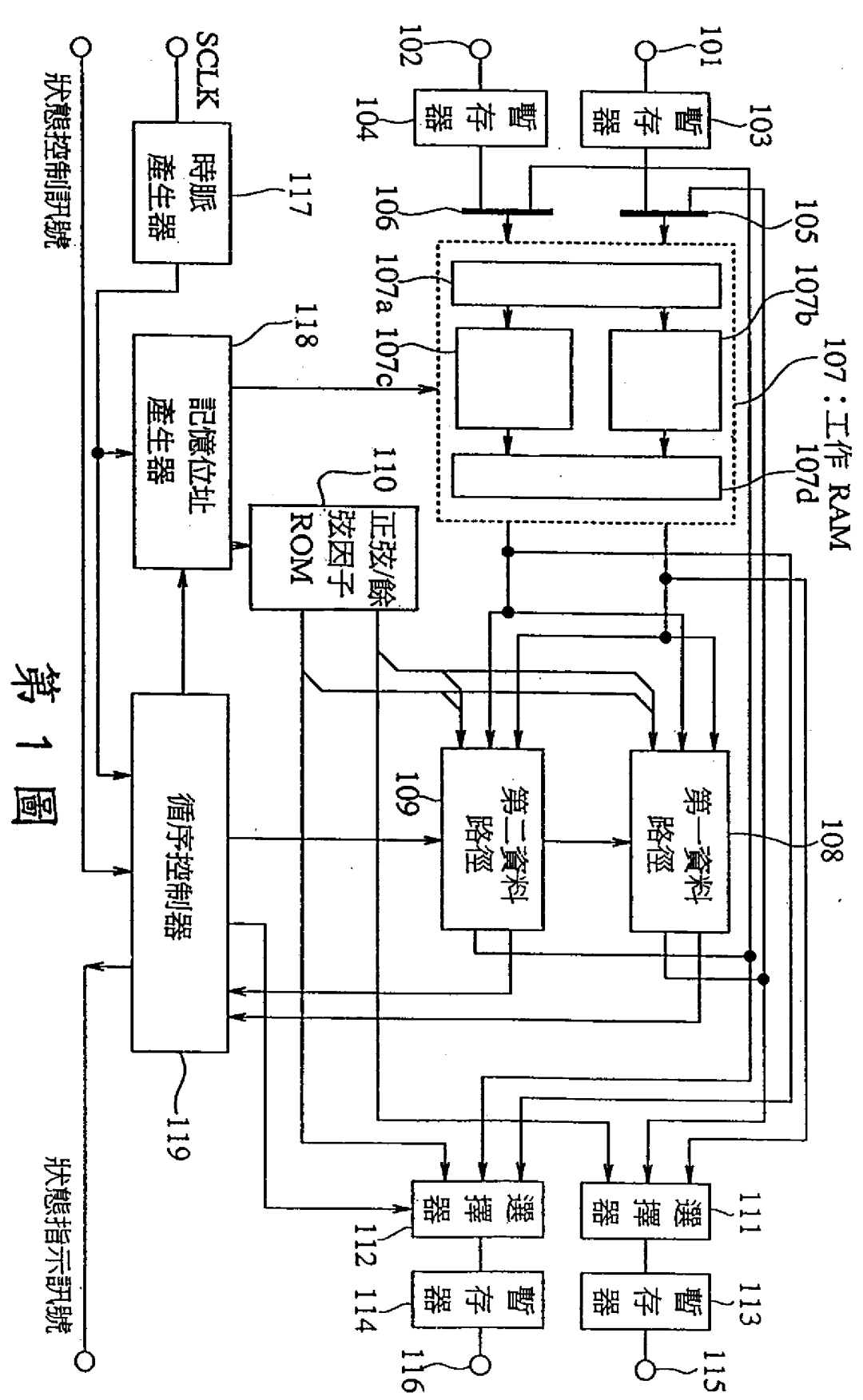
六、申請專利範圍

42 如申請專利範圍第 41 項所述之快速傅立葉轉換處理方法，其中各該第二計算程序與各該第三計算程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

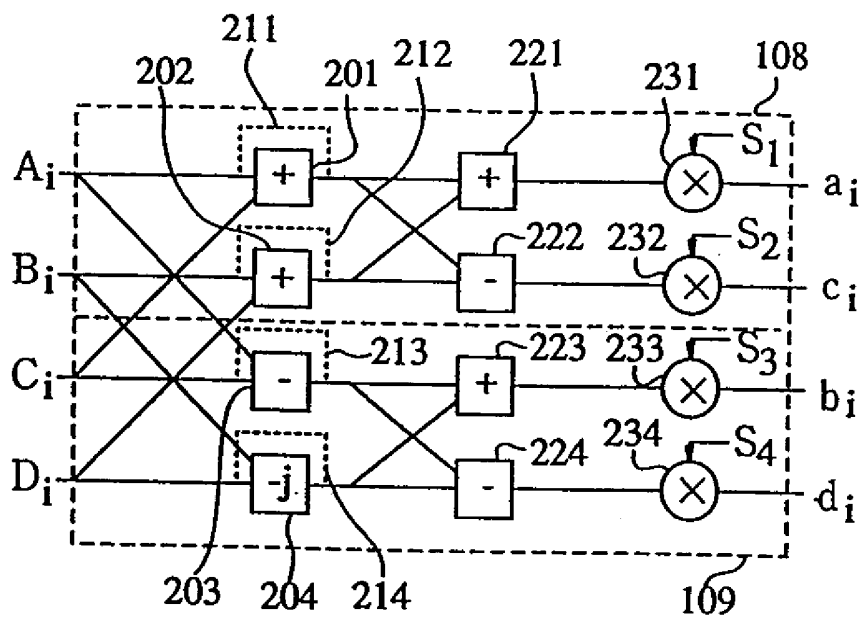
43. 如申請專利範圍第 41 項所述之快速傅立葉轉換處理方法，其中僅有該第三計算程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

(請先閱讀背面之注意事項再填寫本頁)

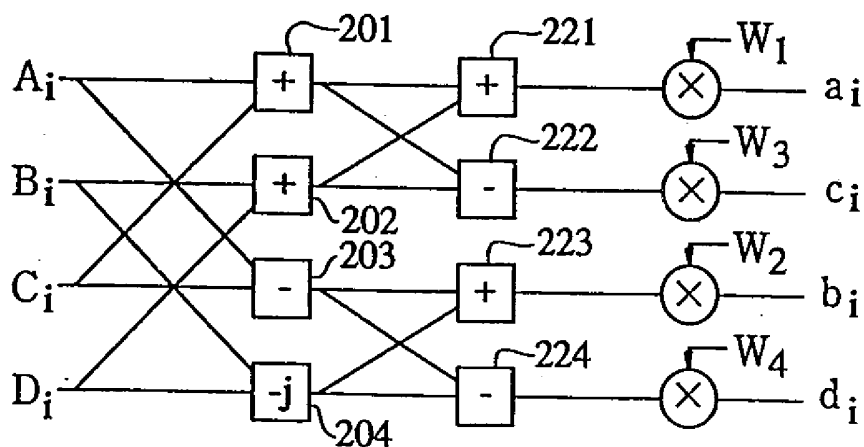
裝
訂
線



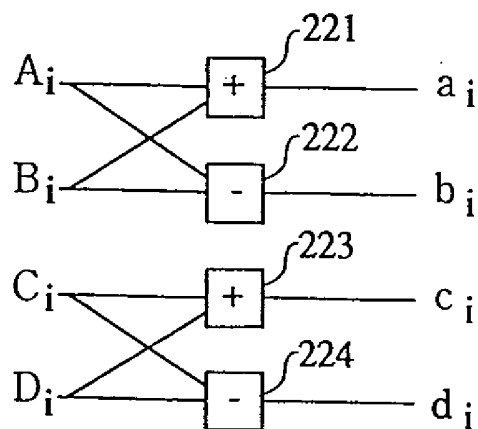
第 1 圖



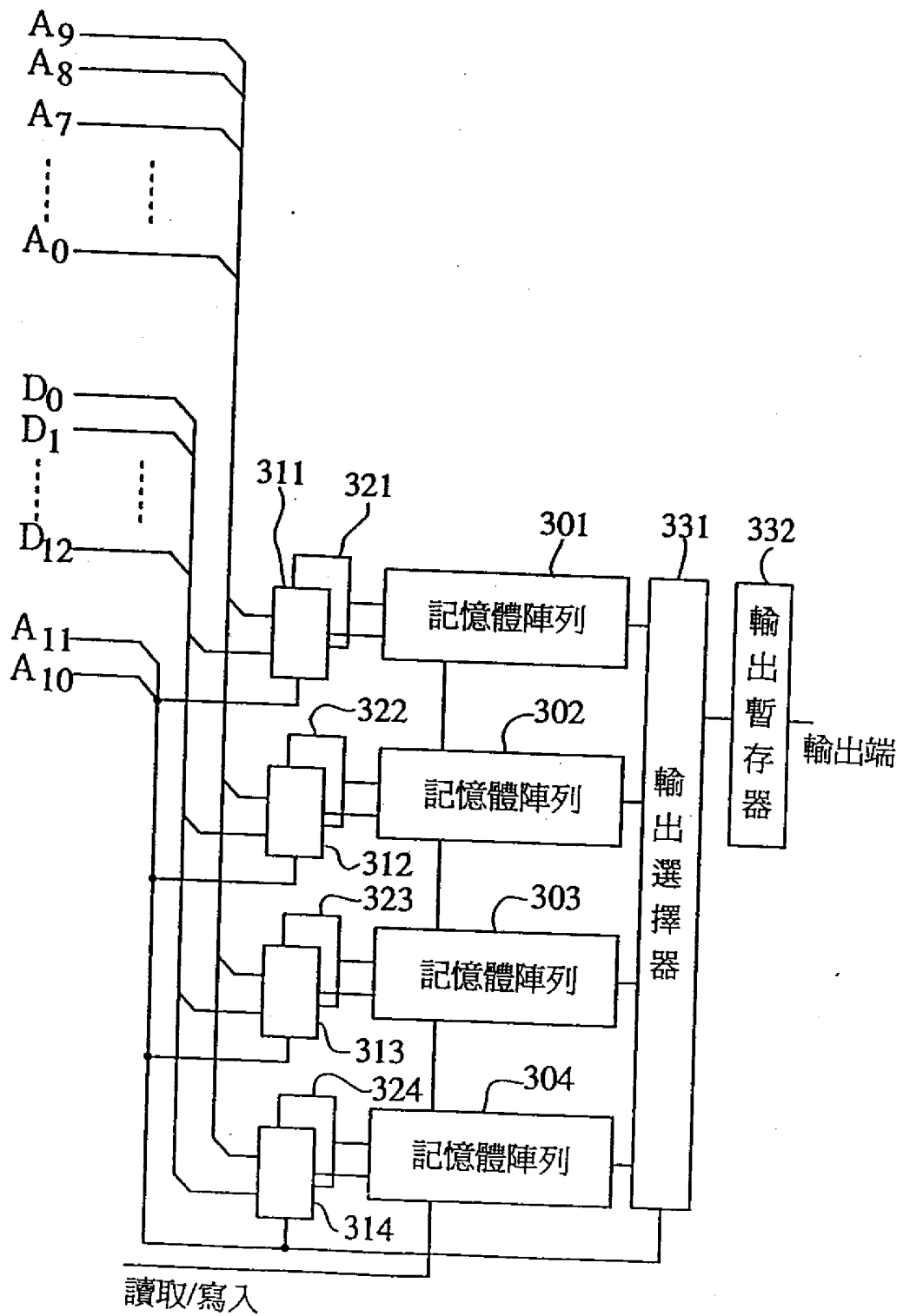
第2A圖



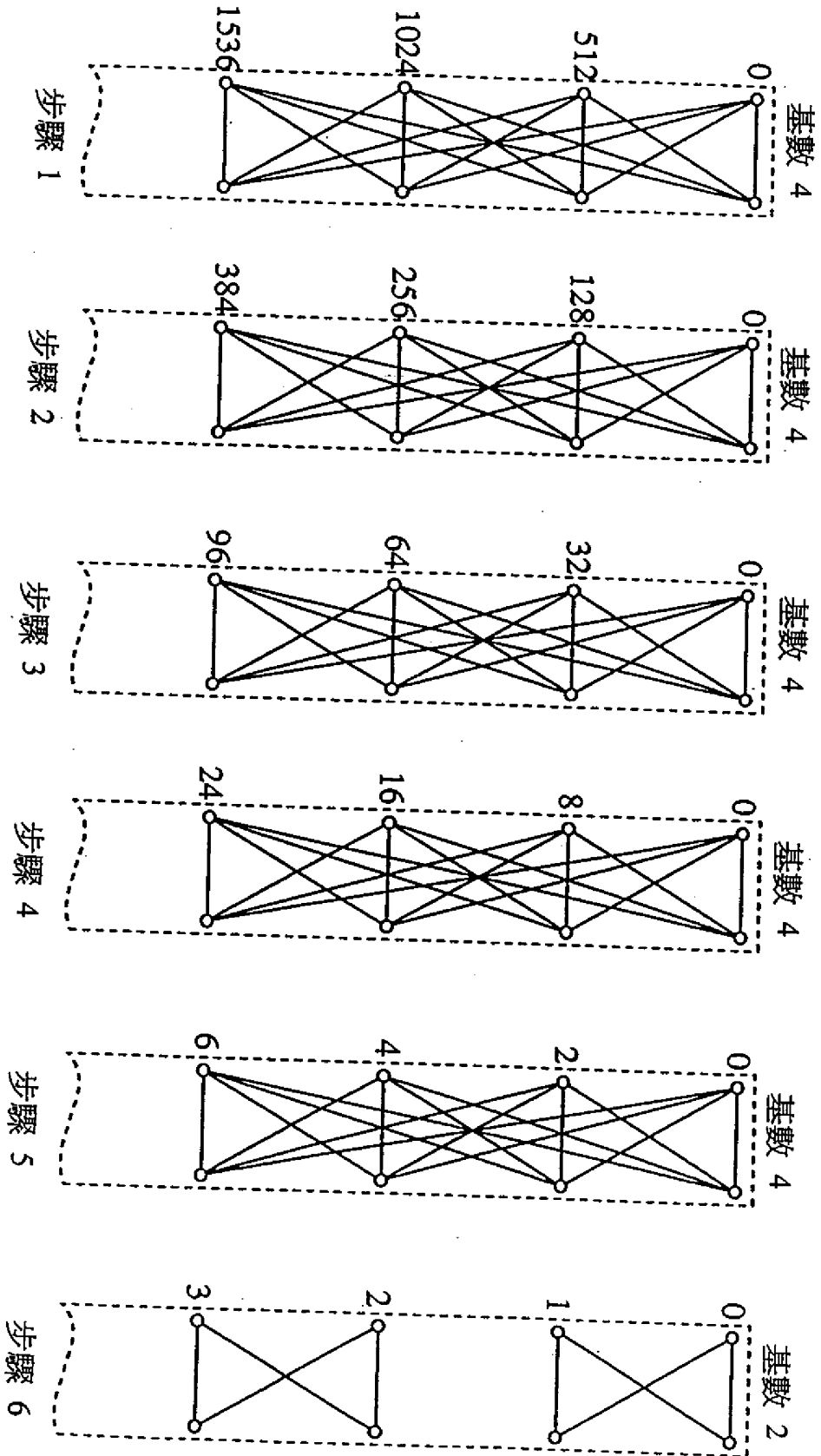
第2B圖



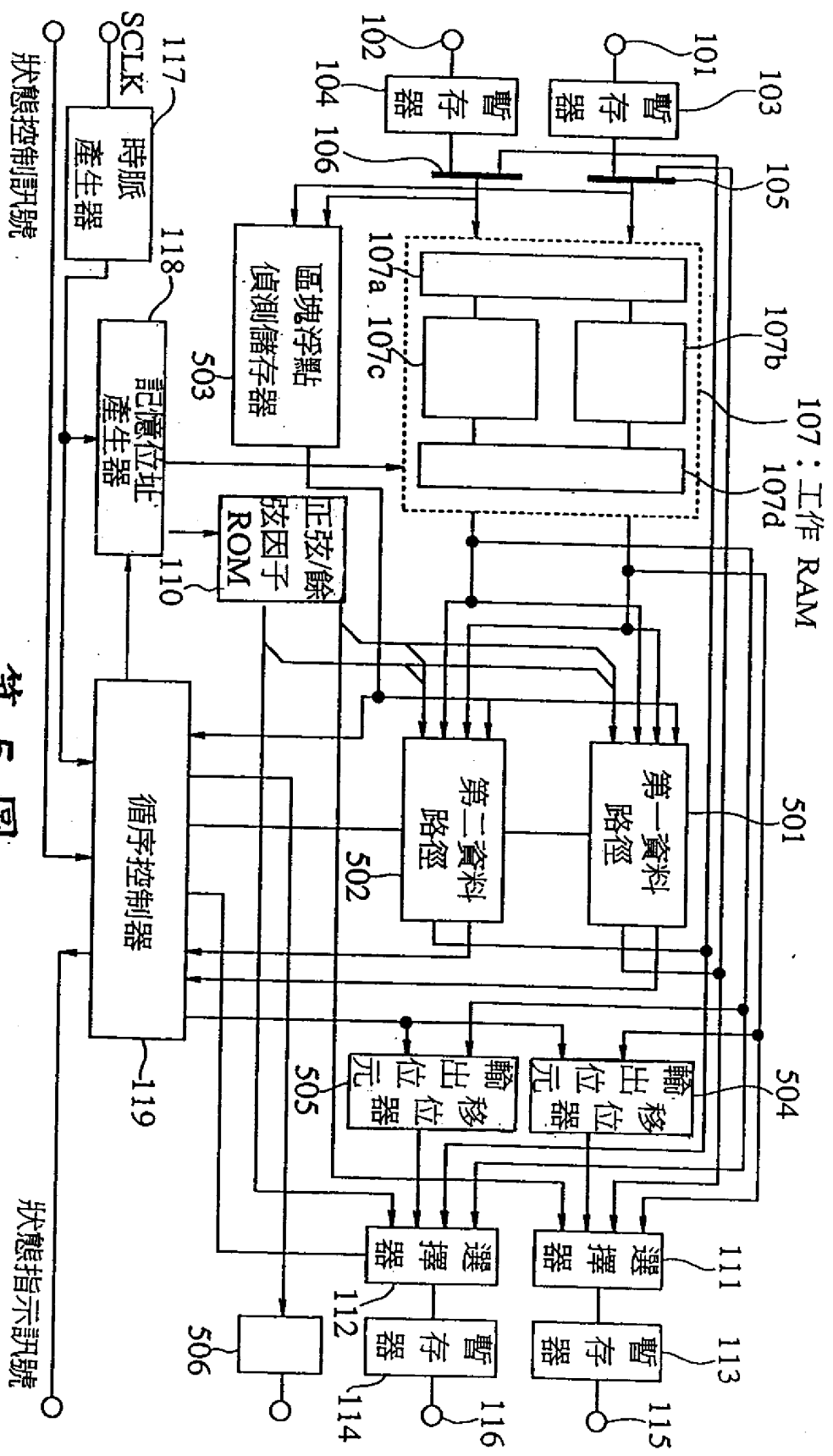
第2C圖



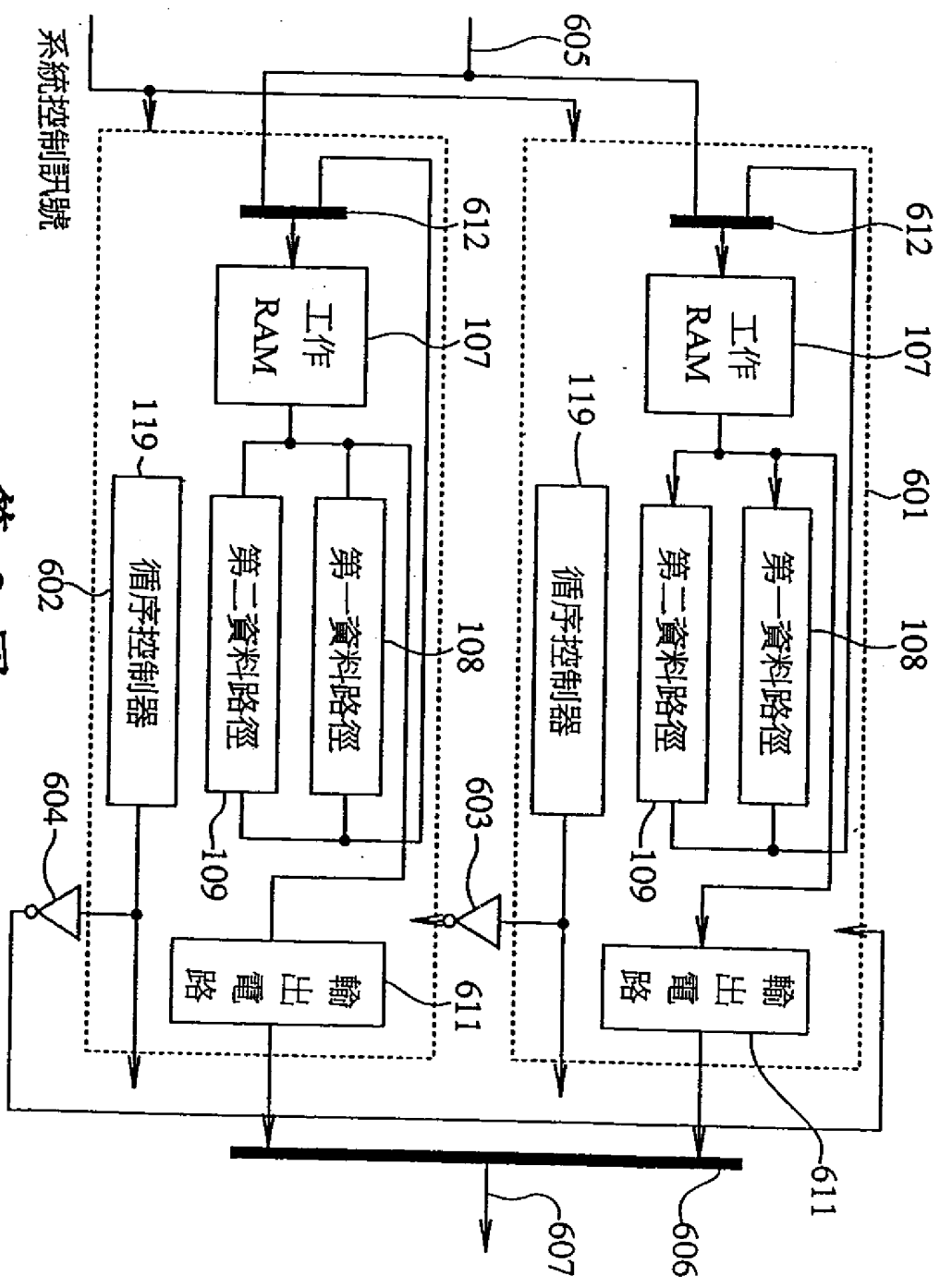
第 3 圖



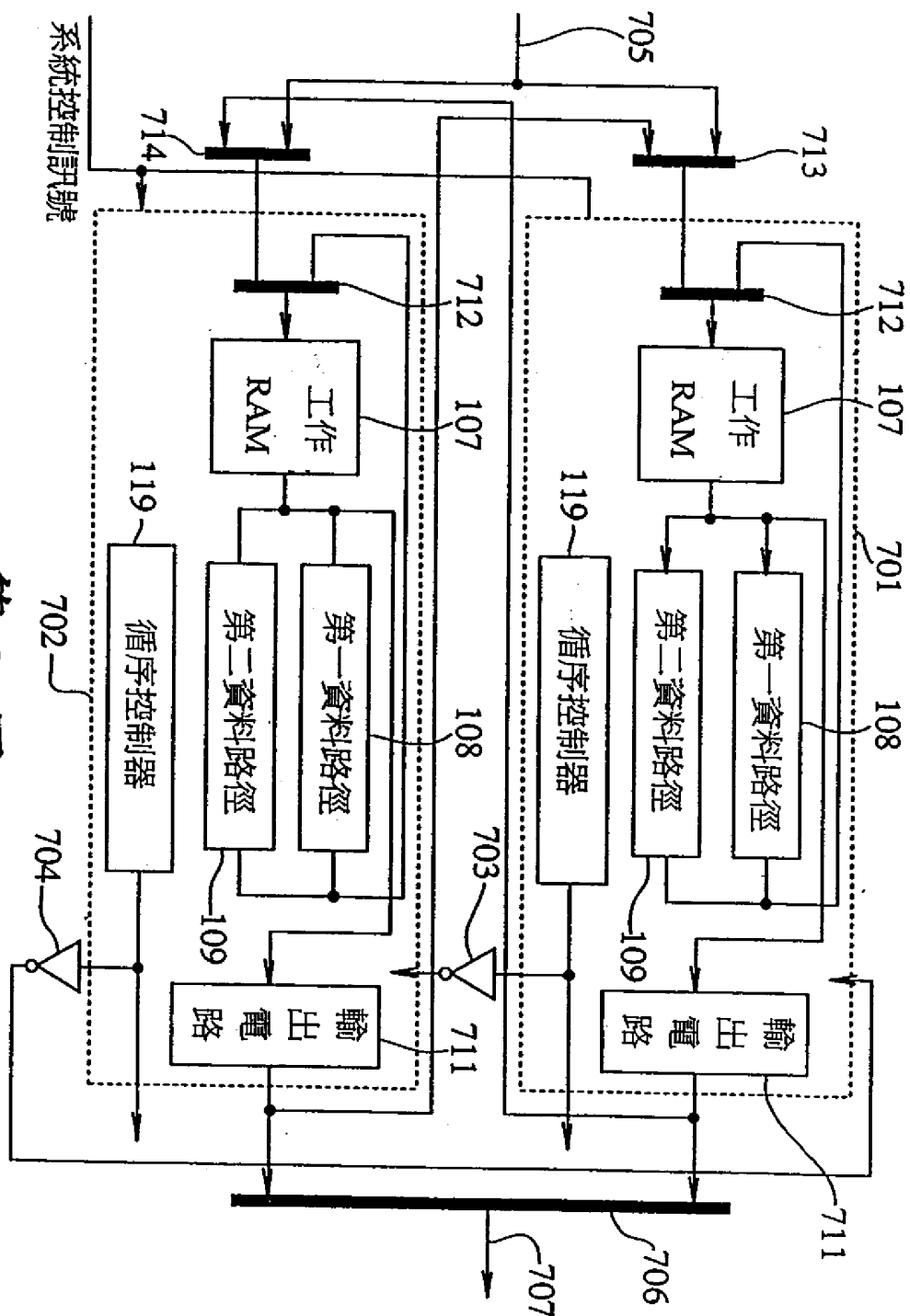
第 4 圖



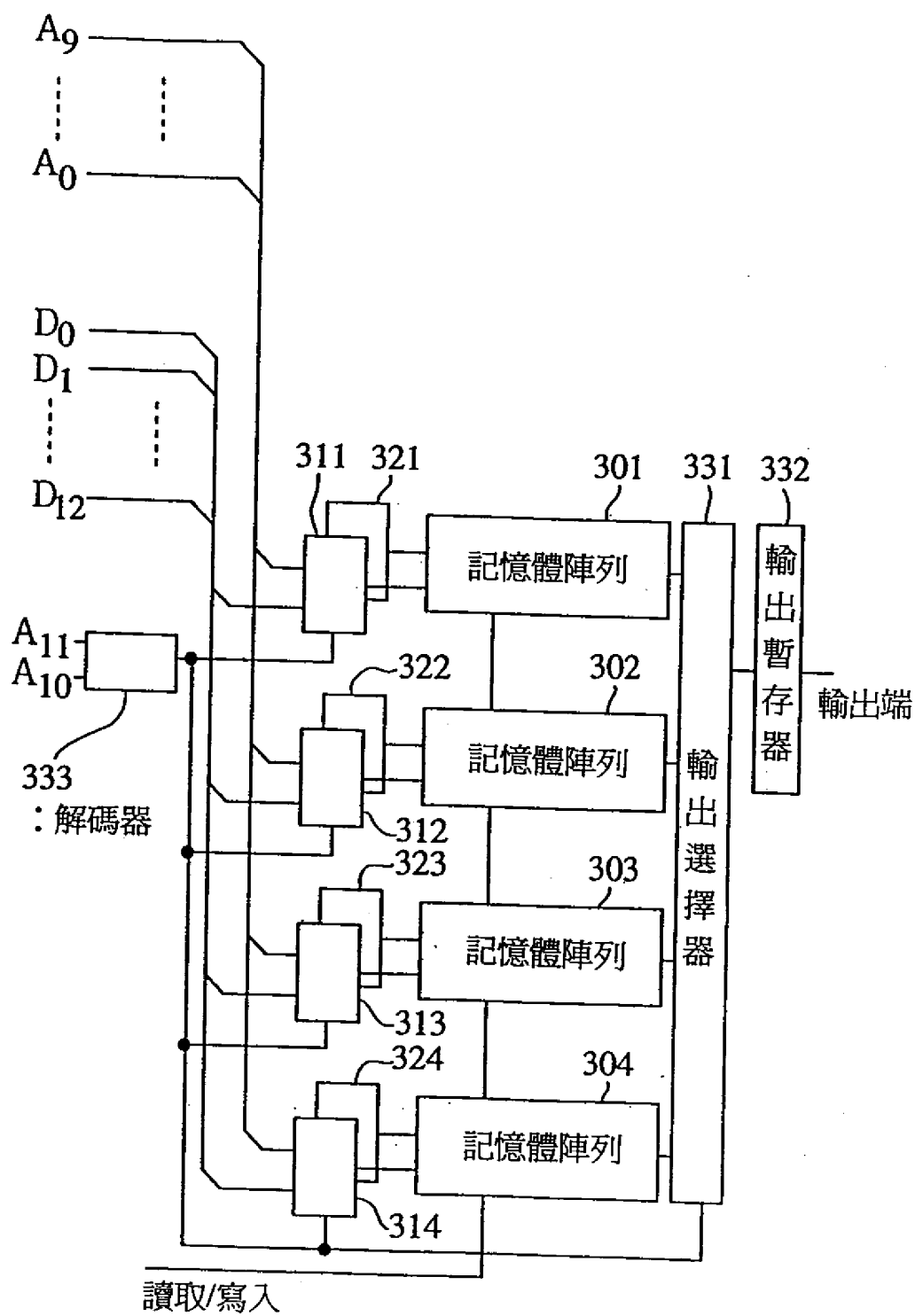
第 5 圖



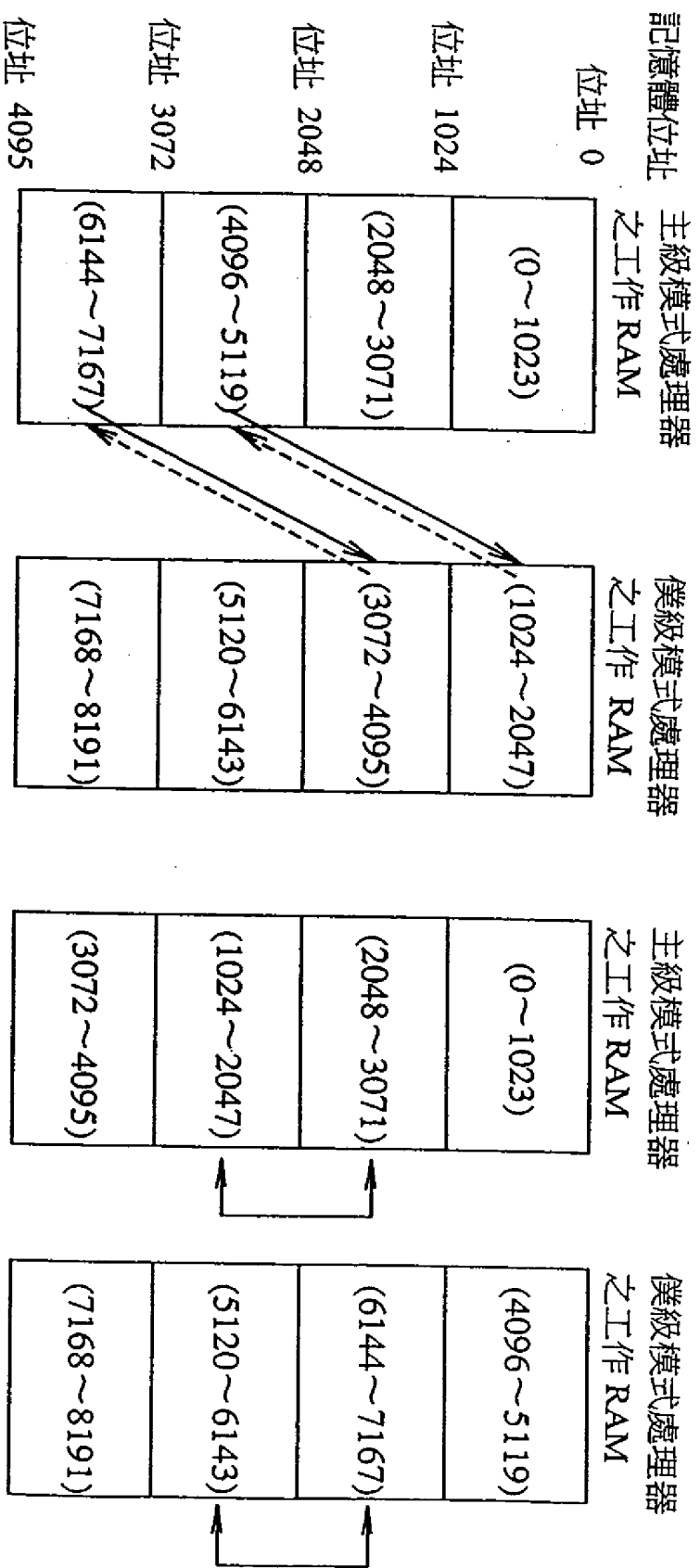
第 6 圖



第 7 圖

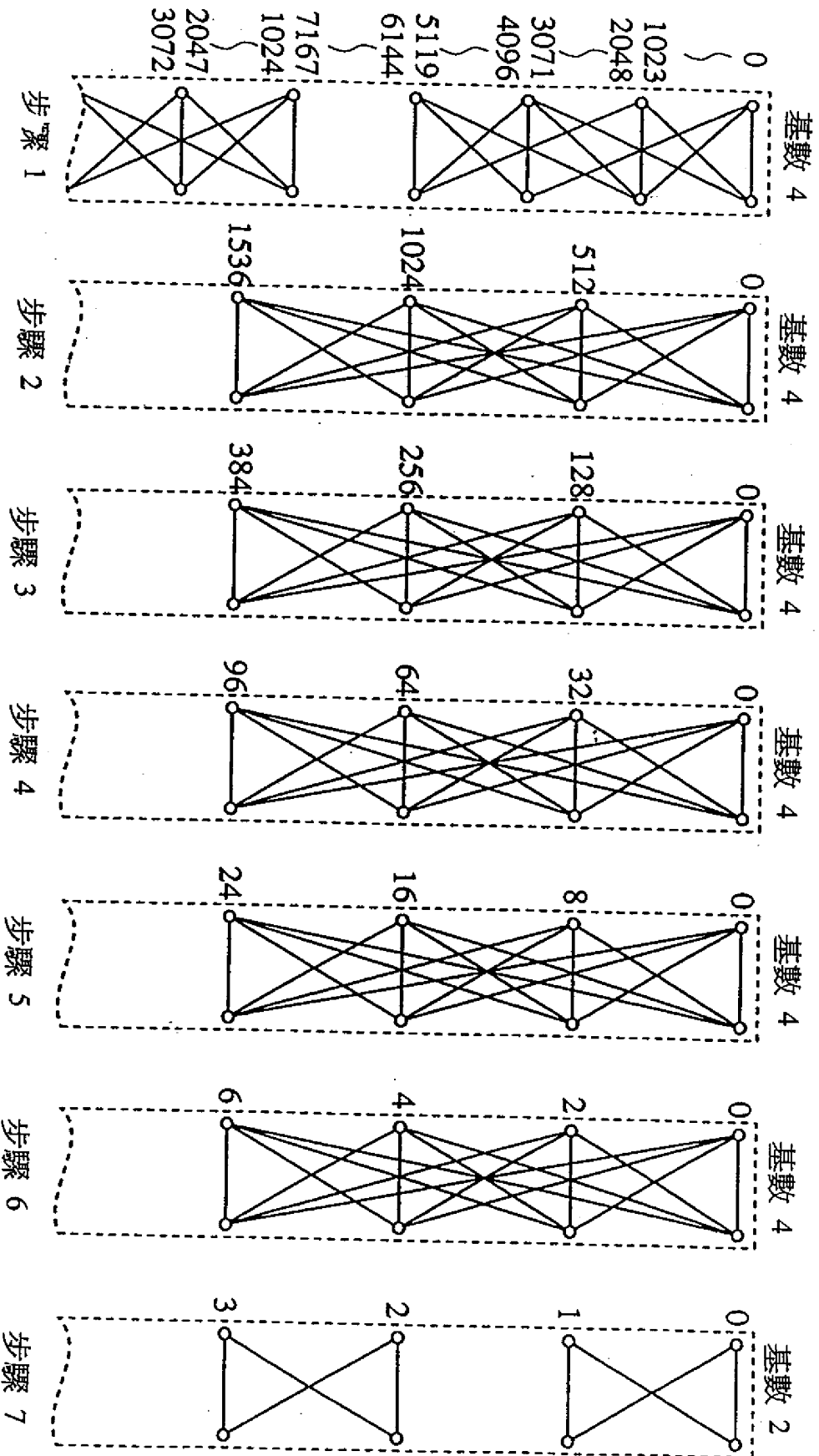


第 8 圖

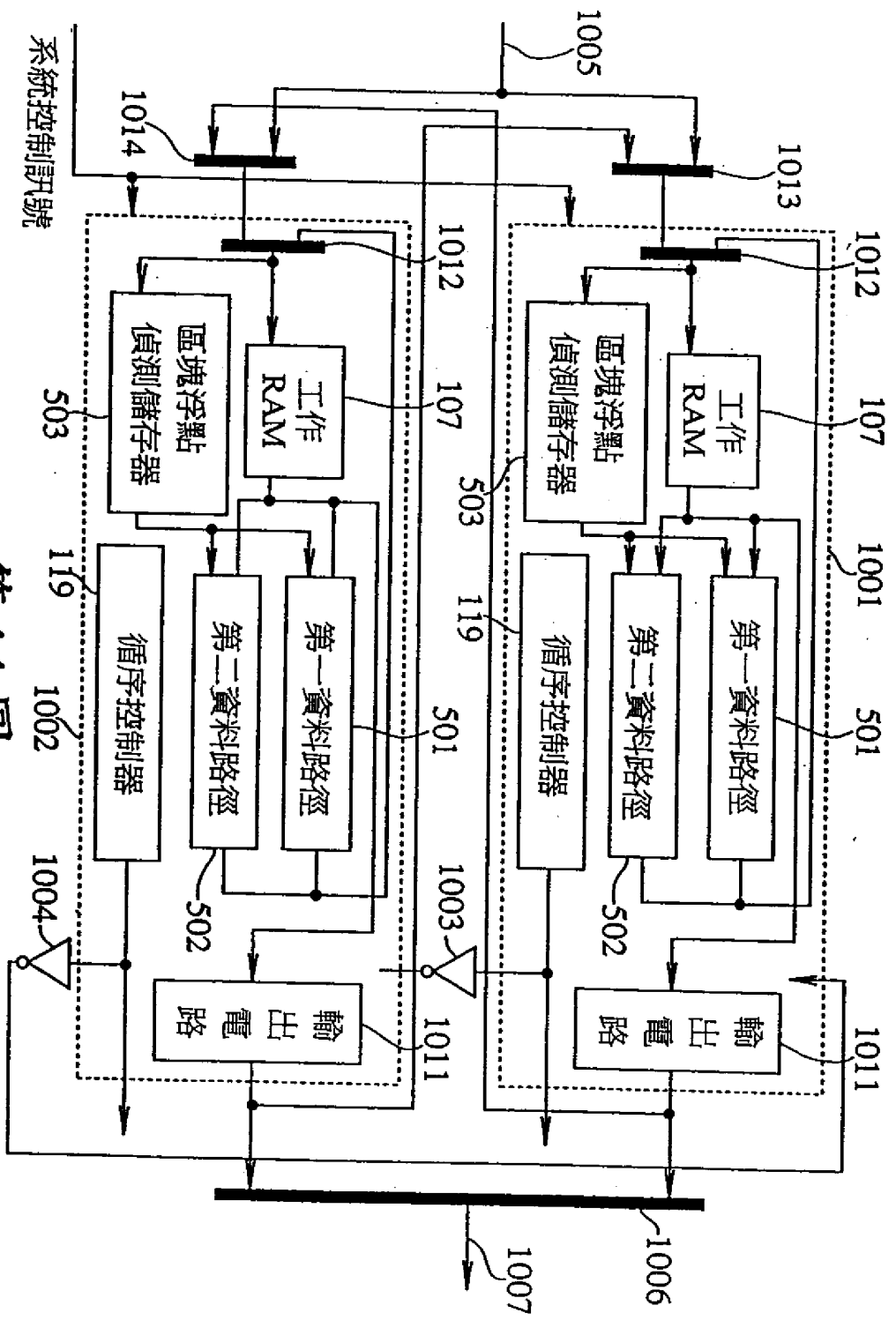


第 9A 圖

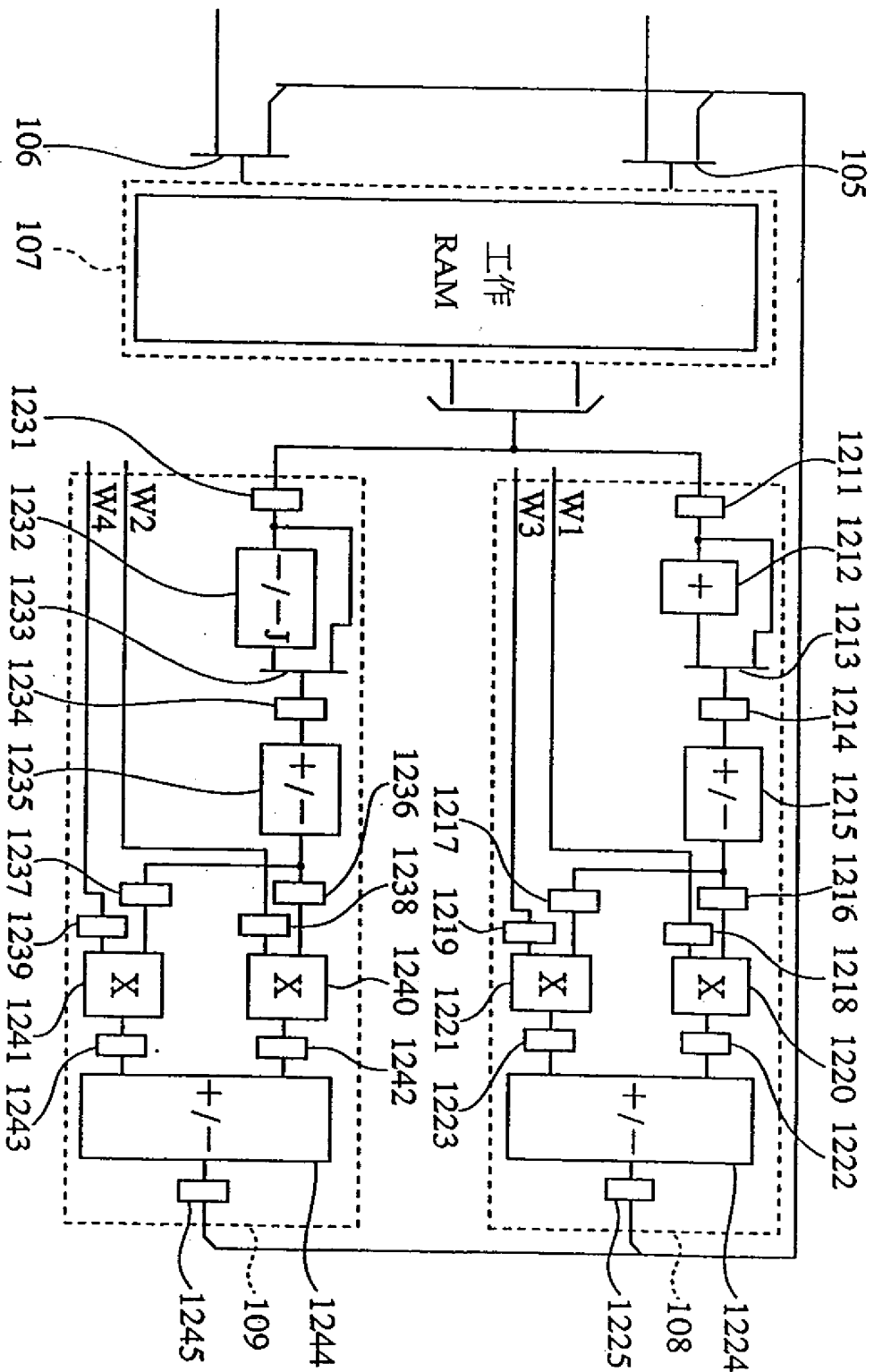
第 9B 圖



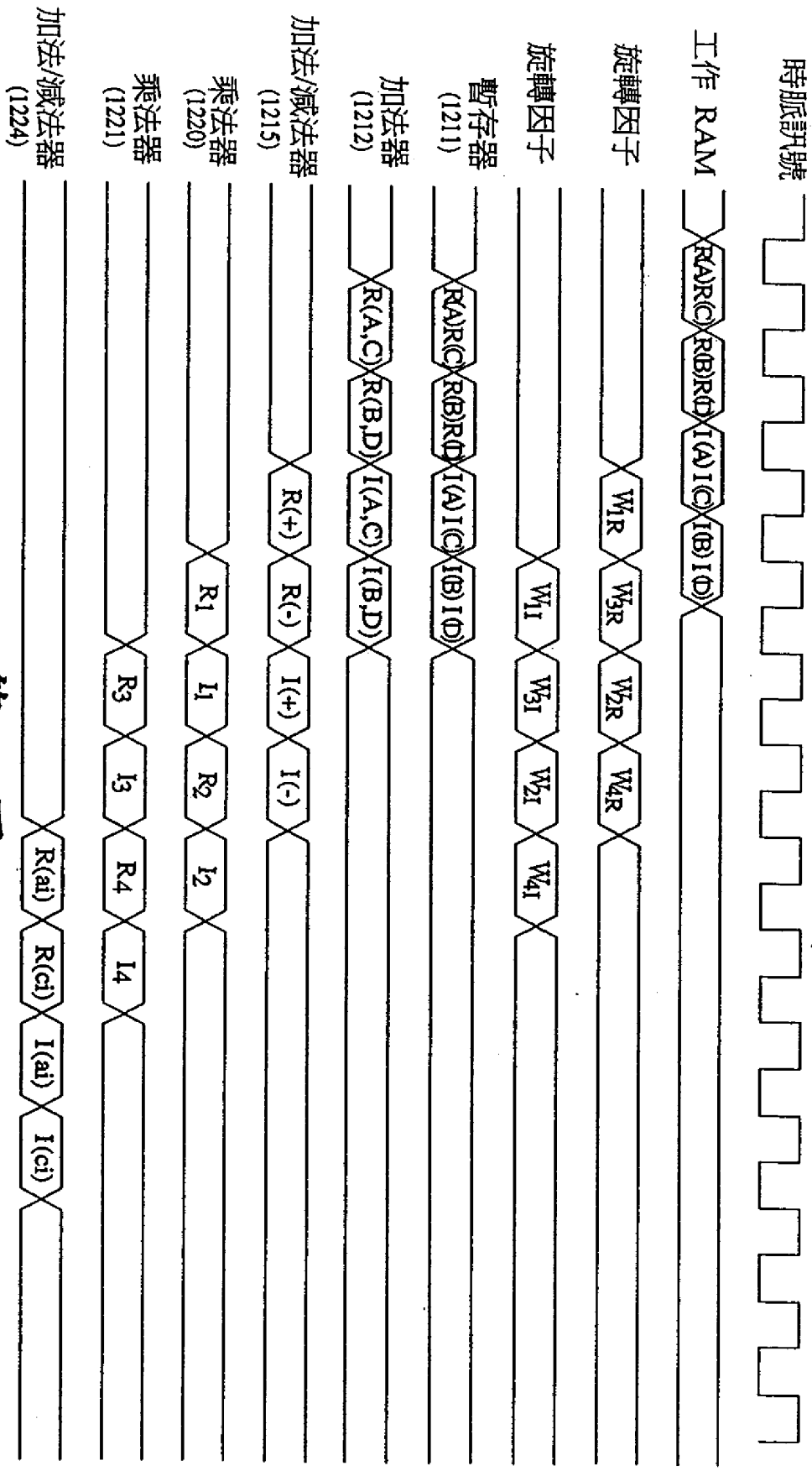
第10圖



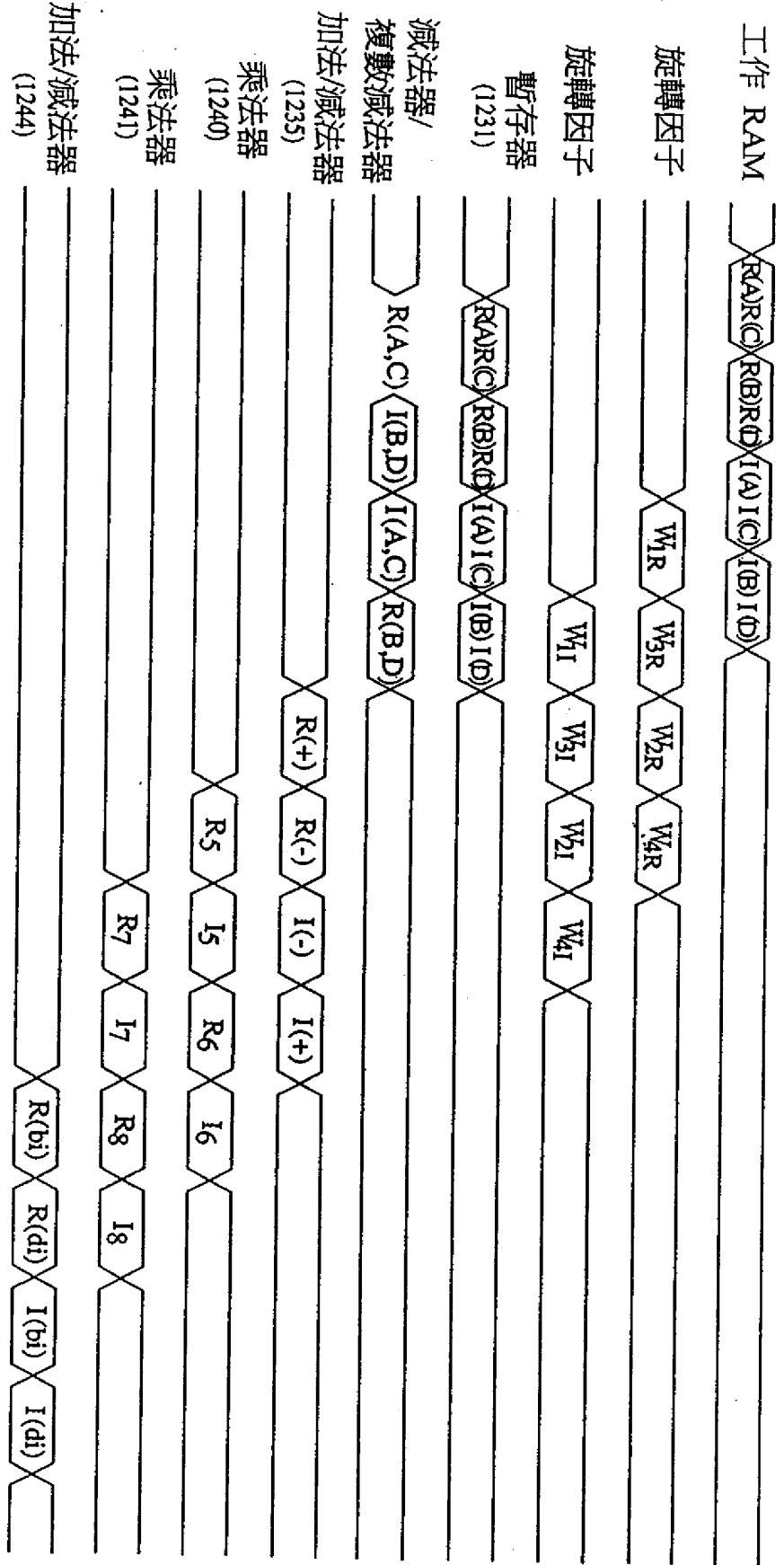
第11圖



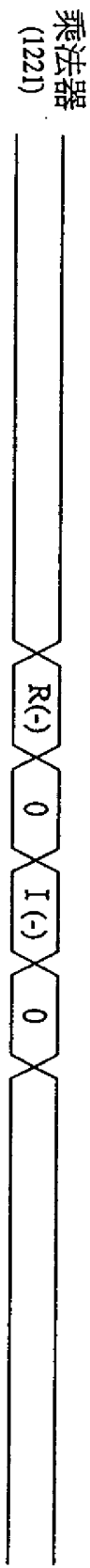
第12圖



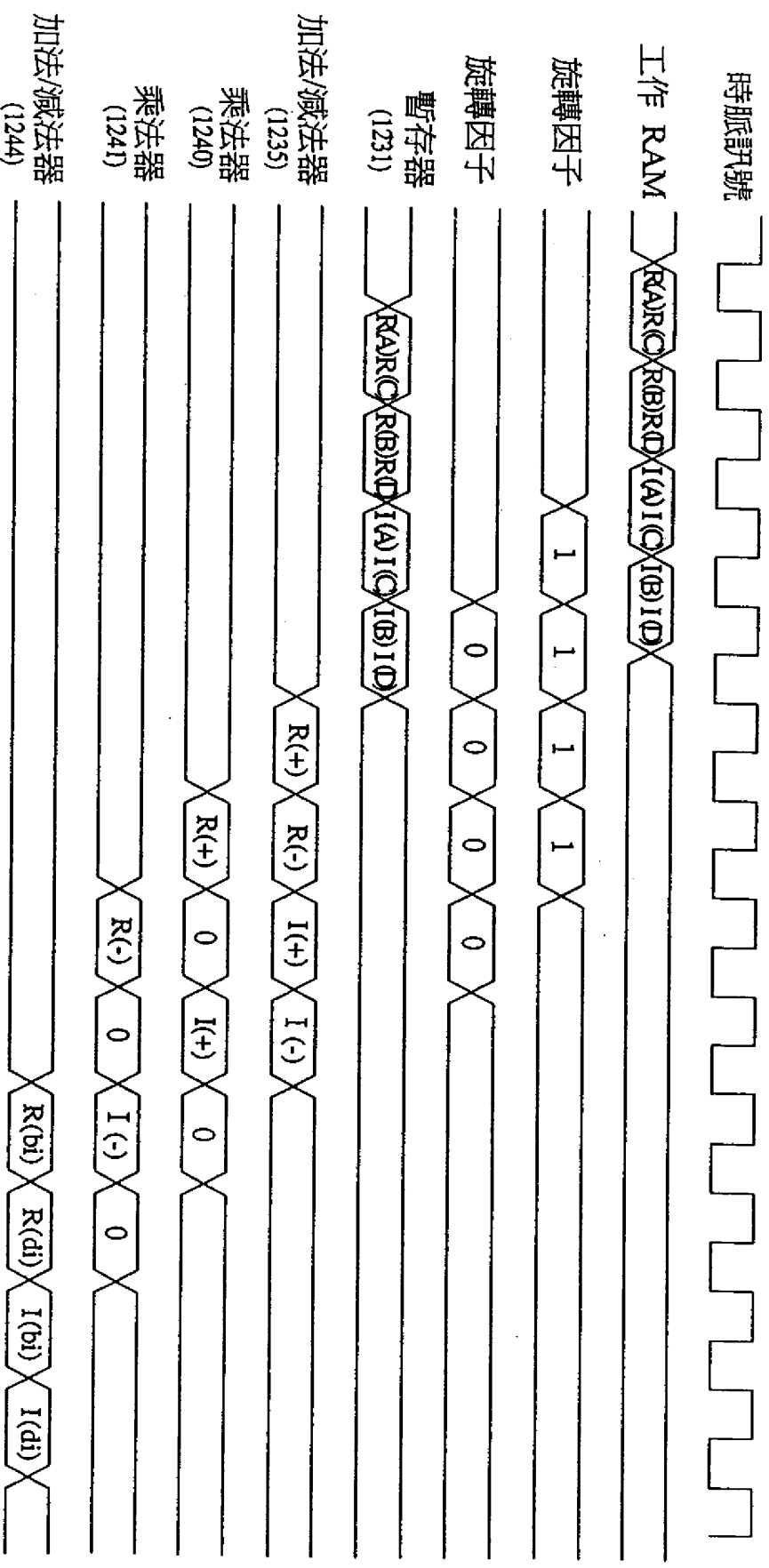
第13圖



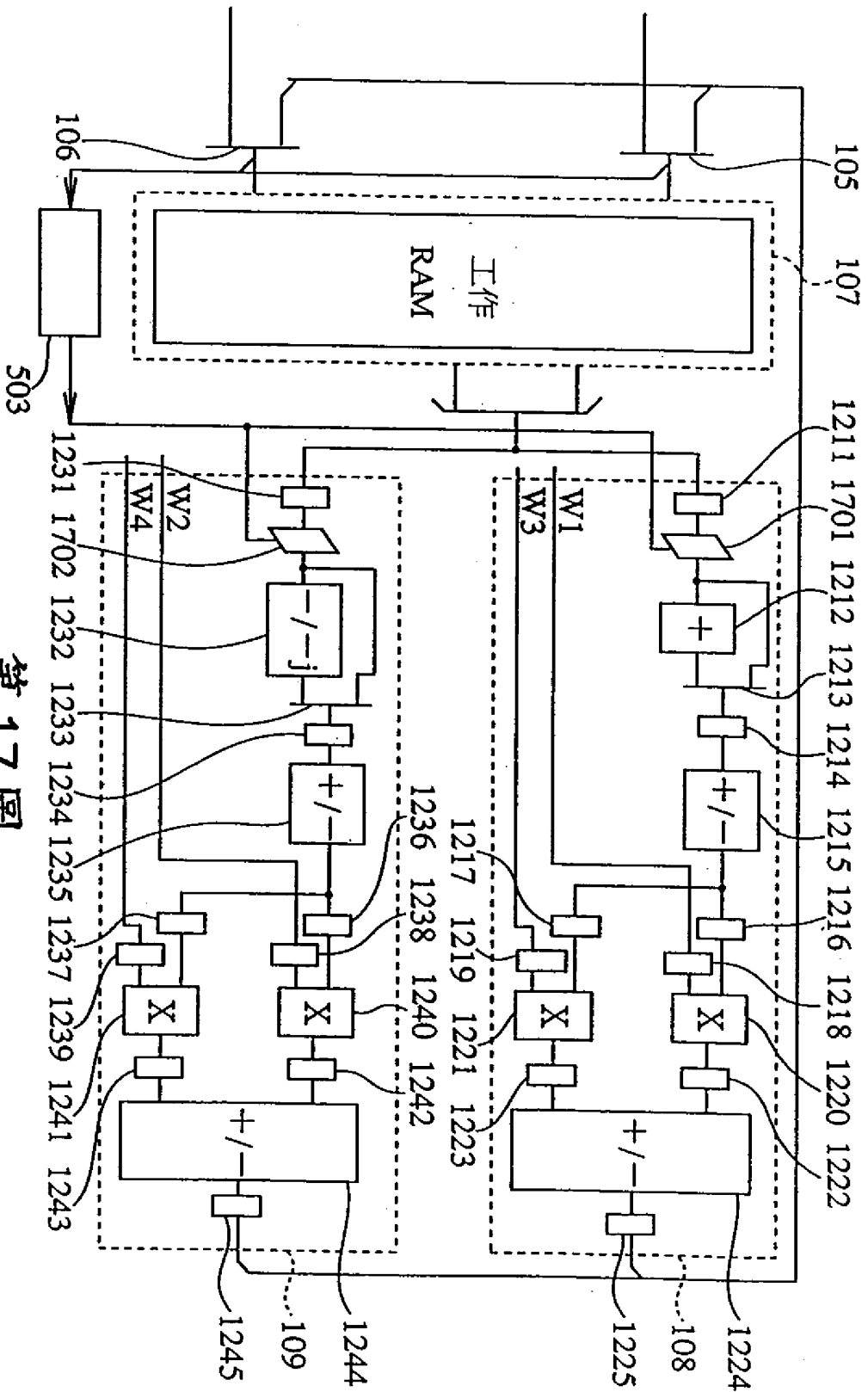
第14圖



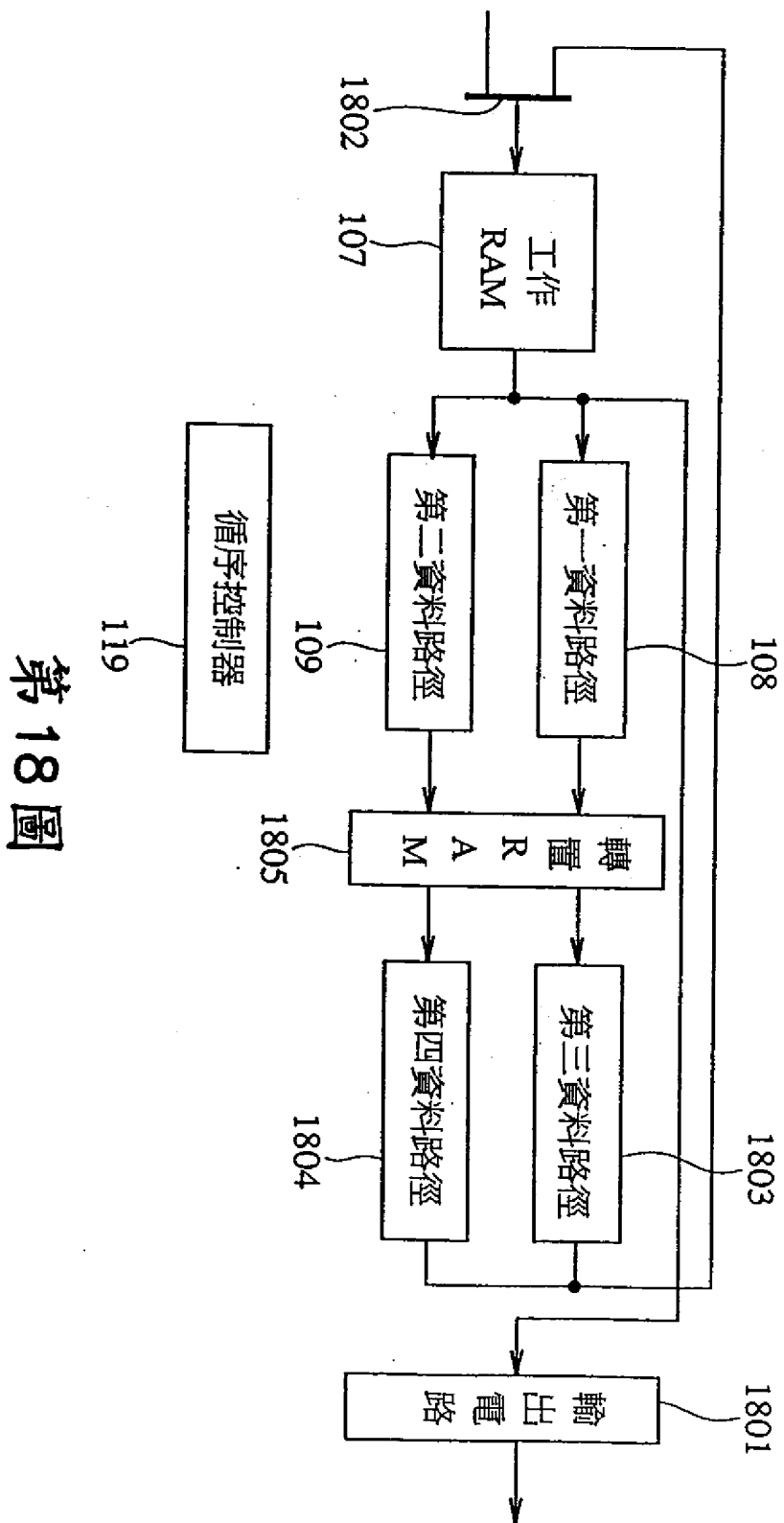
第15圖



第16圖

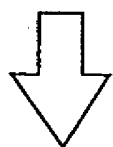


第17圖



第18圖

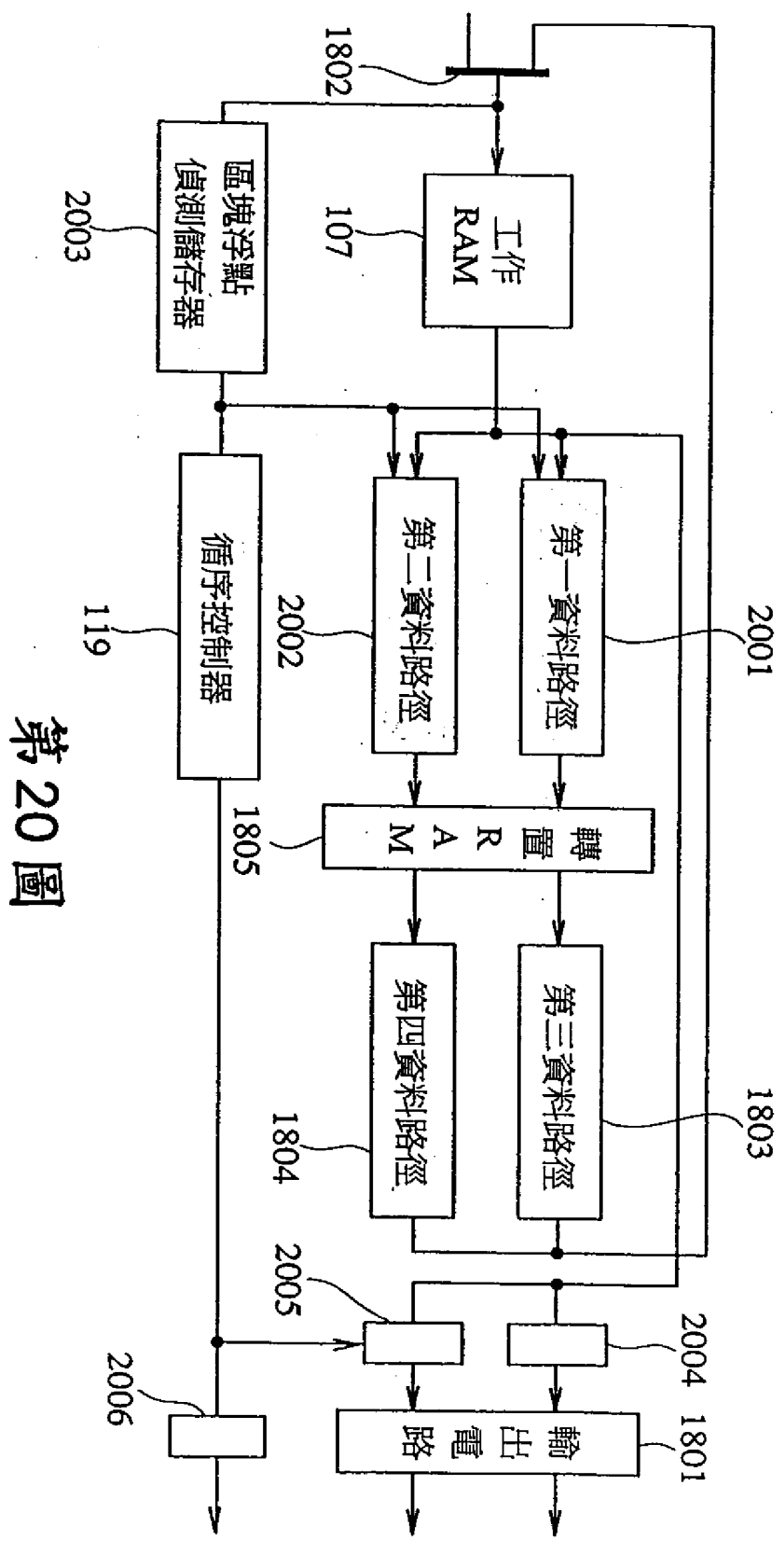
a ₁	a ₂	a ₃	a ₄	a ₅	a ₆	a ₇	a ₈	a ₉	.	.	.
b ₁	b ₂	b ₃	b ₄	b ₅	b ₆	b ₇	b ₈	b ₉	.	.	.
c ₁	c ₂	c ₃	c ₄	c ₅	c ₆	c ₇	c ₈	c ₉	.	.	.
d ₁	d ₂	d ₃	d ₄	d ₅	d ₆	d ₇	d ₈	d ₉	.	.	.



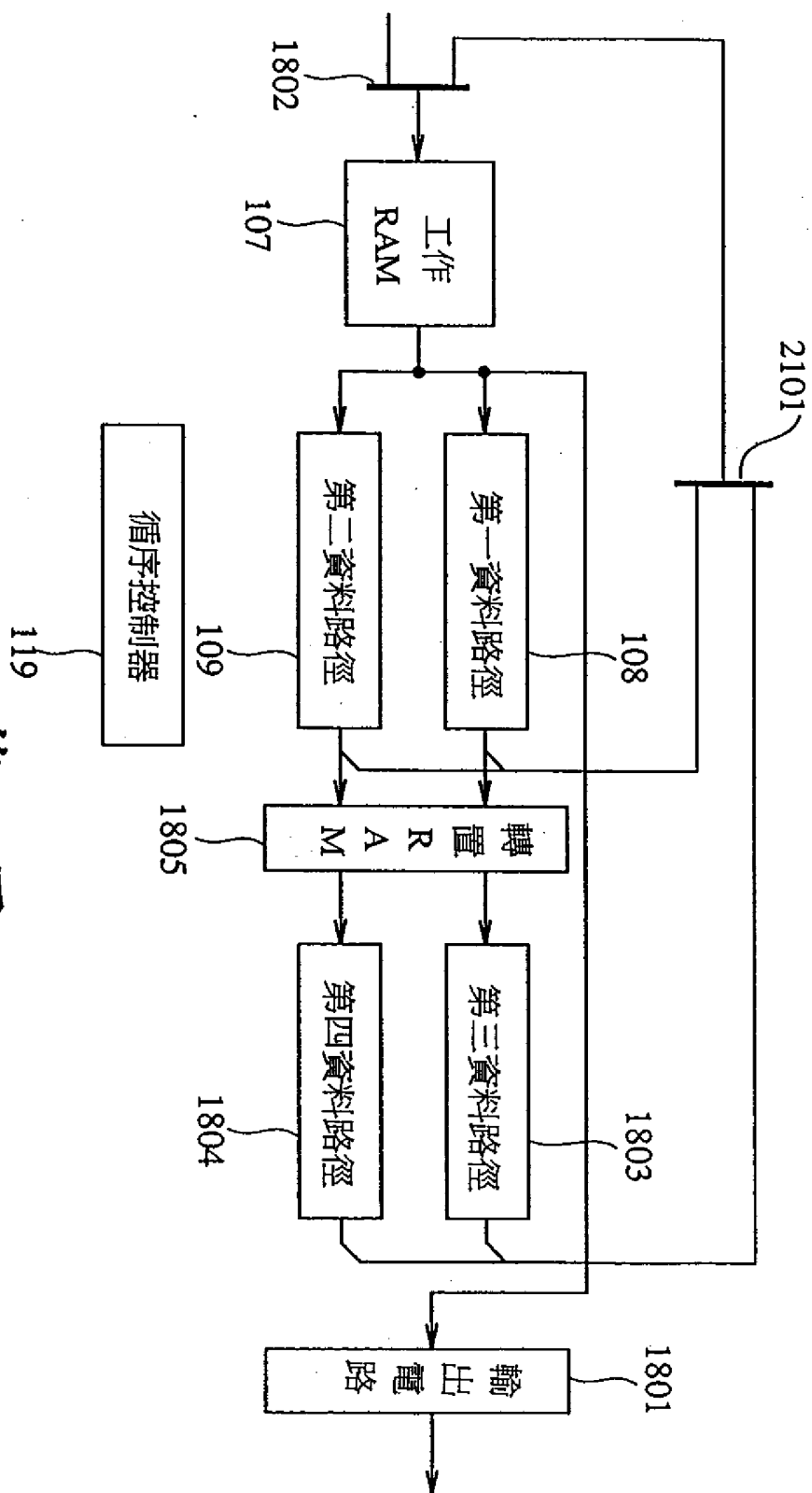
轉置

a ₁	b ₁	c ₁	d ₁	a ₅	b ₅	c ₅	d ₅	a ₉	b ₉	c ₉	d ₉
a ₂	b ₂	c ₂	d ₂	a ₆	b ₆	c ₆	d ₆	.	.	.	.
a ₃	b ₃	c ₃	d ₃	a ₇	b ₇	c ₇	d ₇	.	.	.	.
a ₄	b ₄	c ₄	d ₄	a ₈	b ₈	c ₈	d ₈	.	.	.	.

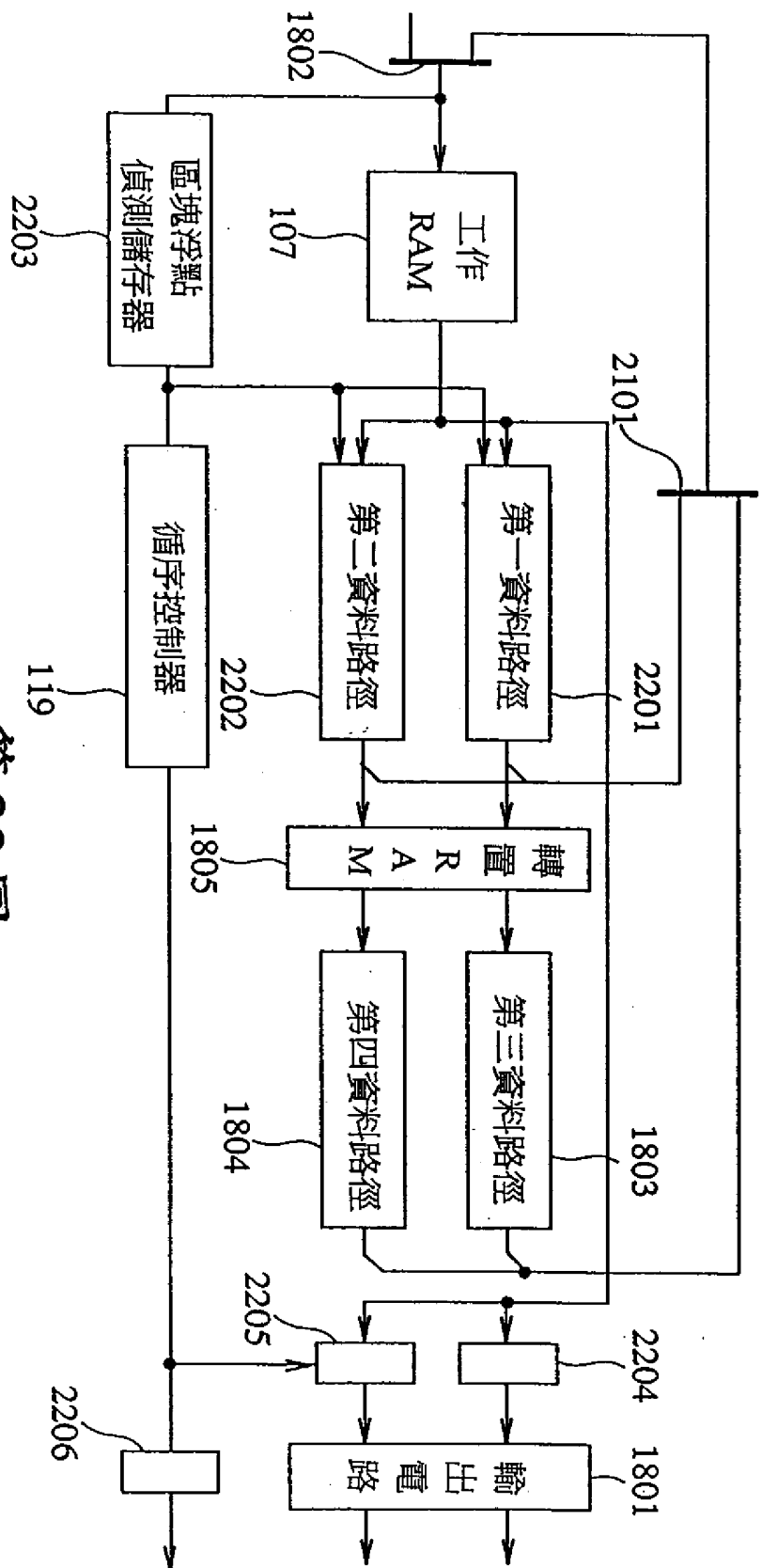
第19圖



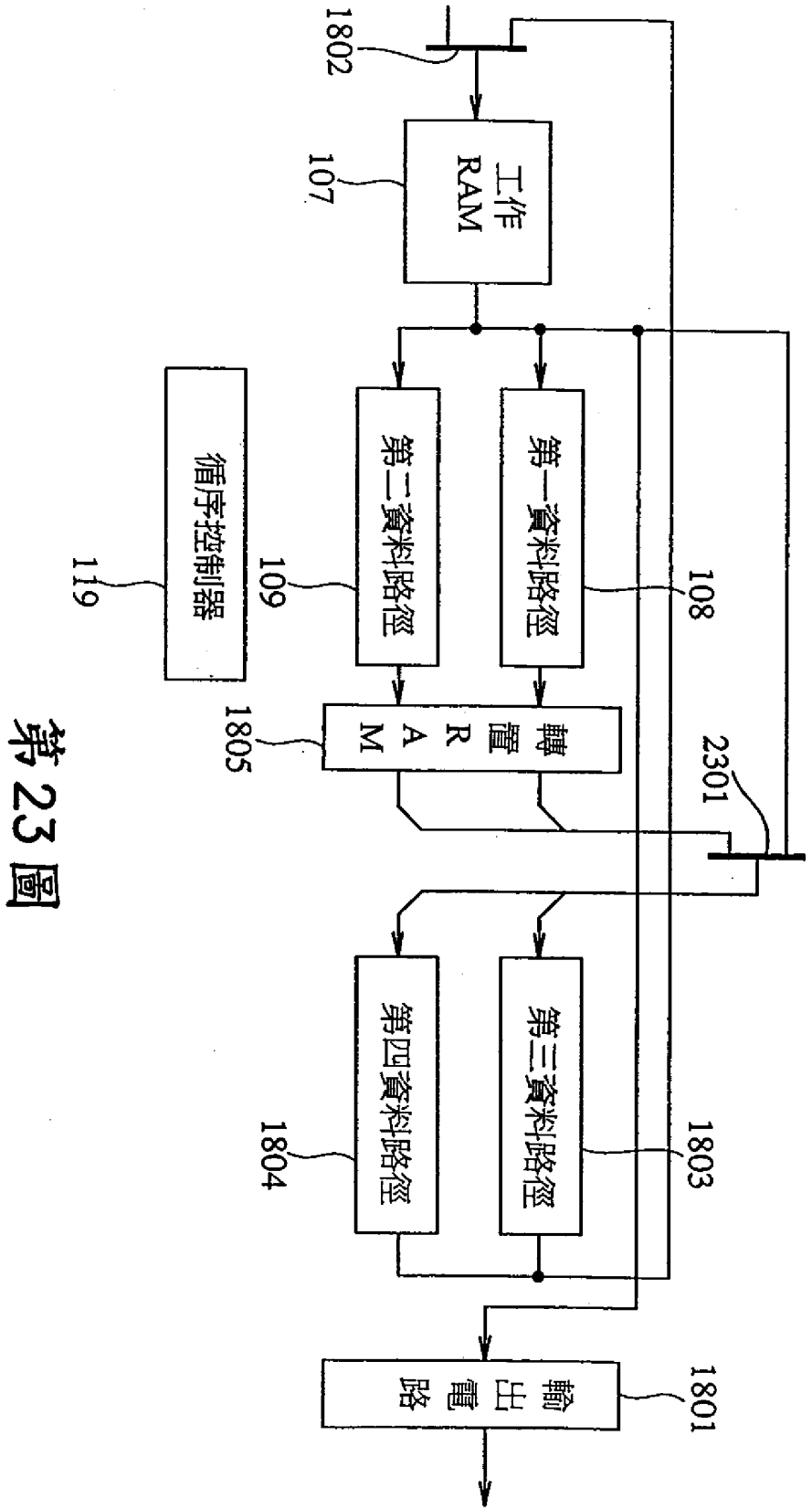
第20圖



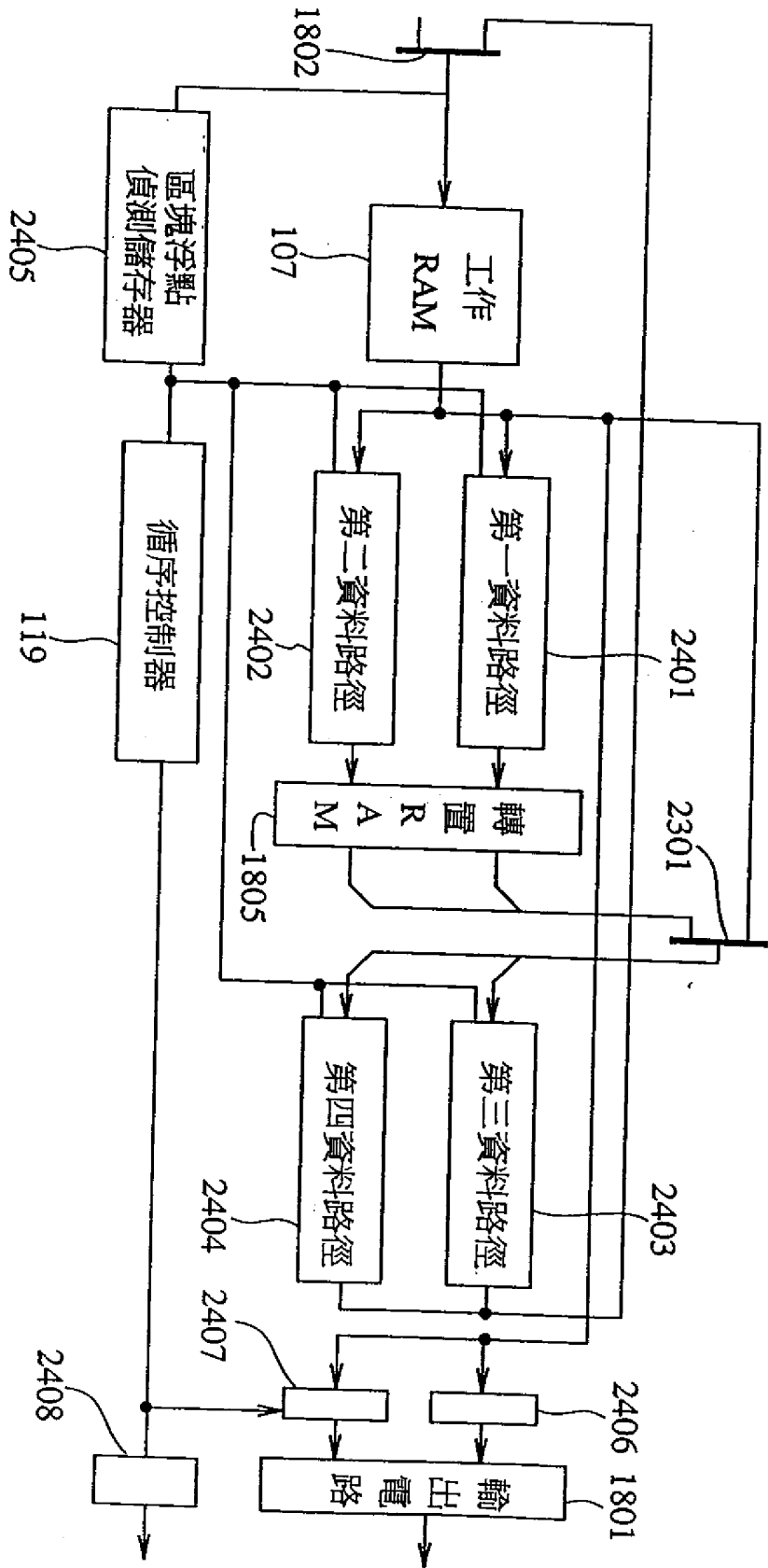
第21圖



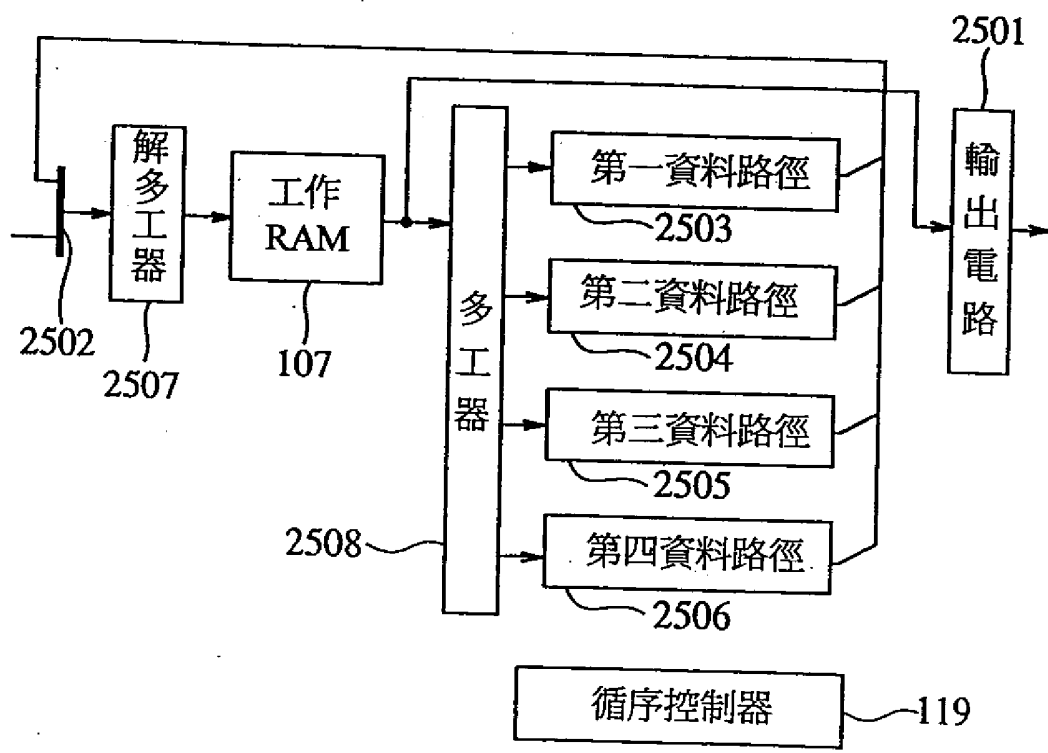
第22圖



第23圖

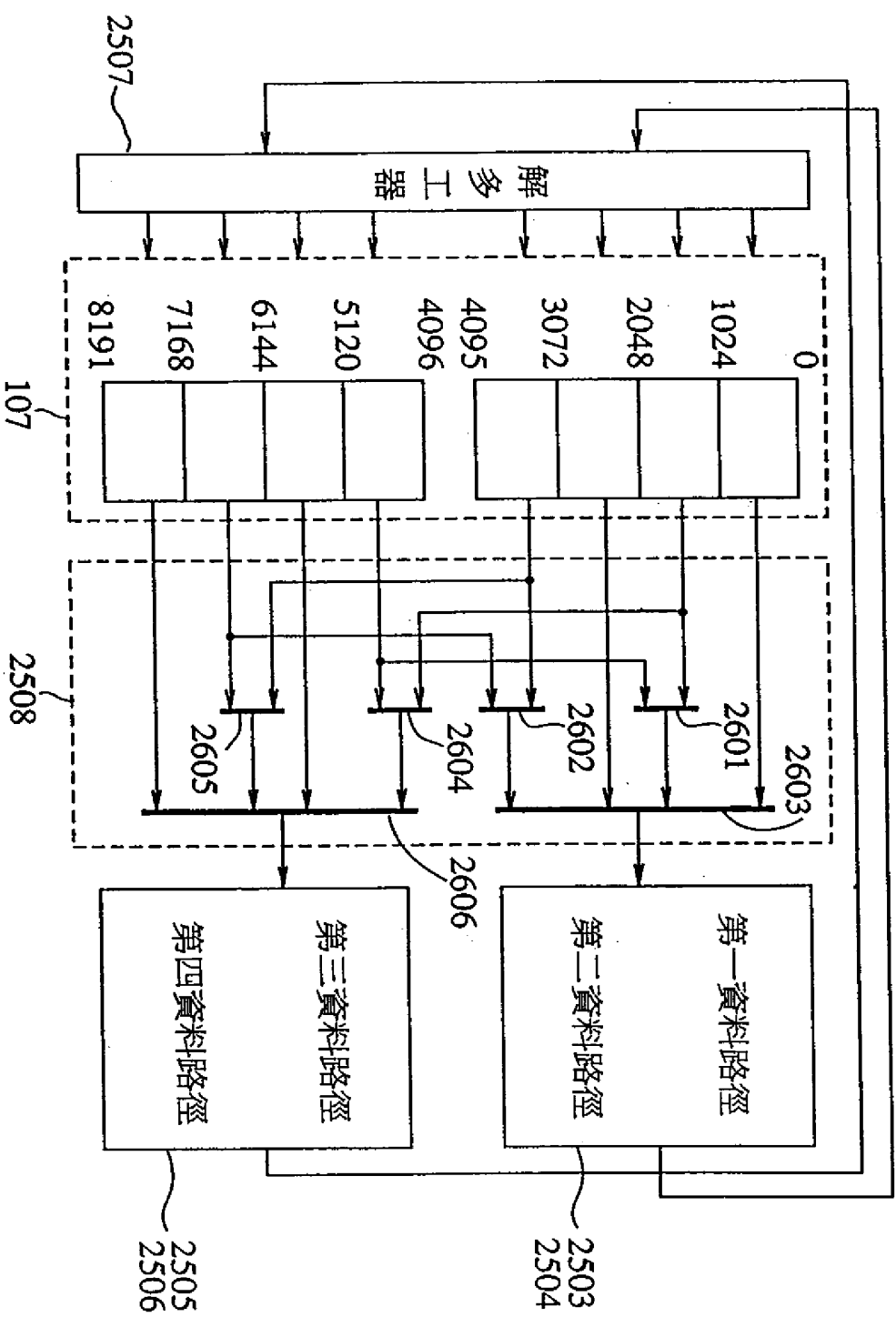


第24圖

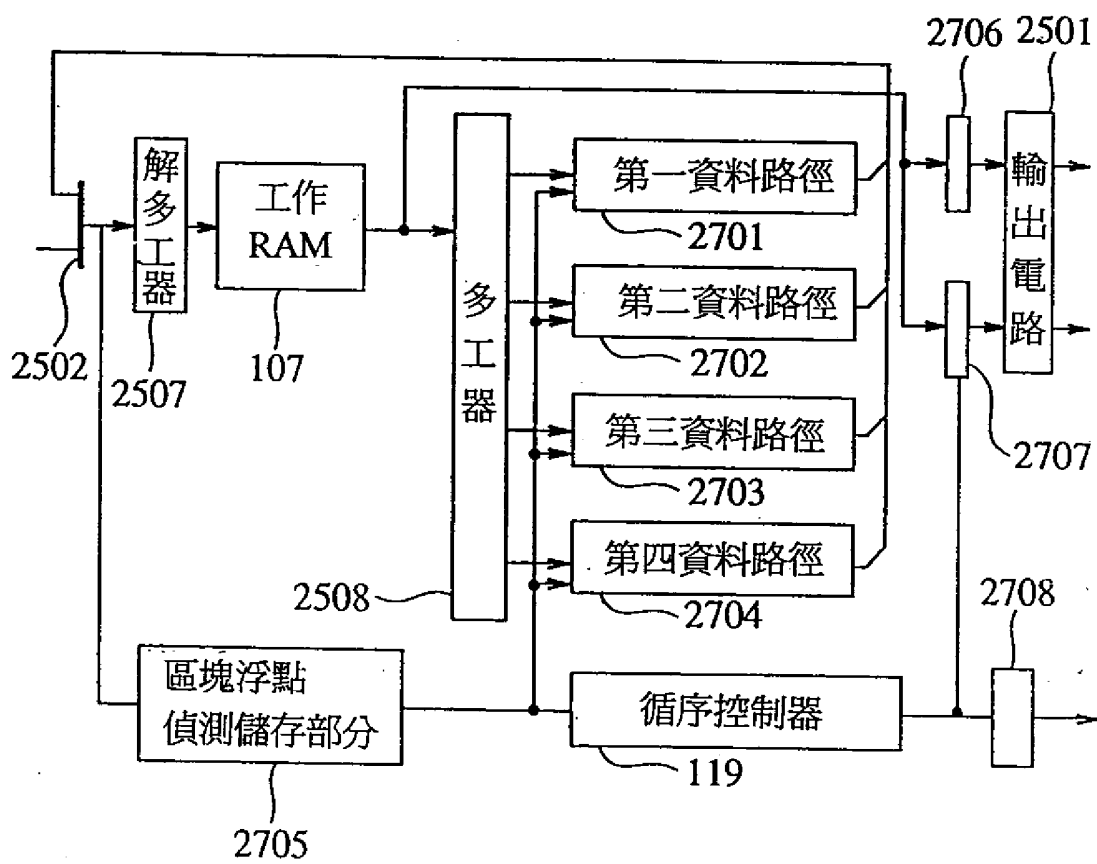


第 25 圖

7 20907



第26圖



第 27 圖

四、中文發明摘要(發明之名稱：

 快速傅立葉轉換處理裝置、處理
系統及處理方法

一種快速傅立葉轉換處理，其可在高速下執行基數 4 與基數 2 之演算法。爲了要達到此目的，本發明將取樣點的數目爲 $4^n \times 2$ 或 4^n 的複數資料分成四個群組 A、B、C 與 D，之後執行 n 次蝴蝶式演算法：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1}$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3}$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2}$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4}$$

其係群組 A~D 之複數資料 A_i 、 B_i 、 C_i 與 D_i 以及對應之旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，假如取樣點數目爲 $4^n \times 2$ 的話，更執行一次下面之蝴蝶式演算法：

英文發明摘要(發明之名稱： FAST FOURIER TRANSFORM PROCESSING DEVICE, FAST FOURIER TRANSFORM PROCESSING SYSTEM, AND FAST FOURIER TRANSFORM PROCESSING METHOD)

An object of the invention is to perform fast Fourier transform processes of radix 4 and 2 at a high speed. In order to attain this object, the invention divides complex number data in which the number of sampling points is $4^n \times 2$ or 4^n into 4 groups A to D, and then repeats at n times a butterfly arithmetic operation of:

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1}$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3}$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2}$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4}$$

, using the ith complex number data A_i , B_i , C_i and D_i belonging to the groups A to D and twiddle factors W_{i1} , W_{i2} , W_{i3} and W_{i4} , and then in case that the number of sampling points is $4^n \times 2$, the invention further performs once a butterfly arithmetic operation:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種快速傅立葉轉換處理裝置包括：

一工作記憶體，用以儲存從外界輸入一取樣點數目 $4^n \times 2$ 或 4^n (n 為自然數) 之複數資料，並將該些複數資料暫時儲存成一群組；以及

一計算裝置，用以將儲存於該工作記憶體中的該些複數資料分成四個群組 A、B、C 與 D 的計算操作序列重複 n 次，係根據計算序列與取樣點數目，執行下列之計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

使用分屬群組 A、B、C 與 D 之第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i 以及對應每個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i ，在該工作記憶體中儲存成 A_i 、 B_i 、 C_i 與 D_i ；在該取樣點數目為 $4^n \times 2$ ，該計算裝置更一次執行下列計算：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

使用對應與每一個 i 的計算獲得的 A_i 、 B_i 、 C_i 與 D_i ，並將其計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在該工作記憶體中。

2. 如申請專利範圍第 1 項所述之快速傅立葉轉換處理裝置，其中各該些計算裝置包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一資料路徑，用以能正確地執行該演算表示式
(1)、(2)、(5)與(6)；以及

一第二資料路徑，用以能正確地執行該演算表示式
(3)、(4)、(7)與(8)。

3.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

一第一加法器，用將輸入之該複數資料 A_i 與 C_i 彼此相加；

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用將輸入之該複數資料 B_i 與 D_i 彼此相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；
以及

一第二乘法器，用以將該第一減法器之一計算結果乘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上該旋轉因子 $Wi3$ 與 1 其中之一，並且輸出該計算結果 ci 。

4.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一第二減法器，用以使輸入之該複數資料 Ai 與 Ci 彼此相減；

一第三旁路元件，用以使該複數資料 Ai 與 Ci 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 Bi 與 Di 彼此相減，再乘上一虛數單位；

一第四旁路元件，用以使該複數資料 Bi 與 Di 不經過該複數減法器且彼此不相減；

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 $Wi2$ 與 1 其中之一，並且輸出該計算結果 bi ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 $Wi4$ 與 1 其中之一，並且輸出該計算結果 di 。

5.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第五加法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行計算操作 " A_i+C_i " 與 " B_i+D_i "；

一第五旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

6.如申請專利範圍第 2 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行一計算 $Ai-Ci$ 與一計算 $j(Bi-Di)$ ；

一第六旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi4$ 之實數部分及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 bi 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

7.如申請專利範圍第 1 項所述之快速傅立葉轉換處理裝置，其中該資料路徑包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

8.一種快速傅立葉轉換處理裝置，包括：

一工作記憶體，具有取樣點的數目為 $4^n \times 2$ 或 4^n (n 為自然數)之一複數資料，係由外部輸入並將該複數資料暫時儲存成一群組；

一第一計算裝置，用以將儲存於該工作記憶體之該複數資料群組分成 16 個群組 $AG1$ 、 $BG1$ 、 $CG1$ 、 $DG1$ 、 $AG2$ 、 $BG2$ 、 $CG2$ 、 $DG2$ 、 $AG3$ 、 $BG3$ 、 $CG3$ 、 $DG3$ 、 $AG4$ 、 $BG4$ 、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

CG4 與 DG4，係根據計算序列與取樣點數目，並將相關的每一分好的群組組合 { AG1、BG1、CG1、DG1 }、{ AG2、BG2、CG2、DG2 }、{ AG3、BG3、CG3、DG3 } 與 { AG4、BG4、CG4、DG4 }，執行下列計算操作：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (1)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (4)$$

使用分屬各群組組合的群組之第 i 個複數資料 Ai、Bi、Ci 與 Di 以及旋轉因子 Wi1、Wi2、Wi3 與 Wi4；

一轉置裝置，將該第一資料路徑的一計算結果 ai、bi、ci 與 di 一次四個地輸入，並且形成一由 4 列與 4 行構成之一矩陣，然後將該矩陣轉置，完成之後，一行一行地輸出該複數資料，形成一轉置矩陣，其係根據該些計算操作完成的；以及

一第二計算裝置，用以一個接一個執行該(1)到(4)的計算操作，係使用該轉置裝置輸入之 Ai、Bi、Ci 與 Di 的該複數資料，並將該計算結果 ai、bi、ci 與 di 一個接一個儲存在該些群組組合 { AG1、BG1、CG1、DG1 }、{ AG2、BG2、CG2、DG2 }、{ AG3、BG3、CG3、DG3 } 與 { AG4、BG4、CG4、DG4 } 中於該工作記憶體中。

9.如申請專利範圍第 8 項所述之快速傅立葉轉換處理裝置，其中藉由該第一計算裝置與該第二計算裝置重複執行 n 次該些計算操作(1)~(4)後，在該些取樣點數目為 $4^n \times$

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

2 之情形下，該第一計算裝置與該第二計算裝置其中之一依據每一個 i 一次執行下列之一計算程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

使用以該計算操作所得之該複數資料 A_i 、 B_i 、 C_i 與 D_i ，並將該些計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存於該工作記憶體中。

10. 如申請專利範圍第 9 項所述之快速傅立葉轉換處理裝置，其中

該第一計算裝置係由一第一資料路徑與一第二資料路徑所構成，該第一資料路徑用以正確地執行該計算操作(1)、(2)、(5)與(6)，或該計算操作(1)與(2)，該第二資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)，或該計算操作(3)與(4)；以及

該第二計算裝置係由一第三資料路徑與一第四資料路徑所構成，該第三資料路徑用以正確地執行該計算操作(1)、(2)、(5)與(6)，或該計算操作(1)與(2)，該第四資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)，或該計算操作(3)與(4)。

11. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

一第一加法器，用以將輸入之該複數資料 A_i 與 C_i 彼此相加；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用將輸入之該複數資料 B_i 與 D_i 彼此相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；以及

一第二乘法器，用以將該第一減法器之一計算結果乘上該旋轉因子 W_{i3} 與 1 其中之一，並且輸出該計算結果 c_i 。

12. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第三資料路徑包括：

一第一加法器，用以將輸入之該複數資料 A_i 與 C_i 彼此相加；

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用將輸入之該複數資料 B_i 與 D_i 彼此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；以及

一第二乘法器，用以將該第一減法器之一計算結果乘上該旋轉因子 W_{i3} 與 1 其中之一，並且輸出該計算結果 c_i 。

13. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一第二減法器，用以使輸入之該複數資料 A_i 與 C_i 彼此相減；

一第三旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 B_i 與 D_i 彼此相減，再乘上一虛數單位 j ；

一第四旁路元件，用以使該複數資料 B_i 與 D_i 不經過該複數減法器且彼此不複數相減；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 $Wi2$ 與 1 其中之一，並且輸出該計算結果 bi ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 $Wi4$ 與 1 其中之一，並且輸出該計算結果 di 。

14. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第四資料路徑包括：

一第二減法器，用以使輸入之該複數資料 Ai 與 Ci 彼此相減；

一第三旁路元件，用以使該複數資料 Ai 與 Ci 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 Bi 與 Di 彼此相減，再乘上一虛數單位 j ；

一第四旁路元件，用以使該複數資料 Bi 與 Di 不經過該複數減法器且彼此不複數相減；

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 $Wi2$ 與 1 其中之一，並且輸出該計算結果 bi ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 $Wi4$ 與 1 其中之一，並且輸出該計算結果 di 。

15. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第一資料路徑包括：

一第五加法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行計算操作 " $Ai+Ci$ " 與 " $Bi+Di$ "；

一第五旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

16. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第三資料路徑包括：

一第五加法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行計算操作 " $Ai+Ci$ " 與 " $Bi+Di$ "；

一第五旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi1$ 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

17. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第二資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行一計算 $A_i - C_i$ 與一計算 $j(B_i - D_i)$ ；

一第六旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 b_i 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 d_i 之該實數部分與該虛數部分。

18. 如申請專利範圍第 10 項所述之快速傅立葉轉換處理裝置，其中該第四資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行一計算 $A_i - C_i$ 與一計算 $j(B_i - D_i)$ ；

一第六旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 bi 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

19. 如申請專利範圍第 8 項所述之快速傅立葉轉換處理裝置，更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

20. 一快速傅立葉轉換處理系統，包括：

一工作記憶體，具有取樣點的數目為 $2N$ 點 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)之一複數資料，係由外部輸入並將該複數資料暫時儲存成一群組；以及

一計算裝置，用以一次完成將儲存於工作記憶體中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

該複數資料分成 8 個群組 A1、B1、C1、D1、A2、B2、C2 與 D2，其係根據計算序列與取樣點數目，並對每一個 i 執行下列之計算：

$$a1i = \{(A1i + C1i) + (A2i + C2i)\} \times W1i1 \quad (1)$$

$$c1i = \{(A1i + C1i) - (A2i + C2i)\} \times W1i3 \quad (2)$$

$$b1i = \{(A1i - C1i) - j(A2i - C2i)\} \times W1i2 \quad (3)$$

$$d1i = \{(A1i - C1i) + j(A2i - C2i)\} \times W1i4 \quad (4)$$

$$a2i = \{(B1i + D1i) + (B2i + D2i)\} \times W2i1 \quad (5)$$

$$c2i = \{(B1i + D1i) - (B2i + D2i)\} \times W2i3 \quad (6)$$

$$b2i = \{(B1i - D1i) - j(B2i - D2i)\} \times W2i2 \quad (7)$$

$$d2i = \{(B1i - D1i) + j(B2i - D2i)\} \times W2i4 \quad (8)$$

使用第 i 個分屬於分好後之群組 A1、B1、C1、D1、A2、B2、C2 與 D2 的複數資料 A1i、B1i、C1i、D1i、A2i、B2i、C2i 與 D2i，以及旋轉因子 W1i1、W1i2、W1i3、W1i4、W2i1、W2i2、W2i3 與 W2i4，並將該些計算操作的結果 a1i、b1i、c1i、d1i、a2i、b2i、c2i 與 d2i 以 A1i、B1i、C1i、D1i、A2i、B2i、C2i 與 D2i 儲存在該工作記憶體之中，

根據計算序列與取樣點數目，將儲存在工作記憶體之中的複數資料分成 4 個群組，

然後，重複 n-1 次一序列計算程序，它包含將儲存在該工作記憶體中的該複數資料群組再分成四個群組 A、B、C 與 D，其分法係根據計算序列與取樣點數目，並對每一相應的 i 執行下列計算操作：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (9)$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (10)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (11)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (12)$$

係使用第 i 個區分後的群組 A 、 B 、 C 與 D 的該複數資料 Ai 、 Bi 、 Ci 與 Di ，以及旋轉因子 $Wi1$ 、 $Wi2$ 、 $Wi3$ 與 $Wi4$ ，並將該複數資料 Ai 、 Bi 、 Ci 與 Di 的該計算結果 ai 、 bi 、 ci 與 di 儲存在該工作記憶體之中，如果取樣點為 $4^n \times 2$ 的話，更包括：

對每一相應的 i 一次執行下列的計算：

$$ai = (Ai + Bi) \quad (13)$$

$$bi = (Ai - Bi) \quad (14)$$

$$ci = (Ci + Di) \quad (15)$$

$$di = (Ci - Di) \quad (16)$$

其係使用在上述計算操作中的該複數資料 Ai 、 Bi 、 Ci 與 Di ，並且將該計算結果 ai 、 bi 、 ci 、 di 、 $a2i$ 、 $b2i$ 、 $c2i$ 與 $d2i$ 儲存在該工作記憶體之中。

21. 如申請專利範圍第 20 項所述之快速傅立葉轉換處理系統，其中該計算裝置包括一第一資料路徑，用以正確地執行該計算操作(1)、(2)、(9)、(10)、(13)與(14)，一第二資料路徑用以正確地執行該計算操作(3)、(4)、(11)、(12)、(15)與(16)，一第三資料路徑，用以正確地執行該計算操作(5)、(6)、(9)、(10)、(13)與(14)，一第四資料路徑用以正確地執行該計算操作(7)、(8)、(11)、(12)、(15)與(16)。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

22. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第一資料路徑包括：

一第一加法器，用以將輸入之該複數資料 A_i 與 C_i 彼此相加；

一第一旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第一加法器且彼此不相加；

一第二加法器，用以將輸入之該複數資料 B_i 與 D_i 彼此相加；

一第二旁路元件，用以使該複數資料 B_i 與 D_i 不經過該第一加法器且彼此不相加；

一第三加法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相加；

一第一減法器，用以將該第一加法器之輸出與該第一旁路元件之輸出兩者其中之一，與該第二加法器之輸出以及該第二旁路元件之輸出其中之一彼此相減；

一第一乘法器，用以將該第三加法器之一計算結果乘上該旋轉因子 W_{i1} 與 1 其中之一，並且輸出該計算結果 a_i ；以及

一第二乘法器，用以將該第一減法器之一計算結果乘上該旋轉因子 W_{i3} 與 1 其中之一，並且輸出該計算結果 c_i 。

23. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中至少該第二與該第四資料路徑其中之一包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第二減法器，用以使輸入之該複數資料 A_i 與 C_i 彼此相減；

一第三旁路元件，用以使該複數資料 A_i 與 C_i 不經過該第二減法器且彼此不相減；

一複數減法器，用以將輸入之複數資料 B_i 與 D_i 彼此相減，再乘上一虛數單位 j ；

一第四旁路元件，用以使該複數資料 B_i 與 D_i 不經過該複數減法器且彼此不複數相減；

一第四加法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相加；

一第三減法器，用以將該第二減法器之輸出與該第三旁路元件之輸出兩者其中之一，與該複數減法器之輸出以及該第四旁路元件之輸出其中之一彼此相減；

一第三乘法器，用以將該第四加法器之一計算結果乘上該旋轉因子 W_{i2} 與 1 其中之一，並且輸出該計算結果 b_i ；以及

一第四乘法器，用以將該減法器之一計算結果乘上該旋轉因子 W_{i4} 與 1 其中之一，並且輸出該計算結果 d_i 。

24. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第一資料路徑包括：

一第五加法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行計算操作 " $A_i + C_i$ " 與 " $B_i + D_i$ "；

一第五旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

與 D_i 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 a_i 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 c_i 之該實數部分與該虛數部分。

25. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第三資料路徑包括：

一第五加法器，用以將輸入之該複數資料 A_i 、 C_i 、 B_i 與 D_i 執行計算操作 " $A_i + C_i$ " 與 " $B_i + D_i$ "；

一第五旁路元件，用以使該複數資料 A_i 、 C_i 、 B_i 與 D_i 不經過該第五加法器且不執行該計算操作；

一第一加法/減法器，用以一次兩個複數資料將該第五加法器與第五旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第五乘法器，用以一個接一個將該第一加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i1} 之實數部分及 1 其中之一彼此相乘；

一第六乘法器，用以一個接一個將該第一加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i3} 之實數部分及 1 其中之一彼此相乘；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

相乘，該減法結果之虛數部分與該旋轉因子 $Wi3$ 之實數部分及 1 其中之一彼此相乘；以及

一第二加法/減法器，用以將從該第五乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ai 之該實數部分與該虛數部分，再者將從該第六乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 ci 之該實數部分與該虛數部分。

26.如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第二資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行一計算 $Ai-Ci$ 與一計算 $j(Bi-Di)$ ；

一第六旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi 與 Di 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

虛數部分與該旋轉因子 $Wi2$ 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 $Wi2$ 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 $Wi4$ 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 bi 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 di 之該實數部分與該虛數部分。

27. 如申請專利範圍第 21 項所述之快速傅立葉轉換處理系統，其中該第四資料路徑包括：

一減法/複數減法器，用以將輸入之該複數資料 Ai 、 Ci 、 Bi 與 Di 執行一計算 $Ai-Ci$ 與一計算 $j(Bi-Di)$ ；

一第六旁路元件，用以使該複數資料 Ai 、 Ci 、 Bi

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

與 D_i 不經過該減法/複數減法器且不執行該計算操作；

一第三加法/減法器，用以一次兩個複數資料將該減法/複數減法器與該第六旁路元件兩者其中之一的輸出計算相加與相減的結果；

一第七乘法器，用以一個接一個將該第三加法/減法器之該減法結果之實數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘，該減法結果之實數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之虛數部分及 1 其中之一彼此相乘，該減法結果之虛數部分與該旋轉因子 W_{i2} 之實數部分及 1 其中之一彼此相乘；

一第八乘法器，用以一個接一個將該第三加法/減法器之該加法結果之實數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘，該加法結果之實數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之虛數部分及 1 其中之一彼此相乘，該加法結果之虛數部分與該旋轉因子 W_{i4} 之實數部分及 1 其中之一彼此相乘；以及

一第四加法/減法器，用以將從該第七乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 b_i 之該實數部分與該虛數部分，再者將從該第八乘法器輸入之虛數部分的乘法結果與實數部分的乘法結果

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

彼此相減，將該實數部分與該虛數部分之乘法結果與該該虛數部分與該實數部分之乘法結果彼此相加，輸出該些計算結果做為該計算結果 d_i 之該實數部分與該虛數部分。

28.如申請專利範圍第 20 項所述之快速傅立葉轉換處理系統，更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

29.一種快速傅立葉轉換處理系統，包括：

複數個快速傅立葉轉換處理裝置，各該些裝置個包括：

一工作記憶體，用以將從外界輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數)之一複數資料暫存於該郭做記憶體做為一群組；

一計算裝置，用以重複 n 次一序列計算操作，將儲存在該工作記憶體中的該複數資料區分成 A、B、C 與 D 四個群組，其係依據計算序列與取樣點數目，並且執行下列之計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

係使用該群組 A、B、C 與 D 中之該第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及每一相應於 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並且將該計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在該工作記憶體中做為 A_i 、 B_i 、 C_i 與 D_i 。如果取樣點為 $4^n \times 2$ 的話，資料路徑更一次執行下列之計算程序：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用每一個 i 之該計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將該計算結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存在該工作記憶體之中，

一輸入資料選擇電路，提供給予各該快速傅立葉轉換處理裝置，用以選擇性輸入該複數資料至該快速傅立葉轉換處理裝置中；以及

一輸出資料選擇電路，用以在經過計算程序後選擇性地使複數個快速傅立葉轉換處理裝置輸出該複數資料。

30. 如申請專利範圍第 29 項所述之快速傅立葉轉換處理系統，其中各該計算裝置包括：

一第一資料路徑，用以正確地執行該計算操作(1)、(2)、(5)與(6)；以及

一第二資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)。

31. 如申請專利範圍第 29 項所述之快速傅立葉轉換處理系統，其中各該些計算裝置更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

32. 一種快速傅立葉轉換處理系統，包括：

複數個快速傅立葉轉換處理裝置，各該裝置包括：

一工作記憶體，具有從外面輸入之取樣點數目為 $4^n \times 2$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

或 4^n (其中 n 為自然數) 之一複數資料，並將此資料暫時存放於該工作記憶體；

一計算裝置，重複 n 次一序列的計算操作，將儲存在該工作記憶體中之該複數資料分成 A、B、C 與 D 四個群組，分法係根據計算序列與取樣點數目，並執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

係使用上述群組 A、B、C 與 D 中第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 儲存在該工作記憶體之中做為各該複數資料 A_i 、 B_i 、 C_i 與 D_i ，假如取樣點的數目為 $4^n \times 2$ 的話，資料路徑一次更執行下列計算之程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用每一個 i 之該計算程序所得到的 A_i 、 B_i 、 C_i 與 D_i ，並且將該計算結果 a_i 、 b_i 、 c_i 與 d_i 分別儲存在該工作記憶體之中；

一輸入資料選擇電路，提供給予各該快速傅立葉轉換處理裝置，用以選擇性輸入從外面來之該複數資料或從另

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一快速傅立葉轉換處理裝置輸出的複數資料；以及
 一輸出資料選擇電路，用以在經過計算程序後選擇性地使各該快速傅立葉轉換處理裝置輸出該些複數資料。

33.如申請專利範圍第 32 項所述之快速傅立葉轉換處理系統，其中各該計算裝置包括：

一第一資料路徑，用以正確地執行該計算操作(1)、(2)、(5)與(6)；以及

一第二資料路徑用以正確地執行該計算操作(3)、(4)、(7)與(8)。

34.如申請專利範圍第 32 項所述之快速傅立葉轉換處理系統，其中各該些計算裝置更包括一區塊浮點偵測儲存器，用以利用一區塊浮點演算法執行一傅立葉轉換計算。

35.一種快速傅立葉轉換處理方法，包括：

一第一計算程序，將從外面輸入之取樣點數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數) 的一複數資料，暫時存放成一群組。

一第二計算程序，重複 n 次一序列的計算操作，將暫時儲存在該工作記憶體中的該複數資料分成 A、B、C 與 D 四個群組，其分法係根據計算序列與取樣點數目，並執行下列計算：

$$ai = \{(Ai + Ci) + (Bi + Di)\} \times Wi1 \quad (1)$$

$$ci = \{(Ai + Ci) - (Bi + Di)\} \times Wi3 \quad (2)$$

$$bi = \{(Ai - Ci) - j(Bi - Di)\} \times Wi2 \quad (3)$$

$$di = \{(Ai - Ci) + j(Bi - Di)\} \times Wi4 \quad (4)$$

係使用上述群組 A、B、C 與 D 中第 i 個複數資料 Ai 、 Bi 、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

Ci 與 Di，以及對應每一個 i 的旋轉因子 Wi1、Wi2、Wi3 與 Wi4，並將其計算結果 ai、bi、ci 與 di 取代複數資料 Ai、Bi、Ci 與 Di，假如取樣點的數目為 $4^n \times 2$ 的話，資料路徑一次更執行下列計算之程序：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用每一個 i 之該些計算程序所得到的 Ai、Bi、Ci 與 Di，並且將該計算結果 ai、bi、ci 與 di 取代該些複數資料 Ai、Bi、Ci 與 Di。

36 如申請專利範圍第 35 項所述之快速傅立葉轉換處理方法，其中各該些第三與第四計算程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

37. 一快速傅立葉轉換處理方法，包括：

一第一程序，具有取樣點的數目為 $4^n \times 2$ 或 4^n (其中 n 為自然數) 之一複數資料，係由外部輸入並將該複數資料暫時儲存成一群組，以及

一第二程序，重複 n 次一序列計算步奏，包括：

一第一計算步驟，用以將暫時儲存成一群組之該複數資料群組分成 16 個群組 AG1、BG1、CG1、DG1、AG2、BG2、CG2、DG2、AG3、BG3、CG3、DG3、AG4、BG4、CG4 與 DG4，其係根據計算序列與取樣點數目，

一第二計算步驟，相關的每一分好的群組組合

六、申請專利範圍

{ AG1、BG1、CG1、DG1}、{ AG2、BG2、CG2、DG2}、
{ AG3、BG3、CG3、DG3}與{ AG4、BG4、CG4、DG4}，
執行下列計算操作：

$$ai=\{(Ai+Ci)+(Bi+Di)\} \times Wi1 \quad (1)$$

$$ci=\{(Ai+Ci)-(Bi+Di)\} \times Wi3 \quad (2)$$

$$bi=\{(Ai-Ci)-j(Bi-Di)\} \times Wi2 \quad (3)$$

$$di=\{(Ai-Ci)+j(Bi-Di)\} \times Wi4 \quad (4)$$

其係使用分屬各群組組合的群組之第 i 個複數資料 Ai、Bi、Ci 與 Di 以及旋轉因子 Wi1、Wi2、Wi3 與 Wi4，

一第三計算步驟，將該第二計算步驟之該計算結果 ai、bi、ci 與 di 一次四個地輸入，並且形成一由 4 列與 4 行構成之一矩陣，然後將該矩陣轉置，完成之後，一行一行地輸出該些複數資料，形成一轉置矩陣，係根據各該些計算操作完成的，以及

一第四計算步驟，用以一個接一個執行該(1)到(4)之計算操作，係使用 Ai、Bi、Ci 與 Di 之該些複數資料，並將該計算結果 ai、bi、ci 與 di 一個接一個取代上述之群組組合{ AG1、BG1、CG1、DG1}、{ AG2、BG2、CG2、DG2}、{ AG3、BG3、CG3、DG3}與{ AG4、BG4、CG4、DG4}的 Ai、Bi、Ci 與 Di 之該些複數資料。假如取樣點的數目為 $4^n \times 2$ 的話，更對每一相對應的 i 一次執行下列計算操作程序：

$$ai=Ai+Bi \quad (5)$$

$$bi=Ai-Bi \quad (6)$$

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

$$ci=Ci+Di \quad (7)$$

$$di=Ci-Di \quad (8)$$

係使用每一個 i 之各該計算程序所得到的 Ai 、 Bi 、 Ci 與 Di ，並且將該計算結果 ai 、 bi 、 ci 與 di 取代該些複數資料 Ai 、 Bi 、 Ci 與 Di 。

38 如申請專利範圍第 37 項所述之快速傅立葉轉換處理方法，其中至少該第二計算步驟與該些計算操作(5)~(8)之計算程序其中之一係利用一區塊浮點演算法執行一傅立葉轉換計算。

39. 一快速傅立葉轉換處理方法，包括：

一第一程序，具有一複數資料取樣點的數目為 $2N$ 點 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係由外部輸入並將他們暫時儲存成一群組，以及

一第二程序，

用以一次完成一序列計算程序，包括將暫時儲存的該些複數資料分成 8 個群組 $A1$ 、 $B1$ 、 $C1$ 、 $D1$ 、 $A2$ 、 $B2$ 、 $C2$ 與 $D2$ ，其係根據計算序列與取樣點數目，並對每一個相對應之 i 執行下列之計算：

$$a1i=\{(A1i+C1i)+(A2i+C2i)\} \times W1i1 \quad (1)$$

$$c1i=\{(A1i+C1i)-(A2i+C2i)\} \times W1i3 \quad (2)$$

$$b1i=\{(A1i-C1i)-j(A2i-C2i)\} \times W1i2 \quad (3)$$

$$d1i=\{(A1i-C1i)+j(A2i-C2i)\} \times W1i4 \quad (4)$$

$$a2i=\{(B1i+D1i)+(B2i+D2i)\} \times W2i1 \quad (5)$$

$$c2i=\{(B1i+D1i)-(B2i+D2i)\} \times W2i3 \quad (6)$$

六、申請專利範圍

$$b2i=\{(B1i-D1i)-j(B2i-D2i)\} \times W2i2 \quad (7)$$

$$d2i=\{(B1i-D1i)+j(B2i+D2i)\} \times W2i4 \quad (8)$$

係使用第 i 個分屬於分好後之群組 $A1$ 、 $B1$ 、 $C1$ 、 $D1$ 、 $A2$ 、 $B2$ 、 $C2$ 與 $D2$ 的該些複數資料 $A1i$ 、 $B1i$ 、 $C1i$ 、 $D1i$ 、 $A2i$ 、 $B2i$ 、 $C2i$ 與 $D2i$ ，以及旋轉因子 $W1i1$ 、 $W1i2$ 、 $W1i3$ 、 $W1i4$ 、 $W2i1$ 、 $W2i2$ 、 $W2i3$ 與 $W2i4$ ，並將該些計算操作的結果 $a1i$ 、 $b1i$ 、 $c1i$ 、 $d1i$ 、 $a2i$ 、 $b2i$ 、 $c2i$ 與 $d2i$ 取代 $A1i$ 、 $B1i$ 、 $C1i$ 、 $D1i$ 、 $A2i$ 、 $B2i$ 、 $C2i$ 與 $D2i$ ，

根據計算序列與取樣點數目，將該些複數資料分成 4 個群組，

然後，重複 $n-1$ 次一序列計算程序，它包含將各該複數資料群組再分成四個群組 A 、 B 、 C 與 D ，分法係根據計算序列與取樣點數目，並對每一相應的 i 執行下列計算操作：

$$a_i=\{(A_i+C_i)+(B_i+D_i)\} \times W_{i1} \quad (9)$$

$$c_i=\{(A_i+C_i)-(B_i+D_i)\} \times W_{i3} \quad (10)$$

$$b_i=\{(A_i-C_i)-j(B_i-D_i)\} \times W_{i2} \quad (11)$$

$$d_i=\{(A_i-C_i)+j(B_i-D_i)\} \times W_{i4} \quad (12)$$

係使用分好後的群組 A 、 B 、 C 與 D 的第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} 。並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 取代該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，如果取樣點為 $4^n \times 2$ 的話，更包括：

對每一相應的 i 一次執行下列的計算：

$$a_i=(A_i+B_i) \quad (13)$$

六、申請專利範圍

$$b_i = (A_i - B_i) \quad (14)$$

$$c_i = (C_i + D_i) \quad (15)$$

$$d_i = (C_i - D_i) \quad (16)$$

係使用在該些計算操作中的該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，並且將該些計算結果 a_i 、 b_i 、 c_i 、 d_i 、 a_{2i} 、 b_{2i} 、 c_{2i} 與 d_{2i} 取代 A_i 、 B_i 、 C_i 、 D_i 、 A_{2i} 、 B_{2i} 、 C_{2i} 與 D_{2i} 。

40. 如申請專利範圍第 39 項所述之快速傅立葉轉換處理方法，其中該第二程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

41. 一快速傅立葉轉換處理方法，包括：

一第一計算程序，儲存 $2N$ 個的一複數資料 ($N=4^n \times 2$ 或 4^n ，其中 n 為自然數)，係根據取樣點數目，由外部一次 $N/4$ 個輸入至一第一快速傅立葉轉換處理裝置與一第二快速傅立葉轉換處理裝置的一工作記憶體之中，並在各該工作記憶體之中形成一群組；

一第二計算程序，重複 $n-1$ 次一序列的步驟，將暫存於該第一快速傅立葉轉換處理裝置與該第二快速傅立葉轉換處理裝置的該工作記憶體中的該些複數資料的每一群組，依據計算序列與取樣點數目，分成 4 個群組 A、B、C 與 D，並且執行下列計算：

$$a_i = \{(A_i + C_i) + (B_i + D_i)\} \times W_{i1} \quad (1)$$

$$c_i = \{(A_i + C_i) - (B_i + D_i)\} \times W_{i3} \quad (2)$$

$$b_i = \{(A_i - C_i) - j(B_i - D_i)\} \times W_{i2} \quad (3)$$

$$d_i = \{(A_i - C_i) + j(B_i - D_i)\} \times W_{i4} \quad (4)$$

六、申請專利範圍

係使用群組 A、B、C 與 D 的第 i 個複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 之旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 在該工作記憶體中儲存成 A_i 、 B_i 、 C_i 與 D_i ，用以彼此取代該第一快速傅立葉轉換處理裝置中的群組 C 與 D 之該些複數資料，以及該第二快速傅立葉轉換處理裝置中的群組 A 與 B 之該些複數資料，之後，對各該第一快速傅立葉轉換處理裝置與該第二快速傅立葉轉換處理裝置，將群組 B 的該些複數資料與群組 C 的該些複數資料彼此取代；以及

一第三計算程序，用以重複一序列的步驟，更依據計算序列與取樣點數目，將儲存於該第一與該第二快速傅立葉轉換處理裝置中的該些複數資料分成 4 個群組，並且該些(1)~(4)的計算，係使用分好後的群組 A、B、C 與 D 之該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，以及對應每一個 i 的旋轉因子 W_{i1} 、 W_{i2} 、 W_{i3} 與 W_{i4} ，並將 a_i 、 b_i 、 c_i 與 d_i 取代 A_i 、 B_i 、 C_i 與 D_i ，如果取樣點數目為 $4^n \times 2$ 的話，更一次執行一步驟下列計算：

$$a_i = A_i + B_i \quad (5)$$

$$b_i = A_i - B_i \quad (6)$$

$$c_i = C_i + D_i \quad (7)$$

$$d_i = C_i - D_i \quad (8)$$

係使用對應與每一個 i 的計算獲得的該些複數資料 A_i 、 B_i 、 C_i 與 D_i ，並將該計算結果 a_i 、 b_i 、 c_i 與 d_i 在該工作記憶體中分別儲存成 A_i 、 B_i 、 C_i 與 D_i 。

六、申請專利範圍

42 如申請專利範圍第 41 項所述之快速傅立葉轉換處理方法，其中各該第二計算程序與各該第三計算程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

43. 如申請專利範圍第 41 項所述之快速傅立葉轉換處理方法，其中僅有該第三計算程序係利用一區塊浮點演算法執行一傅立葉轉換計算。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線